(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[6]
H01L 29/78

(45) 공고일자 2005년07월01일
(11) 등록번호 10-0457480
(24) 등록일자 2004년11월08일

(21) 출원번호 10-1997-0048234
(22) 출원일자 1997년09월20일

(65) 공개번호 10-1998-0024874
(43) 공개일자 1998년07월06일

(30) 우선권주장 96-271613 1996년09월20일 일본(JP)

(73) 특허권자 가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398

샤프 가부시키가이샤
일본 오사까후 오사까시 아베노꾸 나가이께쪼 22방 22고

(72) 발명자 가토오 게니치
일본 히로시마켄 히로시마시 히가시 하치혼마츠 이이다 1484-6 랩포트 가모 209

구보타 야스시
일본 나라켄 사쿠라이시 아사쿠라다이니시 5-1093-267

고야마 준
일본 가나가와켄 아쓰기시 하세 398 한도타이 에네루기 겐큐쇼 가부시키가이샤 내

(74) 대리인 정상구
이병호
신현문
이범래

심사관 : 임동우

(54) 반도체장치

요약

전계 효과 트랜지스터에 있어서, 하나의 거리가 고주파의 신호가 가해진 쪽위에 있는, 게이트 전극과 소스 전극 사이의 거리, 및 게이트 전극과 드레인 전극 사이의 거리 중의 하나는, 저주파의 신호가 가해진 쪽 위에 다른 하나의 거리보다 더 길게 만들어져있다.

대표도

도 1

색인어

전계 효과 트랜지스터, 커패시턴스, 게이트 전극, 소스 전극, 드레인 전극

명세서

도면의 간단한 설명

도 1은 제 1 실시예에 따른 인버터 회로의 평면도.

도 2는 도 1에서 라인 Q-Q'를 따라 취한 단면도.

도 3은 도 1의 인버터 회로의 등가 회로도.

도 4는 본 발명의 제 2 실시예에 따른 인버터 회로의 구성도.

도 5는 본 발명의 제 3 실시예에 따른 버퍼 회로의 등가 회로도.

도 6은 도 5의 등가 회로에 상응하는 버퍼 회로의 평면도.

도 7A 내지 도 7D는 본 발명의 제 4 실시예에 따른 제조 과정을 도시한 도면.

도 8은 공통 박막 전계 효과 트랜지스터의 단면 구조도.

도 9는 플립플롭 회로의 등가 회로도.

도 10A 및 도 10B는 각각 클럭된 인버터 회로와 클럭된 NAND 회로의 등가 회로도.

도 11은 클럭된 인버터 회로의 평면도.

도 12는 클럭된 NAND 회로의 평면도.

도 13은 3 비트 2진 카운터와, 3 비트 신호를 8 비트 신호로 디코딩하기 위한 디코더를 사용한 회로를 도시한 도면.

도 14는 도 13의 회로의 타이밍도.

※ 도면의 주요부분에 대한 부호의 설명 ※

100, 302, 630 ; n-채널 박막 트랜지스터

120, 303, 640 : p-채널 트랜지스터

703 및 704 : 섬모양 능동층

109 : 접점 홀 200 : 유리 기판

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

발명의 배경

1. 발명의 분야

본 발명은 전계 효과 트랜지스터(field-effect transistor)에 관한 것으로, 특히, 논리 회로를 구성하는 전계 효과 트랜지스터의 구조에 관한 것이다.

2. 관련 기술의 설명

전계 효과 트랜지스터는 IC(집적 회로)를 구성할 때 매우 중요한 반도체 장치(semiconductor device)이다. 특히, 이것은 논리 회로를 구성하는 IC에서 필수 불가결한 것이다.

한편, 유리 기판과 같은 절연 기판 위에 직접 실리콘 박막을 사용한 절연-게이트 전계 효과 트랜지스터들을 형성하는 기술이 최근 현재 매우 인기를 끌고 있다.

이 기술은, 픽셀들을 구동하기 위한 주변 구동기 회로들뿐만 아니라, 예를 들면, 능동 매트릭스 액정 디스플레이 장치에서 픽셀들의 스위칭을 위한 회로를 구성하는 전계 효과 트랜지스터들의 유리 기판 위에 직접 형성을 가능하게 한다. 이것은 외부에서 제공된 IC 칩을 사용하는 경우에 비해 제조비용을 크게 감소시킨다.

위와 같은 유형의 구동기 회로들은 수 MHz 내지 수십 MHz 또는 그 이상의 기본 주파수를 갖는 고주파에서 동작하는 것이 요구되기 때문에, 그들은 고속 동작을 할 수 있는 전계 효과 트랜지스터들로 구성되어 있고, 그 안의 반도체층은, 각각의 결정도가 높은 단결정 실리콘 박막 또는 다결정 실리콘 박막으로 이루어져있다.

한편, 노트북 크기의 개인용 컴퓨터와 같은 휴대용 정보 입/출력 장치의 보급과 함께, 그러한 장치의 장기 사용을 가능하게 하기 위해서, 현재 그러한 장치를 구성하는 표시 장치 및 집적 회로들에서 전력 소모량을 감소시키는 것이 요구된다.

또한, 취급된 정보의 밀도가 증가함에 따라, 집적 회로들은 집적도에 있어서 또한 개선되는 것이 요구된다.

집적 회로에서 전력 소모량의 많은 요소들 중에서, 집적 회로를 구성하는 전계 효과 트랜지스터들의 전력 소모량은 무시할 만한 것이 아니다.

특히, 전계 효과 트랜지스터들이 수 MHz 또는 그 이상의 고주파 신호들을 사용하여 구동되는 경우에, 다양한 기생 커패시턴스들로 인한 전력 소모량은 심각한 문제가 된다.

도 8은 일반적인 박막 전계 효과 트랜지스터의 단면 구조를 도시한다. 도 8을 참고하면, 유리 기판과 같은 절연 표면을 갖는 기판(820) 위에 언더코트(undercoat)막(821)으로서 실리콘 산화물막이 형성되어 있다.

언더코트막(821) 위에는 섬모양 반도체 영역(801)이 형성되어 있다. 게이트 절연막(822)을 통해서 그 위에 게이트 전극(805)이 제공된다. 게이트 전극(805) 아래에 섬모양 반도체 영역(801)의 부분은 채널 형성 영역이다.

게이트 전극(805)의 좌측과 우측에 있는 섬모양 반도체 영역(801)의 부분들은 각각 소스 영역(802) 및 드레인 영역(803)이고, 인(P)과 같은 n-형 불순물로 도핑된다. 그러면, n-채널 박막 트랜지스터가 형성된다. 채널 형성 영역은 소스 영역(802)과 드레인 영역(803) 사이에 위치되어 있다.

소스 전극(806)은 층간 절연막(823) 내에 형성된 접점 홀(807)을 통해서 소스 영역(802)에 전기적으로 연결되어 있다. 드레인 전극(808)은 층간 절연막(823) 내에 형성된 접점 홀(809)을 통해서 드레인 영역(803)에 전기적으로 연결되어 있다.

도 8에 도시된 전계 효과 트랜지스터는 게이트 전극과, 소스 전극, 및 드레인 전극 모두가 채널이 형성된 반도체 위에 제공되는, 평면 구조라고 불리는 구조를 가진다. 게이트 전극과, 소스 전극 및 드레인 전극 모두가 채널이 형성된 반도체 아래에 제공되는 구조는 역 평면 구조라고 불린다.

게이트 전극이 소스 및 드레인 전극들에 비교적 가까운 평면 및 역평면 구조들과 같은 구조들의 전계 효과 트랜지스터들에서, 배선 기생 커패시턴스들(Cw)은 게이트 전극과 소스 및 드레인 전극들 사이에서 발생한다.

자연적으로, 배선 기생 커패시턴스들은 채널 형성 반도체가 게이트 전극과 소스 및 드레인 전극들 사이에 끼어 있는 스태거형 구조 및 역 스태거형 구조라고 불리는 구조들의 전계 효과 트랜지스터들에서 또한 발생한다. 그러나, 구조의 차이들 때문에 스태거형 및 역스태거형 구조들보다 평면 및 역평면 전계 효과 트랜지스터에서 배선 기생 커패시턴스들이 더 발생하기 쉽다.

전력 소모량 W[W]은 $W = (Cg + Cw)V^2f$로 표현되고, 여기서, Cw[F]가 배선 기생 커패시턴스이고, Cg[F]는 게이트 입력 커패시턴스이고 (여기서 게이트 절연막은 유전체로서 작용한다), f[Hz]는 주파수이고, V[V]는 전력 공급 전압이다.

그러므로, 전계 효과 트랜지스터에서, 게이트 전극과 소스 또는 드레인 전극 사이에 가해진 입력 신호의 주파수(f) 또는 전압(V)가 증가함에 따라 전력 소모량 W는 증가한다.

게이트 입력 커패시턴스(Cg)는 전계 효과 트랜지스터 자체의 구조 때문에 그것을 감소시키는 것은 어렵다.

그러므로, 전계 효과 트랜지스터를 구동시킬 때 그의 전력 소모량을 감소시키기 위해서, 게이트 전극과 소스 및 드레인 전극들 사이에 배선 기생 커패시턴스들(Cw)을 감소시키는 것이 효과적이다.

그 커패시턴스는 한 쌍의 반대 전극들 사이의 거리에 반비례하기 때문에, 배선 커패시턴스들(Cw)은 게이트 전극과 소스 및 드레인 전극들 사이의 거리들을 증가시킴으로써 감소될 수 있다. 엄격히 말하면, 기생 커패시턴스들(Cw)은 게이트 전극의 측부 단부 또는 면 사이, 및 소스 및 드레인 전극들의 게이트-측부 단부들과 면들 사이의 거리들을 증가시킴으로써 감소될 수 있다.

그러나, 전계 효과 트랜지스터들이 집적된 형태로 배열되는 경우에, 각 전계 효과 트랜지스터를 구성하는 반도체 영역의 크기와 형상은 집적도를 최대화하도록 결정된다. 따라서, 많은 경우들에, 소스 및 드레인 전극들은 전기적인 연결들을 얻기 위해 필요한 최소한의 면적들에서만 소스 및 드레인 영역들(반도체)과 공존한다.

발명이 이루고자 하는 기술적 과제

따라서, 소스 및 드레인 영역들이 형성된 반도체층의 크기를 변경시키지 않고 소스 및 드레인 전극들의 위치들을 게이트 전극으로부터 간단히 이동시키면, 반도체층과 소스 및 드레인 전극들 사이의 전기적인 연결들이 불충분하게 되거나 심지어 연결 오류가 발생 할 가능성이 있다. 따라서, 게이트 전극과 소스 및 드레인 전극들 사이의 거리들을 증가시키기 위해서, 소스 및 드레인 영역들(반도체층)을 바깥쪽으로 연장시킬 필요가 있다.

그러나, 위의 방법은 당연히 각 장치의 크기를 증가시키고 이는 명백하게 집적도를 감소시킨다.

발명의 구성 및 작용

발명의 요약

본 발명의 목적은 배선 커패시턴스들로 인한 상기 설명된 전력 소모를 감소시킬 수 있고 높은 집적도로 집적될 수 있는 반도체 장치를 제공하는 것이다.

위의 목적을 달성하기 위해서, 본 발명의 주 양태들 중의 하나에 따라, 소스 및 드레인 영역들 사이에 위치된 영역을 형성하는 소스 영역과, 드레인 영역 및 채널을 포함하는 반도체층과; 게이트 절연막을 통해서 채널 형성 영역 위에 위치된 게이트 전극과; 소스 영역에 연결된 소스 전극; 및 드레인 영역에 연결된 드레인 전극을 포함하는 전계-효과 트랜지스터가 제공되며, 여기서, 게이트 전극과 소스 전극 사이의 거리와 게이트 전극과 드레인 전극 사이의 거리 중의 하나가 다른 거리보다 더 길다.

본 발명의 또 다른 양태에 따라, 소스 영역, 드레인 영역 및 소스 및 드레인 영역들 사이에 위치한 채널 형성 영역을 포함하는 반도체층과; 게이트 절연막을 통해서 채널 형성 영역 위에 위치된 게이트 전극과; 소스 영역에 연결된 소스 전극; 및 드레인 영역에 연결된 드레인 전극을 포함하는 전계 효과 트랜지스터가 제공되며, 여기서, 게이트 전극과, 소스 전극과 드레인 전극 중의 하나 사이에 가해진 전기적인 신호의 주파수는 게이트 전극과, 소스 전극과 드레인 전극 중의 다른 하나 사이에 가해진 전기적인 신호의 주파수보다 더 높고; 게이트 전극과, 소스 전극과 드레인 전극 중의 하나 사이의 거리는 게이트전극과, 소스 전극과 드레인 전극 중의 다른 하나 사이의 거리보다 더 길다.

즉, 본 발명에 따라, 전계 효과 트랜지스터의 게이트 전극과 소스 전극 사이, 및 게이트 전극과 드레인 전극 사이의 전극간 거리 중에서, 전기적인 신호의 주파수가 높은 쪽 위의 전극간 거리는 전기적인 신호의 주파수가 낮은 쪽 위의 전극간 거리보다 더 길게 만들어져 있다.

이러한 구성을 함으로써, 고주파 신호가 가해진 전계 효과 트랜지스터에서, 전계 효과 트랜지스터를 구성하는 반도체층의 면적의 증가는, 전력 소모량이 감소되면서 억제될 수 있다.

특히, 수 MHz 또는 그 이상의 고주파 신호에서 구동되는 집적 회로를 구성하는 전계 효과 트랜지스터들에서의 본 발명의 구조를 사용함으로써, 집적 회로는 집적도가 높고 전력 소모량이 낮게 주어진다.

또한, 본 발명에 따른 전계 효과 트랜지스터는 종래의 제조 방법에서의 마스크 패턴들을 변경함으로써 단순히 제조될 수 있다. 따라서, 종래의 제조 라인과 장비들을 그대로 사용할 수 있으며, 본 발명의 사용으로 인한 제조 비용의 증가와 장치의 투자는 매우 적다.

본 발명의 또 다른 주요 양태에 따라, 기판 위에 위치된 제 1 및 제 2 전계 효과 트랜지스터들을 포함하는 반도체 장치가 제공되는데, 이 제 1 및 제 2 전계 효과 트랜지스터들의 각각은, 소스 영역, 드레인 영역, 소스 및 드레인 영역들 사이에 위치된 채널 형성 영역을 포함하는 반도체층과; 게이트 절연막을 통해서 채널 형성 영역 위에 위치된 게이트 전극과; 소스 영역에 연결된 소스 전극; 및 드레인 영역에 연결된 드레인 전극을 포함하고, 제 1 및 제 2 전계 효과 트랜지스터들 중의 적어도 하나에서, 게이트 전극과 소스 전극 사이의 거리와, 게이트 전극과 드레인 전극 사이의 거리 중의 하나는 다른 거리보다 더 길다.

위의 구성에서, 게이트 전극과, 하나의 전극이 게이트 전극과, 소스 전극과 드레인 전극의 다른 하나의 사이보다 더 긴 전극간 거리를 제공하는 소스 전극과 드레인 전극 중의 하나 사이에 고주파 신호가 가해지는 것이 바람직하다.

(고주파 신호는, 게이트 전극과, 소스 전극과 드레인 전극 중의 하나 사이에 가해지고, 그 사이에, 게이트 전극과, 소스 전극과 드레인 전극 중의 또 다른 하나 사이보다 더 긴 전극간 거리가 제공된다.)

본 발명의 다른 양태에 따라, 기판 위에 위치된 제 1 및 제 2 전계 효과 트랜지스터들을 포함하는 반도체 장치가 제공되며, 이 제 1 및 제 2 전계 효과 트랜지스터들의 각각은, 소스 영역과 드레인 영역, 및 소스 및 드레인 영역들 사이에 위치된 채널 형성 영역을 포함하는 반도체층과; 게이트 절연막을 통해서 채널 형성 영역 위에 위치된 게이트 전극과; 소스 영역에 연결된 소스 전극; 및 드레인 영역에 연결된 드레인 전극을 포함하고, 제 2 전계 효과 트랜지스터는 제 1 전계 효과 트랜지스터보다 더 넓은 채널을 갖고; 제 2 전계 효과 트랜지스터에서, 게이트 전극과 소스 전극 사이의 거리, 및 게이트 전극과 드레인 전극 사이의 거리 중의 하나는 다른 거리보다 더 길다.

위의 구조에서, 제 1 전계 효과 트랜지스터는 n-채널 타입이고, 제 2 전계 효과 트랜지스터는 p-채널 타입인 것이 바람직하다.

위에서 설명한 바와 같이, 상이한 채널폭들을 갖는 다수의 전계 효과 트랜지스터들은 기판 위에 놓이고, 고주파를 갖는 쪽 위의 게이트-소스 거리 또는 게이트-드레인 거리는 더 넓은 채널을 갖는 전계 효과 트랜지스터들 내에서 더 길게 만들어지는 구조가 제공될 수 있다.

더 넓은 채널을 갖는 전계 효과 트랜지스터에서, 대향한 전극들의 면적이 더 크므로 게이트 전극과 소스 또는 드레인 전극 사이의 커패시턴스가 더 크다. 이러한 문제는 더 넓은 채널을 갖는 전계 효과 트랜지스터들에 본 발명의 구성을 사용함으로써 해결될 수 있으며, 효과적으로 전력 소모량을 감소시킬 수 있다.

말 할 필요도 없이, 다수의 전계 효과 트랜지스터들의 배치를 위한 앰플 영역이 존재하면, 본 발명의 구성은 모든 전계 효과 트랜지스터들에 사용되는 것이 바람직하다.

다수의 전계 효과 트랜지스터들을 포함한 위에 언급된 반도체 장치에서, 제 1 및 제 2 전계 효과 트랜지스터들의 게이트 전극들은 입력 단자로서 작용하는 공통 전극을 형성하고; 제 1 및 제 2 전계 효과 트랜지스터들의 소스 전극들과 드레인 전극들은 출력 단자로서 작용하는 공통 전극을 형성하고; 제 1 전계 효과 트랜지스터의 소스 전극과 드레인 전극 중의 하나는 전력 공급선과 접지선 중의 하나에 연결되어 있고; 제 2 전계 효과 트랜지스터의 소스 전극과 드레인 전극 중의 또 다른 하나는 전력 공급선과 접지선 중의 하나에 연결되어 있도록 인버터 회로를 구성하는 것이 바람직하다.

전력 소모량을 감소시키는 효과는 본 발명의 구성이 인버터 회로에 적용될 때 현저하다. 상세한 것들은 본 발명의 실시예들에서 설명될 것이다.

또한, 위에 설명한 것처럼 형성된 다수의 인버터 회로들을 배열함으로써 버퍼 회로, 플립플롭 회로, 디코더 회로 등이 구성될 때 전력 소모량은 효과적으로 감소될 수 있다.

본 발명의 또 다른 주요 양태에 따라, 주어진 회로를 구성하도록 기판 위에 집적된 다수의 전계 효과 트랜지스터들을 포함하는 반도체 장치가 제공되며, 다수의 전계 효과 트랜지스터들의 각각은, 소스 영역, 드레인 영역, 소스 및 드레인 영역들 사이에 위치된 채널 형성 영역을 포함하는 반도체층과; 게이트 절연막을 통해서 채널 형성 영역 위에 위치된 게이트 전극과; 소스 영역에 연결된 소스 전극; 및 드레인 영역에 연결된 드레인 전극을 포함하고, 주어진 회로의 부분을 구성하는 다수의 전계 효과 트랜지스터들의 부분에서, 게이트 전극과 소스 전극 사이의 거리와, 게이트 전극과 드레인 전극 사이의 거리 중의 하나는 다른 거리보다 더 길다.

즉, 전극들 사이에 전계 효과 트랜지스터들의 고주파들의 신호들이 인가되어 큰 전력소모가 예상되는 회로를 구성하는 전계 효과 트랜지스터들의 부분에서, 전극간 거리는 고주파를 가진 쪽에서 증가된다. 그 결과, 전력 소모량은 전체 회로 크기의 증가가 최소화되면서 효과적으로 감소될 수 있다.

상기 반도체 장치들의 각각에서, 전계 효과 트랜지스터는 박막 트랜지스터인 것이 바람직하다. 박막 트랜지스터는 절연 표면을 갖는 기판 위에 위치되는 것이 바람직하다.

유리 기판과 같은 절연 표면을 갖는 기판 위에 제공된 박막 트랜지스터에서, 전기적인 배선 커패시턴스들은 실리콘 웨이퍼와 같은 반도체 기판 위에 형성된 박막 트랜지스터에서보다 더욱 크게 전력소모에 영향을 미친다. 인터커넥션들 사이의 반도체 기판 거패시턴스들 위에 형성된 박막 트랜지스터에서, 반도체 기판은 인터커넥트 사이의 커패시턴스들보다 더 크므로 전력 소모량에 대한 인터커넥션들 사이의 커패시턴스들의 영향은 상대적으로 적다.

본 발명의 구성에 따라 전력 소모를 감소시키는 효과는 그러한 박막 트랜지스터들로 구성된 회로 및 절연 표면을 갖는 기판 위에 제공된 박막 트랜지스터에서 현저하다.

절연 표면을 갖는 기판으로서 유리기판을 사용하는 것이 바람직하다. 본 발명의 구성은, 주변 구동기 회로들과 픽셀 회로가 유리 기판 위에 제공된 능동 매트릭스 액정 전자-광학 장치와 같은 단결정 전자-광학 장치에서 주변 구동기 회로들을 구성하는 반도체 장치들에 적용될 때, 전력 소모량은 효율적으로 감소될 수 있다. 그 결과, 낮은 전력 소모량의 전자-광학 장치가 제공될 수 있다.

아래 실시예들은 주로 유리 기판 위에 형성된 박막 트랜지스터에 관한 것이지만, 본 발명은 그러한 경우에만 한정되지 않는다. 예를 들면, 본 발명의 이점들은 단지 고주파를 갖는 쪽 위의 전극들 사이의 거리를 증가시킴으로써 실리콘 웨이퍼와 같은 반도체 기판 위에 형성된 MOS FET에서도 얻을 수 있다.

본 발명은 실시예들을 사용하여 앞으로 상세히 설명될 것이다. 기본적으로, 다음 실시예들은 박막 트랜지스터의 게이트와 드레인 사이에 인가된 신호의 주파수가 게이트와 소스 사이의 것보다 더 높다고 가정하고 설명될 것이다. 그러나, 게이트-드레인 거리인지 또는 게이트-소스 거리인지에 무관하게 고주파를 갖는 쪽의 전극간 거리를 증가시키는 개념은 본 발명의 범위 이내에 있다는 것은 말할 나위도 없다.

바람직한 실시예들의 상세한 설명

제 1 실시예

제 1 실시예는 인버터 회로의 전력 소모량을 감소시키기 위한 구조에 관한 것이다.

도 1은 n-채널 박막 트랜지스터(100) 및 p-채널 박막 트랜지스터(120)를 사용한 상보 구조를 갖는, 인버터 회로의 평면도이다. 도 3은 이것의 등가 회로도이다.

도 1을 참조하면, 게이트 전극(105)은 n-채널 박막 트랜지스터(100)와 p-채널 박막 트랜지스터(120)에 공통이다. 게이트 전극(105)은 입력 신호를 구비하고 있다.

n-채널 박막 트랜지스터(100)의 소스 전극(106)은 포텐셜(V_{DD})을 갖는 인터커넥션(도시되지 않음)에 연결되어 있다. p-채널 박막 트랜지스터(120)의 소스 전극(126)은 접지 포텐셜을 갖는 인터커넥션(도시되지 않음)에 연결되어 있다. 드레인 전극(108)은 후속 단계에 인버터 회로의 동작 출력에 공급하는 역할을 한다.

도 1에 도시된 바와 같이, D1은 n-채널 박막 트랜지스터(100) 내에 존재하는 게이트 전극(105)의 부분의 측단면(110)과 소스 전극(106)의 측단면(111) 사이의 거리이다. D2는 게이트 전극(105)의 동일한 부분의 측단면(112)과 드레인 전극(108)의 측단면(113) 사이의 거리이다. 이들 사이에는 D1 < D2의 관계가 성립한다.

마찬가지로, D1'는 p-채널 박막 트랜지스터(120) 내에 존재하는 게이트 전극(105)의 부분의 측단면(130)과 소스 전극(126)의 측단면(131) 사이의 거리이다. D2'는 게이트 전극(105)의 동일한 부분의 측단면(132)과 드레인 전극(108)의 측단면(133) 사이의 거리이다. 이들 사이에는 D1'< D2'의 관계가 성립한다.

전계 효과 트랜지스터에 있어서, D1과 D2 사이 및 D1'과 D2' 사이의 상기 거리 관계식은 본 발명의 가장 중요한 사항이다.

이 실시예에서, 관계식들 D1=D1' 및 D2=D2'이 사용되고, D2와 D2'는 D1과 D1'의 두 배 더 길게 설정된다.

일반적으로, 장치의 집적도를 증가시키기 위해서, D1과 D1'는 약 1 내지 5㎛, 예를 들면, 2㎛로 실현될 수 있는 패턴 폭의 최소치에 가까운 값으로 주어진다.

도 2는 도 1의 라인 Q-Q'을 따라 취한 단면도이다. 도 2에 도시된 바와 같이, 언더코트(201)로서의 실리콘 산화물막은 유리 기판(200) 위에 형성되고, n-채널 박막 트랜지스터(100)는 그 위에 형성된다.

n-채널 박막 트랜지스터(100)에서, 게이트 전극(105)은 게이트 절연막(202)을 통해서 다결정 실리콘으로 이루어진 섬모양 반도체 영역(101) 위에 형성된다. 게이트 전극(105) 아래의 섬모양 반도체 영역(101)의 부분은 채널 형성 영역이다.

게이트 전극(105)의 좌측상 및 우측상에 있는 섬모양 반도체 영역(101)의 부분들은 소스 영역(102)과 드레인 영역(103)이고, 각각 인(P)과 같은 n-형 불순물로 도핑되어 있다. 채널 형성 영역은 소스 영역(102)과 드레인 영역(103) 사이에 놓여 있다.

소스 전극(106)은 접점 홀들(107)을 통해서 소스 영역(102)에 전기적으로 연결되어 있다. 드레인 전극(108)은 접점 홀들(109)을 통해서 드레인 영역(103)에 전기적으로 연결되어 있다.

마찬가지로, p-채널 박막 트랜지스터(120)에서, n-채널 박막 트랜지스터(100)의 게이트 전극으로서 작용하는 게이트 전극(105)은, 게이트 절연막(202)을 통해서 다결정 실리콘으로 이루어진 섬모양 반도체 영역(121) 위에 형성되어 있다. 게이트 전극(105) 아래 섬모양 반도체 영역(121)의 부분은 채널 형성 영역이다.

게이트 전극(105)의 좌측상 및 우측상에 있는 섬모양 반도체 영역(121)의 부분들은 소스 영역(122)과 드레인 영역(123)이고, 각각 붕소(B)와 같은 p-형 불순물로 도핑되어 있다. 채널 형성 영역은 소스 영역(122)과 드레인 영역(123) 사이에 놓여 있다.

소스 전극(126)은 접점 홀들(127)을 통해서 소스 영역(122)에 전기적으로 연결되어 있다. 드레인 전극(108)은 접점 홀들(129)을 통해서 드레인 영역(123)에 전기적으로 연결되어 있다.

드레인 전극(108)은 n-채널 박막 트랜지스터(100)의 드레인 영역(103)과 p-채널 박막 트랜지스터(120)의 드레인 영역(123)에 전기적으로 접속된다. 그렇게 해서, 인버터 회로가 구성된다.

인버터 회로의 n-채널 박막 트랜지스터(100)와 p-채널 박막 트랜지스터(120)에서, 고주파 신호가 가해진 게이트 전극과 드레인 전극 사이의 거리들(D2와 D2')은 게이트 전극과 소스 전극들 사이의 거리들(D1 과 D1')보다 두 배 더 길게 만들어진다.

그 결과, 전체 인버터 회로로서, 회로 레이아웃에 필요한 면적의 증가를 최소화하면서 전력 소모량을 효율적으로 감소시킬 수 있다.

말할 필요도 없이, 회로 레이아웃을 위한 앰플 공간이 존재한다면, 게이트 전극과 소스 전극들 사이의 거리(D1 과 D1')에 대한, 게이트 전극과 드레인 전극 사이의 거리(D2와 D2')의 비율을 증가시킴으로써 전력 소모량을 또한 감소시킬 수 있다.

등가 회로를 사용함으로써 상기 언급된 구성과 그의 이점들이 이하에서 상세히 설명될 것이다. 도 3은 도 1의 인버터 회로의 등가 회로도이다. 도 3에 도시된 인버터 회로에서, n-채널 박막 트랜지스터(302)와 p-채널 박막 트랜지스터(303)는 입력 단자(301)로서 공통 게이트와 출력 단자(304)로서 공통 드레인을 갖는다.

포텐셜(V_{DD})을 갖는 인터커넥션은 p-채널 트랜지스터(303)의 소스(306)에 연결되어 있다. n-채널 트랜지스터(302)의 소스(305)는 접지 포텐셜에 연결되어 있다.

입력 신호는 고레벨(이하, H-레벨이라고 한다)과 저레벨(이하, L-레벨이라고 한다)을 갖는다. H-레벨과 L-레벨은 각각 포텐셜(V_{DD})과 접지 포텐셜을 갖는다. 포텐셜(V_{DD})은 예를 들면 + 15V이다.

입력 단자(301)에 공급된 입력 신호가 H-레벨에 있으면, n-채널 트랜지스터(302)는 p-채널 트랜지스터(303)가 꺼져있는 동안 켜져 있다. 따라서, 접지 포텐셜(GND)은 출력 단자(304)에서 나타나고, L-레벨 출력 신호는 후속 단계에 공급된다.

반대로, 입력 신호가 L-레벨, 즉, 접지 포텐셜(GND)에 있으면, n-채널 트랜지스터(302)는 p-채널 트랜지스터(303)가 켜져있는 동안 꺼져 있다. 따라서, 포텐셜(V_{DD})은 출력 단자(304)에 나타나고, H-레벨 출력 신호는 후속 회로에 공급된다.

이 인버터 회로에서, 게이트와 드레인 사이에 인가된 신호의 주파수는 게이트와 소스들 사이에 인가된 신호의 주파수보다 훨씬 높다.

그 이유가 이하에서 설명될 것이다. 도 3의 회로에서, 반대의 포텐셜들은 항상 위에서 설명된 입력 단자(301)와 출력 단자(304)에서 나타난다. 그러므로, 입력 신호의 값이 변하면, 입력 단자(301)와 출력 단자(304) 사이의 전압의 극성은 필연적으로 변환된다.

따라서, 1MHz의 주파수에서 입력 신호의 레벨이 H와 L 사이에서 변환되면, 각각 게이트와 드레인에 연결된 입력 단자(301)와 출력 단자(304) 사이의 전압의 극성도 역시 1MHz에서 변한다.

한편, 입력 단자(301)와 소스(306)의 경우에 대해서, 소스(306)는 포텐셜(V_{DD})을 항상 갖기 때문에 극성 변환의 주파수는 상당히 감소된다. 입력 신호의 H/L 변환 주파수가 1MHz라고 가정하면, 입력 단자(301)와 소스(306) 사이의 극성 변화의 주파수는 0.5MHz가 된다.

마찬가지로, 입력 단자(301)와 소스(305)에 있어서, 소스(305)는 항상 접지 포텐셜(GND)을 갖기 때문에 극성 변환의 주파수는 상당히 감소된다. 입력 신호의 H/L 변환 주파수가 1MHz라고 가정하면, 입력 단자(301)와 소스(305) 사이의 극성 변화의 주파수는 0.5MHz가 되어, 이것은 위와 동일한 값이다.

위에 설명한 바와 같이, 단일 주파수의 입력 신호의 경우라도, 게이트와 드레인 사이에 인가된 신호의 주파수는 게이트와 소스들 사이에서와 다르다. 본 실시예에서, 전자는 후자보다 더 높다.

이제 전력 소모량과 주파수/커패시턴스들 사이의 관계식을 참조하여 설명하려고 한다. 전술한 바와 같이 전력 소모량 W[W]은 $W = (Cg + Cw)V^2f$로 표현되고, 여기서, Cw[F]는 배선 기생 커패시턴스이고, Cg[F]는 게이트 입력 커패시턴스이고(여기서 게이트 절연막은 유전체로서 작용한다), f[Hz]는 주파수이고, V[V]는 전력 공급 전압이다. 즉, 전력 소모량 W은 주파수 f에 비례한다.

커패시터의 커패시턴스 C[F]는 $C = eS/d$로 표현되고, 여기서 e는 전극들 사이의 재료의 유전상수이고, $S[m^2]$는 전극들의 면적이고, d[m]는 전극들 사이의 거리이다. 따라서, 커패시턴스 C는 커패시터의 전극들 사이의 거리 d를 증가시킴으로써 감소된다. 기본적으로 배선 기생 커패시턴스 Cw에 대해 동일한 것이 적용된다.

커패시턴스들의 존재로 인한 위의 인버터 회로의 전계 효과 트랜지스터들에 의해 소모된 전력 W은 게이트 전극과 소스 전극들 사이 및 게이트 전극과 드레인 전극 사이의 전력 소모량의 합이다.

게이트 전극과 소스 전극들 사이의 거리 또는 게이트 전극과 드레인 전극 사이의 거리가 증가함에 따라 전력 소모량 W은 감소한다.

그러나, 전극간 거리들을 증가시키기 위해서는, 전계 효과 트랜지스터들을 구성하는 반도체층들의 크기를 비례적으로 증가시키는 것이 당연히 필요하며, 이것은 명백히 결과적인 집적 회로의 집적도의 감소를 야기한다.

이러한 문제점을 피하기 위해서, 본 발명에서, 고주파를 걸은 쪽의 전극간 거리를, 저주파를 걸은 쪽보다 더 길게 만들었는데, 이것이 본 발명의 가장 중요한 특징이다.

이것은, 전극간 거리가 고주파를 가진 쪽에서 증가할 때, 커패시턴스는 더욱 감소되고, 따라서 전력 소모량을 감소시키기 위한 효과는 더욱 현저하다는 사항에 기초한 것이다. 즉, 전극들 사이에 인가된 신호의 주파수가 낮은 쪽의 전극간 거리 d를 증가시키기보다는, 전계 효과 트랜지스터의 전극들 중 전극들 사이에 인가된 신호의 주파수가 높은 쪽의 전극간 거리 d를 증가시킴으로써, 배선 커패시턴스(Cw)를 감소시킴으로써 전력 소모량은 더욱 효과적으로 감소될 수 있다.

또한, 게이트 전극과 소스 전극 사이의 거리와, 게이트 전극과 드레인 전극 사이의 거리 중의 하나만을 증가시키는 것이, 두 가지 길이들을 모두 증가시키는 것보다 전계 효과 트랜지스터의 배치에 필요한 면적에서 더 적은 증가를 요구한다.

따라서, 제 1 실시예에 따른 인버터 회로를 사용함으로써 구성된 집적 회로는 높은 집적도를 유지하면서 전력 소모량이 낮은 이점이 주어진다.

또한, 인가된 신호 전압의 진폭이 큰 쪽의 전극간 거리를 증가시키는 것이, 작은 진폭을 갖는 쪽의 전극간 거리를 증가시키는 것보다 전력 소모량의 감소에 더 크게 기여한다.

제 2 실시예

제 2 실시예는 p-채널 트랜지스터의 채널이 n-채널 트랜지스터의 것보다 더 넓게 만들어진 경우에 관한 것이다.

전계 효과 트랜지스터에 있어서, p-채널 트랜지스터의 이동도는 n-채널 트랜지스터의 것의 약 절반이다. 이러한 견지에서, 예를 들면, p-채널 및 n-채널 트랜지스터들의 전류 구동 능력들을 비교하기 위해서, 두 개의 인자에 의해 p-채널 트랜지스터의 채널 폭(소스-드레인 방향과 수직이고 기판 표면과 평행인 방향에서의 채널 길이)을, n-채널 트랜지스터의 것보다 더 크게 만드는 일이 종종 있다.

도 4는 제 2 실시예에 따른 인버터 회로의 구성을 보여주는데, 인버터 회로를 구성하는 n-채널 및 p-채널 TFT들 중에서, p-채널 TFT의 채널은 n-채널 TFT의 것보다 두 배 더 넓게 만들어진다.

도 4의 회로는 p-채널 TFT의 채널 폭을 제외하고는 도 1의 회로와 같은 구성을 갖는다.

도 4를 참조하면, 게이트 전극(405)은 n-채널 박막 트랜지스터(400)와 p-채널 박막 트랜지스터(420)에 공통이다. 게이트 전극(405)은 입력 신호를 구비하고 있다.

n-채널 박막 트랜지스터(400)의 소스 전극(406)은 접점 홀들(407)을 통해서 소스 영역과, 접지 포텐셜을 갖는 인터커넥션(도시되지 않음)에 연결되어 있다.

p-채널 박막 트랜지스터(420)의 소스 전극(426)은 접점 홀들(427)을 통해서 소스 영역과, 포텐셜(V_{DD})을 갖는 인터커넥션(도시되지 않음)에 연결되어 있다.

드레인 영역(408)은 접점 홀들(409 및 429)을 통해서 두 박막 트랜지스터(400 및 420)의 드레인 영역들에 연결되어 있고, 후속 단계에 변환회로의 동작 출력을 공급하는 역할을 한다.

도 4에 도시된 바와 같이, D1은 n-채널 박막 트랜지스터(400)에 존재하는 게이트 전극(405)의 부분의 측단면(410)과, 소스 전극(406)의 측단면(411) 사이의 거리이다. D2는 게이트 전극(405)의 동일한 부분의 측단면(412)과 드레인 전극(408)의 측단면(413) 사이의 거리이다.

마찬가지로, D1'는 p-채널 박막 트랜지스터(420) 내에 존재하는 게이트 전극(405)의 부분의 측단면(430)과 소스 전극(426)의 측단면(431) 사이의 거리이다. D2'는 게이트 전극(405)의 동일한 부분의 측단면(432)과 드레인 전극(408)의 측단면(433) 사이의 거리이다.

도 4를 참조하면, p-채널 TFT(420)의 채널이 n-채널 TFT(400)의 채널보다 두배 더 넓기 때문에, 게이트 전극(405)의 측단부(430, 432)의 대향한 표면들의 면적과, 소스 전극(426)의 측단부(431) 또는, 드레인 전극(408)의 측단부(433)는 n-채널 TFT(400)의 것에 비해서 또한 이중이다. 커패시턴스는 커패시터의 전극들의 면적에 비례하기 때문에, 채널 폭의 증가는 필연적으로 배선 기생 커패시턴스들을 증가시키고, 그 결과 전력 소모량을 증가시킨다.

본 발명은 또한 위의 문제점을 해결하는데 효과적이다. 즉, 작은 이동도를 갖는 p-채널 트랜지스터의 채널이 큰 이동도를 갖는 n-채널 트랜지스터의 것보다 더 넓게 만들어지면, 고주파 신호를 걸은 전극들 간의 거리는 적어도 p-채널 트랜지스터에서는 증가되고; 예를 들면 D2' = 2 x D1'인 경우에 D1' < D2'의 관계식이 성립한다.

그 결과, p-채널 트랜지스터에서 전력 소모량이 감소될 수 있다.

배선 기생 커패시턴스들로 인한 도 4의 회로에서의 전력 소모량은 채널 폭의 증가에 상응하는 양만큼 도 1의 회로에서보다 더 크다는 것이 명백하다. 따라서, 본 발명에 따라, 고주파 신호가 인가된 쪽의 전극간 거리의 증가는 전력 소모량의 감소에서 더욱 효율적이다.

도 4에서, 게이트 전극과 드레인 전극 사이의 거리는 p-채널 및 n-채널 트랜지스터들의 각각에서 증가되어, 마스크 패턴을 단순화시킨다. p-채널 트랜지스터에서뿐만 아니라 n-채널 트랜지스터에서도 고주파 신호가 인가된 쪽의 전극간 거리를 증가시킴으로써 전력 소모량을 더 감소시킬 수 있다. 게이트 전극과 드레인 전극 사이의 거리는 p-채널 트랜지스터에서만 증가될 수 있다는 것은 말할 나위도 없다.

제 3 실시예

도 5와 도 6을 참조해서 아래에 제 3 실시예가 설명될 것이다. 도 5는 두 개의 인버터 회로들이 서로 연결된 버퍼 회로의 등가 회로도이다. 도 6은 도 5의 등가 회로에 상응하는 박막 트랜지스터들을 사용함으로써 구성된 버퍼 회로의 평면도이다.

도 5에 도시된 버퍼 회로에서, 제 1 단계 인버터 회로(501)는 도 6에 도시된 INV1에 상응하고, 인버터 회로(501)에 연결된 제 2 단계 인버터 회로(502)는 도 6에 도시된 INV2에 상응한다.

도 6에 도시된 바와 같이, 게이트 전극(605)은 n-채널 박막 트랜지스터(600)와 p-채널 박막 트랜지스터(620)에 공통이다. 입력 신호 A는 게이트 전극(605)에 인가된다.

게이트 전극(635)은 n-채널 박막 트랜지스터(630)와 p-채널 박막 트랜지스터(640)에 공통이다. 제 1 단계의 출력은 입력 신호로서 게이트 전극(635)에 인가된다.

INV1에서, n-채널 박막 트랜지스터(600)의 소스 전극(606)은 접점 홀들(607)을 통해서 소스 영역에 연결되고 접지 포텐셜(GND)을 갖는 인터커넥션에 연결된다.

p-채널 박막 트랜지스터(620)의 소스 전극(626)은 접점 홀들(627)을 통해서 소스 영역에 연결되고 포텐셜(V_{DD})을 갖는 인터커넥션에 연결된다. 드레인 전극(608)은 접점 홀들(609 및 629)을 통해서 두 박막 트랜지스터들의 드레인 영역들에 연결되고, 제 2 단계 인버터 회로에 제 1 단계 인버터 회로의 동작 출력을 공급하는 기능을 한다.

INV2에서, n-채널 박막 트랜지스터(630)의 소스 전극(636)은 접점 홀들(637)을 통해서 소스 영역에 연결되고 접지 포텐셜(GND)을 갖는 인터커넥션에 연결된다.

p-채널 박막 트랜지스터(640)의 소스 전극(646)은 접점 홀들(647)을 통해서 소스 영역에 연결되고 포텐셜(V_{DD})을 갖는 인터커넥션에 연결된다. 드레인 전극(638)은 접점 홀들(639 및 649)을 통해서 두 박막 트랜지스터들의 드레인 영역들에 연결되고, 후속 단계에 제 2 단계 인버터 회로의 동작 출력(r)을 공급하는 기능을 한다.

제 2 실시예의 경우에서처럼, 도 6의 INV1에서, p-채널 TFT(620)의 채널 폭은 n-채널 TFT(600)의 채널 폭(W)의 두 배, 즉 2W로 만들어져있다.

도 6의 INV2에서, 인버터 회로를 구성하는 TFT들의 채널 폭들은 제 1단계 인버터(INV1)를 구성하는 TFT들의 것의 두 배, 즉 2W(n-채널 TFT(630)), 4W (p-채널 TFT(640)의 더 무거운 하중으로 구동가능하도록 만들어져 있다.

또한, INV2에서 게이트 전극(635)과 드레인 전극(638) 사이의 거리는 INV1에서의 게이트 전극(605)과 드레인 전극(608) 사이의 거리 d의 두 배, 즉 2d로 만들어져 있다.

다음은 동작이 설명된다. Cw는 INV1에서 게이트-드레인 배선 기생 커패시턴스를 나타낸다고 하면; INV2에서의 게이트 드레인 배선 기생 커패시턴스는 게이트 전극(635)과 드레인 전극(638) 사이의 거리가 INV1에서의 상응하는 거리와 동일하다면 2Cw일 것이다.

이러한 문제를 피하기 위해서, INV2에서, 게이트 전극(635)과 드레인 전극(638) 사이의 거리는 INV1에서의 거리 d의 두 배로 만들어져서, 게이트-드레인 배선 커패시턴스는 INV2에서의 전력 소모량을 감소시키도록 반감된다.

게이트와 드레인 사이에 인가된 신호의 주파수는 드레인과 소스들 사이에 인가된 신호들의 것보다 높으면, 상기 구조는 전력 소모량 감소의 향상된 효과를 제공한다.

제 3 실시예에서, 제 2 단계 인버터 회로(INV2)의 게이트-드레인 거리가 두배가 되더라도, 그것은 1,5, 3 등의 인자에 의해 증가될 수 있다. 또한, 채널 폭이 3 또는 5의 인자에 의해 증가될 수 있음은 말할 나위도 없다.

제 4 실시예

제 4 실시예에서, 도 7A 내지 도 7D를 참조해서 도 1의 구성을 갖는 인버터 회로의 제조 방법이 설명될 것이다.

먼저, 언더코트 산화물막(702)으로서 두께가 1,000 내지 3,000Å인 실리콘 옥사이드막이 플라즈마 CVD 또는 산소 분위기에서의 스퍼터링에 의해서 절연 표면을 갖는 기판으로서 유리 기판(701) 위에 형성된다.

그 다음에, 플라즈마 CVD 또는 LPCVD에 의해서, 300 내지 1,500Å, 바람직하게는 500 내지 1,000Å의 두께로 비결정질 실리콘막이 형성된다. 그 다음에, 500℃ 또는 그 이상, 바람직하게는 500 내지 600℃에서 열 어닐링을 수행하여, 실리콘막이 결정화되거나 결정성이 개선된다.

일본의 심사되지 않은 특허 공개 제 평성6-244103호 및 평성6-244104호에 기재된 바와 같이 열 어닐링에 의한 결정화에서, 실리콘의 결정화를 가속시키기 위해 니켈과 같은 원소(촉매 원소)가 첨가될 수 있다.

결정성은 열 어닐링에 의한 결정화 후에, 광 어닐링(예를 들면, 레이저광이 사용된다)에 의해 더욱 개선될 수 있다.

다음에, 실리콘막이 능동층(703)(n-채널 TFT의 경우) 및 능동층(704)(p-채널 TFT의 경우)로서 섬모양 반도체 영역들로 에칭된다.

그 다음에, 산소 분위기에서 스퍼터링에 의해, 게이트 절연막(706)으로서 두께가 500 내지 2,000Å인 실리콘 옥사이드막이 형성된다.

대안적으로, 플라즈마 CVD에 의해서 게이트 절연막(706)이 형성될 수도 있다. 플라즈마 CVD에 의해 실리콘 옥사이드막(706)을 형성할 때, 일산화이질소(N_2O) 또는 산소(O_2) 및 모노실란(SiH_4)의 성분 가스를 사용하는 것이 바람직하다.

다음에, 스퍼터링에 의해서 전체 기판 위에 두께가 2,000 내지 6,000Å인 알루미늄막이 형성된다. 후속 열처리들에서 힐록(hillock)들이 발생하는 것을 방지하기 위해서, 알루미늄막은 규소, 스칸디늄, 팔라듐 등을 함유할 수 있다. 알루미늄 막을 에칭시킴으로써 게이트 전극들(707 및 708)이 형성된다(도 7A 참조).

게이트 전극들(707 및 708)을 형성하기 위해 사용된 마스크 패턴은, 고주파 쪽의 전극간 거리(즉, 게이트 전극(707 또는 708)과 나중에 형성된 소스 또는 드레인 전극 사이의 거리)가 더 길게 만들어지는, 게이트 전극들(707 및 708)을 형성하도록 하는 형상으로 되어있다. 본 실시예에서, 게이트 전극들(707 및 708)은 섬모양 반도체들(703 및 704)의 소스측들에 더 가까운 위치들에 형성되어, 게이트 전극(707 또는 708)과 나중에 형성된 드레인 전극 사이의 거리가, 게이트 전극(707 또는 708)과 나중에 형성된 소스 전극 사이의 거리보다 더 길게 만들어진다.

게이트 전극들(707 및 708) 위에, 그들의 바깥 면들을 약산 타입의 전해질을 사용한 산화피막 처리함으로써 배리어 타입 양극(anode) 산화물막을 형성할 수 있다. 이것은, 절연 성능을 개선시키고, 회로단락과 누설의 가능성들을 감소시킨다. 또한 힐록들의 발생이 억제된다.

다음에, 인의 도핑가스(PH_3)를 사용한 마스크로서 사용된 게이트 전극(707 및 708)과 함께 자기정렬 방식으로 이온 도핑에 의해 섬모양 능동층(703 및 704)에 인이 주입된다. 그 분량은 $1x\ 10^{14}$ 내지 $1x\ 10^{15}$ atoms/cm^2 으로 설정된다. 따라서, n-형 영역들(710 내지 713)이 형성되고, 그 중에서 영역들(710 및 711)은 각각 n-채널 TFT의 소스 및 드레인 영역들이 될 것이다(도 7B 참조).

그 다음에, 포토레지스트 마스크(714)가 형성되어 n-채널 TFT를 덮게 된다.

그 후, 디보란 도핑가스(B_2H_6)를 사용하여 이온 도핑에 의해 섬모양 영역(704)에 붕소가 주입된다. 그 분량은 $5x\ 10^{14}$ 내지 $8x\ 10^{15}$ atoms/cm^2 으로 설정된다. 결과적으로, 이미 형성된 n-형 영역들(712 및 713)이 p-형 영역들(715 및 716), 즉, p-채널 TFT의 드레인과 소스 영역들로 각각 변환된다(도 7C 참조).

그 다음에, 450 내지 850℃에서 0.5 내지 3 시간 동안 열 어닐링을 수행함으로써, 도핑으로 인한 손상을 치유되고, 도핑 불순물들이 활성화되며, 실리콘의 결정성이 회복된다.

다음에, 플라즈마 CVD에 의해서 층간 절연막(717)으로서 두께가 3,000 내지 6,000Å의 실리콘 옥사이드막이 형성된다. 대안적으로, 층간 절연막(717)은 실리콘 나이트라이드막 또는 실리콘 옥사이드막과 실리콘 나이트라이드막의 다층막일 수 있다. 접점 홀들은 습식 에칭 또는 건식 에칭에 의해 층간 절연막(717)을 에칭시킴으로써 형성된다.

다음에, 스퍼터링에 의해서 두께가 2,000 내지 6,000Å인 알루미늄막 또는 티타늄/알루미늄 다층막이 형성된다. 이 막을 에칭시킴으로써, n-채널 TFT에 연결된 소스 전극(718), p-채널 TFT에 연결된 소스 전극(720), 및 두 TFT들에 연결된 드레인 전극(719)이 형성된다(도 7C 참조).

이 때, n-채널 TFT에서, 각 전극들이 형성되고 소스 전극(718)과 게이트 전극(707) 사이의 거리(D1), 및 드레인 전극(719)과 게이트 전극(707) 사이의 거리(D2)는 $D1 < D2$의 관계식을 만족한다. 이 거리들의 각각은 대향한 전극들의 대향한 쪽 단부들 간의 거리와 대향한 전극들의 대향한 쪽 단면들간의 거리가 되어야 한다는 것이 주의된다.

마찬가지로, p-채널 TFT에서, 각 전극들이 형성되고 소스 전극(720)과 게이트 전극(708) 사이의 거리(D1') 및 드레인 전극(719)과 게이트 전극(708) 사이의 거리(D2')가 $D1' < D2'$의 관계식을 만족한다.

그 다음에, CVD 플라즈마에 의한 패시베이션(passivation)막으로서 두께가 1,000 내지 3,00Å의 실리콘 나이트라이드막을 침착시킨 다음, 그것을 에칭시켜서 층간 막이 형성될 수 있다. 대안적으로, 폴리이미드막과 같은 유기 수지막이 층간 막으로서 형성될 수 있다.

위에 설명한 바와 같이, 감소된 전력 소모량을 갖는 인버터 회로가 제조될 수 있다. 상기 제조 방법은 유사한 구조를 제조하기 위한 종래의 방법에 사용된 전극들과 능동층들의 형성을 위한 마스크 패턴들만이, 본 발명에 따른 필요한 전극간 거리들을 제공하는 것들에 의해 대체되도록 하는 것이다. 즉, 본 발명에 따른 반도체 장치는 종래의 방법과 약간 다른 제조방법으로 수행될 수 있다.

제 5 실시예

제 5 실시예는 리세트를 갖는 플립플롭 회로에 관한 것이다. 도 9는 플립플롭 회로의 등가 회로도이다.

이 실시예에서, 본 발명에 따라 긴 게이트-드레인 거리를 갖는 박막 트랜지스터의 구성은 입력 클럭 신호가 적용된 클럭 NAND 회로(904)와, 클럭된 인버터 회로들(901-903)에 적용된다.

클럭 신호의 주파수는 수 MHz 내지 수십 MHz만큼 높다. 또한, 하나의 클럭 신호 라인에 여러 개의 플립플롭 회로들이 연결된 회로의 경우에, 클럭 신호 라인을 구동시키기 위해서는 상당히 큰 전력이 소모된다. 따라서, 그러한 회로 내의 기생 커패시턴스들을 감소시키는 것은 전력 소모량의 감소에 크게 기여한다.

도들 10A 및 10B는 클럭된 인버터 회로와 클럭된 NAND 회로의 등가 회로도들이다. 도들 11 및 12는 각각 도 10A 및 도 10B의 회로들의 구현들로서 박막 트랜지스터들을 사용함으로써 형성된 회로들의 평면도들이다.

도들 10A와 11 사이의 관계가 다음에 설명될 것이다. 도 10A에서의 p-채널 트랜지스터들(1001 및 1003)은 각각 도 11에서의 p-채널 박막 트랜지스터들(1102 및 1104)에 상응한다. 도 10A에서의 N-채널 트랜지스터들(1002 및 1004)은 각각 n-채널 박막 트랜지스터들(1101 및 1103)에 상응한다.

도 11에 도시된 바와 같이, 클럭 신호(CLK)는 게이트 전극(1110)에 입력된다. 클럭 신호(CLKb)는 게이트 전극(1114)에 입력된다. 입력 신호 A는 게이트 전극(1111)에 입력된다. 출력 신호 Y는 소스 전극(1112)으로부터 출력된다. 접지 포텐셜(GND)을 공급받은 접지선(1115)은 n-채널 박막 트랜지스터(1101)의 소스 전극에 연결되어있다. 전원 공급 퍼텐셜(V_{DD})을 공급받는 전력 공급선(1116)은 p-채널 박막 트랜지스터(1102)의 소스 전극에 연결되어 있다.

전극(1117)은 두 n-채널 박막 트랜지스터들(1101 및 1103)의 드레인 전극들로서 역할을 한다. 전극(1113)은 두 p-채널 박막 트랜지스터들(1102 및 1104)의 드레인 전극들로서 역할을 한다.

도 11의 회로에서, 클럭된 인버터 회로를 구성하는 박막 트랜지스터들 중에서, 클럭 신호(CLKb)를 수신하는 p-채널 박막 트랜지스터(1102)와 클럭 신호(CLK)를 수신하는 n-채널 박막 트랜지스터(1101)만이 게이트-드레인 거리가 게이트-소스 거리 d의 두 배, 즉 2d로 만들어진 구조를 갖는다. 다른 박막 트랜지스터들의 게이트-드레인 거리는 d와 같도록 만들어진다.

도 10B의 p-채널 트랜지스터들(1005 및 1007 및 1008)은 각각 도 12의 p-채널 박막 트랜지스터(1202 및 1205 및 1206)에 상응한다. 도 10B의 n-채널 트랜지스터들(1006, 1009 및 1010)은 각각 n-채널 박막 트랜지스터(1201, 1204 및 1203)에 상응한다.

도 12에 도시된 바와 같이, 클럭 신호(CLK)는 게이트 전극(1210)에 입력된다. 클럭 신호(CLKb)는 게이트 전극(1214)에 입력된다. 입력 신호들(A 및 B)은 각각 게이트 전극들(1212 및 1211)에 입력된다. 출력 신호 Y는 전극(1215)으로부터 출력된다. 접지 포텐셜(GND)을 공급받는 접지선(1217)은 n-채널 박막 트랜지스터(1201)의 소스 전극에 연결되어 있다. 전력 공급 포텐셜(V_{DD})을 공급받는 전력 공급선(1218)은 p-채널 박막 트랜지스터(1202)의 소스 전극에 연결되어 있다.

전극(1216)은 n-채널 박막 트랜지스터들(1201 및 1203)의 드레인 전극들로서 역할을 한다. 전극(1213)은 p-채널 트랜지스터들(1202 및 1205)의 드레인 전극들로서 역할을 한다.

도 12의 회로에서, 클럭된 NAND 회로를 구성하는 박막 트랜지스터들 중에서, 클럭 신호(CLK)를 수신하는 n-채널 박막 트랜지스터(1201)와 클럭 신호(CLKb)를 수신하는 p-채널 트랜지스터(1202)만이, 게이트-드레인 거리가 게이트-소스 거리 d의 두 배, 즉 2d가 되도록 만들어진 구조를 갖는다. 다른 박막 트랜지스터들의 게이트-드레인 거리는 d와 같도록 만들어진다.

즉, 기타 박막 트랜지스터들에서, 게이트-소스 거리와 게이트 드레인 거리는 둘 다 d와 같다.

자연적으로, 본 발명에 따른 구성은 회로를 구성하는 모든 박막 트랜지스터들에 적용될 수 있다. 그러나, 그러한 경우에, 각 박막 트랜지스터에 의해 차지된 면적은 크게 되므로, 회로 레이아웃에 필요한 면적은 증가하고 집적도는 떨어진다.

위의 관점에서, 본 발명에 따른 구성은 게이트와 드레인 사이의 고주파 신호를 수신하는 것으로 예측되고 따라서 전력 소모량이 큰 박막 트랜지스터에만 적용되고, 단지 이들 박막 트랜지스터들에서 게이트-드레인 거리는 게이트-소스 거리보다 더 길게 만들어진다. 이러한 구성에서, 집적도의 감소는 최소화되고, 전력 소모량은 감소될 수 있다.

이 실시예의 구성의 전력 소모량과, 클럭된 인버터 회로 또는 클럭된 NAND 회로를 구성하는 모든 박막 트랜지스터들이, 게이트-드레인 거리와 게이트-소스 거리 모두 d인 구조를 갖는 구성의 전력 소모량을 비교한 결과, 이 실시예는 $3CV^2f$[W] 만큼의 전력 소모량의 감소를 제공하는데, 여기서, C[F]는 게이트-드레인 커패시턴스이고, V[V]는 전력 공급 전압이고, f[Hz]는 클럭 신호들의 주파수이다.

이 실시예에서, 게이트-드레인 거리는 도 9에 도시된 플립플롭 회로의 클럭된 NAND 회로(904)와 클럭된 인버터 회로들(901-903)에서만 증가한다. 그러나, 말할 필요도 없이, 본 발명의 구성을 또한 인버터 회로들(905-907) 및 NAND 회로(908)에 적용함으로써 전력 소모량을 더 감소시키는 것이 바람직하다.

제 6 실시예

제 6 실시예는 본 발명을 디코더 회로에 적용함으로써 전력 소모량을 감소시킨 경우에 관한 것이다.

이 실시예에서, 상이한 주파수들의 신호들이 입력된 다수의 회로들에서, 각 회로를 구성하는 박막 트랜지스터들의 게이트-드레인 거리는 그 회로에 입력된 신호의 주파수에 따라 증가된다.

도 13은 3 비트 2진 카운터(1310)와, 3 비트 신호를 8 비트 신호로 디코딩하기 위한 디코더(1311)를 사용하는 회로를 도시한다. 이 회로의 동작은, 도 13의 회로의 타이밍도인, 도 14를 참조해서 설명될 것이다.

도 14에 도시된 바와 같이, 카운터(1310)에 입력된 리세트 신호가 L-레벨로부터 H-레벨로 변하면 리세트 상태는 취소된다.

리세트 상태를 취소하면, 클럭 신호의 발생과 동시에, 클럭 신호의 주파수를 2부분들, 4부분들, 및 8부분들로 나눔으로써 얻어진 파형이 카운터(1310)(도 13 참조)의, 출력들(C0, C1 및 C2)에 각각 나타나고, 출력들(C0, C1 및 C2)에 나타나는 파형의 극성들에 반대되는 극성들을 갖는 파형들은 각각 출력들(C0b, C1b, C2b)에 나타난다.

따라서, 도 14에 도시된 바와 같이, 0 내지 7의 2진 카운팅값들은 출력들(C0, C1 및 C2)에 되풀이하여 나타난다.

디코더(1311)는 카운터(1310)로부터 출력된 2진값에 따라 H-레벨을 디코더 출력들(D1-D8)의 1비트로 만드는 작업을 반복한다.

도 13의 회로에서, 클럭 신호의 무거운 부하 때문에, 버퍼 회로(1301)는 카운터(1310)의 클럭 입력 섹션에 제공된다. 또한, 카운터(1310)의 출력측 위의 무거운 부하들 때문에, 버퍼 회로들(1302-1307)은 카운터(1310)와 디코더(1311) 사이에 제공된다.

이 실시예에서, 버퍼 회로들(1301)를 구성하는 박막 트랜지스터들의 게이트-드레인 거리는 동작 주파수에 따라 증가된다.

즉, 버퍼 회로들(1307 및 1306)을 구성하는 박막 트랜지스터들의 게이트-소스 거리 및 게이트-드레인 거리는 d와 동일하게 만들어진다. 버퍼 회로(1307 및 1306)의 동작 주파수의 두 배의 주파수에서 작동하는 버퍼 회로들(1305 및 1304)을 구성하는 박막 트랜지스터들의 게이트-드레인 거리는 2d와 같게 만들어진다.

버퍼 회로들(1305 및 1304)의 동작 주파수의 두 배의 주파수에서 작동하는 버퍼 회로들(1303 및 1302)을 구성하는 박막 트랜지스터들의 게이트-드레인 거리는 4d와 같게 만들어진다. 또한, 가장 높은 주파수를 갖는 클럭 신호를 수신하는 버퍼회로(1301)를 구성하는 박막 트랜지스터들의 게이트-드레인 거리는 8d와 같게 만들어진다.

본 명세서는 이 실시예의 구성의 전력 소모량과, 모든 버퍼 회로들(1301-1307)을 구성하는 박막 트랜지스터들이, 게이트-드레인 거리와 게이트-소스 거리가 모두 d로 만들어진 구조를 갖는 종래의 구성의 전력 소모량을 비교해서 설명될 것이다.

C[F]는 게이트-드레인 거리가 d일 때의 게이트-드레인 커패시턴스이고, f[Hz]는 클럭 주파수, V[V]는 전력 공급 전압을 나타낸다. 동작 주파수에 따라 게이트-드레인 거리가 d, 2d, 4d 또는 8d로 설정된 본 실시예의 회로의 기생 커패시턴스들로 인한 전력 소모량은 $(1/8)CV^2f + (1/4)CV^2(1/2)f + (1/2)CV^2(1/4)f + CV^2(1/8)f = (4/8)C^2Vf$ 와 같이 계산된다.

한편, 게이트-드레인 거리가 모든 버퍼 회로들(1301-1307)에서 d로 설정된 경우에, 전력 소모량은 $CV^2f + CV^2(1/2)f + CV^2(1/4)f + CV^2(1/8)f = (15/8)CV^2f$ 와 같이 계산된다. 따라서, 본 실시예의 회로는 종래의 회로의 값의 약 4/15까지 배선 커패시턴스들로 인한 전력 소모량을 감소시킬 수 있다.

이 실시예의 구성을 사용함으로써, 박막 트랜지스터들의 배열에 필요한 면적의 증가를 최소화하면서, 효율적으로 전력 소모량이 감소될 수 있다.

위에 설명한 바와 같이, 본 발명은, 배선 커패시턴스들로 인한 전력 소모량을 감소시킬 수 있고, 높은 집적도에서 집적될 수 있는 반도체 장치를 제공할 수 있다.

발명의 효과

본 발명은 배선 커패시턴스들로 인한 전력 소모량을 감소시킬 수 있고, 높은 집적도에서 집적될 수 있는 반도체 장치를 제공할 수 있다.

(57) 청구의 범위

청구항 1.

반도체 장치에 있어서,

둘 다 기판 상에 배치된 n-채널 전계 효과 트랜지스터 및 p-채널 전계 효과 트랜지스터를 포함하고, 상기 n-채널 및 p-채널 전계 효과 트랜지스터들의 각각은,

소스 영역, 드레인 영역, 및 상기 소스 영역과 드레인 영역 사이에 배치된 채널 형성 영역과;

게이트 절연막을 통해 상기 채널 형성 영역 근처에 배치된 게이트 전극과;

상기 소스 영역에 연결된 소스 전극을 포함하고,

상기 n-채널 및 p-채널 전계 효과 트랜지스터들은 입력 단자와 출력 단자와 공통 드레인 전극을 갖는 인버터 회로를 구성하고,

상기 n-채널 전계 효과 트랜지스터의 상기 게이트 전극은 상기 p-채널 전계 효과 트랜지스터의 상기 게이트 전극과 연결되어 있고, 상기 입력 단자는 상기 n-채널 및 p-채널 전계 효과 트랜지스터들의 상기 게이트 전극들의 둘 다에 연결되어 있고,

상기 공통 드레인 전극은 상기 n-채널 및 p-채널 전계 효과 트랜지스터들의 드레인 영역들에 연결되어 있고, 상기 출력 단자는 상기 공통 드레인 전극과 연결되어 있고,

상기 n-채널 및 p-채널 전계 효과 트랜지스터들의 적어도 하나에서, 상기 게이트 전극과 상기 공통 드레인 전극 사이의 거리는 상기 게이트 전극과 상기 소스전극 사이의 거리보다 길고,

상기 n-채널 전계 효과 트랜지스터의 상기 소스 영역에 연결된 상기 소스 전극은 접지 포텐셜과 연결되어 있고,

상기 p-채널 전계 효과 트랜지스터의 상기 소스 영역에 연결된 상기 소스 전극은 전원 공급 라인과 연결되어 있는, 반도체 장치.

청구항 2.

반도체 장치에 있어서,

둘 다 기판 상에 배치된 n-채널 전계 효과 트랜지스터 및 p-채널 전계 효과 트랜지스터를 포함하고, 상기 n-채널 및 p-채널 전계 효과 트랜지스터들의 각각은,

소스 영역, 드레인 영역, 및 상기 소스 영역 및 드레인 영역 사이에 배치된 채널 형성 영역과;

게이트 절연막을 통해 상기 채널 형성 영역 근처에 배치된 게이트 전극과;

상기 소스 영역과 연결된 소스 전극을 포함하고,

상기 n-채널 및 p-채널 전계 효과 트랜지스터들은 입력 단자와 출력 단자와 공통 드레인 전극을 갖는 인버터 회로를 구성하고,

상기 n-채널 전계 효과 트랜지스터의 상기 게이트 전극은 상기 p-채널 전계 효과 트랜지스터의 상기 게이트 전극과 연결되어 있고, 상기 입력 단자는 상기 n-채널 및 p-채널 전계 효과 트랜지스터들의 상기 게이트 전극들의 둘 다에 연결되어 있고,

상기 공통 드레인 전극은 상기 n-채널 및 p-채널 전계 효과 트랜지스터들의 드레인 영역들에 연결되어 있고, 상기 출력 단자는 상기 공통 드레인 전극과 연결되어 있고,

상기 n-채널 및 p-채널 전계 효과 트랜지스터들의 적어도 하나에서, 상기 게이트 전극과 상기 공통 드레인 전극 사이의 거리는 상기 게이트 전극과 상기 소스 전극 사이의 거리보다 길고,

상기 n-채널 전계 효과 트랜지스터의 상기 소스 영역에 연결된 상기 소스 전극은 접지 포텐셜과 연결되어 있고,

상기 p-채널 전계 효과 트랜지스터의 상기 소스 영역에 연결된 상기 소스 전극은 전원 공급 라인과 연결되어 있고,

상기 입력 단자 및 상기 출력 단자 사이에 공급된 전기적인 신호의 진폭은 상기 입력 단자 및 상기 전원 공급 라인 사이에 공급된 전기적인 신호의 진폭보다 큰, 반도체 장치.

청구항 3.

반도체 장치에 있어서,

둘 다 기판 상에 배치된 n-채널 전계 효과 트랜지스터 및 p-채널 전계 효과 트랜지스터를 포함하고, 상기 n-채널 및 p-채널 전계 효과 트랜지스터들의 각각은,

소스 영역, 드레인 영역, 및 상기 소스 영역과 드레인 영역 사이에 배치된 채널 형성 영역과;

게이트 절연막을 통해 상기 채널 형성 영역 근처에 배치된 게이트 전극과;

상기 소스 영역과 연결된 소스 전극을 포함하고,

상기 n-채널 및 p-채널 전계 효과 트랜지스터들은 입력 단자와 출력 단자와 공통 드레인 전극을 갖는 인버터 회로를 구성하고,

상기 n-채널 트랜지스터의 상기 게이트 전극은 상기 p-채널 전계 효과 트랜지스터의 상기 게이트 전극과 연결되어 있고, 상기 입력 단자는 상기 n-채널 및 p-채널 전계 효과 트랜지스터들의 상기 게이트 전극들의 둘 다에 연결되어 있고,

상기 공통 드레인 전극은 상기 n-채널 및 p-채널 전계 효과 트랜지스터들의 드레인 영역들에 연결되어 있고, 상기 출력 단자는 상기 공통 드레인 전극과 연결되어 있고,

상기 n-채널 및 p-채널 전계 효과 트랜지스터들의 적어도 하나에서, 상기 게이트 전극과 상기 공통 드레인 전극 사이의 거리는 상기 게이트 전극과 상기 소스 전극 사이의 거리보다 길고,

상기 n-채널 전계 효과 트랜지스터의 상기 소스 영역에 연결된 상기 소스 전극은 접지 포텐셜과 연결되어 있고,

상기 p-채널 전계 효과 트랜지스터의 상기 소스 영역에 연결된 상기 소스 전극은 양의 포텐셜을 갖는 인터커넥션과 연결되어 있는, 반도체 장치.

청구항 4.

제 3 항에 있어서, 상기 입력 단자와 상기 출력 단자 사이에 공급된 전기적인 신호의 주파수는 상기 입력 단자와 상기 인터커넥션 사이에 공급된 전기적인 신호의 주파수보다 높은, 반도체 장치.

청구항 5.

반도체 장치에 있어서,

모두 기판 상에 배치된 제 1 n-채널 전계-효과 트랜지스터 및 제 1 p-채널 전계 효과 트랜지스터 및 제 2 n-채널 전계 효과 트랜지스터 및 제 2 p-채널 전계 효과 트랜지스터를 포함하고, 상기 제 1 n-채널 전계-효과 트랜지스터 및 상기 제 1 p-채널 전계 효과 트랜지스터 및 제 2 n-채널 전계 효과 트랜지스터 및 제 2 p-채널 전계 효과 트랜지스터의 각각은,

소스 영역, 드레인 영역, 및 상기 소스 영역과 드레인 영역 사이에 배치된 채널 형성 영역과;

게이트 절연막을 통해 상기 채널 형성 영역 근처에 배치된 게이트 전극과;

상기 소스 영역과 연결된 소스 전극을 포함하고,

상기 제 1 n-채널 전계-효과 트랜지스터 및 제 1 p-채널 전계 효과 트랜지스터 및 제 2 n-채널 전계 효과 트랜지스터 및 제 2 p-채널 전계 효과 트랜지스터는 입력 단자와 출력 단자와 제 1 공통 드레인 전극 및 제 2 공통 드레인 전극을 갖는 버퍼 회로를 구성하고,

상기 제 1 n-채널 및 제 1 p-채널 전계 효과 트랜지스터들의 상기 드레인 영역들은 상기 제 1 공통 드레인 전극에 연결되어 있고,

상기 제 2 n-채널 및 제 2 p-채널 전계 효과 트랜지스터들의 상기 드레인 영역들은 상기 제 2 공통 드레인 전극에 연결되어 있고,

상기 제 1 n-채널 전계 효과 트랜지스터의 상기 게이트 전극은 상기 제 1 p-채널 전계 효과 트랜지스터의 상기 게이트 전극에 연결되어 있고, 상기 입력 단자는 상기 제 1 n-채널 및 제 1 p-채널 전계 효과 트랜지스터들의 상기 두 개의 게이트 전극들에 연결되어 있고,

상기 제 2 n-채널 전계 효과 트랜지스터의 상기 게이트 전극은 상기 제 2 p-채널 전계 효과 트랜지스터의 상기 게이트 전극에 연결되어 있고, 상기 제 2 n-채널 및 제 2 p-채널 전계 효과 트랜지스터들의 상기 두 개의 게이트 전극들은 상기 제 1 공통 드레인 전극에 연결되어 있고,

상기 출력 단자는 상기 제 2 공통 드레인 전극과 연결되어 있고,

상기 제 1 n-채널 전계 효과 트랜지스터 및 상기 제 1 p-채널 전계 효과 트랜지스터의 적어도 하나에서, 상기 게이트 전극과 상기 제 1 공통 드레인 전극 사이의 거리는 상기 게이트 전극과 상기 소스 전극 사이의 거리보다 길고,

상기 제 2 n-채널 전계 효과 트랜지스터 및 상기 제 2 p-채널 전계 효과 트랜지스터의 적어도 하나에서, 상기 게이트 전극과 상기 제 2 공통 드레인 전극 사이의 거리는 상기 게이트 전극과 상기 소스 전극 사이의 거리보다 길고,

상기 제 1 n-채널 전계 효과 트랜지스터의 상기 소스 영역에 연결된 상기 소스 전극은 접지 포텐셜과 연결되어 있고,

상기 제 2 n-채널 전계 효과 트랜지스터의 상기 소스 영역에 연결된 상기 소스 전극은 상기 접지 포텐셜과 연결되어 있고,

상기 제 1 p-채널 전계 효과 트랜지스터의 상기 소스 영역에 연결된 상기 소스 전극은 전원 공급 라인과 연결되어 있고,

상기 제 2 p-채널 전계 효과 트랜지스터의 상기 소스 영역에 연결된 상기 소스 전극은 상기 전원 공급 라인과 연결되어 있는, 반도체 장치.

청구항 6.

반도체 장치에 있어서,

모두 기판 상에 배치된 제 1 n-채널 전계-효과 트랜지스터 및 제 1 p-채널 전계 효과 트랜지스터 및 제 2 n-채널 전계 효과 트랜지스터 및 제 2 p-채널 전계 효과 트랜지스터를 포함하고, 상기 제 1 n-채널 전계-효과 트랜지스터 및 상기 제 1 p-채널 전계 효과 트랜지스터 및 제 2 n-채널 전계 효과 트랜지스터 및 제 2 p-채널 전계 효과 트랜지스터의 각각은,

소스 영역, 드레인 영역, 및 상기 소스 영역과 드레인 영역 사이에 배치된 채널 형성 영역과;

게이트 절연막을 통해 상기 채널 형성 영역 근처에 배치된 게이트 전극과;

상기 소스 영역과 연결된 소스 전극을 포함하고,

상기 제 1 n-채널 전계-효과 트랜지스터 및 제 1 p-채널 전계 효과 트랜지스터 및 제 2 n-채널 전계 효과 트랜지스터 및 제 2 p-채널 전계 효과 트랜지스터는 입력 단자와 출력 단자와 제 1 공통 드레인 전극 및 제 2 공통 드레인 전극을 갖는 버퍼 회로를 구성하고,

상기 제 1 n-채널 및 제 1 p-채널 전계 효과 트랜지스터들의 상기 드레인 영역들은 상기 제 1 공통 드레인 전극에 연결되어 있고,

상기 제 2 n-채널 및 제 2 p-채널 전계 효과 트랜지스터들의 상기 드레인 영역들은 상기 제 2 공통 드레인 전극에 연결되어 있고,

상기 제 1 n-채널 전계 효과 트랜지스터의 상기 게이트 전극은 상기 제 1 p-채널 전계 효과 트랜지스터의 상기 게이트 전극에 연결되어 있고, 상기 입력 단자는 상기 제 1 n-채널 및 제 1 p-채널 전계 효과 트랜지스터들의 상기 두 개의 게이트 전극들에 연결되어 있고,

상기 제 2 n-채널 전계 효과 트랜지스터의 상기 게이트 전극은 상기 제 2 p-채널 전계 효과 트랜지스터의 상기 게이트 전극에 연결되어 있고, 상기 제 2 n-채널 및 제 2 p-채널 전계 효과 트랜지스터들의 상기 두 개의 게이트 전극들은 상기 제 1 공통 드레인 전극에 연결되어 있고,

상기 출력 단자는 상기 제 2 공통 드레인 전극과 연결되어 있고,

상기 제 1 n-채널 전계 효과 트랜지스터 및 상기 제 1 p-채널 전계 효과 트랜지스터의 적어도 하나에서, 상기 게이트 전극과 상기 제 1 공통 드레인 전극 사이의 거리는 상기 게이트 전극과 상기 소스 전극 사이의 거리보다 길고,

상기 제 2 n-채널 전계 효과 트랜지스터 및 상기 제 2 p-채널 전계 효과 트랜지스터의 적어도 하나에서, 상기 게이트 전극과 상기 제 2 공통 드레인 전극 사이의 거리는 상기 게이트 전극과 상기 소스 전극 사이의 거리보다 길고,

상기 제 1 n-채널 전계 효과 트랜지스터의 상기 소스 영역에 연결된 상기 소스 전극은 접지 포텐셜과 연결되어 있고,

상기 제 2 n-채널 전계 효과 트랜지스터의 상기 소스 영역에 연결된 상기 소스 전극은 상기 접지 포텐셜과 연결되어 있고,

상기 제 1 p-채널 전계 효과 트랜지스터의 상기 소스 영역에 연결된 상기 소스 전극은 양의 포텐셜을 갖는 인터커넥션과 연결되어 있고,

상기 제 2 p-채널 전계 효과 트랜지스터의 상기 소스 영역에 연결된 상기 소스 전극은 상기 양의 포텐셜을 갖는 인터커넥션과 연결되어 있는, 반도체 장치.

청구항 7.

제 1 항 또는 제 2 항 또는 제 3 항 또는 제 5 항 또는 제 6 항에 있어서, 상기 전계 효과 트랜지스터들의 각각은 박막 트랜지스터인, 반도체 장치.

청구항 8.

제 7 항에 있어서, 상기 박막 트랜지스터는 절연 표면을 갖는 기판 상에 배치된, 반도체 장치.

청구항 9.

제 7 항에 있어서, 상기 박막 트랜지스터는 유리 기판 위에 배치된, 반도체 장치.

청구항 10.

반도체 장치에 있어서,

소스 영역 및 드레인 영역 및, 상기 소스 영역 및 상기 드레인 영역 사이에 제공된 채널을 포함하는 반도체 영역과;

게이트 절연막을 통해 상기 채널 근처에 제공된 게이트 전극과;

상기 소스 영역에 연결된 소스 전극과;

상기 드레인 영역에 연결된 드레인 전극을 포함하고,

상기 게이트 전극과 상기 소스 전극 및 상기 드레인 전극의 하나 사이에 가해진 전기적인 신호의 주파수는 상기 게이트 전극 및 상기 소스 전극과 상기 드레인 전극의 다른 것 사이에 가해진 전기적인 신호의 주파수보다 높고,

상기 높은 주파수에서 전기적인 신호가 가해진 상기 게이트 전극과 상기 소스 전극 및 상기 드레인 전극의 상기 하나 사이의 거리는 상기 낮은 주파수에서 상기 전기적인 신호가 가해진 상기 게이트 전극과 상기 소스 전극 및 상기 드레인 전극의 상기 다른 것 사이의 거리보다 더 긴, 반도체 장치.

청구항 11.

반도체 장치에 있어서,

소스 영역 및 드레인 영역 및, 상기 소스 영역 및 상기 드레인 영역 사이에 제공된 채널을 포함하는 반도체 영역과;

게이트 절연막을 통해 상기 채널 근처에 제공된 게이트 전극과;

상기 소스 영역에 연결된 소스 전극과;

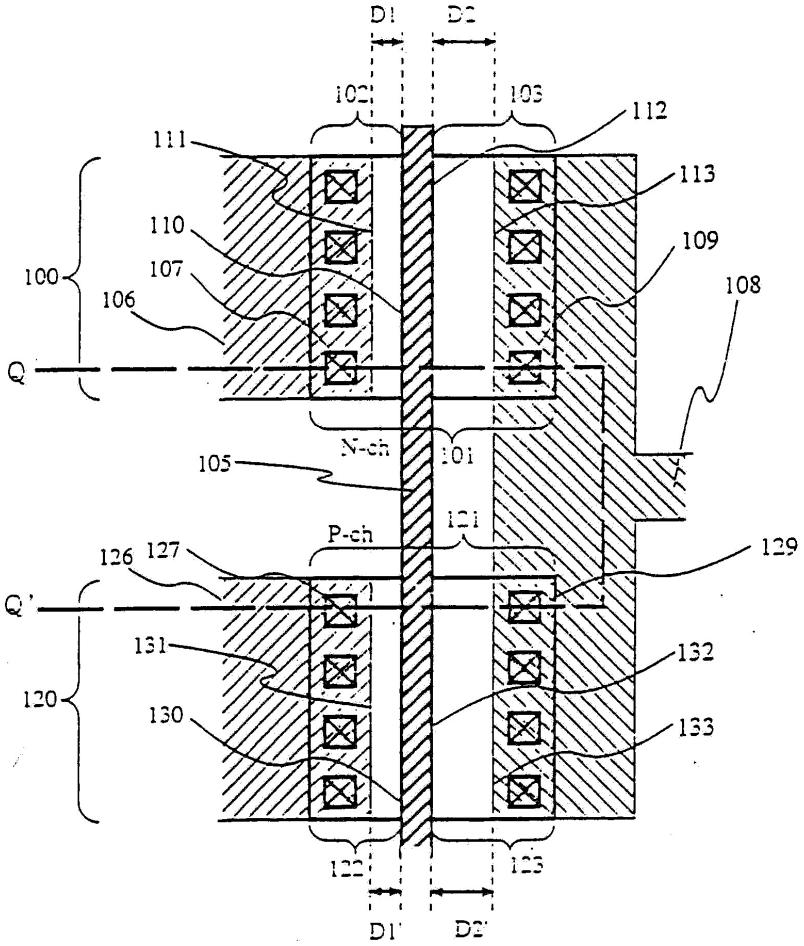
상기 드레인 영역에 연결된 드레인 전극을 포함하고,

상기 게이트 전극과 상기 소스 전극 및 상기 드레인 전극의 하나 사이에 가해진 전기적인 신호의 진폭는 상기 게이트 전극 및 상기 소스 전극과 상기 드레인 전극의 다른 것 사이에 가해진 전기적인 신호의 진폭보다 크고,

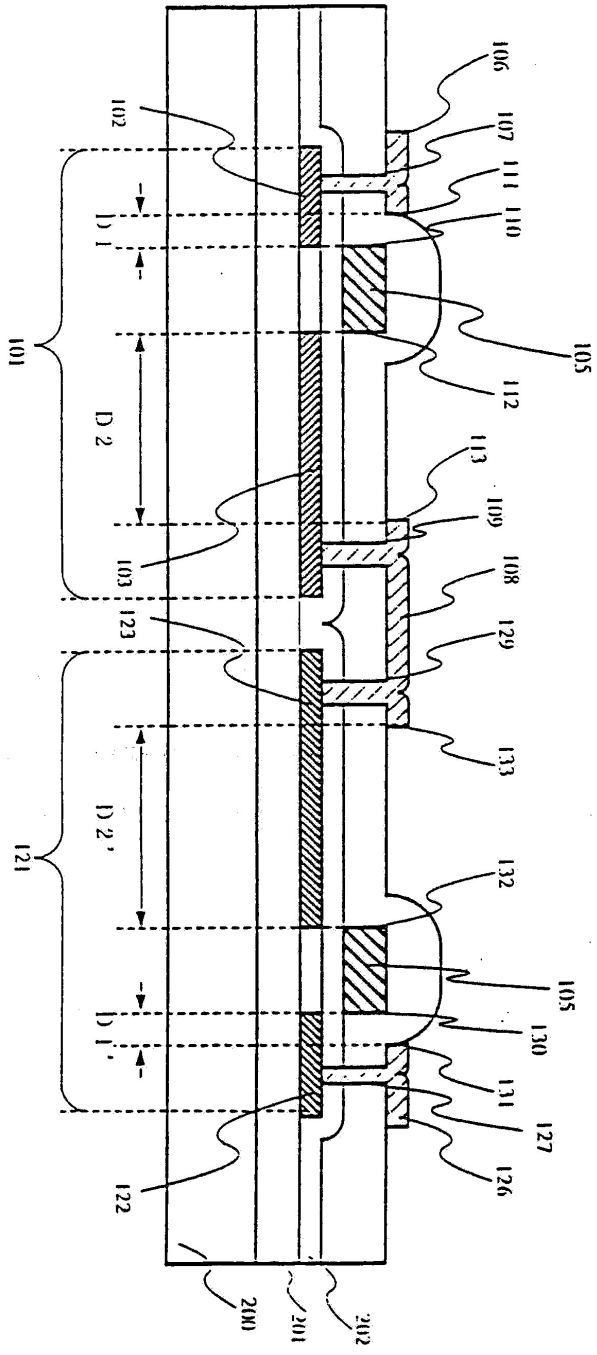
상기 큰 진폭에서 전기적인 신호가 가해진 상기 게이트 전극과 상기 소스 전극 및 상기 드레인 전극의 상기 하나 사이의 거리는 상기 작은 진폭에서 상기 전기적인 신호가 가해진 상기 게이트 전극과 상기 소스 전극 및 상기 드레인 전극의 상기 다른 것 사이의 거리보다 더 긴, 반도체 장치.

도면

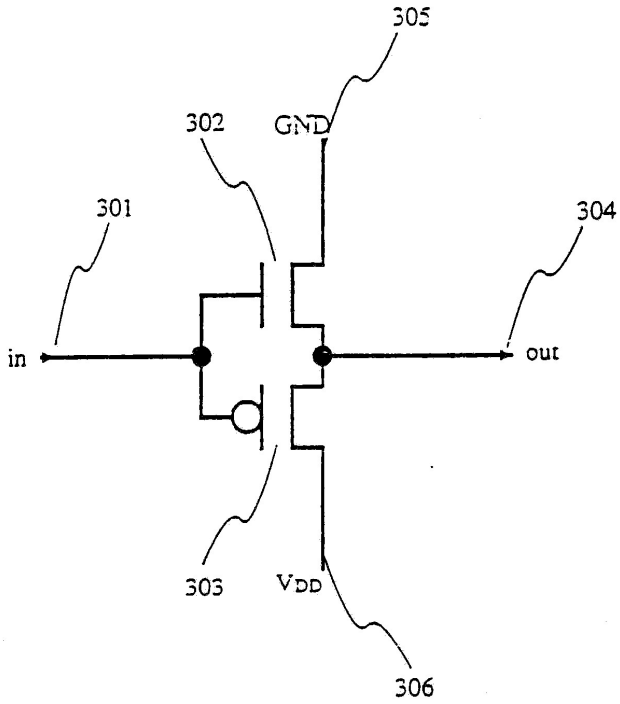
도면1


D1
D2
102
103
112
111
113
110
109
107
100
108
106
Q
N-ch
101
105
P-ch
121
129
126
127
Q'
131
132
120
130
133
122
123
D1'
D2'

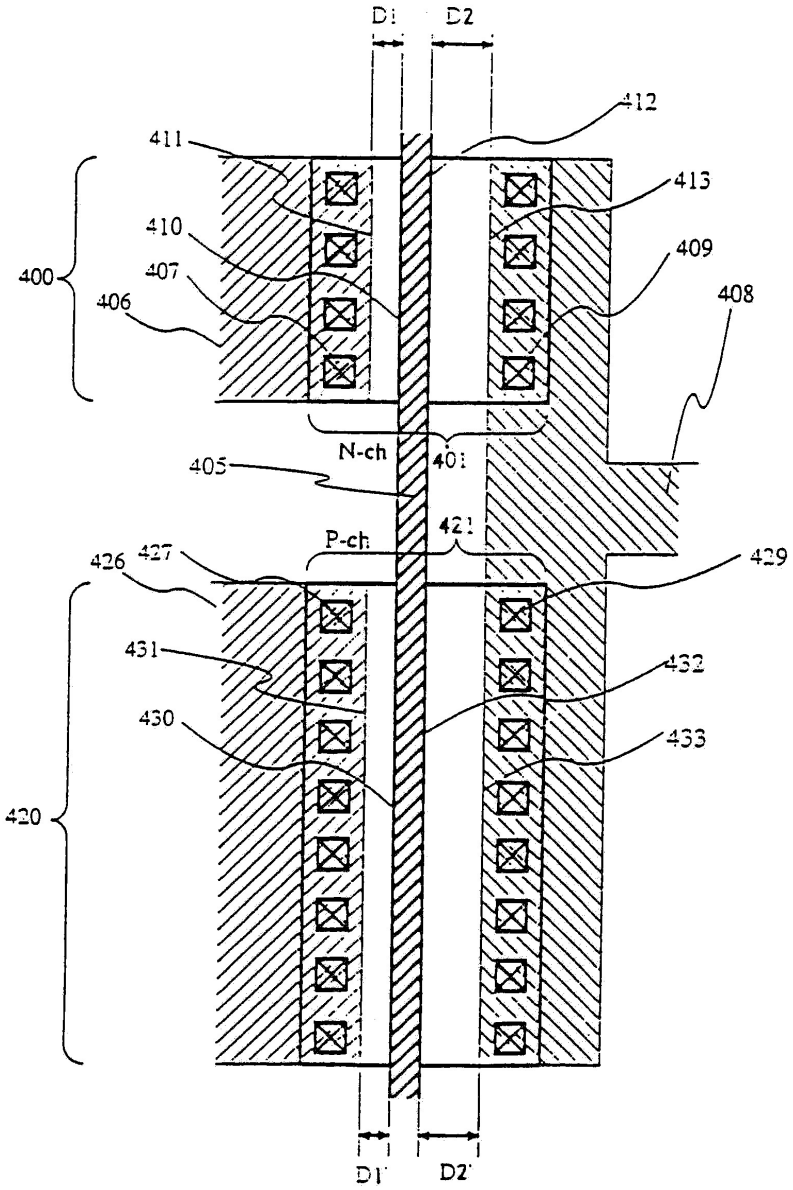
도면2


106
107
111
110
102
D 1
105
112
101
D 2
113
109
103
108
123
129
133
D 2'
121
132
105
130
D 1'
131
127
126
122
200
201
202

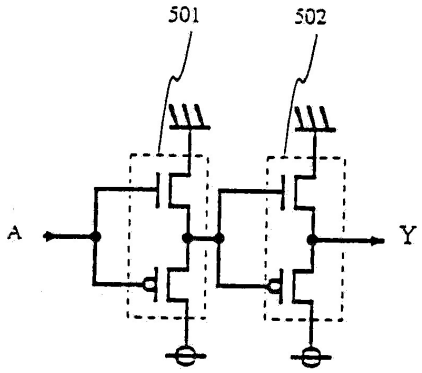
도면3



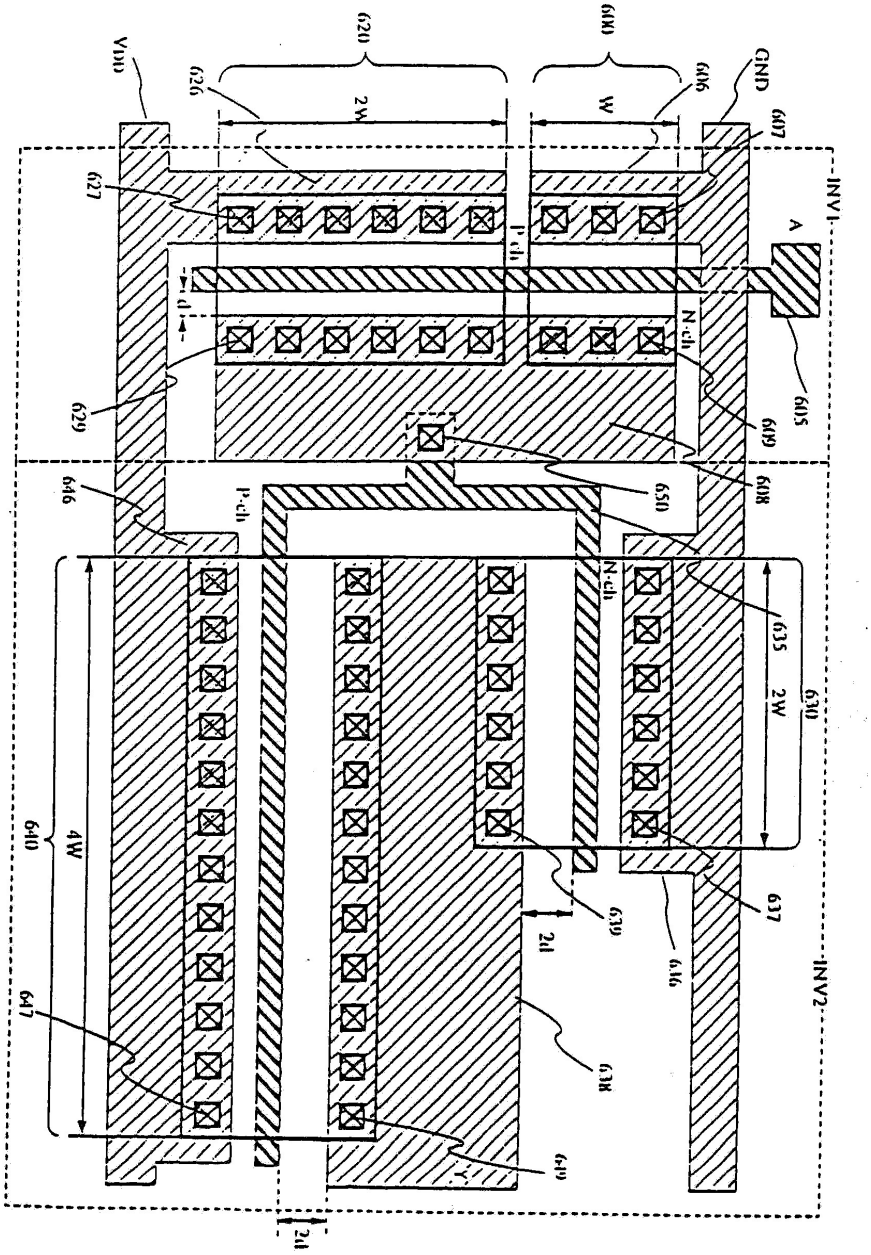
도면4


D1
D2
412
411
413
410
409
407
400
406
408
N-ch
401
405
421
P-ch
426
427
429
431
432
430
433
420
D1'
D2'

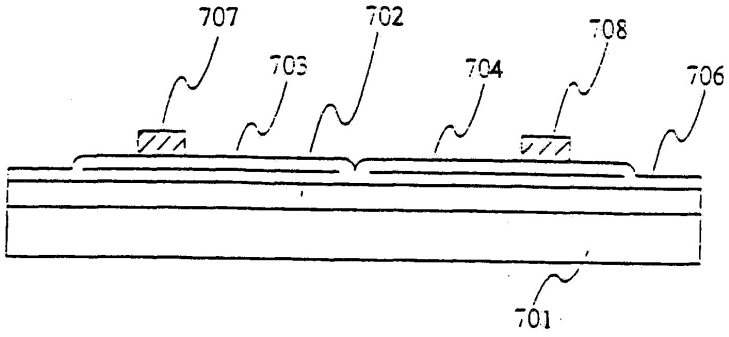
도면5


501
502
A
Y

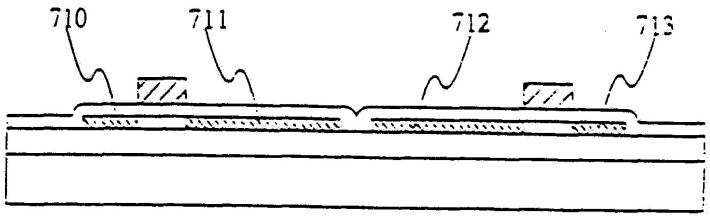
도면6


620
600
Vdd
626
2W
W
606
GND
607
627
P-ch
A
d
N-ch
605
629
609
650
608
646
P-ch
N-ch
635
2W
630
640
4W
639
2d
637
616
647
638
649
INV1
INV2
2d

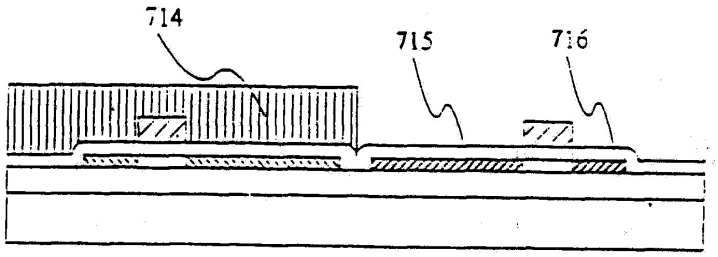
도면7a


707
702
708
703
704
706
701

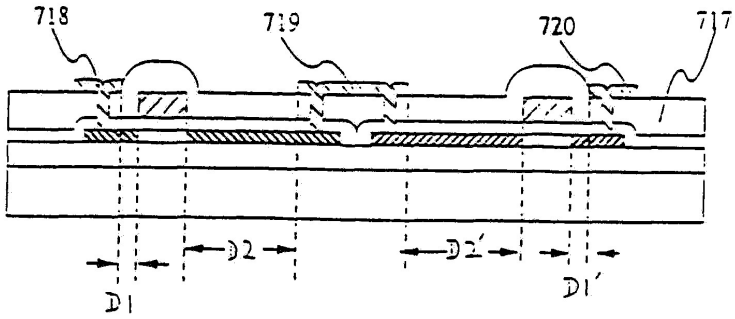
도면7b



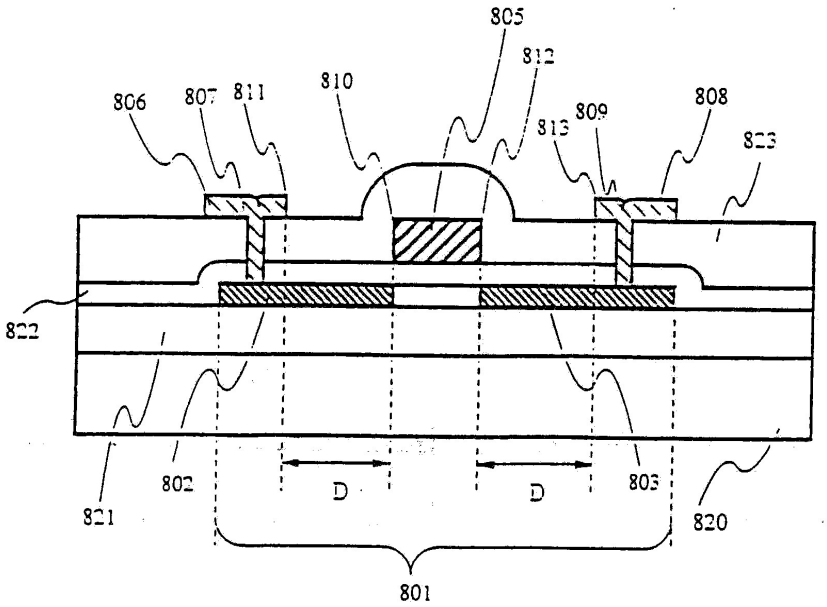
도면7c



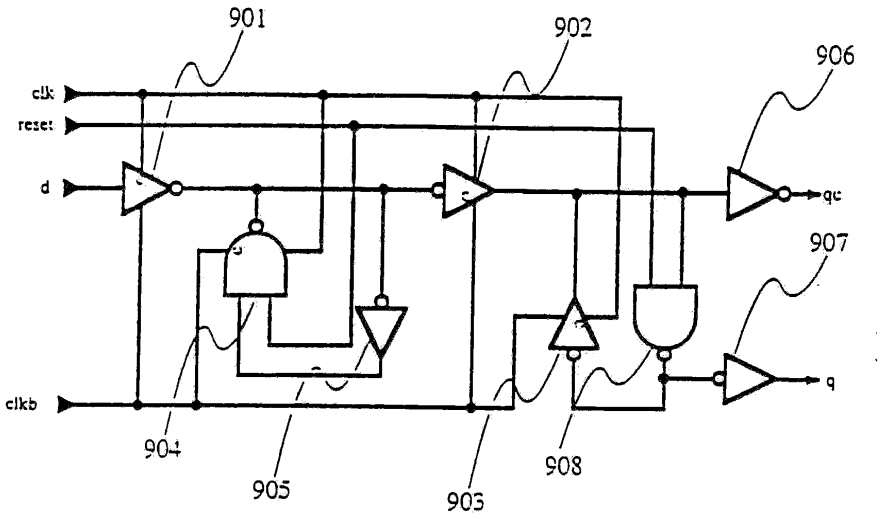
도면7d



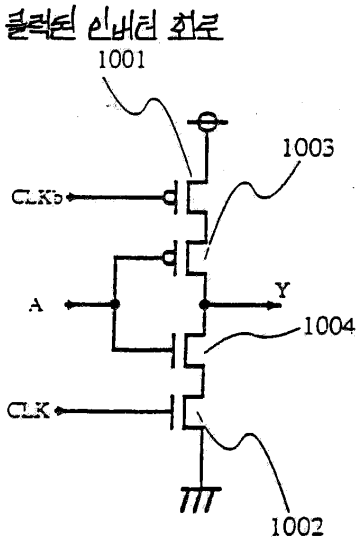
도면8



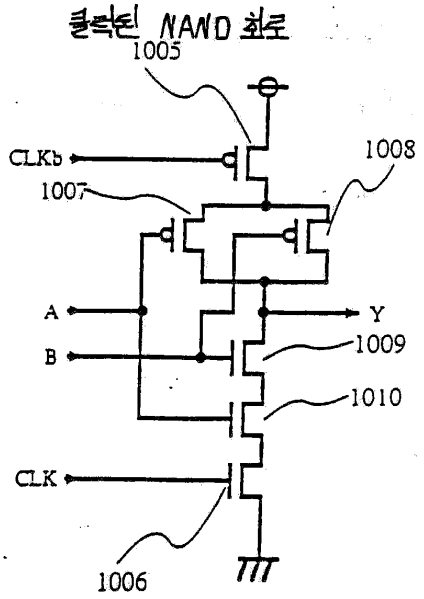
도면9


901
902
906
clk
reset
d
qc
907
q
clkb
904
905
903
908

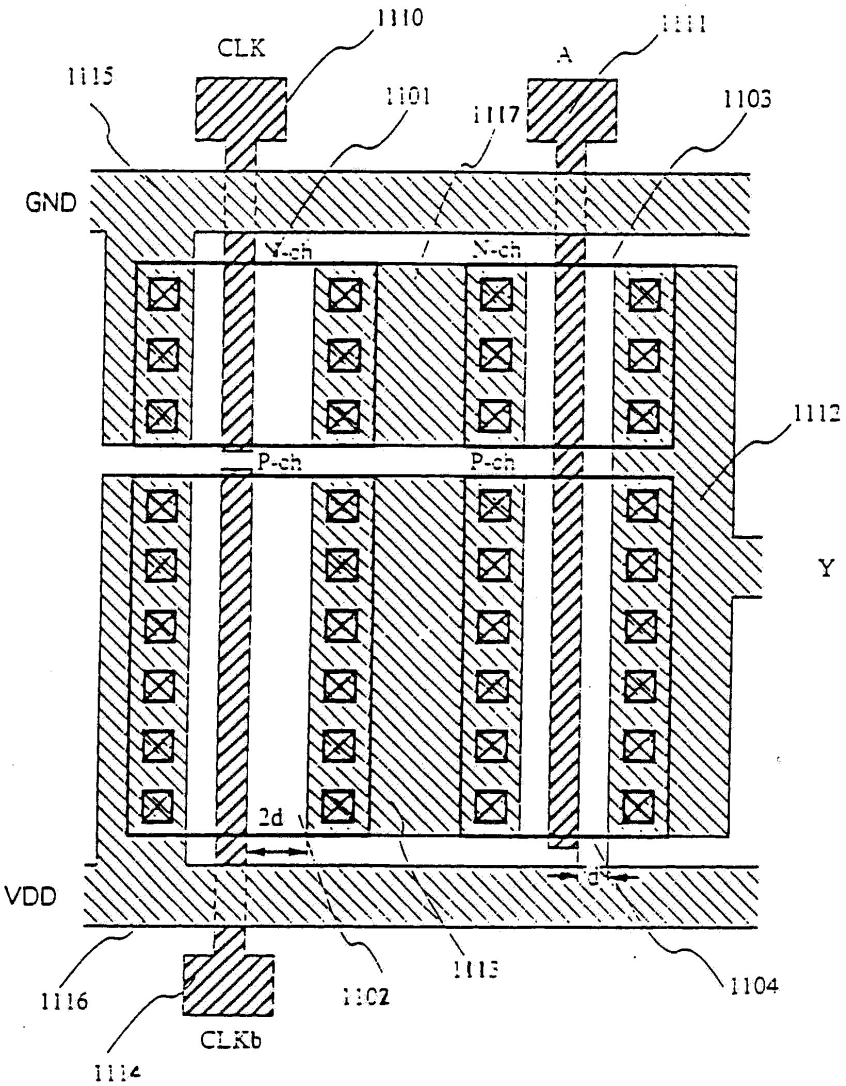
도면10a


클럭된 인버터 회로
1001
1003
CLKb
A
Y
1004
CLK
1002

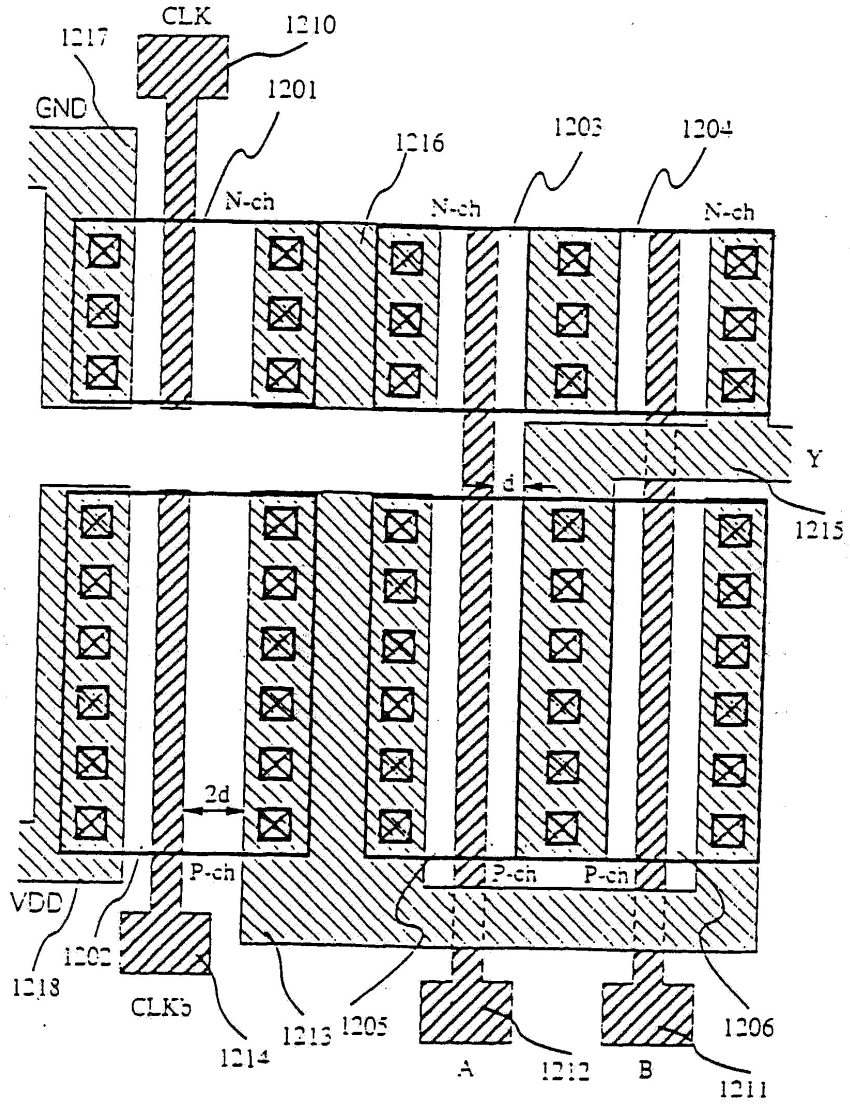
도면10b


클럭된 NAND 회로
1005
CLKb
1008
1007
A
Y
B
1009
1010
CLK
1006

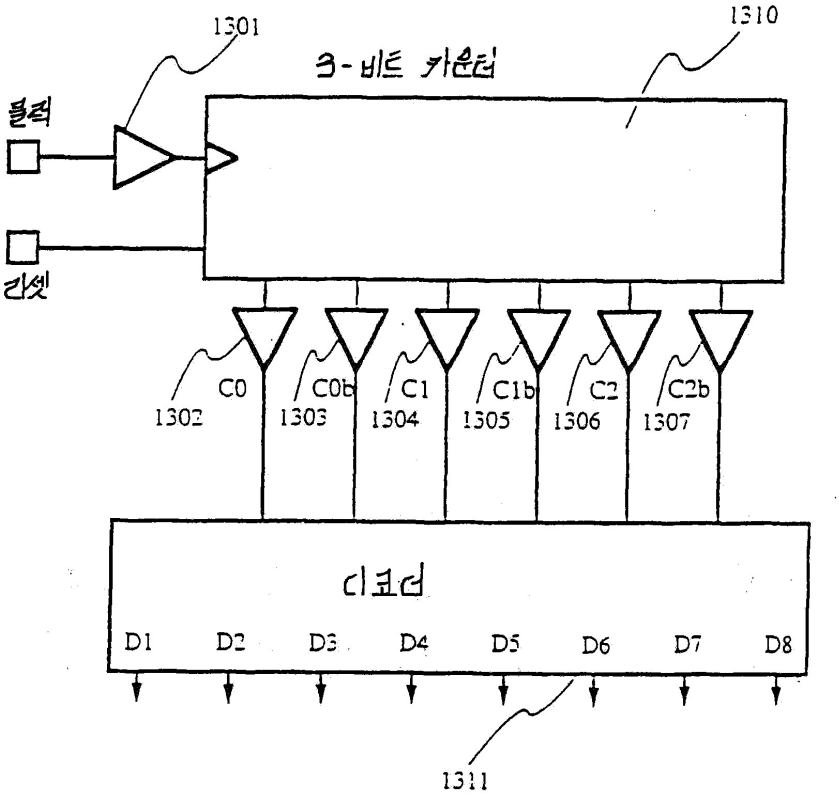
도면11


1110
CLK
1111
A
1115
1101
1117
1103
GND
N-ch
N-ch
1112
P-ch
P-ch
Y
2d
d
VDD
1116
1113
1104
1102
CLKb
1114

도면12


CLK
1217
1210
GND
1201
1216
1203
1204
N-ch
N-ch
N-ch
Y
d
1215
2d
P-ch
P-ch
P-ch
VDD
1202
1218
CLKb
1214
1213
1205
A
1212
B
1206
1211

도면13


1301
3-비트 카운터
1310
클럭
리셋
C0
C0b
C1
C1b
C2
C2b
1302
1303
1304
1305
1306
1307
디코더
D1
D2
D3
D4
D5
D6
D7
D8
1311

도면14

