



[12] 发明专利申请公开说明书

[21] 申请号 96191353.3

[43]公开日 1997年12月17日

[11] 公开号 CN 1168202A

[22]申请日 96.11.4

[30]优先权

[32]95.11.7 [33]US[31]08 / 553,228

[86]国际申请 PCT / IB96 / 01182 96.11.4

[87]国际公布 WO97 / 17761 英 97.5.15

[85]进入国家阶段日期 97.7.7

[71]申请人 飞利浦电子有限公司

地址 荷兰艾恩德霍芬

[72]发明人 S·L·王

[74]专利代理机构 中国专利代理(香港)有限公司

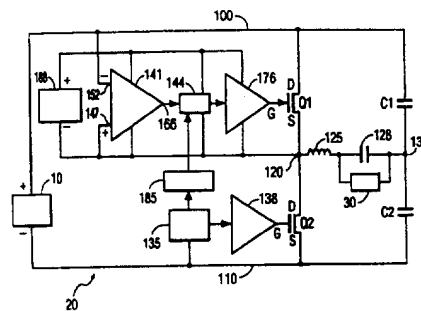
代理人 程天正 傅康

权利要求书 1 页 说明书 7 页 附图页数 3 页

[54]发明名称 电路装置

[57]摘要

在包括一对以推挽方式串接在一起并桥接两条处于不同电位的母线的晶体管的电路中，一个用于控制这对晶体管之一的传导状态的驱动方案。该驱动方案包括将一个由一条母线的电位所代表的基本固定的电平与一个变化的电平进行比较，来检测跨越这个晶体管的电压差。这个变化的电平是基于将两个晶体管连接在一起的结点上的电压的。当检测的电压等于或低于一个预置的电平时，该晶体管导通。



权 利 要 求 书

1.一种电路装置，它将一条处于第一电压的第一母线和一条处于第二电压的第二母线桥接在一起，包括：

一个连接于第一母线的第一开关；

5 一个连接于第二母线的第二开关，第一开关和第二开关在第一母线和第二母线之间被串接在一起；以及

用于控制第一开关的传导状态的控制装置，

其特征在于，该控制装置包括一个电压检测器，用于产生一个反馈信号，该信号用作跨越第一开关的电压差的一个度量。

10 2.权利要求1的电路装置，其特征在于反馈信号是从存在于两个开关间的结点的电压和第一电压之间的电压差导出的。

3.权利要求1的电路装置，其特征在于控制装置还包括一个电压源，用于产生一个基本恒定的电压，并且其中反馈信号来源于通过相加基本恒定电压和存在于两个开关间的结点上的电压所产生的一个变化的电压与一个由第一电压形成的基本固定的电压之间的差。

15

4.根据以上一个或更多的权利要求的电路装置，其特征在于控制装置包括响应反馈信号的用于控制第一开关的导通的逻辑装置。

5.根据以上一个或更多的权利要求的电路装置，其特征在于控制装置包括用于延迟第一开关导通的延迟装置。

20

6.根据权利要求4和权利要求5的电路装置，其特征在于逻辑装置包括用于存储反馈信号的锁存装置，该锁存装置响应延迟装置，以延迟该锁存装置对该反馈信号的存储。

7.根据权利要求6的电路装置，其特征在于控制装置还包括一个连接在两开关间的结点和电压检测器之间的电容器。

25

说明书

电路装置

5 本发明涉及一种电路装置，将一条处于第一电压的第一母线和一条处于第二电压的第二母线桥接在一起，包括：

一个连接于第一母线的第一开关；

一个连接于第二母线的第二开关，第一开关和第二开关在第一母线和第二母线之间被串接在一起；以及

用于控制第一开关的导通状态的控制装置。

10 这样一种电路装置通常被称作电桥电路或电桥，可在例如 EP 0323676 A1 中得知。包括半桥和全桥拓扑结构的电桥，一般用于电机控制的电路和照明灯镇流电源中。在每一种拓扑结构中，至少一对晶体管(开关)被串接在 B+母线和接地(参考)母线间。这对晶体管可视为一个在另一个之上地连接在一个推挽输出结构中。连接于 B+母线的晶体管通常被称作上晶体管，而连接于接地母线的晶体管通常被称作推挽输出的
15 下晶体管。将这两个晶体管连接在一起的结点，由于它根据每个晶体管的导通状态而在 B+和接地母线之间浮动，所以通常被称作浮地。

晶体管通常为功率金属氧化物半导体场效应晶体管(MOSFET)。每个晶体管只是当跨越晶体管的是一个低电压或者零电压时才导通。当下
20 晶体管已经关断而使上晶体管导通时，相对于浮地的一个电压就被加到该 MOSFET 的栅极上。在这些情况下，浮地的电压处于大约为 B+母线的电位上。加到栅极的电压因此必须相对于 B+母线的电位而被抬高，以便使上晶体管导通，一般这可以使用一个电平转换器来实现。该电平转换器还减小了在所有晶体管都被关断时的转换时间(通常称为静寂时
25 间)，以防止从 B+母线到接地母线的任何可能的导通。

一种典型的电平转换器，例如加利弗尼亚州西冈多的国际整流器公司零件号第 IR2110，通过产生定时电流脉冲提供给用于驱动上晶体管的电路(即上侧开关控制电路)来控制上晶体管的导通状态。这些定时电
30 流脉冲是基于下晶体管的传导状态而产生的。在约 100 千赫兹以上的频率(例如感应式照明灯镇流器中的电桥工作时的频率达几兆赫)，伴随着这些电流脉冲的损耗相当高，同时产生巨大的热损失。因而这些电桥在

高频工作时不实用。

还存在一个不断增长的趋势，即倾向于减小任何及所有用于驱动晶体管的电路所需要的空间的大小。减小由电平转换所需的普通电路所占据的面积将是非常有利的。

5 本发明旨在提供一种电路装置，其中在推挽输出结构中伴随着控制上开关导通状态的损耗被大大地降低，而且控制装置比较小。

根据本发明，在开始段落中描述的一种电路装置的特征在于，该控制装置包括一个电压检测器，用于产生一个反馈信号，该信号是跨越第一开关的电压差的一个量度。

10 该电路装置测定第一开关何时将被导通。不需要用于导通第一开关的电平转换电路。与传统电桥拓扑结构相比，当推挽输出结构的一个上晶体管用作第一开关时，与使上晶体管导通的电平转换相关的损耗被减小。通过排除用于使上晶体管导通的电平转换电路的需要，由电平转换电路占据的面积也可减小。

15 包含在控制电路中的电压检测器最好能产生一个从一个变化的电压对一个基本上固定的电压之差所导出的反馈信号。该控制电路还可以包括用于响应反馈信号以控制第一晶体管的导通的逻辑电路和用于存储由反馈信号表示的比较状态的锁存电路。一个延迟电路也可包括在控制电路系统中，用于延迟对于由反馈信号表示的该比较状态的存储，从而延迟了第一开关的导通。

20 变化的电压来源于连接第一晶体管和第二晶体管的结点上的电压。在本发明的第一个实施方案中，该结点电压用作为该变化的电压。在本发明的另一个实施方案中，控制电路还包括一个具有基本上恒定的电压的电压源，其中变化的电压同时基于这个基本上恒定的电压和结点电压。在本发明的一个特征中，变化的电压可以等于基本恒定电压和结点电压之和。

30 本发明的实施方案将参照附图作更详细地阐述。在附图中
图 1 为根据本发明的一个首选实施方案的电桥电路的框图；
图 2 为更详细地说明图 1 的逻辑电路的框图；
图 3 为根据本发明的另一个实施方案的电桥电路的框图；
图 4 为根据图 3 的另一个实施方案的电压检测器的示意图；
图 5 为根据图 3 的另一个实施方案的合适的电压源的示意图；以及

图 6A, 6B 及 6C 描述了图 1、图 3 的功率晶体管的栅极输入和电桥电路的输出之间相互同步关系的波形图。

在下面对图的说明中, 由同样的参考数字标记的元件表示有相似结构和工作的部件。尽管本发明将结合一种为照明灯负载供电的镇流器来进行描述, 但应清楚本发明不仅限于用在一个镇流器中, 还可容易地用于包括电机控制的其它电桥电路的应用中, 或为其它类型的负载供电。还应清楚, 尽管在此描述的电桥拓扑结构是一种半桥的形式, 但全桥拓扑结构也在本发明的范围内。

现在参照图 1, 一个直流电源 10 被连接到一个电桥电路 20 上, 用于为诸如照明灯负载 30 的负载供电。电源 10 典型地包括一个用于消除进入交流电源线的电磁干扰(EMI)的 EMI 滤波器(未示出), 一个用于对交流信号进行整流的整流器(未示出), 以及一个用于形成一个加到电桥电路 20 上的基本恒定的直流电压的预处理器(未示出)。一个合适的直流源可以包括但不限于在美国专利 NO.5,187,414 中公开的 EMI 滤波器、整流器和预处理器。

电桥电路 20 包括两个串接起来的 MOSFET 功率型的晶体管 Q1 和 Q2, 它们桥接一条处于 B+ 电位(电压)的电气干线(母线)100 和一条一般处于地电位的参考母线 110。用作开关的晶体管 Q1 和 Q2, 其每个包括一个漏极 D, 一个源极 S 和一个栅极 G。晶体管 Q1 的漏极 D 连接到电气干线 100 上。晶体管 Q2 的源极连接到母线 110 上。晶体管 Q1 的源极和晶体管 Q2 的漏极 D 在结点 120 被连接在一起。根据本发明, 晶体管 Q1 和 Q2 也可以为双极型或被另一种开关装置所取代, 只要该开关装置可被控制, 用以提供一个预期频率的交变电流流过照明灯负载 30。电感器 125 和电容器 128 在结点 120 和结点 131 间被串接在一起。照明灯负载 30 跨接在电容器 128 上。一对电容器 C1 和 C2 在电气干线 100 和母线 110 间。电容器 C1 和 C2 在结点 131 被接在一起。结点 120 和 131 一起作为电桥电路 20 的输出端。电感器 125 和电容器 128 形成一个谐振电路。晶体管 Q1 和 Q2 的开关频率可以改变或设定为一个固定的频率, 该频率部分地基于用于照明灯负载 30 的起动和稳定状态工作的谐振电路的谐振频率。

晶体管 Q1 和 Q2 从不在同一时间导通。位于结点 120 的电压在高于电气干线 100 的电压约一个二极管压降的电平和低于母线 110 的电压

一个二极管压降的电平之间浮动，并且它既基于晶体管 Q1 和 Q2 的导通状态又基于每个晶体管导通后所经历的时间。

5 定时电路 135 和驱动器 138 结合起来控制晶体管 Q2 何时导通或关断。定时电路 135 产生定时信号供给驱动器 138。驱动器 138 根据这个定时信号，产生一个驱动信号加到晶体管 Q2 的栅极以便使后者导通或关断。该驱动信号，如图 6B 所示，将在下面作更详细的讨论。

10 晶体管 Q1 的导通基于在电气干线 100 的基本固定的电压和结点 120 的变化的电压之间所检测到的电压差。这个电压差由一个电压检测器 141 检测。电压检测器 141(例如一个比较器)包括一个连接于晶体管 Q1 的源极 S 的非倒相输入端 147，一个连接于晶体管 Q1 的漏极 D 的倒相输入端和一个输出端 166。跨越晶体管 Q1(即在晶体管 Q1 的漏极 D 和源极 S 间)的电压差(即电压降)由电压检测器 141 用来与一个预置电平进行比较。每当该电压差等于或低于该预置电平时，在输出端 166 产生一个反馈信号，并加到一个逻辑电路 144。

15 由电压检测器 141 在输出端 166 产生的反馈信号表示在一个变化的电压和一个基本固定的电压之间进行比较而得到的状态。当反馈信号处于高逻辑电平时，跨越晶体管 Q1 的电压差等于或低于预置电平。当反馈信号处于低逻辑电平时，跨越晶体管 Q1 的电压差高于这个预置电平。

20 逻辑电路 144 根据在电压检测器 141 的输出端 166 产生的逻辑电平，存储由反馈信号所代表的比较状态。如图 2 所示，逻辑电路 144 可以包括一个任选的延迟电路 179，用于延迟晶体管 Q1 的导通以延长如图 6C 中由 D.T.1 表示的相关的静寂时间。延迟电路 179 可以用电阻-电容(RC)电路或其它熟知的延迟装置构成。延迟电路 179 的输出提供给锁存器 182 的置位 S 输入端，比较状态由锁存器 182 存储。当置位 S 输入端处于高逻辑电平时，根据锁存器 182 的输出信号，驱动器 176 产生的一个驱动信号被加到晶体管 Q1 的栅极 G 上，用以使后者导通。加给晶体管 Q1 栅极 G 的驱动信号，如图 6A 所示，将在下面作更详细的讨论。一个电压电源 188 作为一个直流源向电压检测器 141、逻辑电路 144 及
25 驱动器 176 供电。
30

接口电路 185 根据定时电路 135 所产生的一个定时信号，产生一个复位信号提供给锁存器 182 的复位 R 输入端，用以使后者复位。作为一

个低电压到高电压的接口，接口电路 185 可包括一个电平转换器，如加利福尼亚州西冈多的国际整流器公司制造的部件号为 IR2110 的电平转换器。由定时电路 135 供给接口电路 185 的定时信号的产生只用于控制晶体管 Q1 的关断，并且它产生于晶体管 Q2 被允许导通之前。由定时电路 135 供给驱动器 138 的定时信号被产生用于控制晶体管 Q2 的导通和关断。可以提供一个附加的定时电路(未示出)来代替接口电路 185 产生复位信号。

在一个浮动阱中最好提供尽可能多的用于控制晶体管 Q1 导通状态的电路。如此处使用的那样，浮动阱表示一个集成电路的一部分，它相对于同一集成电路内的其它部分在电气上是浮接的，因而逻辑电路 144、驱动器 176 和电压电源 188 可相对于直流源 10 而浮动，这对于本领域的普通技术人员都是熟知的。

图 3、4 和 5 描述了本发明的另一个实施方案，其中直流电源 10 被连接到一个电桥电路 25 上，用于对照明灯负载 30 供电。电桥电路 25 在结构上和工作上与电桥电路 20 基本上相同。然而，电桥电路 25 包括电压检测器 142 和电压电源 191，而不是电桥电路 20 中的电压检测器 141 和电压电源 188。

如图 4 所示，电压检测器 142 包括一个非倒相输入端 148 和一个倒相输入端 153。一个二极管 155 的阴极连接到一个结点上，该结点将电阻 158、双极型晶体管 161 的发射极 E 和非倒相输入端 148 连在一起。二极管 155 的阳极被连接到一个将电阻 164、电阻 158 和晶体管 161 的基极 B 连在一起的结点上。晶体管 161 的集电极 C 被连接到一个将电压检测器 142 的输出端 167 和电阻 170 的一端连在一起的结点上。电阻 170 的另一端被连接到一个将电压电源 191 的负(-)端、逻辑电路 144、驱动器 176 和结点 120 连在一起的结点上。一个高压二极管 173 被连接在倒相输入端 153 和电阻 164 之间，该二极管 173 的阴极和阳极分别连接到倒相输入端 153 和电阻 164。

电压检测器 142 工作如下：每当非倒相输入端 148 的电压比倒相输入端 153 的电压高约 1.4 伏特或更高时，基极电流将从晶体管 161 中被取出，并使后者导通。流过电阻 170 的集电极电流导致在输出端 167 产生一个高逻辑电平。每当非倒相输入端 148 的电压比倒相输入端 153 的电压低 1.4 伏左右时，晶体管 161 保持关断。没有集电极电流过电阻

170. 输出端 167 此时为一个低逻辑电平。当倒相输入端 153 的电压高于非倒相输入端 148 几百伏时(即当晶体管 Q1 关断, 晶体管 Q2 导通时), 该高电压大多降在高压二极管 173 的反向偏置结上, 因而保护了电压检测器 142 的完好。

5 类似于电压检测器 141, 由电压检测器 142 在输出端 167 产生的反馈信号代表在一个变化的电压和一个基本固定的电压之间所作的比较的状态。当反馈信号处于高逻辑电平时, 跨越晶体管 Q1 的电压差等于或低于预置电平(即非倒相输入端 148 的电压比倒相输入端 153 的电压高 1.4 伏特或更高)。当反馈信号处于低逻辑电平时, 跨越晶体管 Q1 的电压差高于这个预置电平(即非倒相输入端 148 的电压低于倒相输入端 153 的电压约 1.4 伏特)。

15 镇流器 20 的电压检测器 141, 将晶体管 Q1 的漏极 D 和源极 S 之间的电压与一个几伏特的固定门限进行比较。而镇流器 25 的电压检测器 142, 将晶体管 Q1 的漏极 D 的电压与电压电源 191 的正端(+)的电压进行比较。跨越一个自举电容器 197 的电压用作电压检测器 142 的一个门限参考, 相对于电压检测器 141 来说, 这样做简化了设计。

20 如图 5 所示, 电压电源 191 包括一个电压源 Vdc, 用于提供一个在 12 至 15 伏之间的直流电压。一个高压二极管 194 连接在电压电源 Vdc 和一个结点间, 该结点将电压电源 191 的正(+)端与自举电容器 197 连接在一起。与电压电源 191 的正(+)端连接的电压检测器的非倒相输入端在 Vdc 电压(当晶体管 Q2 导通, 晶体管 Q1 关断时)和 B+ 与 Vdc 电压之和(当晶体管 Q2 关断, 晶体管 Q1 导通时)之间变化。自举电容器 197 基本上作为一个电池以恒定电压为包括逻辑电路 144 和驱动器 176 在内的浮动阱内的其它元件供电。

25 图 6A 和 6B 描述了分别由驱动器 176 和 138 提供给晶体管 Q1 和 Q2 的栅极 G 的驱动信号。如图 6B 所示, 晶体管 Q1 和 Q2 都被关断的时间段由静寂时间 D.T. 表示。图 6C 描述了镇流器 20 或 25 在结点 120 和母线 110 之间的电压波形。在静寂时间 D.T., 结点 120 和母线 110 之间的电压或者是从母线 110 的参考电压升到电气干线 100 的 B+ 电压(例如, 在时期 D.T.1), 或者是从电气干线 100 的 B+ 电压降到母线 110 的参考电压(例如在时期 D.T.2 时)。

现在可以很容易明白, 本发明减小了静寂时间, 其间晶体管 Q1 和

Q2 在晶体管 Q1 刚被导通前同时被关断(即 D.T.1)。更具体而言, 本发明在使晶体管 Q1 导通时保持低开关损耗的同时, 自动测定跨越晶体管 Q1 的零电压开关状态何时存在。通过自动建立这个静寂时间, 就不需要借助一个电平转换器对上侧开关控制电路产生导通定时信息。电平转换电路需要的面积和功率损耗都被有利地减小了。

应该指出的是, 类似那些与控制晶体管 Q1 的导通状态相关的电路(即电压检测器, 逻辑电路, 驱动器)可代替定时电路 135 和驱动器 138 用于控制晶体管 Q2 的导通状态。在这些条件下, 独立的定时电路可被用来为每个逻辑电路 144 产生复位信号。

说明书附图

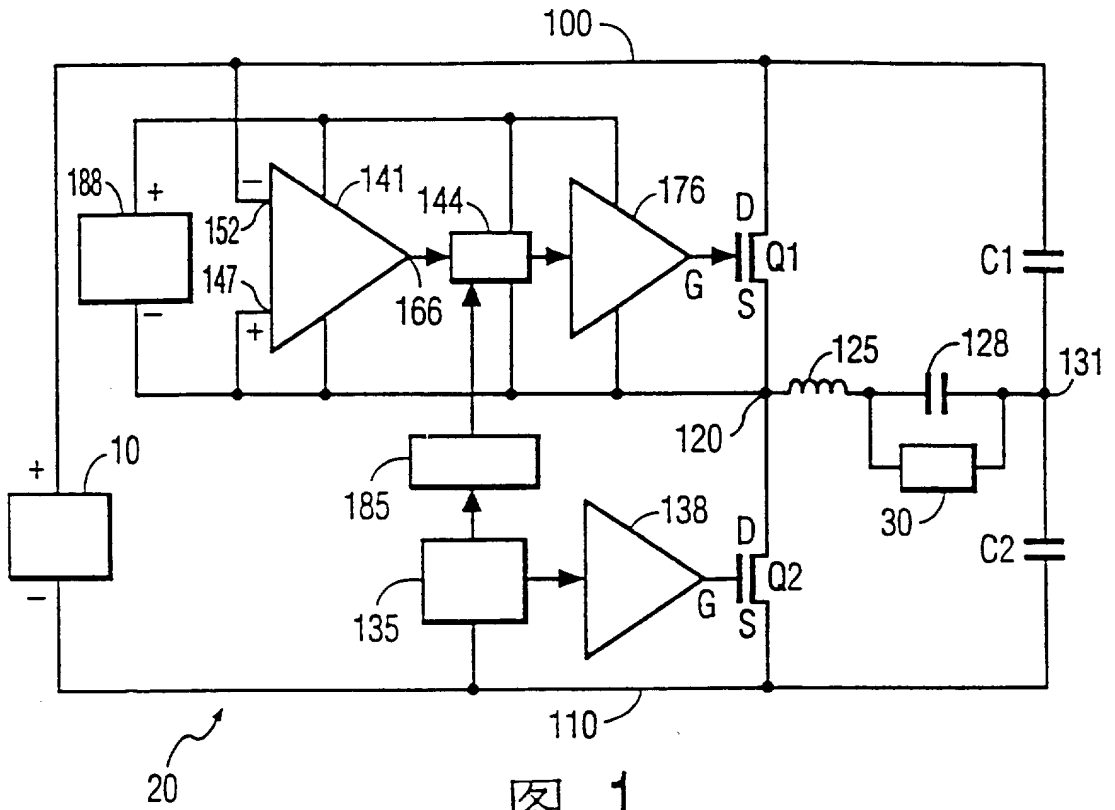


图 1

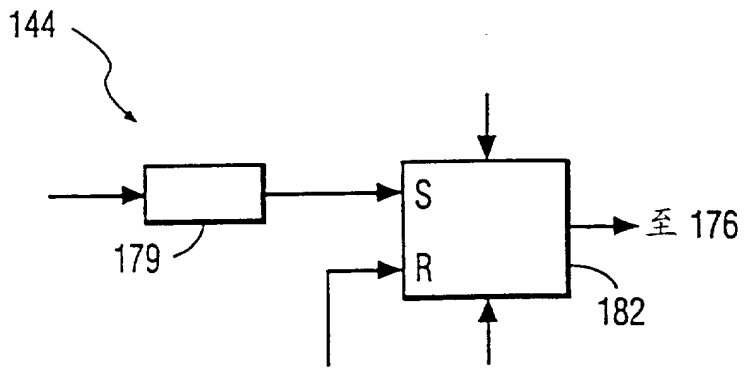


图 2

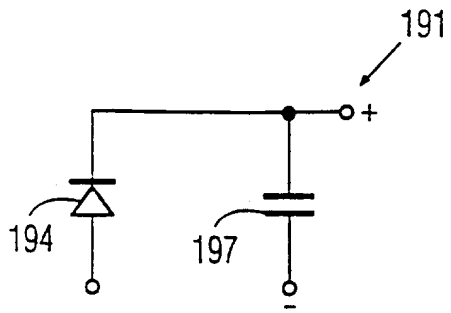


图 5

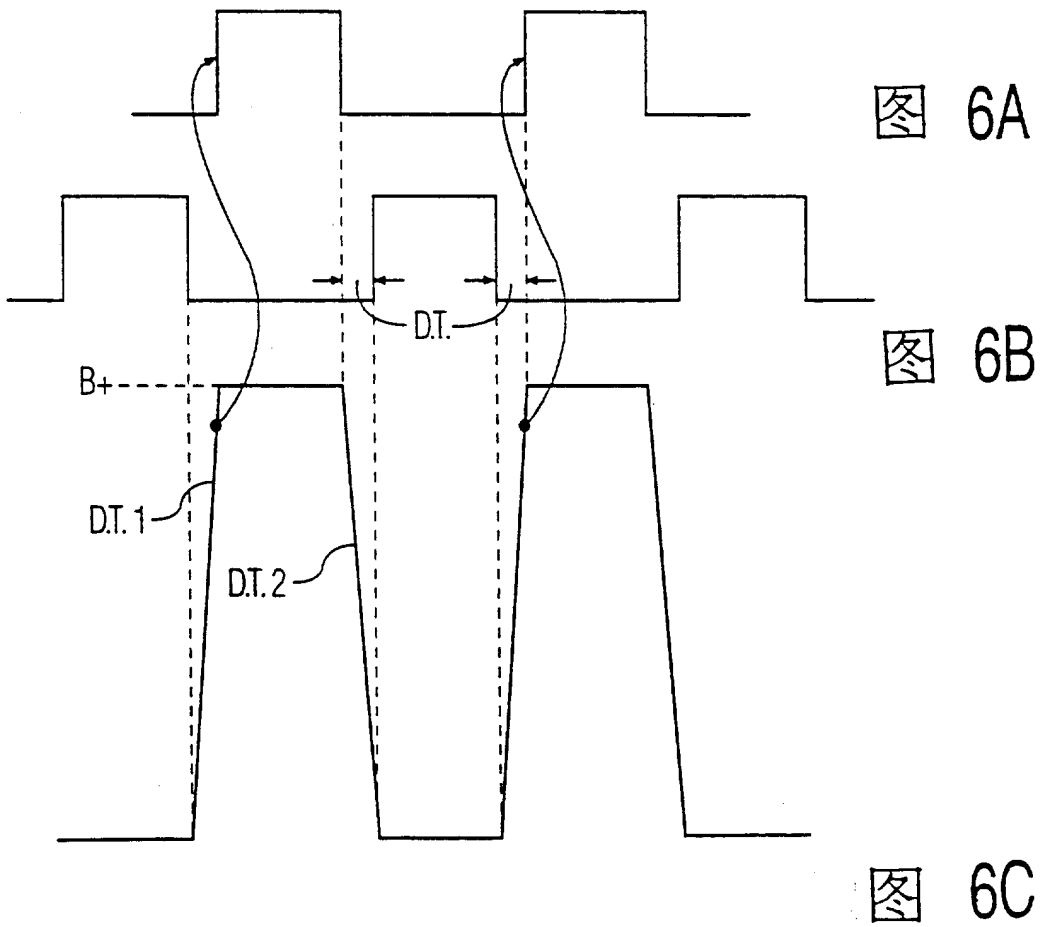


图 6A

图 6B

图 6C