



СОЮЗ СОВЕТСКИХ
СОЦИАЛИСТИЧЕСКИХ
РЕСПУБЛИК

(19) **SU** (11) **1651383** **A1**

(51)5 Н 03 М 5/12

ГОСУДАРСТВЕННЫЙ КОМИТЕТ
ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ
ПРИ ГНТ СССР

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

ВСЕСОЮЗНАЯ
ПАТЕНТНО-ТЕХНИЧЕСКАЯ
БИБЛИОТЕКА

(21) 4696957/24

(22) 11.04.89

(46) 23.05.91. Бюл. № 19

(71) Харьковский филиал Всесоюзного
научно-исследовательского и проектно-
конструкторского института по пробле-
мам освоения нефтяных и газовых ре-
сурсов континентального шельфа

(72) А.И.Калмыков, А.С.Кандауров,
В.М.Левшин и А.И.Фомичев

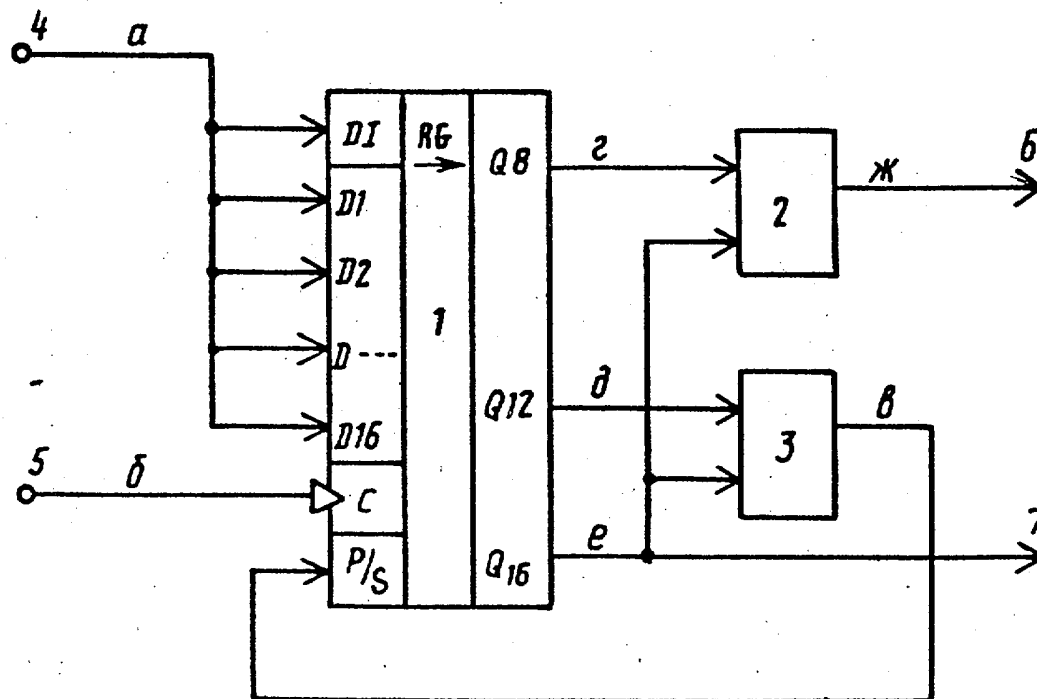
(53) 621.394 (088.8)

(56) Авторское свидетельство СССР
№ 1325707, кл. Н 03 М 5/12, 1986.

Авторское свидетельство СССР
№ 1372624, кл. Н 03 М 5/12, 1986.

(54) ПРЕОБРАЗОВАТЕЛЬ БИИМПУЛЬСНОГО
КОДА В БИНАРНЫЙ

(57) Изобретение относится к импульс-
ной технике и может использоваться
в системах передачи цифровой информа-
ции для преобразования биимпульсного
кода "Манчестер 2" в бинарный код
без возврата к нулю. Преобразователь
содержит универсальный регистр 1,
элементы ИСКЛЮЧАЮЩЕЕ ИЛИ 2, 3 и
имеет информационный и тактовый
входы 4, 5, тактовый и информаци-
онный выходы 6 и 7. 2 ил.



Фиг.1

(19) **SU** (11) **1651383** **A1**

Изобретение относится к импульсной технике и может использоваться в системах передачи цифровой информации.

Целью изобретения является упрощение преобразователя.

На фиг.1 и 2 показаны функциональная схема преобразователя и временные диаграммы, поясняющие его работу.

Преобразователь содержит (фиг.1) универсальный регистр 1, первый и второй элементы ИСКЛЮЧАЮЩЕЕ ИЛИ 2 и 3, информационный и тактовый входы 4 и 5, тактовый и информационный выходы 6 и 7.

Преобразователь работает следующим образом.

На вход 4 преобразователя поступают данные в коде "Манчестер 2" (фиг.2а). На вход 5 поступает последовательность тактовых импульсов, период следования которых равен $1/16$ длительности битовой посылки кода "Манчестер 2" (на фиг.2б для простоты изображен каждый четвертый импульс этой последовательности).

При отсутствии связи выхода элемента ИСКЛЮЧАЮЩЕЕ ИЛИ 3 с входом управления режимом работы регистра 1 в режиме синхронного сдвига задержка входного сигнала по первому выходу составляет $1/2$ длительности битовой посылки, по второму выходу — $3/4$ длительности, по третьему выходу — длительность битовой посылки.

При одинаковых логических уровнях сигналов на первом и втором входах элемента ИСКЛЮЧАЮЩЕЕ ИЛИ 3 с выхода этого элемента на вход управления режимом работы регистра 1 поступает логический "0", обеспечивающий последовательный синхронный сдвиг входного сигнала в регистре 1. При разных логических уровнях сигналов на входах элемента ИСКЛЮЧАЮЩЕЕ ИЛИ 3 с выхода этого элемента на управляющий вход регистра 1 поступает сигнал, обеспечивающий параллельную синхронную запись (фиг.2в). По фронту тактового импульса в регистр 1 заносится входной сигнал (фиг.2а). Вид сигнала на втором выходе регистра 1 представлен на фиг.2д.

На третьем выходе регистра 1, являющемся информационным выходом 7 преобразователя, появляются данные в коде без возврата к нулю (фиг.2е).

Элемент ИСКЛЮЧАЮЩЕЕ ИЛИ 2 суммирует по модулю два сигнала с первого и третьего выходов регистра 1, и на выходе 6 преобразователя формируются тактовые импульсы (фиг.2ж).

Рассмотрим преобразование первых бит последовательности 110100 (фиг.2а).

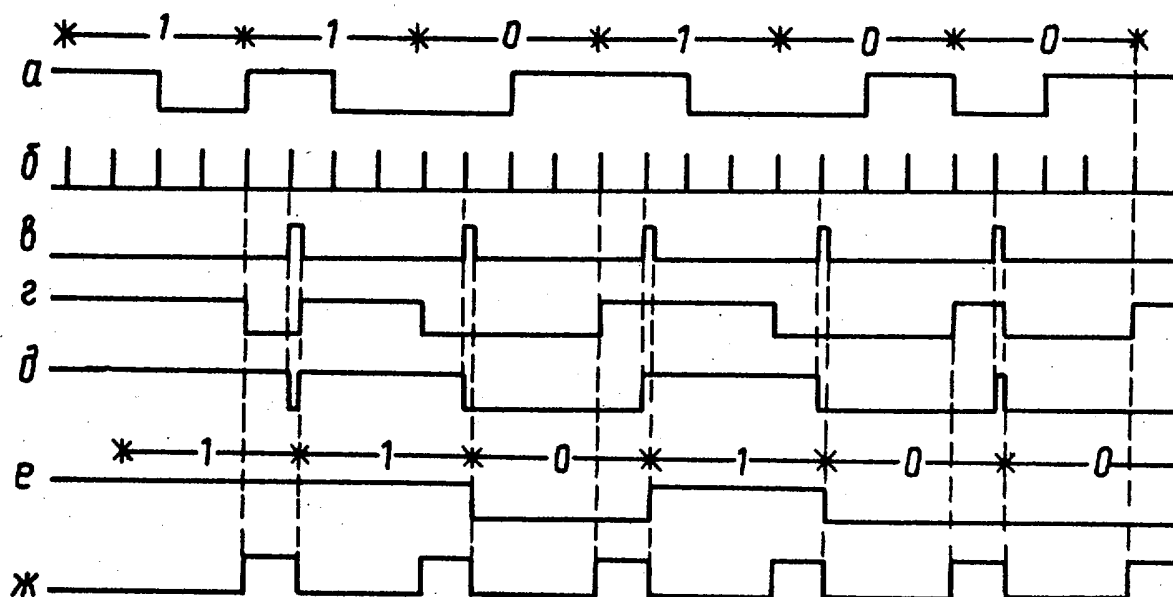
В исходном состоянии все разряды регистра 1 установлены в единичное состояние. Через восемь тактов входных тактовых импульсов после поступления на вход 4 преобразователя второй половины первого бита (фиг.2а) на первом выходе регистра 1 появится сигнал логического "0" (фиг.2г) и на выходе 6 преобразователя сформируется сигнал логической "1" (фиг.2ж). Еще через четыре тактовых интервала сигнал логического "0" появится на втором выходе регистра 1 (фиг.2д). При этом на выходе элемента ИСКЛЮЧАЮЩЕЕ ИЛИ 3 сформируется сигнал логической "1" (фиг.2в), переводящий регистр 1 в режим параллельной записи. Очередной тактовый импульс записывает во все разряды регистра 1 единичное состояние первой половины второго бита (фиг.2а, в, г, д, е). На третьем выходе регистра 1 формируется преобразованное значение прижимаемого бита (фиг.2е). На выходах элементов ИСКЛЮЧАЮЩЕЕ ИЛИ 2 и 3 устанавливается нулевой логический уровень (фиг.2в, ж), и регистр 1 переводится в режим последовательного сдвига информации. Далее работа преобразователя повторяется.

Ф о р м у л а и з о б р е т е н и я

Преобразователь биимпульсного кода в бинарный, содержащий первый и второй элементы ИСКЛЮЧАЮЩЕЕ ИЛИ, выход первого элемента ИСКЛЮЧАЮЩЕЕ ИЛИ является тактовым выходом преобразователя, отличающийся тем, что, с целью упрощения преобразователя, в него введен регистр, тактовый вход которого является тактовым входом преобразователя, первый и второй выходы регистра соединены с первыми входами соответственно первого и второго элементов ИСКЛЮЧАЮЩЕЕ ИЛИ, выход второго элемента ИСКЛЮЧАЮЩЕЕ ИЛИ соединен с управляющим входом регистра, параллельные и последовательные информационные входы которого

го объединены и являются информацион-
ным входом преобразователя, третий
выход регистра соединен с вторыми

входами первого и второго элементов
ИСКЛЮЧАЮЩЕ ИЛИ и является информа-
ционным выходом преобразователя.



Фиг. 2

Редактор С. Пекарь

Составитель М. Никуленков
Техред А. Кравчук

Корректор Н. Ревская

Заказ 1611

Тираж 465

Подписное

ВНИИПИ Государственного комитета по изобретениям и открытиям при ГКНТ СССР
113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-издательский комбинат "Патент". г. Ужгород, ул. Гагарина, 101