



(12) 发明专利

(10) 授权公告号 CN 113330554 B

(45) 授权公告日 2025.06.06

(21) 申请号 201980089912.1

(73) 专利权人 株式会社半导体能源研究所

(22) 申请日 2019.11.18

地址 日本神奈川

(65) 同一申请的已公布的文献号

(72) 发明人 長塚修平 大貫達也 加藤清
山崎舜平

申请公布号 CN 113330554 A

(43) 申请公布日 2021.08.31

(74) 专利代理机构 中国贸促会专利商标事务所
有限公司 11038

(30) 优先权数据

专利代理人 刘倜

2019-012887 2019.01.29 JP

2019-013607 2019.01.29 JP

2019-021404 2019.02.08 JP

2019-091842 2019.05.15 JP

(85) PCT国际申请进入国家阶段日

(51) Int.CI.

2021.07.22

H10B 12/00 (2023.01)

(86) PCT国际申请的申请数据

H10D 30/67 (2025.01)

PCT/IB2019/059859 2019.11.18

G11C 11/405 (2006.01)

(87) PCT国际申请的公布数据

(56) 对比文件

W02020/157553 JA 2020.08.06

US 2009086525 A1, 2009.04.02

审查员 张磊磊

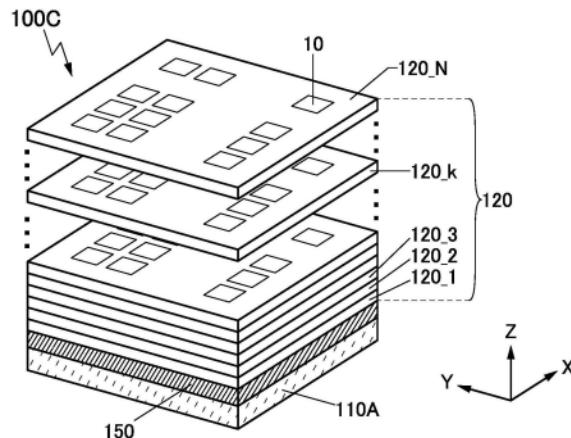
权利要求书2页 说明书40页 附图38页

(54) 发明名称

存储装置

(57) 摘要

提供一种新颖的存储装置。在驱动电路层上层叠N个(N是2以上的自然数)包括配置为矩阵状的多个存储单元的存储层。存储单元包括两个晶体管以及一个电容器。将氧化物半导体用于构成晶体管的半导体。存储单元与写入字线、选择线、电容线、写入位线及读出位线电连接。通过将写入位线及读出位线延伸在层叠方向上，缩短存储单元与驱动电路层之间的信号传输距离。



1. 一种存储装置，包括：
N个存储层；
驱动电路层；
多个第一布线；以及
多个第二布线，
其中，N是2以上的自然数，
所述N个存储层层叠在所述驱动电路层上，
所述驱动电路层包括多个第一电路，
所述多个第一布线在所述N个存储层的层叠方向上延伸并设置为P行R列的矩阵状，其中P及R各自是2以上的自然数，
所述多个第二布线在所述层叠方向上延伸并设置为P行Q列的矩阵状，其中Q是2以上的自然数，
所述N个存储层各自包括：
设置为P行Q列的矩阵状的多个存储单元；
Q列的第三布线；
Q列的第四布线；以及
Q列的第五布线，
在第k层的所述存储层中，
第i行第2×s-1列的存储单元和第i行第2×s列的存储单元与第i行第s列的第一布线电连接，
并且所述第i行第2×s-1列的存储单元与第i行第2×s-1列的第二布线、第2×s-1列的第三布线、第2×s-1列的第四布线及第2×s-1列的第五布线电连接，
并且，所述第i行第s列的所述第一布线和所述第i行第2×s-1列的所述第二布线与所述多个第一电路中的一个电连接。
2. 根据权利要求1所述的存储装置，
其中所述第i行第2×s-1列的存储单元包括第一晶体管、第二晶体管以及电容器，
所述第一晶体管的源极和漏极中的一个与所述第二晶体管的栅极及所述电容器的一个电极电连接，
所述第一晶体管的源极和漏极中的另一个与所述第一布线电连接，
所述第一晶体管的栅极与所述第三布线电连接，
所述第二晶体管的源极和漏极中的一个与所述第四布线电连接，
所述第二晶体管的源极和漏极中的另一个与所述第二布线电连接，并且所述电容器的另一个电极与所述第五布线电连接。
3. 根据权利要求1或2所述的存储装置，
其中在所述驱动电路层与所述多个存储单元之间还包括功能层。
4. 根据权利要求3所述的存储装置，
其中所述功能层包括多个第二电路，
并且所述第一布线和所述第二布线通过所述多个第二电路中的一个与所述多个第一电路中所述一个电连接。

5. 根据权利要求2所述的存储装置，
其中所述第一晶体管和所述第二晶体管中的至少一个在半导体中包含氧化物。
6. 根据权利要求5所述的存储装置，
其中所述氧化物包含In和Zn中的一个或两个。
7. 根据权利要求5所述的存储装置，
其中所述氧化物包含In、Ga及Zn。
8. 根据权利要求1、2、4、5、6、7中任一项所述的存储装置，
其中所述多个第一电路中的所述一个包括多个晶体管，
并且，所述多个晶体管每一个在半导体中包含硅。

存储装置

技术领域

- [0001] 本发明的一个方式涉及一种存储装置、半导体装置或使用上述装置的电子设备。
- [0002] 但是,本发明的一个方式不局限于上述技术领域。本说明书等所公开的发明的一个方式涉及一种物体、方法或制造方法。另外,本说明书等所公开的发明的一个方式涉及一种工序 (process)、机器 (machine)、产品 (manufacture) 或者组合物 (composition of matter)。
- [0003] 注意,在本说明书等中,半导体装置是指能够通过利用半导体特性而工作的所有装置。晶体管、半导体电路为半导体装置的一个方式。另外,显示装置(液晶显示装置、发光显示装置等)、投影装置、照明装置、电光装置、蓄电装置、存储装置、半导体电路、成像装置及电子设备等有时可以说是半导体装置。或者,有时可以说是包括半导体装置。

背景技术

[0004] 近年来,随着使用数据量的增大,需要具有更大的存储容量的半导体装置。为了增加每单位面积的存储容量,有效的是层叠存储单元(参照专利文献1及专利文献2)。通过层叠设置存储单元,可以与存储单元的层叠数相应地增加每单位面积的存储容量。

- [0005] [先行技术文献]
- [0006] [专利文献]
- [0007] [非专利文献]
- [0008] [专利文献1]美国专利申请公开第2011/0065270A1公报
- [0009] [专利文献2]美国专利第9634097B2号公报

发明内容

- [0010] 发明所要解决的技术问题
- [0011] 在专利文献1及专利文献2中,层叠有多个存储元件(也称为存储单元),它们串联连接来构成三维结构的存储单元阵列(也称为存储器串(memory string))。另一方面,在这样的三维结构的存储单元阵列中,存储元件的层叠数越多,存储单元间的串联电阻就越高,存储单元阵列的电阻就越高。而在存储单元阵列的电阻变高的情况下,有流过存储单元阵列的电流的损耗以及存储单元阵列的发热等问题。
- [0012] 另外,在专利文献1中,形成为柱状的半导体图案与包括电荷积蓄层的绝缘体接触。另外,在专利文献2中,形成为柱状的半导体图案与被用作隧穿介质的绝缘体接触。当半导体与绝缘体接触时,在它们的界面处有时形成陷阱中心。形成在半导体和绝缘体的界面处的陷阱中心俘获电子,使晶体管的阈值电压向正方向上漂移,因此有可能给晶体管的导通状态下的电流驱动力,即通态电流(on-state current)、场效应迁移率或可靠性带来负面影响。
- [0013] 本发明的一个方式的目的之一是提供一种集成度高的存储装置。另外,本发明的目的之一是提供一种可靠性高的存储装置。另外,本发明的一个方式的目的之一是提供一

种功耗低的存储装置。另外,本发明的一个方式的目的之一是提供一种新颖的存储装置。另外,本发明的一个方式的目的之一是提供一种新颖的半导体装置。

[0014] 解决技术问题的手段

[0015] 注意,这些目的的记载不妨碍其他目的的存在。注意,本发明的一个方式并不需要实现所有上述目的。除上述目的外的目的从说明书、附图、权利要求书等的描述中是显而易见的,并且可以从所述描述中抽出。

[0016] 在驱动电路层上层叠N个(N是2以上的自然数)包括配置为矩阵状的多个存储单元的存储层。存储单元包括两个晶体管以及一个电容器。将氧化物半导体用于构成晶体管的半导体。存储单元与写入字线、选择线、电容线、写入位线及读出位线电连接。通过将写入位线及读出位线延伸在层叠方向上,缩短存储单元与驱动电路层之间的信号传输距离。

[0017] 本发明的一个方式是一种存储装置,该存储装置包括N个(N是2以上的自然数)存储层、驱动电路层、多个第一布线以及多个第二布线。N个存储层层叠在驱动电路层上。驱动电路层包括多个第一电路。多个第一布线在N个存储层的层叠方向上延伸并设置为P行R列(P及R是1以上的自然数)的矩阵状。多个第二布线在层叠方向上延伸并设置为P行Q列(P及Q是2以上的自然数)的矩阵状。N个存储层各自包括设置为P行Q列的矩阵状的多个存储单元、Q列的第三布线、Q列的第四布线以及Q列的第五布线。在第k个存储层中,第i行第 $2 \times s - 1$ 列的存储单元和第i行第 $2 \times s$ 列的存储单元与第i行第s列的第一布线电连接,第i行第 $2 \times s - 1$ 列的存储单元与第i行第 $2 \times s - 1$ 列的第二布线、第 $2 \times s - 1$ 列的第三布线、第 $2 \times s - 1$ 列的第四布线及第 $2 \times s - 1$ 列的第五布线电连接。第一布线和第二布线与多个第一电路中的任一个电连接。

[0018] 另外,作为本发明的另一个方式,在上述存储装置中,第i行第 $2 \times s - 1$ 列的存储单元包括第一晶体管、第二晶体管以及电容器。第一晶体管的源极和漏极中的一个与第二晶体管的栅极及电容器的一个电极电连接。第一晶体管的源极和漏极中的另一个与第一布线电连接。第一晶体管的栅极与第三布线电连接。第一晶体管的源极和漏极中的一个与第四布线电连接。第一晶体管的源极和漏极中的另一个与第二布线电连接。电容器的另一个电极与第五布线电连接。

[0019] 另外,在上述结构中,优选在驱动电路层与多个存储单元之间还包括功能层。功能层包括多个第二电路。第一布线和第二布线也可以通过多个第二电路中的任一个与第一电路电连接。

[0020] 第一晶体管和第二晶体管中的至少一个优选在半导体中包含氧化物。另外,该氧化物优选包含In和Zn中的任一个或两个。或者,该氧化物优选包含In、Ga及Zn。

[0021] 另外,优选的是,上述电路包括多个晶体管,多个晶体管在半导体中包含硅。

[0022] 发明效果

[0023] 根据本发明的一个方式可以提供一种集成度高的存储装置。另外,可以提供一种可靠性高的存储装置。另外,可以提供一种功耗低的存储装置。另外,可以提供一种新颖的存储装置。另外,可以提供一种新颖的半导体装置。

[0024] 注意,这些效果的记载不妨碍其他效果的存在。此外,本发明的一个方式并不需要具有所有上述效果。另外,说明书、附图以及权利要求书等的记载中显然存在上述效果以外的效果,可以从说明书、附图以及权利要求书等的记载中抽出上述效果以外的效果。

附图说明

- [0025] [图1]图1A及图1B是示出存储装置的结构例子的图。
- [0026] [图2]图2是说明驱动电路层的结构例子的图。
- [0027] [图3]图3是说明存储层的结构例子的图。
- [0028] [图4]图4是示出存储层的一部分以及驱动电路层的一部分的图。
- [0029] [图5]图5是示出存储层的一部分的图。
- [0030] [图6]图6是示出位线、存储单元及RW电路的连接例子的图。
- [0031] [图7]图7A及图7B是示出存储单元的结构例子的图。
- [0032] [图8]图8A及图8B是示出存储单元的结构例子的图。
- [0033] [图9]图9A及图9B是示出多栅晶体管的图。
- [0034] [图10]图10是用来说明存储单元的工作的时序图。
- [0035] [图11]图11A及图11B是用来说明存储单元的工作的图。
- [0036] [图12]图12A及图12B是用来说明存储单元的工作的图。
- [0037] [图13]图13是说明读/写电路的结构例子的图。
- [0038] [图14]图14A至图14C是示出存储装置的结构例子的图。
- [0039] [图15]图15A及图15B是示出存储装置的结构例子的图。
- [0040] [图16]图16是示出存储层的一部分以及驱动电路层的一部分的图。
- [0041] [图17]图17是示出位线与RW电路的连接例子的图。
- [0042] [图18]图18A及图18B是示出存储装置的结构例子的图。
- [0043] [图19]图19是示出存储层的一部分、功能层的一部分及驱动电路层的一部分的图。
- [0044] [图20]图20是示出位线、选择电路及RW电路的连接例子的图。
- [0045] [图21]图21是说明选择电路的结构例子的图。
- [0046] [图22]图22A及图22B是根据本发明的一个方式的存储装置的俯视图及截面图。
- [0047] [图23]图23A及图23B是根据本发明的一个方式的存储装置的俯视图及截面图。
- [0048] [图24]图24是根据本发明的一个方式的存储装置的俯视图。
- [0049] [图25]图25是根据本发明的一个方式的存储装置的截面图。
- [0050] [图26]图26是根据本发明的一个方式的存储装置的截面图。
- [0051] [图27]图27是根据本发明的一个方式的存储装置的截面图。
- [0052] [图28]图28A是说明IGZO的结晶结构的分类的图,图28B是说明石英玻璃的XRD谱的图,图28C是说明结晶性IGZO的XRD谱的图。
- [0053] [图29]图29A及图29B是说明电子构件的一个例子的图。
- [0054] [图30]图30是说明电子设备的例子的图。
- [0055] [图31]图31是以层级示出各种存储装置的图。
- [0056] [图32]图32A至图32E是说明存储装置的应用例子的图。
- [0057] [图33]图33是示出IoT网络的分层结构以及需求规格的倾向的图。
- [0058] [图34]图34是工厂自动化的概念图。

具体实施方式

[0059] 参照附图对实施方式进行详细说明。但是,本发明不局限于以下说明,而所属技术领域的普通技术人员可以很容易地理解一个事实就是其方式及详细内容在不脱离本发明的宗旨及其范围的情况下可以被变换为各种各样的形式。因此,本发明不应该被解释为仅局限在以下所示的实施方式所记载的内容中。注意,在以下说明的发明的结构中,在不同的附图中共同使用相同的附图标记来表示相同的部分或具有相同功能的部分,而省略其重复说明。

[0060] 此外,为了便于对发明的理解,附图等示出的各结构的位置、大小和范围等有时不表示实际上的位置、大小和范围等。因此,所公开的发明不一定局限于附图等所公开的位置、大小、范围等。例如,在实际的制造工序中,有时由于蚀刻等处理而抗蚀剂掩模等被非意图性地蚀刻,但是为了便于理解有时省略图示。

[0061] 另外,尤其在俯视图(也称为平面图)或透视图等中,为了易于理解附图,有时省略部分构成要素的记载。

[0062] 另外,在本说明书等中,“电极”或“布线”不在功能上限定其构成要素。例如,有时将“电极”用作“布线”的一部分,反之亦然。再者,“电极”或“布线”还包括多个“电极”或“布线”被形成为一体的情况等。

[0063] 另外,在本说明书等中,电子电路中的“端子”是指进行电流的输入或输出、电压的输入或输出以及/或者信号的接收或发送的部分。因此,布线或电极的一部分有时被用作端子。

[0064] 另外,在本说明书等中,“上”或“下”不局限于构成要素的位置关系为“正上”或“正下”且直接接触的情况。例如,“绝缘层A上的电极B”不需要在绝缘层A上直接接触地形成有电极B,也可以包括在绝缘层A与电极B之间包括其他构成要素的情况。

[0065] 另外,由于“源极”及“漏极”的功能,例如在采用不同极性的晶体管时或在电路工作中电流的方向变化时等,根据工作条件等而相互调换,因此很难限定哪个是“源极”,哪个是“漏极”。因此,在本说明书中,“源极”及“漏极”可以互相调换。

[0066] 在本说明书等中,当明确地记载为“X与Y连接”时,在本说明书等中公开的情况包括:X与Y电连接的情况;以及X与Y直接连接的情况。

[0067] 在此,X、Y为对象物(例如,装置、元件、电路、布线、电极、端子、导电膜及层等)。

[0068] 作为X与Y直接连接的情况的一个例子,可以举出X与Y不通过能够电连接X与Y的元件(例如开关、晶体管、电容器、电感器、电阻器、二极管、显示元件、发光元件及负载等)连接的情况。

[0069] 作为X与Y电连接的情况的一个例子,例如可以在X与Y之间连接一个以上的能够电连接X与Y的元件(例如开关、晶体管、电容器、电感器、电阻器、二极管、显示元件、发光元件及负载等)。另外,开关具有控制成为导通状态(开启状态)或非导通状态(关闭状态)而控制是否使电流流过的功能。或者,开关具有选择并切换电流路径的功能。另外,X与Y电连接的情况包括X与Y直接连接的情况。

[0070] 另外,在本说明书中,“平行”例如是指在-10°以上且10°以下的角度的范围内配置两条直线的状态。因此,也包括角度为-5°以上且5°以下的情况。另外,“垂直”或“正交”例如是指在80°以上且100°以下的角度的范围内配置两条直线的状态。因此,也包括角度为85°

以上且95°以下的情况。

[0071] 另外,在本说明书等中,除非特别叙述,关于计数值或计量值提到“同一”、“相同”、“相等”或“均匀”等的情况下,包括 $\pm 20\%$ 的变动作为误差。

[0072] 另外,电压多指某个电位与基准电位(例如,接地电位或源电位等)之间的电位差。因此,有时也可以互换“电压”与“电位”的称谓。在本说明书等中,除非特别叙述,电压和电位是可以互换的。

[0073] 注意,例如当导电性充分低时,即使表示为“半导体”也具有“绝缘体”的特性。因此,也可以使用“绝缘体”代替“半导体”。此时,“半导体”和“绝缘体”的境界模糊,因此难以精确地区别。由此,有时可以将本说明书所记载的“半导体”换称为“绝缘体”。

[0074] 另外,例如当导电性充分高时,即使表示为“半导体”也具有“导电体”的特性。因此,也可以使用“导电体”代替“半导体”。此时,“半导体”和“导电体”的境界模糊,因此难以精确地区别。由此,有时可以将本说明书所记载的“半导体”换称为“导电体”。

[0075] 本说明书等中的“第一”、“第二”等序数词是为了避免构成要素的混同而使用的,其并不表示工序顺序或者层叠顺序等的顺序或次序。另外,关于本说明书等中不附加序数词的用词,为了避免构成要素的混同在权利要求书中有时对该用词附加序数词。注意,关于本说明书等中附加序数词的用词,在权利要求书中有时对该用词附加其他序数词。注意,关于本说明书等中附加有序数词的用词,在权利要求书中有时省略其序数词。

[0076] 另外,在本说明书等中,晶体管的“开启状态”(有时省略为“开启”)是指可以看作晶体管的源极和漏极电短路的状态(也称为“导通状态”)。或者,除非特别叙述,在n沟道晶体管中,“开启状态”是指栅极与源极间的电压(也称为“栅极电压”或“Vg”)为阈值电压(也称为“Vth”)以上的状态,在p沟道晶体管中,“开启状态”是指Vg为Vth以下的状态。

[0077] 另外,晶体管的“关闭状态”(有时省略为“关闭”)是指可以看作晶体管的源极和漏极电遮断的状态(也称为“非导通状态”)。或者,除非特别叙述,在n沟道晶体管中,关闭状态是指Vg低于Vth的状态,在p沟道晶体管中,关闭状态是指Vg高于Vth的状态。

[0078] 此外,在本说明书等中,“通态电流”有时是指在晶体管处于开启状态时流过源极和漏极之间的电流。此外,“关态电流(off-state current)”有时是指在晶体管处于关闭状态时流过源极和漏极之间的电流。

[0079] 另外,在本说明书等中,高电源电位VDD(也称为“VDD”或“H电位”)是指比低电源电位VSS高的电位的电源电位。另外,低电源电位VSS(也称为“VSS”或“L电位”)是指比高电源电位VDD低的电位的电源电位。此外,也可以将接地电位用作VDD或VSS。例如,在VDD是接地电位时,VSS是低于接地电位的电位,在VSS是接地电位时,VDD是高于接地电位的电位。

[0080] 另外,在本说明书等中,栅极是指栅电极及栅极布线的一部分或全部。栅极布线是指用来电连接至少一个晶体管的栅电极与其他电极或其他布线的布线。

[0081] 另外,在本说明书等中,源极是指源区域、源电极及源极布线的一部分或全部。源区域是指半导体层中的电阻率为一定值以下的区域。源电极是指导电层中的连接到源区域的部分。源极布线是指用来电连接至少一个晶体管的源电极与其他电极或其他布线的布线。

[0082] 另外,在本说明书等中,漏极是指漏区域、漏电极及漏极布线的一部分或全部。漏区域是指半导体层中的电阻率为一定值以下的区域。漏电极是指导电层中的连接到漏区域

的部分。漏极布线是指用来电连接至少一个晶体管的漏电极与其他电极或其他布线的布线。

[0083] (实施方式1)

[0084] 使用附图说明本发明的一个方式的存储装置。注意，有时在附图中附上表示X方向、Y方向以及Z方向的箭头。X方向、Y方向以及Z方向是指彼此正交或交叉的方向。

[0085] 图1A及图1B示出本发明的一个方式的存储装置100的立体图。存储装置100包括驱动电路层110、N个(N是2以上的自然数)存储层120。驱动电路层110包括多个RW阵列127等多个电路。另外，存储层120的每一个包括多个存储单元10。注意，在图1B中，以虚线表示存储层120。

[0086] N个存储层120设置在驱动电路层110上。通过将N个存储层120设置在驱动电路层110上，可以减小存储装置100的占有面积。另外，可以增高每单位面积的存储容量。

[0087] 在图1A中，将第一个存储层120记载为存储层120_1，将第二个存储层120记载为存储层120_2，将第三个存储层120记载为存储层120_3。与此同样，将第k个(k是1以上的自然数)存储层120记载为存储层120_k，将第N个存储层120记载为存储层120_N。注意，在本说明书等中，在说明有关N个存储层120整体的内容的情况或者示出N个存储层120的各层之间共同的内容的情况下，有时简单地记载为“存储层120”。

[0088] <驱动电路层110的结构例子>

[0089] 说明驱动电路层110的结构例子。图2是说明驱动电路层110的结构例子的方框图。驱动电路层110包括PSW141(功率开关)、PSW142、外围电路115及RW阵列127。外围电路115包括外围电路111、控制电路112及电压生成电路128。

[0090] 在驱动电路层110中，根据需要可以适当地取舍各电路、各信号及各电压。或者，也可以增加其它电路或其它信号。信号BW、CE、GW、CLK、WAKE、ADDR、WDA、PON1、PON2为从外部输入的信号，信号RDA为输出到外部的信号。信号CLK为时钟信号。

[0091] 另外，信号BW、CE及信号GW是控制信号。信号CE为芯片使能信号，信号GW为全局写入使能信号，信号BW为字节写入使能信号。信号ADDR为地址信号。信号WDA为写入数据信号，信号RDA为读出数据信号。信号PON1、PON2为电源门控控制用信号。此外，信号PON1、PON2也可以在控制电路112中生成。

[0092] 控制电路112为具有控制驱动电路层110的整体工作的功能的逻辑电路。例如，控制电路对信号CE、信号GW及信号BW进行逻辑运算来决定存储装置100的工作模式(例如，写入工作、读出工作)。或者，控制电路112生成外围电路111的控制信号，以执行上述工作模式。

[0093] 电压生成电路128具有生成负电压(V_{BG})的功能。WAKE具有控制对电压生成电路128输入CLK的功能。例如，当WAKE被供应H电平的信号时，信号CLK被输入到电压生成电路128，电压生成电路128生成 V_{BG} 。

[0094] 外围电路111是用来对存储单元10进行数据的写入及读出的电路。外围电路111包括行译码器121、列译码器122、行驱动器123、列驱动器124、输入电路125、输出电路126及RW阵列127。

[0095] 行译码器121及列译码器122具有对信号ADDR进行译码的功能。行译码器121是用来为存储层120按层指定要访问行的电路，列译码器122是用来为存储层120按层指定要访

问列的电路。行驱动器123具有选择连接到由行译码器121为存储层120按层指定的行的存储单元10的字线的功能。列驱动器124具有如下功能：将数据通过后述的RW电路129而写入存储层120的存储单元10的功能；从存储层120的存储单元10通过后述的RW电路129而读出数据的功能；保持所读出的数据的功能等。

[0096] 输入电路125具有保持信号WDA的功能。输入电路125中保持的数据输出到列驱动器124。输入电路125的输出数据是写入存储层120的数据(Din)。列驱动器124从存储层120读出的数据(Dout)被输出至输出电路126。输出电路126具有保持Dout的功能。另外，输出电路126具有将Dout输出到存储装置100的外部的功能。从输出电路126输出的数据信号为信号RDA。

[0097] PSW141具有控制向外围电路115供给VDD的功能。PSW142具有控制向行驱动器123供给VHM的功能。在此，存储装置100的高电源电压为VDD，低电源电压为GND(接地电位)。另外，VHM是在存储层120中使用的高电源电压，并有时高于VDD。利用信号PON1控制PSW141的开/关，利用信号PON2控制PSW142的开/关。在图2中，外围电路115中被供应VDD的电源域的个数为1，但是也可以为多个。此时，可以对各电源域设置功率开关。

[0098] RW阵列127包括配置为P行R列(P及R是2以上的自然数)的矩阵状的多个读/写电路(RW电路129)。在图2等中，将设置在第一行第一列的RW电路129记载为RW电路129[1,1]。另外，将设置在第i行第s列(i是1以上且P以下的自然数，s是1以上且R以下的自然数)的RW电路129记载为RW电路129[i,s]。另外，将设置在第P行第R列的RW电路129记载为RW电路129[P,R]。

[0099] 注意，在本说明书等中，在说明有关RW电路129整体的内容的情况下，有时简单地记载为“RW电路129”。

[0100] RW电路129与后述的位线电连接，并具有将数据写入存储层120的存储单元10的功能以及读出存储单元10所保持的数据的功能。

[0101] <存储层120的结构例子>

[0102] 说明N个存储层120的结构例子。各存储层120包括设置为P行Q列(Q是2以上的自然数)的矩阵状的多个存储单元10。图3是从Z方向看第k个存储层120(存储层120_k)时的方框图。在本说明书等中，X方向相当于行方向，Y方向相当于列方向，Z方向相当于存储层120的层叠方向。

[0103] 在图3等中，将设置在第k个存储层120的第一行第一列的存储单元10记载为存储单元10[1,1]_k。另外，将设置在第k个存储层120的第i行第j列(j是1以上且Q以下的自然数)的存储单元10记载为存储单元10[i,j]_k。另外，将设置在第k个存储层120的第P行第Q列的存储单元10记载为存储单元10[P,Q]_k。

[0104] 注意，在本说明书等中，在说明有关存储单元10整体的内容的情况下，有时简单地记载为“存储单元10”。

[0105] 另外，存储层120的各层包括Q个字线WWL、Q个电容线CL以及Q个选择线SL。Q个字线WWL、Q个电容线CL以及Q个选择线SL具有在列方向(Y方向)上延伸的区域。

[0106] 在图3等中，将设置在第k个存储层120中的第一列的字线WWL记载为字线WWL[1]_k。另外，将设置在第k个存储层120中的第j列的字线WWL记载为字线WWL[j]_k。另外，将设置在第k个存储层120中的第Q列的字线WWL记载为字线WWL[Q]_k。电容线CL及选择线SL的记载

也与字线WWL同样。

[0107] 注意,在本说明书等中,在说明有关字线WWL整体的内容的情况下或者示出各字线WWL之间共同的内容的情况下,有时简单地记载为“字线WWL”。除了字线WWL以外,其他布线及电极等也同样地记载。

[0108] 在存储层120_k中,设置在第j列的字线WWL、设置在第j列的电容线CL及设置在第j列的选择线SL与设置在第j列的存储单元10电连接。

[0109] 此外,一般而言,电容线CL被供应固定电位。在电容线CL被供应固定电位的情况下,电容线CL也可以在列方向上不延伸。例如,电容线CL也可以在行方向上延伸。另外,可以将任意的多个电容线CL彼此电连接。

[0110] 另外,存储装置100包括在Z方向上延伸并设置为P行R列的矩阵状的位线WBL、以及在Z方向上延伸并设置为P行Q列的矩阵状的位线RBL(参照图3及图4)。

[0111] 在Q是奇数的情况下,表示列位置的R与Q的关系可以使用公式1或公式2表示。

$$R = (Q+1)/2 \cdots \quad (\text{公式1})$$

$$Q = 2 \times R - 1 \cdots \quad (\text{公式2})$$

[0114] 在Q是偶数的情况下,表示列位置的R与Q的关系可以使用公式3或公式4表示。

$$R = Q/2 \cdots \quad (\text{公式3})$$

$$Q = 2 \times R \cdots \quad (\text{公式4})$$

[0117] 位线WBL具有与存储层120_k重叠的区域。位线RBL具有与存储层120_k重叠的区域。

[0118] 在图3等中,将设置在第i行第s列的位线WBL记载为位线WBL[i,s]。另外,在图3等中,将设置在第i行第j列的位线WRBL记载为位线RBL[i,j]。

[0119] 在存储层120_k中,一个位线WBL与两个存储单元10电连接。具体而言,位线WBL[i,s]与存储单元10[i,2×s-1]_k及存储单元10[i,2×s]_k电连接。图3等示出j是2×s-1的情况。

[0120] 另外,在存储层120_k中,位线RBL[i,j]与存储单元10[i,j]_k电连接。

[0121] 图4是示出N个存储层120的一部分以及驱动电路层110的一部分的立体图。图5是示出N个存储层120的一部分的立体图。图5示出存储层120_k的一部分及存储层120_k-1的一部分的结构例子。另外,图6是示出位线WBL、位线RBL、存储单元10及RW电路129的连接例子的图。

[0122] 位线WBL[i,s]、位线RBL[i,j]及位线RBL[i,j+1]与RW电路129[i,s]电连接(参照图4及图6)。图4及图6等示出j是2×s-1且j+1是2×s的情况。

[0123] 在j是奇数的情况下,表示列位置的s与j的关系可以使用公式5或公式6表示。

$$s = (j+1)/2 \cdots \quad (\text{公式5})$$

$$j = 2 \times s - 1 \cdots \quad (\text{公式6})$$

[0126] 在j是偶数的情况下,表示列位置的s与j的关系可以使用公式7或公式8表示。

$$s = j/2 \cdots \quad (\text{公式7})$$

$$j = 2 \times s \cdots \quad (\text{公式8})$$

[0129] <存储单元10的结构例子>

[0130] 接着,说明存储单元10的结构例子。存储单元10包括晶体管11A、晶体管11B及电容

器12(参照图7A)。晶体管11A的源极和漏极中的一个与节点FN电连接,晶体管11A的源极和漏极中的另一个与位线WBL电连接,晶体管11A的栅极与字线WWL电连接。晶体管11B的源极和漏极中的一个与选择线SL电连接,晶体管11B的源极和漏极中的另一个与位线RBL电连接,晶体管11B的栅极与节点FN电连接。

[0131] 电容器12设置在节点FN与电容线CL之间。具体而言,电容器12的一个电极与节点FN电连接,电容器12的另一个电极与电容线CL电连接。

[0132] 作为晶体管11A及晶体管11B,优选使用在形成沟道的半导体层中使用金属氧化物之一的氧化物半导体的晶体管(也称为“OS晶体管”)。

[0133] OS晶体管的关态电流可以极小。具体而言,室温下的每沟道宽度为1μm的关态电流可以低于 1×10^{-20} A,优选低于 1×10^{-22} A,更优选低于 1×10^{-24} A。

[0134] 另外,即使在高温环境下,OS晶体管的关态电流也几乎不增加。具体而言,即使在室温以上且200°C以下的环境温度下,关态电流也几乎不增加。通过将OS晶体管用作构成半导体装置的晶体管,可以实现即使在高温环境下也稳定地工作并具有高可靠性的存储装置。

[0135] 通过将OS晶体管用作晶体管11A,可以使电容器12小。或者,可以使用晶体管等寄生电容代替电容器12,而不设置电容器12。其结果是,可以缩小存储装置的占有面积。注意,有时将OS晶体管用作构成存储单元的晶体管而成的存储元件称为“OS存储器”。

[0136] 因为氧化物半导体可以利用溅射法等形式,所以可以通过改良现有的生产设备的一部分而制造OS晶体管。因此,可以抑制设备投资。另外,在OS晶体管的制造工序中,不需要在将硅用于形成沟道的半导体层的晶体管(也称为Si晶体管)的制造工序中进行的杂质导入工序等。通过将OS晶体管用作构成存储层120的晶体管,可以使存储层120的多层化的实现变容易。

[0137] 另外,可以将包括背栅极的晶体管用作晶体管11A和晶体管11B中的至少一个。在图7B中,示出作为晶体管11A及晶体管11B都使用包括背栅极的晶体管的例子。另外,在图7B中,示出在晶体管11A及晶体管11B各自中栅极和背栅极电连接的例子。

[0138] 以与栅极夹着半导体层的沟道形成区域的方式配置背栅极。背栅极可以起到与栅极同样的作用。另外,通过改变背栅极的电位,可以改变晶体管的阈值电压。

[0139] 由于栅极和背栅极由导电层或其电阻率小的半导体层等形式,因此具有防止在晶体管的外部产生的电场影响到形成沟道的半导体层的功能(尤其是对静电的静电遮蔽功能)。即,可以防止由于静电等外部的电场的影响而使晶体管的电特性变动。此外,通过设置背栅极,可以减少BT测试前后的晶体管的阈值电压的变化量。

[0140] 另外,如图8A所示,可以将晶体管11A的背栅极电连接到布线BGL1,将晶体管11B的背栅极电连接到布线BGL2。背栅极的电位也可以与栅极相等,也可以是接地电位(GND电位)或任意电位。

[0141] 另外,如图8B所示,可以将晶体管11A的背栅极和晶体管11B的背栅极电连接到布线BGL。

[0142] 另外,晶体管11A及晶体管11B也可以是双栅极型晶体管。图9A示出双栅型晶体管21的电路图符号的例子。

[0143] 晶体管21具有串联连接晶体管Tr1与晶体管Tr2而成的结构。在图9A中,示出如下

状态:晶体管Tr1的源极和漏极中的一个与端子S电连接,晶体管Tr1的源极和漏极中的另一个与晶体管Tr2的源极和漏极中的一个电连接,晶体管Tr2的源极和漏极中的另一个与端子D电连接。另外,在图9A中,示出晶体管Tr1与晶体管Tr2的栅极彼此电连接并与端子G电连接的状态。

[0144] 图9A所示的晶体管21具有通过改变端子G的电位来切换端子S和端子D之间的导通状态或非导通状态的功能。因此,虽然双栅型晶体管的晶体管21包括晶体管Tr1和晶体管Tr2,但是实质上被用作一个晶体管。即,可以说,在图9A中,晶体管21的源极和漏极中的一个与端子S电连接,晶体管21的源极和漏极中的另一个与端子D电连接,晶体管21的栅极与端子G电连接。

[0145] 另外,晶体管11A及晶体管11B也可以是三栅型晶体管。图9B示出三栅型晶体管22的电路图符号的例子。

[0146] 晶体管22具有串联连接晶体管Tr1、晶体管Tr2和晶体管Tr3而成的结构。在图9B中,示出如下状态:晶体管Tr1的源极和漏极中的一个与端子S电连接,晶体管Tr1的源极和漏极中的另一个与晶体管Tr2的源极和漏极中的一个电连接,晶体管Tr2的源极和漏极中的另一个与晶体管Tr3的源极和漏极中的一个电连接,晶体管Tr3的源极和漏极中的另一个与端子D电连接。另外,在图9B中,示出晶体管Tr1、晶体管Tr2和晶体管Tr3的栅极彼此电连接并与端子G电连接的状态。

[0147] 图9B所示的晶体管22具有通过改变端子G的电位来切换端子S和端子D之间的导通状态或非导通状态的功能。因此,虽然三栅型晶体管的晶体管22包括晶体管Tr1、晶体管Tr2和晶体管Tr3,但是实质上被用作一个晶体管。即,可以说,在图9B中,晶体管22的源极和漏极中的一个与端子S电连接,晶体管22的源极和漏极中的另一个与端子D电连接,晶体管22的栅极与端子G电连接。

[0148] 有时将如晶体管21及晶体管22那样的包括多个栅极并多个栅极彼此电连接而成晶体管称为“多栅型晶体管”或“多栅晶体管”。

[0149] <存储单元10的工作例子>

[0150] 接着,说明存储单元10的数据写入工作例子以及读出工作例子。在本实施方式中,作为晶体管11A及晶体管11B使用n沟道型晶体管。图10是用来说明存储单元10的工作例子的时序图。图11A、图11B、图12A及图12B是用来说明存储单元10的工作例子的电路图。

[0151] 此外,在附图等中,为了表示布线及电极的电位,有时在与布线及电极相邻的位置附上表示H电位的“H”或者表示L电位的“L”。此外,有时对发生电位变化的布线及电极以带框的形式附上“H”或“L”。此外,在晶体管处于关闭状态下,有时在该晶体管上重叠地附上符号“×”。

[0152] 首先,在期间T0中,字线WWL、位线WBL及节点FN是L电位,位线RBL及选择线SL是H电位(参照图10)。

[0153] [数据写入工作]

[0154] 在期间T1中,对字线WWL及位线WBL供应H电位(参照图10及图11A)。此时,晶体管11A处于开启状态,作为表示“1”的数据,H电位写入到节点FN。更准确地说,使节点FN的电位成为H电位之量的电荷供应到节点FN。

[0155] 晶体管11B的栅极、源极及漏极都是H电位,晶体管11B处于关闭状态。

[0156] [保持工作]

[0157] 在期间T2中,对字线WWL供应L电位。此时,晶体管11A变为关闭状态,保持写入到节点FN的数据(参照图10及图11B)。

[0158] 如上所述,OS晶体管是关态电流极小的晶体管。通过将OS晶体管用作晶体管11A,可以长期间保持写入到节点FN的数据。因此,不需要节点FN的电位刷新,可以降低存储单元10的功耗。因此,可以降低存储装置100的功耗。

[0159] 并且,与Si晶体管相比,OS晶体管的漏极耐压更高。因此,通过作为晶体管11A使用OS晶体管,可以扩大保持在节点FN中的电位的范围。因此,可以增加保持在节点FN中的信息量。

[0160] [读出工作]

[0161] 在期间T3中,对位线RBL进行H电位的预充电。就是说,在保持H电位的状态下,使位线RBL处于浮动状态(参照图10及图12A)。

[0162] 接着,在期间T4中,对选择线SL供应L电位(参照图10及图12B)。此时,当节点FN保持H电位时,晶体管11B变为开启状态,位线RBL和选择线SL变为导通状态。由此,位线RBL的电位从H电位变为L电位。

[0163] 另一方面,在作为表示“0”的数据L电位写入到节点FN的情况下,即使对选择线SL供应L电位,晶体管11B也不处于开启状态。因此,通过检测出L电位供应到选择线SL时的位线RBL的电位变化,可以读出写入到存储单元10的数据。

[0164] 在使用OS晶体管的存储单元10中,通过OS晶体管电荷写入到节点FN,因此不需要现有的快闪存储器所需的高电压,可以实现高速写入工作。另外,也不进行对浮动栅极或电荷俘获层的电荷注入以及从浮动栅极或电荷俘获层的电荷抽出,因此使用OS晶体管的存储单元10在实质上可以无限地进行数据的写入及读出。与快闪存储器不同,即使在反复改写工作中,也观察不到使用OS晶体管的存储单元10中的电子俘获中心的增加所导致的不稳定性。与现有的快闪存储器相比,使用OS晶体管的存储单元10的劣化更少且可以得到更高的可靠性。

[0165] 在使用OS晶体管的存储单元10中,没有如磁存储器或阻变式存储器等那样的原子级的结构变化。因此,使用OS晶体管的存储单元10具有比磁存储器及阻变式存储器良好的改写耐性。

[0166] 另外,在本发明的一个方式的存储装置100中,存储单元10和RW电路129通过具有在Z方向上延伸的区域的位线WBL及位线RBL电连接。因此,位线WBL及位线RBL的引绕距离短,布线电阻及寄生电容小。

[0167] <RW电路129的结构例子>

[0168] 在列驱动器124中,按每个列设置有图13所示的RW电路129。图13是示出RW电路129的结构例子的电路图。

[0169] RW电路129包括晶体管M21至晶体管M26、读出放大器电路31、AND电路32、模拟开关33及模拟开关34。RW电路129根据信号SEN、信号SEP、信号PRE、信号RSEL、信号WSEL、信号GRSEL及信号GWSEL而工作。

[0170] 从列驱动器124供应到RW电路129的数据DIN通过电连接到节点NW的位线WBL而写入到存储单元10。另外,通过电连接到节点NR的位线RBL从存储单元10读出的数据从RW电路

129作为数据DOUT输出到列驱动器124。

[0171] 数据DIN及数据DOUT是内部信号,分别相当于数据信号WDA及数据信号RDA。

[0172] [预充电电路]

[0173] 晶体管M21被用作预充电电路。位线RBL由晶体管M21预充电到电位VDD。信号PRE是预充电信号,由信号PRE控制晶体管M21的导通状态。

[0174] [读出放大器电路]

[0175] 读出放大器电路31在读出工作中判断输入到位线RBL的数据是高电平还是低电平。另外,读出放大器电路31在写入工作中被用作暂时保持被输入的数据DIN的锁存电路。

[0176] 图13所示的读出放大器电路31是锁存型读出放大器。读出放大器电路31包括两个反相器电路,一个反相器电路的输入节点与另一个反相器电路的输出节点连接。将一个反相器电路的输入节点和输出节点分别记载为节点NS和节点NSB,互补数据保持在节点NS及节点NSB中。

[0177] 信号SEN及信号SEP是用来使读出放大器电路31活化的读出放大器使能信号,参考电位Vref是读出判断电位。读出放大器电路31以参考电位Vref为基准而判断出活化时的节点NSB的电位是高电平还是低电平。

[0178] AND电路32控制节点NS与位线WBL之间的导通状态。另外,模拟开关33控制节点NSB与位线RBL之间的导通状态,模拟开关34控制节点NS与供应参考电位Vref的布线之间的导通状态。

[0179] 信号WSEL是写入选择信号,并控制AND电路32。信号RSEL是读出选择信号,并控制模拟开关33及模拟开关34。

[0180] [输出MUX电路]

[0181] 晶体管M22及晶体管M23构成输出MUX(复用器)电路。信号GRSEL是全局读出选择信号,并控制输出MUX电路。

[0182] 输出MUX电路具有输出从读出放大器电路31读出的数据DOUT的功能。

[0183] [写入驱动电路]

[0184] 晶体管M24至晶体管M26构成写入驱动电路。信号GWSEL是全局写入选择信号,并控制写入驱动电路。写入驱动电路具有将被输入的数据DIN写入到读出放大器电路31的功能。

[0185] 写入驱动电路具有选择要写入数据DIN的列的功能。写入驱动电路根据信号GWSEL以字节单位、半字单位或一个字单位写入数据。

[0186] 本实施方式可以与其他实施方式等所记载的结构适当地组合而实施。

[0187] (实施方式2)

[0188] 在本实施方式中,说明存储装置100的变形例子。作为存储装置100的变形例子,图14A示出存储装置100A。在本实施方式中,对存储装置100A的与存储装置100不同之处进行说明。关于在本实施方式中没有说明的内容,可以参照其他实施方式等。

[0189] <存储装置100A>

[0190] 存储装置100A具有驱动电路层110上层叠有M个存储块130的结构。在图14A等中,将第一个存储块130记载为存储块130_1,将第M(M是2以上的自然数)个存储块130记载为存储块130_M。另外,将第t(t是1以上且M以下的自然数)个存储块130记载为存储块130_t。

[0191] 一个存储块130(例如,存储块130_t)包括具有RW阵列127的功能层160、R(R是1以

上的自然数)个存储层120。功能层160例如可以使用OS晶体管构成。在图14A等中,将包括在存储块130_1中的功能层160记载为功能层160_1,将包括在第M个存储块130中的功能层160记载为功能层160_M。另外,将包括在第t个存储块130中的功能层160记载为功能层160_t。

[0192] 图14B示出存储块130_t的结构例子。在图14B所示的存储块130_t中,功能层160上层叠有R个存储层120。包括在R个存储层120中的存储单元10通过包括在R个存储层120中的位线WBL及位线RBL与包括在功能层160_t中的RW阵列127电连接。

[0193] 将N个存储层120分为多个块,将RW阵列127设置在每块,由此可以缩短位线WBL及位线RBL。通过缩短位线WBL及位线RBL,从存储单元10到RW阵列127的信号传输距离变短,因此可以提高存储装置的工作速度。另外,位线WBL及位线RBL的寄生电容得到降低,因此可以降低功耗。另外,可以容易实现利用一个存储单元进行多位存储的多值存储。此外,RW阵列127具有读出存储单元10所保持的数据或者将数据写入到存储单元10的功能。注意,功能层160所包括的电路不局限于RW阵列127,也可以设置具有各种功能的电路等。因此,有时将RW阵列127称为功能电路。

[0194] 表示包括在存储块130_t中的存储层120的个数的R优选为表示存储块130的总数的M的约数。

[0195] 另外,如图14C所示,可以在功能层160的上下设置存储层120。图14C示出在功能层160的上下各设置两个存储层120的例子。通过以夹有功能层160的方式配置多个存储层120,可以进一步缩短信号传输距离。注意,层叠在功能层160上的存储层120以及层叠在功能层160下的存储层120分别为一个以上即可。因此,不局限于图14C所示的两个。

[0196] 层叠在功能层160上的存储层120的个数与层叠在功能层160下的存储层120的个数优选相等。因此,在图14C所示的存储块130_t中,表示存储层120的总计的R优选为偶数。

[0197] 本实施方式可以与其他实施方式等所记载的结构适当地组合而实施。

[0198] (实施方式3)

[0199] 在本实施方式中,说明存储装置100的变形例子。作为存储装置100的变形例子,图15A示出存储装置100B。在本实施方式中,对存储装置100B的与存储装置100不同之处进行说明。关于在本实施方式中没有说明的内容,可以参照其他实施方式等。

[0200] <存储装置100B>

[0201] 存储装置100B包括驱动电路层110A代替存储装置100的驱动电路层110。图15B是说明驱动电路层110A的结构例子的方框图。驱动电路层110A包括RW阵列127A代替驱动电路层110的RW阵列127。驱动电路层110A的除了RW阵列127A以外的结构与驱动电路层110相同,因此在本实施方式中省略详细的说明。

[0202] RW阵列127A相对于一行的存储单元10包括一个RW电路129。在图15B等中,将第一行的RW电路129记载为RW电路129[1],将第i行的RW电路129记载为RW电路129[i]。另外,将第P行的RW电路129记载为RW电路129[P]。

[0203] 图16是示出N个存储层120的一部分及驱动电路层110A的一部分的立体图。另外,图17是示出第i行的RW电路129(RW电路129[i])、第i行的位线WBL(位线WBL[i,1]至位线WBL[i,R])、第i行的位线RBL(位线RBL[i,1]至位线RBL[i,Q])的连接例子的图。

[0204] RW电路129[i]与位线WBL[i,1]至位线WBL[i,R]及位线RBL[i,1]至位线RBL[i,Q]电连接。

[0205] 当采用RW阵列127A的结构时,与将RW电路129配置为P行Q列的矩阵状的情况相比,RW电路129的设计自由度可以更高。另外,因为可以缩小RW阵列127A的占有面积,所以可以提高包括在驱动电路层110A中的所有的电路的设计自由度。

[0206] <存储装置100C>

[0207] 在上述存储装置100B中包括在一行的所有位线与一个RW电路129连接,因此施加到该RW电路129的布线电容等负载容易变大。尤其是,在存储装置的存储容量增加而包括在一行中的位线个数增加的情况下,其影响变大,数据的读/写速度或精度等容易降低。

[0208] 于是,通过在存储单元10和RW电路129之间设置选择电路153,减少在读/写工作中电连接到RW电路129的位线WBL及位线RBL的个数,降低施加到RW电路129的负载。

[0209] 图18A示出存储装置100C。存储装置100C是存储装置100B的变形例子。因此,为了减少反复说明,对存储装置100C的与存储装置100B的不同之处进行说明。

[0210] 存储装置100C在存储层120和驱动电路层110A之间包括功能层150。图18B是说明功能层150的结构例子的方框图。功能层150包括控制电路151及选择电路群152。

[0211] 选择电路群152相对于一行的存储单元10包括一个选择电路153。在图18B等中,将第一行的选择电路153记载为选择电路153[1],将第i行的选择电路153记载为选择电路153[i]。另外,将第P行的选择电路153记载为选择电路153[P]。

[0212] 图19是示出存储层120的一部分、功能层150的一部分以及驱动电路层110A的一部分的立体图。另外,图20是示出第i行的RW电路129(RW电路129[i])、第i行的选择电路153(选择电路153[i])、第i行的位线WBL(图20中的位线WBL[i,1]至位线WBL[i,6])及第i行的位线RBL(图20中的位线RBL[i,1]至位线RBL[i,12])的连接例子的图。

[0213] 第i行的位线WBL及第i行的位线RBL与选择电路153[i]电连接。选择电路153[i]通过布线154W[i]及布线154R[i]与RW电路129[i]电连接。布线154W[i]与RW电路129[i]的节点NW电连接。布线154R[i]与RW电路129[i]的节点NR电连接(参照图19)。

[0214] 选择电路153包括G(G是2以上的自然数)个开关群155。在本实施方式等中,将第一个开关群155记载为开关群155[1]。在图20中,示出第二个开关群155的开关群155[2]以及第三个开关群155的开关群155[3]。

[0215] 使用图21更详细地说明选择电路153[i]的结构例子。如上所述,选择电路153[i]包括多个开关群155。在图21中示出两个开关群155(开关群155[1]及开关群155[2])。一个开关群155包括多个开关156。图21示出在开关群155[1]中包括开关156[11]至开关156[19]的例子。与此相同,示出在开关群155[2]中包括开关156[21]至开关156[29]的例子。

[0216] 开关156[11]设置在位线WBL[i,1]和布线154W[i]之间。开关156[12]设置在位线RBL[i,1]和布线154R[i]之间。开关156[13]设置在位线RBL[i,2]和布线154R[i]之间。开关156[14]设置在位线WBL[i,2]和布线154W[i]之间。开关156[15]设置在位线RBL[i,3]和布线154R[i]之间。开关156[16]设置在位线RBL[i,4]和布线154R[i]之间。开关156[17]设置在位线WBL[i,3]和布线154W[i]之间。开关156[18]设置在位线RBL[i,5]和布线154R[i]之间。开关156[19]设置在位线RBL[i,6]和布线154R[i]之间。

[0217] 控制电路151与外围电路115电连接。另外,控制电路151具有通过布线157[1]控制开关群155[1]的工作的功能。换言之,根据通过布线157[1]从控制电路151供应的信号控制开关156[11]至开关156[19]的导通状态(开启状态)和非导通状态(关闭状态)。

[0218] 当通过布线157[1]从控制电路151供应使开关156[11]至开关156[19]处于导通状态的信号时,位线WBL[i,1]至位线WBL[i,3]及布线154W[i]变为导通状态。另外,位线RBL[i,1]至位线RBL[i,6]及布线154R[i]变为导通状态。

[0219] 开关156[21]设置在位线WBL[i,4]和布线154W[i]之间。开关156[22]设置在位线RBL[i,7]和布线154R[i]之间。开关156[23]设置在位线RBL[i,8]和布线154R[i]之间。开关156[24]设置在位线WBL[i,5]和布线154W[i]之间。开关156[25]设置在位线RBL[i,9]和布线154R[i]之间。开关156[26]设置在位线RBL[i,10]和布线154R[i]之间。开关156[27]设置在位线WBL[i,6]和布线154W[i]之间。开关156[28]设置在位线RBL[i,11]和布线154R[i]之间。开关156[29]设置在位线RBL[i,12]和布线154R[i]之间。

[0220] 控制电路151具有通过布线157[2]控制开关群155[2]的工作的功能。换言之,根据通过布线157[2]从控制电路151供应的信号控制开关156[21]至开关156[29]的导通状态和非导通状态。

[0221] 当通过布线157[2]从控制电路151供应使开关156[21]至开关156[29]处于导通状态的信号时,位线WBL[i,4]至位线WBL[i,6]及布线154W[i]变为导通状态。另外,位线RBL[i,7]至位线RBL[i,12]及布线154R[i]变为导通状态。

[0222] 另外,布线157[3]具有将控制信号传输到开关群155[3](未图示)所包括的多个开关156的功能。

[0223] 控制电路151根据所使用的位线而选择要处于开启状态的开关群155。例如,在进行连接到位线RBL[i,7]的存储单元10的数据的读/写工作的情况下,控制电路151使开关群155[2]变为开启状态且使其他开关群155变为关闭状态。

[0224] 通过选择要处于开启状态的开关群155,可以减少读/写工作中电连接到RW电路129的位线WBL及位线RBL的个数。因此,可以降低施加到RW电路129的布线电容等负载。

[0225] 在本实施方式中,示出三个位线WBL及六个位线RBL连接到一个开关群155的结构,但是连接到一个开关群155的位线WBL及位线RBL的个数不局限于此。另外,也可以将位线WBL和位线RBL中的一个电连接到开关群155且将位线WBL和位线RBL中的另一个电连接到RW电路129。

[0226] 另外,开关群155的个数G优选为包括在一行中的位线WBL的个数R的约数。或者,开关群155的个数G优选为包括在一行中的位线RBL的个数Q的约数。

[0227] 作为开关156,可以使用MEMS(Micro Electro Mechanical Systems:微电子机械系统)元件或晶体管等开关元件。当将晶体管用作开关156时,优选使用OS晶体管。

[0228] 本实施方式可以与其他实施方式等所记载的结构适当地组合而实施。

[0229] (实施方式4)

[0230] 以下,使用图22至图27说明根据上述实施方式的存储装置的一个例子。首先,说明构成该存储装置的存储单元的结构例子。

[0231] <存储单元的结构例子>

[0232] 图22A及图22B示出构成根据本发明的一个方式的存储装置的存储单元860的结构。图22A是存储单元860及其附近的俯视图。另外,图22B是存储单元860的截面图,图22B对应于在图22A中以点划线A1-A2示出的部分。图22B示出晶体管600的沟道长度方向的截面以及晶体管700的沟道宽度方向的截面。注意,在图22A的俯视图中,为了明确起见,省略部分

构成要素。注意,图22A中的X方向、Y方向以及Z方向是指彼此正交或交叉的方向。在此,优选的是,X方向及Y方向平行于或大致平行于衬底面,Z方向垂直于或大致垂直于衬底面。

[0233] 本实施方式所示的存储单元860包括晶体管600、晶体管700及电容器655。存储单元860对应于上述实施方式中的存储单元10,晶体管600、晶体管700及电容器655分别对应于上述实施方式中的晶体管11A、晶体管11B及电容器12。因此,晶体管600的源极和漏极中的一个、晶体管700的栅极和电容器655的一个电极电连接。

[0234] 如图22A及图22B所示,在存储单元860中,绝缘体614上配置有晶体管600及晶体管700,晶体管600及晶体管700的一部分上配置有绝缘体680,晶体管600、晶体管700及绝缘体680上配置有绝缘体682,绝缘体682上配置有绝缘体685,绝缘体685上配置有电容器655,电容器655上配置有绝缘体688。绝缘体614、绝缘体680、绝缘体682、绝缘体685及绝缘体688被用作层间膜。

[0235] 在此,晶体管600包括:绝缘体614上的绝缘体616;以埋入绝缘体616中的方式配置的导电体605(导电体605a及导电体605b);绝缘体616及导电体605上的绝缘体622;绝缘体622上的绝缘体624;绝缘体624上的氧化物630a;氧化物630a上的氧化物630b;氧化物630b上的氧化物643a及氧化物643b;氧化物643a上的导电体642a;氧化物643b上的导电体642b;与绝缘体624的一部分、氧化物630a的侧面、氧化物630b的侧面、氧化物643a的侧面、导电体642a的侧面、导电体642a的顶面、氧化物643b的侧面、导电体642b的侧面及导电体642b的顶面接触的绝缘体672;绝缘体672上的绝缘体673;氧化物630b上的氧化物630c;氧化物630c上的绝缘体650;以及在绝缘体650上并与氧化物630c重叠的导电体660(导电体660a及导电体660b)。另外,氧化物630c与氧化物643a的侧面、氧化物643b的侧面、导电体642a的侧面及导电体642b的侧面接触。如图22B所示,导电体660的顶面以与绝缘体650的顶面、氧化物630c的顶面及绝缘体680的顶面大致对齐的方式配置。另外,绝缘体682与导电体660、绝缘体650、氧化物630c及绝缘体680的各顶面接触。

[0236] 注意,以下,有时将氧化物630a、氧化物630b及氧化物630c统称为氧化物630。另外,有时将氧化物643a和氧化物643b统称为氧化物643。另外,有时将导电体642a和导电体642b统称为导电体642。

[0237] 在晶体管600中,导电体660被用作栅极,导电体642a及导电体642b分别被用作源极或漏极。另外,导电体605被用作背栅极。在晶体管600中,被用作栅极的导电体660以填埋形成在绝缘体680等中的开口的方式自对准地形成。如此,在根据本实施方式的存储装置中,无需对准位置就可以在导电体642a和导电体642b之间的区域中准确地配置导电体660。

[0238] 此外,晶体管700包括:绝缘体614上的绝缘体616;以埋入绝缘体616中的方式配置的导电体705(导电体705a及导电体705b);绝缘体616及导电体705上的绝缘体622;绝缘体622上的绝缘体624;绝缘体624上的氧化物730a;氧化物730a上的氧化物730b;氧化物730b上的氧化物743a及氧化物743b;氧化物743a上的导电体742a;氧化物743b上的导电体742b;与绝缘体624的一部分、氧化物730a的侧面、氧化物730b的侧面、氧化物743a的侧面、导电体742a的侧面、导电体742a的顶面、氧化物743b的侧面、导电体742b的侧面及导电体742b的顶面接触的绝缘体672;绝缘体672上的绝缘体673;氧化物730b上的氧化物730c;氧化物730c上的绝缘体750;以及在绝缘体750上并与氧化物730c重叠的导电体760(导电体760a及导电体760b)。另外,氧化物730c与氧化物743a的侧面、氧化物743b的侧面、导电体742a的侧面及

导电体742b的侧面接触。在此,如图22B所示,导电体760的顶面以与绝缘体750的顶面、氧化物730c的顶面及绝缘体680的顶面大致对齐的方式配置。另外,绝缘体682与导电体760、绝缘体750、氧化物730c及绝缘体680的各顶面接触。

[0239] 注意,以下,有时将氧化物730a、氧化物730b及氧化物730c统称为氧化物730。另外,有时将氧化物743a和氧化物743b统称为氧化物743。另外,有时将导电体742a和导电体742b统称为导电体742。

[0240] 在晶体管700中,导电体760被用作栅极,导电体742a及导电体742b分别被用作源极或漏极。另外,导电体705被用作背栅极。在晶体管700中,被用作栅极的导电体760以填埋形成在绝缘体680等中的开口的方式自对准地形成。如此,在根据本实施方式的存储装置中,无需对准就可以在导电体742a和导电体742b之间的区域中准确地配置导电体760。

[0241] 在此,晶体管700形成在与晶体管600相同的层中,并具有与晶体管600相同的结构。因此,虽然未图示,但是晶体管700的沟道长度方向的截面具有与图22B所示的晶体管600的沟道长度方向的截面相同的结构。就是说,未图示在截面图中的氧化物743和导电体742也具有与图22B所示的氧化物643和导电体642相同的结构。虽然未图示,但是晶体管600的沟道宽度方向的截面具有与图22B所示的晶体管700的沟道宽度方向的截面相同的结构。

[0242] 因此,氧化物730具有与氧化物630相同的结构,可以参照氧化物630的记载。导电体705具有与导电体605相同的结构,可以参照导电体605的记载。氧化物743具有与氧化物643相同的结构,可以参照氧化物643的记载。导电体742具有与导电体642相同的结构,可以参照导电体642的记载。绝缘体750具有与绝缘体650相同的结构,可以参照绝缘体650的记载。导电体760具有与导电体660相同的结构,可以参照导电体660的记载。下面,在没有特别的记载的情况下,如上所述,晶体管700的结构可以参照晶体管600的结构的记载。

[0243] 另外,优选在晶体管600及晶体管700中将被用作氧化物半导体的金属氧化物(下面,有时称为氧化物半导体)用于包括形成沟道的区域(以下,也称为沟道形成区域)的氧化物630及氧化物730。

[0244] 例如,被用作氧化物半导体的金属氧化物的能隙为2eV以上,优选为2.5eV以上。通过使用能隙较宽的金属氧化物,可以使晶体管600的非导通状态下的泄漏电流(关态电流)为极小。

[0245] 作为氧化物半导体,例如优选使用In-M-Zn氧化物(元素M为选自铝、镓、钇、锡、铜、钒、铍、硼、钛、铁、镍、锗、锆、钼、镧、铈、钕、钽、钨和镁等中的一种或多种)等金属氧化物。特别是,作为元素M优选使用铝、镓、钇或锡。此外,作为氧化物半导体也可以使用In-M氧化物、In-Zn氧化物或M-Zn氧化物。

[0246] 因为在沟道形成区域中使用氧化物半导体的晶体管600及晶体管700具有极小的关态电流,因此可以提供一种功耗低的半导体装置。另外,即使在高温环境下,晶体管600及晶体管700的关态电流也几乎不增加。具体而言,即使在室温以上且200°C以下的环境温度下,关态电流也几乎不增加。因此,可以实现即使在高温环境下也稳定地工作并具有高可靠性的存储装置。

[0247] 因为晶体管600的关态电流极小,所以可以将电容器655的电容值设定为小。由此,可以缩小存储单元860的占有面积,实现存储装置的集成化。

[0248] 如图22A所示,导电体742a、导电体660、导电体605及导电体705优选在Y方向上延

伸。通过采用这样的结构，导电体742a被用作上述实施方式中的选择线SL。另外，导电体660被用作上述实施方式中的字线WWL。另外，导电体605被用作上述实施方式中的布线BGL1。另外，导电体705被用作上述实施方式中的布线BGL2。

[0249] 电容器655包括绝缘体685上的导电体646a、覆盖导电体646a的绝缘体686、以及与导电体656的至少一部分重叠地配置在绝缘体686上的导电体656。在此，导电体646a被用作电容器655的一个电极，导电体646b被用作电容器655的另一个电极。另外，绝缘体686被用作电容器655的电介质。

[0250] 另外，优选将导电体656延伸在Y方向上并用作上述实施方式中的电容线CL。

[0251] 另外，绝缘体622、绝缘体624、绝缘体672、绝缘体673、绝缘体680、绝缘体682及绝缘体685中形成有开口，以填埋在该开口的方式设置被用作插头的导电体640(导电体640a、导电体640b、导电体640c及导电体640d)。另外，绝缘体685和导电体640以其顶面对齐的方式设置。

[0252] 导电体640a的底面与导电体642a接触，导电体640a的顶面与导电体646a接触。导电体640c的底面与导电体760接触，导电体640c的顶面与导电体646a接触。如此，晶体管600的源极和漏极中的一个、晶体管700的栅极和电容器655的一个电极电连接。

[0253] 导电体640b与导电体642b的侧面接触地设置。导电体640b的下方设置有导电体615及导电体607，导电体640b的上方设置有导电体646b及导电体657。导电体607设置在形成于绝缘体614中的开口中。这里，导电体615形成在与导电体605相同的层中，并具有与导电体605相同的结构。另外，导电体646b形成在与导电体646a相同的层中，并具有与导电体646a相同的结构。另外，导电体657设置在形成于绝缘体686及绝缘体688中的开口中。

[0254] 导电体640b通过导电体607及导电体615与下层的存储单元860的导电体640b电连接。另外，导电体640b通过导电体646b及导电体657与上层的存储单元860的导电体640b电连接。如此，导电体607、导电体615、导电体640b、导电体646b及导电体657在Z方向上延伸，并被用作上述实施方式中的位线WBL。

[0255] 另外，虽然在截面图中未图示，但是导电体640d与导电体742b的侧面接触地设置。另外，导电体640d的下方设置有导电体715。导电体640d与上层及下层的导电体640d电连接。如此，导电体715及导电体640d等在Z方向上延伸，并被用作上述实施方式中的位线RBL。

[0256] 如图22B所示，通过将晶体管600和晶体管700形成在相同层中，可以以同一工序形成晶体管600和晶体管700。因此，可以缩短存储装置的制造工序，提高生产率。

[0257] 注意，在存储单元860中，以使晶体管600的沟道长度方向和晶体管700的沟道长度方向平行的方式设置晶体管600、晶体管700及电容器655，但是本实施方式所示的存储装置不局限于此。图22等所示的存储单元860只是存储装置的结构的一个例子，可以根据电路结构或驱动方法使用具有适当结构的晶体管或电容器等。

[0258] [存储单元的详细结构]

[0259] 以下，说明根据本发明的一个方式的存储单元860的详细结构。以下，晶体管700的构成要素可以参照晶体管600的构成要素的记载。

[0260] 如图22所示，氧化物630优选包括绝缘体624上的氧化物630a、氧化物630a上的氧化物630b以及配置在氧化物630b上且其至少一部分与氧化物630b的顶面接触的氧化物630c。在此，优选以其侧面与氧化物643a、氧化物643b、导电体642a、导电体642b、绝缘体

672、绝缘体673及绝缘体680接触的方式设置氧化物630c。

[0261] 也就是说,氧化物630包括氧化物630a、氧化物630a上的氧化物630b及氧化物630b上的氧化物630c。当氧化物630b下设置有氧化物630a时,可以抑制杂质从形成在氧化物630a的下方的结构物扩散到氧化物630b。当氧化物630b上设置有氧化物630c时,可以抑制杂质从形成在氧化物630c的上方的结构物扩散到氧化物630b。

[0262] 注意,在晶体管600中,在沟道形成区域及其附近层叠有氧化物630a、氧化物630b及氧化物630c的三层,但是本发明不局限于此。例如,可以设置氧化物630b的单层、氧化物630b与氧化物630a的两层结构、氧化物630b与氧化物630c的两层结构或者四层以上的叠层结构。例如,也可以使氧化物630c具有两层结构来形成四层的叠层结构。

[0263] 另外,氧化物630优选具有由各金属原子的原子个数比互不相同的氧化物构成的叠层结构。具体而言,用于氧化物630a的金属氧化物的构成元素中的元素M的原子个数比优选大于用于氧化物630b的金属氧化物的构成元素中的元素M的原子个数比。另外,用于氧化物630a的金属氧化物中的相对于In的元素M的原子个数比优选大于用于氧化物630b的金属氧化物中的相对于元素M的In的原子个数比。另外,用于氧化物630b的金属氧化物中的相对于元素M的In的原子个数比优选大于用于氧化物630a的金属氧化物中的相对于元素M的In的原子个数比。另外,氧化物630c可以使用可用于氧化物630a或氧化物630b的金属氧化物。另外,用于氧化物630c的金属氧化物中的相对于元素M的In的原子个数比优选大于用于氧化物630b的金属氧化物中的相对于元素M的In的原子个数比。

[0264] 具体而言,作为氧化物630a使用 $In:Ga:Zn=1:3:4$ [原子个数比] 或其附近的组成、或者 $1:1:0.5$ [原子个数比] 或其附近的组成的金属氧化物,即可。

[0265] 另外,作为氧化物630b使用 $In:Ga:Zn=4:2:3$ [原子个数比] 或其附近的组成、或者 $1:1:1$ [原子个数比] 或其附近的组成的金属氧化物,即可。另外,作为氧化物630b也可以使用 $In:Ga:Zn=5:1:3$ [原子个数比] 或其附近的组成、或者 $In:Ga:Zn=10:1:3$ [原子个数比] 或其附近的组成的金属氧化物。另外,作为氧化物630b也可以使用In-Zn氧化物(例如, $In:Zn=2:1$ [原子个数比] 或其附近的组成、 $In:Zn=5:1$ [原子个数比] 或其附近的组成、或者 $In:Zn=10:1$ [原子个数比] 或其附近的组成)。另外,作为氧化物630b也可以使用In氧化物。

[0266] 另外,作为氧化物630c,使用 $In:Ga:Zn=1:3:4$ [原子个数比或其附近的组成] 、 $Ga:Zn=2:1$ [原子个数比] 或其附近的组成、或者 $Ga:Zn=2:5$ [原子个数比] 或其附近的组成的金属氧化物,即可。另外,作为氧化物630c使用可用于氧化物630b的材料,并且以单层或叠层设置。例如,作为氧化物630c具有叠层结构时的具体例子,可以举出 $In:Ga:Zn=4:2:3$ [原子个数比] 或其附近的组成和 $In:Ga:Zn=1:3:4$ [原子个数比] 或其附近的组成的叠层结构、 $Ga:Zn=2:1$ [原子个数比] 或其附近的组成和 $In:Ga:Zn=4:2:3$ [原子个数比] 或其附近的组成的叠层结构、 $Ga:Zn=2:5$ [原子个数比] 或其附近的组成和 $In:Ga:Zn=4:2:3$ [原子个数比] 或其附近的组成的叠层结构、以及氧化镓和 $In:Ga:Zn=4:2:3$ [原子个数比] 或其附近的组成的叠层结构等。

[0267] 另外,在氧化物630b及氧化物630c中,通过提高膜中的铟的比率,可以提高晶体管的通态电流或场效应迁移率等,所以是优选的。另外,上述的附近的组成包括所希望的原子个数比的±30%的范围。

[0268] 另外,可以根据晶体管被要求的工作频率等,改变包含在金属氧化物中的元素的

组成。例如,可以将包括在存储单元中的晶体管的金属氧化物的组成设定为In:Ga:Zn=4:2:3[原子个数比]或其附近,将包括在驱动电路层110中的晶体管的金属氧化物的组成设定为In:Ga:Zn=5:1:3[原子个数比]或其附近。注意,也可以将包括在驱动电路层110中的晶体管的金属氧化物的组成设定为In:Ga:Zn=10:1:3[原子个数比]或其附近或者In:Zn=2:1[原子个数比]或其附近。

[0269] 另外,氧化物630b也可以具有结晶性。例如,优选使用下述CAAC-OS(*c-axis aligned crystalline oxide semiconductor*)。CAAC-OS等具有结晶性的氧化物具有杂质及缺陷(氧空位等)少的结晶性高且致密的结构。因此,可以抑制源电极或漏电极从氧化物630b抽出氧。此外,即使进行加热处理也可以减少氧从氧化物630b被抽出,所以晶体管600在制造工序中的高温度(所谓热积存:thermal budget)中也是稳定的。

[0270] 优选在设置于包括绝缘体680的层间膜的开口中设置氧化物630c。因此,绝缘体650及导电体660包括隔着氧化物630c与氧化物630b和氧化物630a的叠层结构重叠的区域。通过采用该结构,可以连续形成氧化物630c及绝缘体650,从而可以保持氧化物630和绝缘体650的界面的清洁。因此,界面散射给载流子传导带来的影响减少,从而晶体管600可以得到大通态电流及高频率特性。

[0271] 另外,优选将载流子浓度低的氧化物半导体用作氧化物630(例如,氧化物630b)。在以降低氧化物半导体的载流子浓度为目的的情况下,降低氧化物半导体中的杂质浓度以降低缺陷态密度,即可。在本说明书等中,将杂质浓度低且缺陷态密度低的状态称为高纯度本征或实质上高纯度本征。另外,作为氧化物半导体中的杂质,例如有氢、氮、碱金属、碱土金属、铁、镍、硅等。

[0272] 特别是,包含在氧化物半导体中的氢与键合于金属原子的氧起反应生成水,因此有时形成氧空位(也称为 V_0 :oxygen vacancy)。再者,有时氢进入氧空位中的缺陷(以下,有时称为 V_0H)被用作供体而产生作为载流子的电子。有时由于氢的一部分与键合于金属原子的氧键合,产生作为载流子的电子。因此,使用包含多量的氢的氧化物半导体的晶体管容易具有常开启特性。此外,由于氧化物半导体中的氢容易因热、电场等压力而移动,因此当氧化物半导体包含多量的氢时,也有晶体管的可靠性会下降的忧虑。

[0273] V_0H 会被用作氧化物半导体的供体。然而,难以对该缺陷定量地进行评价。于是,在氧化物半导体中,有时不是根据供体浓度而是根据载流子浓度进行评价。由此,在本说明书等中,有时作为氧化物半导体的参数,不采用供体浓度而采用假定为不被施加电场的状态的载流子浓度。也就是说,有时可以将本说明书等所记载的“载流子浓度”换称为“供体浓度”。

[0274] 如上所述,在将氧化物半导体用作氧化物630的情况下,优选尽量减少氧化物630中的 V_0H 来使该氧化物630成为高纯度本征或实质上高纯度本征。为了得到这种 V_0H 被充分减少的氧化物半导体,重要的是:去除氧化物半导体中的水分、氢等杂质(有时记载为脱水、脱氢化处理);以及对氧化物半导体供应氧来填补氧空位(有时也称为加氧化处理)。通过将 V_0H 等杂质被充分减少的氧化物半导体用于晶体管的沟道形成区域,可以赋予稳定的电特性。

[0275] 在氧化物630b中,利用二次离子质谱(SIMS:Secondary Ion Mass Spectrometry)测得的氢浓度可以低于 $1 \times 10^{20} \text{ atoms/cm}^3$,优选低于 $1 \times 10^{19} \text{ atoms/cm}^3$,更优选低于 $5 \times$

10^{18} atoms/cm³, 进一步优选低于 1×10^{18} atoms/cm³。通过将氢等杂质被充分减少的氧化物630用于晶体管600的沟道形成区域, 可以实现常关闭特性, 可以具有稳定的电特性并提高可靠性。

[0276] 另外, 当作为氧化物630使用氧化物半导体时, 优选用作沟道形成区域的区域的氧化物半导体的载流子浓度为 1×10^{18} cm⁻³以下, 更优选低于 1×10^{17} cm⁻³, 进一步优选低于 1×10^{16} cm⁻³, 更优选的是低于 1×10^{13} cm⁻³, 进一步优选的是低于 1×10^{12} cm⁻³。对用作沟道形成区域的区域的氧化物半导体的载流子浓度的下限值没有特殊限定, 例如, 可以将其设定为 1×10^{-9} cm⁻³。

[0277] 于是, 优选的是, 作为绝缘体614、绝缘体622、绝缘体672、绝缘体673及绝缘体682使用抑制杂质的扩散的材料(以下, 也称为对杂质的阻挡性材料), 减少氢等杂质扩散到氧化物630。注意, 在本说明书等中, 阻挡性是指抑制所对应的物质的扩散的功能(也可以说透过性低)。或者, 是指俘获并固定所对应的物质(也称为吸杂)的功能。另外, 在本说明书等中, 有时将具有阻挡性的绝缘膜称为阻挡绝缘膜。

[0278] 例如, 作为具有抑制氢及氧的扩散的功能的材料, 有氧化铝、氧化铪、氧化镓、铟镓锌氧化物、氮化硅或氮氧化硅等。特别是, 氮化硅或氮氧化硅对氢具有高阻挡性, 所以优选被用作密封材料。

[0279] 例如, 作为具有俘获并固定氢的功能的材料, 有氧化铝、氧化铪、氧化镓、铟镓锌氧化物等金属氧化物。

[0280] 例如, 作为绝缘体614优选使用氧化铝或氧化铪等。由此, 可以抑制水或氢等杂质的从衬底一侧向晶体管600一侧的扩散。或者, 可以抑制绝缘体624等所包含的氧向衬底一侧扩散。

[0281] 导电体605以与氧化物630及导电体660重叠的方式配置。另外, 导电体605优选以嵌入绝缘体616中的方式设置。

[0282] 在导电体605被用作背栅极的情况下, 通过独立地改变供应到导电体605的电位而不使其与施加到导电体660的电位联动, 可以控制晶体管600的阈值电压(V_{th})。尤其是, 通过对导电体605施加负电位, 可以使晶体管600的V_{th}更大且可以减小关态电流。因此, 与不对导电体605施加负电位的情况相比, 在对导电体605施加负电位的情况下, 可以减小对导电体660施加的电位为0V时的漏极电流。

[0283] 另外, 如图22A所示, 导电体605优选比氧化物630中的不与导电体642a及导电体642b重叠的区域大。尤其是, 导电体605优选延伸到与氧化物630的沟道宽度方向交叉的端部的外侧的区域。就是说, 优选在氧化物630的沟道宽度方向的侧面的外侧, 导电体605和导电体660隔着绝缘体重叠。或者, 通过将导电体605设置得大, 可以在形成导电体605后的制造工序的使用等离子体的处理中, 有时可以缓和局部带电(也称为电荷积聚(charge up))。但是, 本发明的一个方式不局限于此。导电体605至少与位于导电体642a和导电体642b之间的氧化物630重叠, 即可。

[0284] 此外, 以绝缘体624的底面为标准, 氧化物630a及氧化物630b和导电体660不重叠的区域中的导电体660的底面优选位于比氧化物630b的底面低的位置上。

[0285] 如附图所示, 通过使被用作栅极的导电体660具有隔着氧化物630c及绝缘体650覆盖沟道形成区域的氧化物630b的侧面及顶面的结构, 容易使从导电体660产生的电场作用

于产生在氧化物630b中的沟道形成区域整体。因此,可以增大晶体管600的通态电流来提高频率特性。在本说明书中,将由第一栅极及第二栅极的电场电围绕沟道形成区域的晶体管结构称为surrounded channel (S-channel) 结构。

[0286] 导电体605a优选是抑制水或氢等杂质及氧的透过的导电体。例如,可以使用钛、氮化钛、钽或氮化钽。此外,导电体605b优选使用以钨、铜或铝为主要成分的导电材料。另外,在附图中,导电体605为两层,但是也可以采用三层以上的多层结构。

[0287] 另外,优选绝缘体616、绝缘体680绝缘体685及绝缘体688的介电常数低于绝缘体614的介电常数。通过将介电常数低的材料用于层间膜,可以降低布线间产生的寄生电容。例如,作为绝缘体616、绝缘体680、绝缘体685及绝缘体688,可以适当地使用氧化硅、氧氮化硅、氮氧化硅、氮化硅、添加了氟的氧化硅、添加了碳的氧化硅、添加了碳及氮的氧化硅或具有空孔的氧化硅等。

[0288] 例如,绝缘体616、绝缘体680、绝缘体685及绝缘体688可以使用不包含氢原子或其氢原子的含量少的化合物气体并采用CVD法或ALD法形成。

[0289] 例如,在形成上述绝缘膜时,作为沉积气体主要使用具有包含硅原子的分子的气体。当减少上述绝缘膜所包含的氢时,该包含硅原子的分子所具有的氢原子优选少,更优选的是,该包含硅原子的分子不具有氢原子。当然,具有包含硅原子的分子的气体以外的沉积气体所包含的氢原子也优选少,更优选的是,该成膜气体不包含氢原子。

[0290] 在由 $\text{Si}_x\text{-R}_y$ 表示上述包含硅原子的分子时,例如,作为官能团R可以使用异氰酸酯基(-N=C=O)、氰酸酯基(-O-C≡N)、氰基(-C≡N)、重氨基(=N₂)、叠氨基(-N₃)、亚硝基(-NO)及硝基(-NO₂)中的至少一个。例如,满足 $1 \leq x \leq 3$ 、 $1 \leq y \leq 8$,即可。作为这种包含硅原子的分子,例如可以使用四异氰酸酯基硅烷、四氰酸酯基硅烷、四氰基硅烷、六异氰酸酯基硅烷、八异氰酸酯基硅烷等。在此例示出了硅原子与相同种类的官能团键合的分子,但是本实施方式不局限于此。可以采用硅原子也与不同种类的官能团键合的结构。

[0291] 此外,例如,作为官能团R,还可以使用卤素(Cl、Br、I或F)。例如,满足 $1 \leq x \leq 2$ 、 $1 \leq y \leq 6$,即可。作为这种包含硅原子的分子,例如可以使用四氯硅烷(SiCl₄)、六氯二硅烷(Si₂Cl₆)等。示出了以氯为官能团的例子,但是也可以将氯以外的溴、碘、氟等卤素用作官能团。此外,也可以采用硅原子与不同种类的卤素键合的结构。

[0292] 绝缘体622及绝缘体624具有作为栅极绝缘体的功能。

[0293] 在此,在与氧化物630接触的绝缘体624中,优选通过加热使氧脱离。在本说明书中,有时将通过加热脱离的氧称为过剩氧。例如,作为绝缘体624适当地使用氧化硅或氧氮化硅等,即可。通过以与氧化物630接触的方式设置包含过剩氧的绝缘体,可以减少氧化物630中的氧空位,从而可以提高晶体管600的可靠性。

[0294] 具体而言,作为绝缘体624,优选使用通过加热使部分氧脱离的氧化物材料。通过加热使氧脱离的氧化物是指在热脱附谱(TDS(Thermal Desorption Spectroscopy))分析中氧分子的脱离量为 $1.0 \times 10^{18} \text{ molecules/cm}^3$ 以上,优选为 $1.0 \times 10^{19} \text{ molecules/cm}^3$ 以上,进一步优选为 $2.0 \times 10^{19} \text{ molecules/cm}^3$ 以上,或者 $3.0 \times 10^{20} \text{ molecules/cm}^3$ 以上的氧化物膜。另外,进行上述TDS分析时的膜的表面温度优选在100°C以上且700°C以下,或者100°C以上且400°C以下的范围内。

[0295] 绝缘体622优选被用作抑制水或氢等杂质从衬底一侧混入晶体管600中的阻挡绝

缘膜。例如，绝缘体622的氢透过性优选比绝缘体624低。通过由绝缘体622及绝缘体683围绕绝缘体624及氧化物630等，可以抑制水或氢等杂质从外部进入晶体管600中。

[0296] 再者，绝缘体622优选具有抑制氧(例如，氧原子、氧分子等中的至少一个)的扩散的功能(不容易使上述氧透过)。例如，绝缘体622的氧透过性优选比绝缘体624低。通过使绝缘体622具有抑制氧或杂质的扩散的功能，可以减少氧化物630所包含的氧扩散到绝缘体622的下方，所以是优选的。此外，可以抑制导电体605与绝缘体624及氧化物630所包含的氧起反应。

[0297] 绝缘体622优选使用包含作为绝缘材料的铝和铪中的一个或两个的氧化物的绝缘体。作为包含铝和铪中的一个或两个的氧化物的绝缘体，优选使用氧化铝、氧化铪、包含铝及铪的氧化物(铝酸铪)等。当使用这种材料形成绝缘体622时，绝缘体622被用作抑制氧从氧化物630释放或氢等杂质从晶体管600的周围部进入氧化物630的层。

[0298] 或者，例如也可以对上述绝缘体添加氧化铝、氧化铋、氧化铈、氧化铌、氧化硅、氧化钛、氧化钨、氧化钇、氧化锆。或者，也可以对上述绝缘体进行氮化处理。或者，还可以在上述绝缘体上层叠氧化硅、氧氮化硅或氮化硅而使用。

[0299] 此外，作为绝缘体622，例如也可以以单层或叠层使用包含氧化铝、氧化铪、氧化钽、氧化锆、锆钛酸铅(PZT)、钛酸锶(SrTiO_3)或($\text{Ba}, \text{Sr}\text{TiO}_3$) BST等所谓的high-k材料的绝缘体。当进行晶体管的微型化及高集成化时，由于栅极绝缘体的薄膜化，而有时发生泄漏电流等问题。通过作为被用作栅极绝缘体的绝缘体使用high-k材料，可以在保持物理厚度的同时降低晶体管工作时的栅极电位。

[0300] 另外，绝缘体622及绝缘体624也可以具有两层以上的叠层结构。此时，不局限于使用相同材料构成的叠层结构，也可以是使用不同材料构成的叠层结构。

[0301] 此外，也可以在氧化物630b和被用作源电极或漏电极的导电体642(导电体642a及导电体642b)之间配置氧化物643(氧化物643a及氧化物643b)。此时，导电体642和氧化物630不接触，因此可以抑制导电体642吸收氧化物630的氧。也就是说，通过防止导电体642的氧化，可以抑制导电体642的导电率下降。因此，氧化物643优选具有抑制导电体642的氧化的功能。

[0302] 由此，氧化物643优选具有抑制氧的透过的功能。当在被用作源电极或漏电极的导电体642和氧化物630b之间配置具有抑制氧的透过的功能的氧化物643时，导电体642和氧化物630b之间的电阻得到减少，所以是优选的。通过采用这种结构，可以提高晶体管600的电特性及晶体管600的可靠性。

[0303] 作为氧化物643，也可以使用包含元素M的金属氧化物。特别是，作为元素M优选使用铝、镓、钇或锡。氧化物643中的元素M的浓度优选比氧化物630b高。另外，作为氧化物643，还可以使用氧化镓。此外，作为氧化物643，还可以使用In-M-Zn氧化物等金属氧化物。具体而言，用于氧化物643的金属氧化物中的相对于In的元素M的原子个数比优选大于用于氧化物630b的金属氧化物中的相对于In的元素M的原子个数比。此外，氧化物643的厚度优选为0.5nm以上且5nm以下，优选为1nm以上且3nm以下。另外，氧化物643优选具有结晶性。在氧化物643具有结晶性时，可以适当地抑制氧从氧化物630释放。例如，只要氧化物643具有六方晶等结晶结构，就有时可以抑制氧从氧化物630释放。

[0304] 另外，不必设置氧化物643。在此情况下，因导电体642(导电体642a及导电体

642b) 和氧化物630接触而氧化物630中的氧扩散到导电体642中,由此导电体642会氧化。导电体642的导电率因氧化而下降的盖然性高。注意,可以将氧化物630中的氧扩散到导电体642的情况换称为导电体642吸收氧化物630中的氧的情况。

[0305] 此外,在氧化物630中的氧扩散到导电体642(导电体642a及导电体642b)时,在导电体642a和氧化物630b之间及导电体642b和氧化物630b之间有可能形成不必要的层。因为该不必要的层包含比导电体642多的氧,所以推测为该不必要的层具有绝缘性。此时,可以将导电体642、该不必要的层和氧化物630b的三层结构认为是由金属-绝缘体-半导体构成的三层结构,并且有时将其称为MIS(Metal-Insulator-Semiconductor)结构或以MIS结构为主的二极管结结构。

[0306] 注意,上述不必要的层不局限于形成在导电体642和氧化物630b之间,例如,不必要的层有可能形成在导电体642和氧化物630c之间或者导电体642和氧化物630b之间及导电体642和氧化物630c之间。

[0307] 在氧化物643上设置被用作源电极及漏电极的导电体642(导电体642a及导电体642b)。导电体642的厚度例如为1nm以上且50nm以下,优选为2nm以上且25nm以下,即可。

[0308] 作为导电体642,优选使用选自铝、铬、铜、银、金、铂、钽、镍、钛、钼、钨、铪、钒、铌、锰、镁、锆、铍、铟、镓、铼和镧中的金属元素、以上述金属元素为成分的合金或者组合上述金属元素的合金等。例如,优选使用氮化钽、氮化钛、氮化钨、包含钛和铝的氮化物、包含钽和铝的氮化物、氧化钌、氮化钌、包含铼和钌的氧化物、包含镧和镍的氧化物等。另外,氮化钽、氮化钛、包含钛和铝的氮化物、包含钽和铝的氮化物、氧化钌、氮化钌、包含铼和钌的氧化物、包含镧和镍的氧化物是不容易氧化的导电材料或者吸收氧也维持导电性的材料,所以是优选的。

[0309] 绝缘体672优选与导电体642顶面接触地设置,并被用作阻挡绝缘膜。另外,优选在绝缘体672上设置被用作阻挡绝缘膜的绝缘体673。通过采用该结构,可以抑制导电体642吸收绝缘体680所包含的过剩氧。此外,通过抑制导电体642的氧化,可以抑制晶体管600和布线之间的接触电阻的增加。由此,可以对晶体管600赋予良好的电特性及可靠性。

[0310] 因此,绝缘体672及绝缘体673优选具有抑制氧的扩散的功能。例如,绝缘体672优选具有比绝缘体680更能抑制氧的扩散的功能。作为绝缘体672,例如优选形成包含铝和铪中的一个或两个的氧化物的绝缘体。此外,作为绝缘体673,例如,使用氮化硅或氮氧化硅,即可。

[0311] 此外,还可以抑制水或氢等杂质从隔着绝缘体672及绝缘体673配置的绝缘体680等向晶体管600一侧扩散。如此,优选采用由具有抑制水或氢等杂质及氧的扩散的功能的绝缘体672及绝缘体673围绕晶体管600的结构。

[0312] 绝缘体650被用作栅极绝缘体。绝缘体650优选与氧化物630c的顶面接触地配置。绝缘体650可以使用氧化硅、氧氮化硅、氮氧化硅、氮化硅、添加有氟的氧化硅、添加有碳的氧化硅、添加有碳及氮的氧化硅、具有空孔的氧化硅。尤其是,氧化硅及氧氮化硅具有热稳定性,所以是优选的。

[0313] 与绝缘体624同样,绝缘体650优选使用通过加热释放氧的绝缘体形成。通过作为绝缘体650以与氧化物630c的顶面接触的方式设置通过加热释放氧的绝缘体,可以有效地对氧化物630b的沟道形成区域供应氧。与绝缘体624中同样,优选降低绝缘体650中的水或

氢等杂质的浓度。绝缘体650的厚度优选为1nm以上且20nm以下。

[0314] 另外,也可以在绝缘体650与导电体660之间设置金属氧化物。该金属氧化物优选抑制氧从绝缘体650扩散到导电体660。通过设置抑制氧的扩散的金属氧化物,抑制氧从绝缘体650扩散到导电体660。换言之,可以抑制供应到氧化物630的氧量的减少。另外,可以抑制因绝缘体650中的氧所导致的导电体660的氧化。

[0315] 另外,该金属氧化物有时被用作栅极绝缘体的一部分。因此,在将氧化硅或氧氮化硅等用于绝缘体650的情况下,作为该金属氧化物优选使用作为相对介电常数高的high-k材料的金属氧化物。通过使栅极绝缘体具有绝缘体650与该金属氧化物的叠层结构,可以形成具有热稳定性且相对介电常数高的叠层结构。因此,可以在保持栅极绝缘体的物理厚度的同时降低在晶体管工作时施加的栅极电位。另外,可以减少被用作栅极绝缘体的绝缘体的等效氧化物厚度(EOT)。

[0316] 具体而言,可以使用包含选自铪、铝、镓、钇、锆、钨、钛、钽、镍、锗和镁等中的一种或两种以上的金属氧化物。特别是,优选使用作为包含铝及铪中的一个或两个的氧化物的绝缘体的氧化铝、氧化铪、包含铝及铪的氧化物(铝酸铪)等。

[0317] 或者,该金属氧化物有时被用作栅极的一部分。在此情况下,优选将包含氧的导电材料设置在沟道形成区域一侧。通过将包含氧的导电材料设置在沟道形成区域一侧,从该导电材料脱离的氧容易被供应到沟道形成区域。

[0318] 尤其是,作为被用作栅极的导电体,优选使用含有包含在形成沟道的金属氧化物中的金属元素及氧的导电材料。此外,也可以使用含有上述金属元素及氮的导电材料。此外,可以使用铟锡氧化物、包含氧化钨的铟氧化物、包含氧化钨的铟锌氧化物、包含氧化钛的铟氧化物、包含氧化钛的铟锡氧化物、铟锌氧化物、添加有硅的铟锡氧化物。此外,也可以使用包含氮的铟镓锌氧化物。通过使用上述材料,有时可以俘获形成沟道的金属氧化物所包含的氢。或者,有时可以俘获从外方的绝缘体等混入的氢。

[0319] 导电体660以其底面及侧面与绝缘体650接触的方式配置。虽然在图22中,导电体660具有两层结构,但是也可以具有单层结构或三层以上的叠层结构。

[0320] 作为导电体660a优选使用具有抑制氢原子、氢分子、水分子、氮原子、氮分子、氧化氮分子(N_2O 、 NO 、 NO_2 等)、铜原子等杂质的扩散的功能的导电材料。另外,优选使用具有抑制氧(例如,氧原子、氧分子等中的至少一个)的扩散的功能的导电材料。

[0321] 此外,当导电体660a具有抑制氧的扩散的功能时,可以抑制绝缘体650所包含的氧使导电体660b氧化而导致导电率的下降。作为具有抑制氧的扩散的功能的导电材料,例如,优选使用钽、氮化钽、钌或氧化钌等。

[0322] 此外,作为导电体660b优选使用以钨、铜或铝为主要成分的导电材料。另外,由于导电体660还被用作布线,所以优选使用导电性高的导电体。例如,可以使用以钨、铜或铝为主要成分的导电材料。另外,导电体660b可以具有叠层结构,例如可以具有钛或氮化钛与上述导电材料的叠层结构。

[0323] 例如,绝缘体680优选使用氧化硅、氧氮化硅、氮氧化硅、添加有氟的氧化硅、添加有碳的氧化硅、添加有碳及氮的氧化硅或具有空孔的氧化硅等。尤其是,因为氧化硅及氧氮化硅具有热稳定性,所以是优选的。此外,因为氧化硅、氧氮化硅、具有空孔的氧化硅等的材料容易形成包含通过加热脱离的氧的区域,所以是优选的。另外,绝缘体680也可以具有层

叠有上述材料的结构,例如,可以采用通过溅射法形成的氧化硅和在其上层叠的通过CVD法形成的氮化硅的叠层结构。此外,还可以在其上层叠氮化硅。

[0324] 在此,绝缘体680优选包含过剩氧。例如,作为绝缘体680适当地使用氧化硅或氮化硅等,即可。通过以与氧化物630接触的方式设置包含过剩氧的绝缘体680,可以减少氧化物630中的氧空位,从而可以提高晶体管600的可靠性。为了使绝缘体680包含过剩氧,例如,可以在包含氧的气氛下利用溅射法形成绝缘体682。通过在包含氧的气氛下利用溅射法形成绝缘体682,可以在进行成膜的同时对绝缘体680添加氧。

[0325] 另外,优选降低绝缘体680中的水或氢等杂质浓度。另外,绝缘体680的顶面也可以被平坦化。

[0326] 绝缘体682优选被用作抑制水或氢等杂质从上方混入绝缘体680中的阻挡绝缘膜。另外,绝缘体682优选被用作抑制氧的透过的阻挡绝缘膜。作为绝缘体682,例如,可以使用氧化铝、氮化硅或氮化钛等绝缘体。例如,作为绝缘体682,可以使用对氧的阻挡性高的氧化铝。

[0327] 如图22B所示,绝缘体682具有与氧化物630c直接接触的结构。通过采用该结构,可以抑制绝缘体680所包含的氧扩散到导电体660。因此,可以将绝缘体680所包含的氧通过氧化物630c高效地供应到氧化物630a及氧化物630b,从而可以减少氧化物630a及氧化物630b中的氧空位来提高晶体管600的电特性及可靠性。

[0328] 另外,优选在绝缘体682上设置被用作层间膜的绝缘体685。与绝缘体624等同样,优选降低绝缘体685中的水或氢等杂质的浓度。

[0329] 导电体640优选使用以钨、铜或铝为主要成分的导电材料。此外,导电体640也可以具有叠层结构。另外,在图22A的俯视图中,导电体640具有圆形状,但是不局限于此。例如,在俯视时,导电体640也可以具有椭圆等大致圆形状、四角形等多角形状、使四角形等多角形的角部带弧形的形状。

[0330] 当导电体640采用叠层结构时,优选使用具有抑制水或氢等杂质及氧的功能的导电材料。例如,优选使用钽、氮化钽、钛、氮化钛、钌或氧化钌等。可以以单层或叠层使用具有抑制水或氢等杂质及氧的功能的导电材料。通过使用该导电材料,可以进一步减少从绝缘体680等扩散的水或氢等杂质经过导电体640混入氧化物630中。此外,可以防止添加到绝缘体680的氧被导电体640吸收。

[0331] 此外,以与导电体640a的顶面及导电体640c的顶面接触的方式配置导电体646a,以与导电体640b的顶面接触的方式配置导电体646b。导电体646a及导电体646b优选使用以钨、铜或铝为主要成分的导电材料。另外,导电体646a及导电体646b可以具有叠层结构,例如,可以具有钛或氮化钛与上述导电材料的叠层结构。另外,该导电体可以嵌入设置于绝缘体的开口中的方式形成。

[0332] 以覆盖绝缘体685、导电体646a及导电体646b的方式设置绝缘体686。绝缘体686例如可以使用氧化硅、氮化硅、氮化钛、氮化铝、氧化铝、氮化钽、氮化钌、氧化钌,并可以以叠层或单层设置。

[0333] 例如,绝缘体686可以使用氮化硅等绝缘耐压力高的材料和高介电常数(high-k)材料的叠层结构。通过采用该结构,电容器655可以包括高介电常数(high-k)的绝缘体来确保充分的电容,并可以包括绝缘耐压力高的绝缘体来提高绝缘耐压力,从而可以抑制电

容器655的静电破坏。

[0334] 注意,作为高介电常数 (high-k) 材料(相对介电常数高的材料)的绝缘体,有氧化稼、氧化稼、氧化稼、含有铝及稼的氧化物、含有铝及稼的氧氮化物、含有硅及稼的氧化物、含有硅及稼的氧氮化物或含有硅及稼的氮化物等。

[0335] 此外,作为绝缘体686,例如也可以以单层或叠层使用包含氧化铝、氧化稼、氧化稼、氧化稼、氧化稼、锆钛酸铅 (PZT)、钛酸锶 (SrTiO_3) 或 $(\text{Ba}, \text{Sr})\text{TiO}_3$ (BST) 等high-k材料的绝缘体。例如,在绝缘体686具有叠层结构时,可以采用如下结构:依次层叠有氧化稼、氧化铝、氧化稼的三层叠层结构;依次层叠有氧化稼、氧化铝、氧化稼、氧化铝的四层结构;等。另外,作为绝缘体686也可以使用包含稼、稼的化合物等。随着半导体装置微型化及高集成化,由于用于栅极绝缘体及电容器的介电质薄膜化,有时发生晶体管或电容器的泄漏电流等问题。通过作为被用作栅极绝缘体及电容器的介电质的绝缘体使用high-k材料,可以在保持物理厚度的同时降低晶体管工作时的栅极电位并确保电容器的电容。

[0336] 另一方面,作为绝缘耐压力高的材料(相对介电常数低的材料),有氧化硅、氧氮化硅、氮氧化硅、氮化硅、添加有氟的氧化硅、添加有碳的氧化硅、添加有碳及氮的氧化硅、具有空孔的氧化硅或树脂等。

[0337] 导电体656以隔着绝缘体686与导电体646a的至少一部分重叠的方式配置。导电体656可以使用可用作导电体646的导电体。

[0338] 另外,优选在绝缘体686及导电体646b上设置被用作层间膜的绝缘体688。与绝缘体624等中同样,优选降低绝缘体688中的水或氢等杂质的浓度。

[0339] <<存储单元的变形例子>>

[0340] 以下,使用图23说明存储单元的变形例子。图23A是存储单元860及其附近的俯视图。另外,图23B是存储单元860的截面图,图23B对应于在图23A中以点划线A1-A2示出的部分。图23B示出晶体管600的沟道长度方向的截面以及晶体管700的沟道宽度方向的截面。注意,在图23A的俯视图中,为了明确起见,省略部分构成要素。注意,图23A中的X方向、Y方向以及Z方向是指彼此正交或交叉的方向。在此,优选的是,X方向及Y方向平行于或大致平行于衬底面,Z方向垂直于或大致垂直于衬底面。

[0341] 图23A和图23B所示的存储单元860的与图22A和图22B存储单元860不同之处在于:使用晶体管690及晶体管790代替晶体管600及晶体管700。在此,晶体管790形成在与晶体管690相同的层中,并具有与晶体管690相同的结构。以下,晶体管790的构成要素可以参照晶体管690的构成要素的记载。

[0342] 晶体管690的与晶体管600不同之处在于:氧化物630c沿着形成在绝缘体680、绝缘体672、绝缘体673、导电体642(导电体642a、导电体642b)及氧化物630b的开口部形成为U字状(U-Shape)。

[0343] 例如,在使晶体管的沟道长度微型化(典型的是5nm以上且小于60nm,优选为10nm以上且30nm以下)时,通过作为晶体管600的结构采用上述结构,可以延长有效的L长度。作为一个例子,在导电体642a和导电体642b之间的距离为20nm的情况下,可以将有效的L长度设定为40nm以上且60nm以下,其是导电体642a和导电体642b之间的距离,即最小加工尺寸的2倍以上且3倍以下左右。因此,图23A和图23B所示的存储单元860具有包括在微型化上优异的晶体管690、晶体管790及电容器655的结构。

[0344] <<金属氧化物>>

[0345] 作为氧化物630, 优选使用被用作氧化物半导体的金属氧化物。以下, 将说明可用于根据本发明的氧化物630的金属氧化物。

[0346] 金属氧化物优选至少包含铟或锌。尤其优选包含铟及锌。另外, 除此之外, 优选还包含镓、钇、锡等。或者, 也可以包含硼、钛、铁、镍、锗、钼、镧、铈、钕、铪、钽、钨或镁等中的一种或多种。

[0347] 在此, 考虑金属氧化物是包含铟、元素M及锌的In-M-Zn氧化物的情况。注意, 元素M为铝、镓、钇或锡等。作为可用作元素M的其他元素, 有硼、钛、铁、镍、锗、钼、镧、铈、钕、铪、钽、钨、镁等。注意, 作为元素M有时也可以组合多个上述元素。

[0348] 注意, 在本说明书等中, 有时将包含氮的金属氧化物也称为金属氧化物(metal oxide)。此外, 也可以将包含氮的金属氧化物称为金属氧氮化物(metal oxynitride)。

[0349] [金属氧化物的构成]

[0350] 在此, 作为金属氧化物的构成例子, 说明CAC-OS (Cloud-Aligned Composite Oxide Semiconductor) 或CAC-metal oxide。

[0351] CAC-OS或CAC-metal oxide在材料的一部分中具有导电性的功能, 在材料的另一部分中具有绝缘性的功能, 作为材料的整体具有半导体的功能。此外, 在将CAC-OS或CAC-metal oxide用于晶体管的活性层的情况下, 导电性的功能是使被用作载流子的电子(或空穴)流过的功能, 绝缘性的功能是不使被用作载流子的电子流过的功能。通过导电性的功能和绝缘性的功能的互补作用, 可以使CAC-OS或CAC-metal oxide具有开关功能(控制开启/关闭的功能)。通过在CAC-OS或CAC-metal oxide中使各功能分离, 可以最大限度地提高各功能。

[0352] 此外, CAC-OS或CAC-metal oxide包括导电性区域及绝缘性区域。导电性区域具有上述导电性的功能, 绝缘性区域具有上述绝缘性的功能。此外, 在材料中, 导电性区域和绝缘性区域有时以纳米粒子级分离。另外, 导电性区域和绝缘性区域有时在材料中不均匀地分布。此外, 有时观察到其边缘模糊而以云状连接的导电性区域。

[0353] 此外, 在CAC-OS或CAC-metal oxide中, 导电性区域和绝缘性区域有时以0.5nm以上且10nm以下, 优选为0.5nm以上且3nm以下的尺寸分散在材料中。

[0354] 此外, CAC-OS或CAC-metal oxide由具有不同带隙的成分构成。例如, CAC-OS或CAC-metal oxide由具有起因于绝缘性区域的宽隙的成分及具有起因于导电性区域的窄隙的成分构成。在该构成中, 当使载流子流过时, 载流子主要在具有窄隙的成分中流过。此外, 具有窄隙的成分通过与具有宽隙的成分的互补作用, 与具有窄隙的成分联动而使载流子流过具有宽隙的成分。因此, 在将上述CAC-OS或CAC-metal oxide用于晶体管的沟道形成区域时, 在晶体管的导通状态中可以得到高电流驱动力, 即大通态电流及高场效应迁移率。

[0355] 就是说, 也可以将CAC-OS或CAC-metal oxide称为基质复合材料(matrix composite)或金属基质复合材料(metal matrix composite)。

[0356] [金属氧化物的结构]

[0357] 氧化物半导体(金属氧化物)被分为单晶氧化物半导体和非单晶氧化物半导体。作为非单晶氧化物半导体例如有CAAC-OS、多晶氧化物半导体、nc-OS (nanocrystalline oxide semiconductor)、a-like OS (amorphous-like oxide semiconductor) 及非晶氧化

物半导体等。

[0358] 在着眼于结晶结构的情况下,氧化物半导体有时被分类为与上述不同的种类。在此,参照图28A说明氧化物半导体中的结晶结构的分类。图28A是说明氧化物半导体,典型为IGZO(包含In、Ga、Zn的金属氧化物)的结晶结构的分类的图。

[0359] 如图28A所示,IGZO大致被分类为Amorphous、Crystalline及Crystal。另外,completely amorphous包含在Amorphous中。另外,CAAC、nc及CAC包含在Crystalline中。另外,single crystal及poly crystal包含在Crystal中。

[0360] 注意,图28A所示的粗框内的结构是属于New crystalline phase的结构。该结构存在于Amorphous与Crystal之间的边界区域。换言之,能量上不稳定的Amorphous与Crystalline可以说是完全不同的结构。

[0361] 注意,膜或衬底的结晶结构可以使用X线衍射(XRD:X-Ray Diffraction)图像进行评价。在此,图28B和图28C示出使用石英玻璃及具有被分类为Crystalline的结晶结构的IGZO(也称为Crystalline IGZO)的XRD谱。在图28B和图28C中,横轴表示 2θ [deg.],纵表示强度(Intensity)[a.u.]。此外,图28B是石英玻璃的XRD谱,图28C是结晶性IGZO的XRD谱。注意,图28C所示的结晶性IGZO具有In:Ga:Zn=4:2:3[原子个数比]的组成。此外,图28C所示的结晶性IGZO的厚度为500nm。

[0362] 如图28B的箭头所示,石英玻璃具有大致对称的XRD谱峰。另一方面,如图28C的箭头所示,结晶性IGZO具有非对称的XRD谱峰。而XRD谱峰为非对称明示出结晶的存在。换言之,不是左右对称的XRD谱峰不可以说是Amorphous。

[0363] CAAC-OS具有c轴取向性,其多个纳米晶在a-b面方向上连结而结晶结构具有畸变。注意,畸变是指在多个纳米晶连结的区域中晶格排列一致的区域与其他晶格排列一致的区域之间的晶格排列的方向变化的部分。

[0364] 虽然纳米晶基本上是六角形,但是并不局限于正六角形,有不是正六角形的情况。此外,在畸变中有时具有五角形或七角形等晶格排列。另外,在CAAC-OS中,即使在畸变附近也难以观察到明确的晶界(也称为grain boundary)。即,可知由于晶格排列畸变,抑制晶界的形成。这是由于CAAC-OS因为a-b面方向上的氧原子排列的低密度或因金属元素被取代而使原子间的键合距离产生变化等而能够包容畸变。

[0365] 另外,确认到明确的晶界的结晶结构被称为所谓的多晶(polygonal crystal)。晶界成为再结合中心而载流子被俘获,因而有可能导致晶体管的通态电流的降低、场效应迁移率的降低等。因此,确认不到明确的晶界的CAAC-OS是使晶体管的半导体层具有优异的结晶结构的结晶性氧化物之一。注意,为了构成CAAC-OS,优选为包含Zn的结构。例如,与In氧化物相比,In-Zn氧化物及In-Ga-Zn氧化物能够进一步地抑制晶界的发生,所以是优选的。

[0366] 此外,CAAC-OS趋向于具有层叠有包含铟及氧的层(下面称为In层)和包含元素M、锌及氧的层(下面称为(M,Zn)层)的层状结晶结构(也称为层状结构)。另外,铟和元素M彼此可以取代,在用铟取代(M,Zn)层中的元素M的情况下,也可以将该层表示为(In,M,Zn)层。另外,在用元素M取代In层中的铟的情况下,也可以将该层表示为(In,M)层。

[0367] CAAC-OS是结晶性高的金属氧化物。另一方面,在CAAC-OS中不容易观察到明确的晶界,因此可以说不容易发生起因于晶界的电子迁移率的下降。此外,金属氧化物的结晶性有时因杂质的进入或缺陷的生成等而降低,因此可以说CAAC-OS是杂质或缺陷(氧空位等)

少的金属氧化物。因此,包含CAAC-OS的金属氧化物的物理性质稳定。因此,包含CAAC-OS的金属氧化物具有高耐热性及高可靠性。

[0368] 在nc-OS中,微小的区域(例如1nm以上且10nm以下的区域,特别是1nm以上且3nm以下的区域)中的原子排列具有周期性。另外,nc-OS在不同的纳米晶之间观察不到结晶取向的规律性。因此,在膜整体中观察不到取向性。所以,有时nc-OS在某些分析方法中与a-like OS或非晶氧化物半导体没有差别。

[0369] 另外,在包含铟、镓和锌的金属氧化物的一种的In-Ga-Zn氧化物(以下,IGZO)是上述纳米晶时可能具有稳定的结构。尤其是,IGZO有在大气中不容易进行晶体生长的倾向,所以与在IGZO是大结晶(在此,几mm的结晶或者几cm的结晶)时相比在IGZO是小结晶(例如,上述纳米结晶)时可能在结构上稳定。

[0370] a-like OS是具有介于nc-OS与非晶氧化物半导体之间的结构的金属氧化物。a-like OS包含空洞或低密度区域。也就是说,a-like OS的结晶性比nc-OS及CAAC-OS的结晶性低。

[0371] 氧化物半导体(金属氧化物)具有各种结构及各种特性。本发明的一个方式的氧化物半导体也可以包括非晶氧化物半导体、多晶氧化物半导体、a-like OS、nc-OS、CAAC-OS中的两种以上。

[0372] [杂质]

[0373] 在此,说明金属氧化物中的各杂质的影响。

[0374] 在杂质混入氧化物半导体中时,有时形成缺陷能级或氧空位。因此,在杂质混入氧化物半导体的沟道形成区域中时,使用氧化物半导体的晶体管的电特性容易变动而有时会降低可靠性。此外,在沟道形成区域包括氧空位时,晶体管容易具有常开启特性。

[0375] 此外,上述缺陷能级有时包括陷阱能级。被金属氧化物的陷阱能级俘获的电荷到消失需要较长的时间,有时像固定电荷那样动作。因此,在沟道形成区域具有陷阱态密度高的金属氧化物的晶体管的电特性有时不稳定。

[0376] 另外,在氧化物半导体的沟道形成区域存在有杂质时,沟道形成区域的结晶性有时降低,或者与沟道形成区域接触地设置的氧化物的结晶性有时降低。在沟道形成区域的结晶性低时,有晶体管的稳定性或可靠性下降的趋势。此外,在与沟道形成区域接触地设置的氧化物的结晶性低时,有时形成界面能级而降低晶体管的稳定性或可靠性。

[0377] 因此,为了提高晶体管的稳定性或可靠性,降低氧化物半导体的沟道形成区域及其附近的杂质浓度是有效的。作为杂质有氢、氮、碱金属、碱土金属、铁、镍、硅等。

[0378] 具体而言,将该氧化物半导体的沟道形成区域及其附近的通过SIMS得到的上述杂质的浓度设定为 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下,优选设定为 $2 \times 10^{16} \text{ atoms/cm}^3$ 以下。或者,将该氧化物半导体的沟道形成区域及其附近的通过利用EDX的元素分析得到的上述杂质的浓度设定为1.0atomic%以下。另外,在作为该氧化物半导体使用包含元素M的氧化物时,将该氧化物半导体的沟道形成区域及其附近的相对于元素M的上述杂质的浓度比设定为低于0.10,优选设定为低于0.05。在此,用来算出上述浓度比的元素M的浓度既可以是与算出上述杂质的浓度的区域相同的区域的浓度,也可以是该氧化物半导体中的浓度。

[0379] 因为其杂质浓度得到降低的金属氧化物的缺陷态密度低,所以有时其陷阱态密度也低。

[0380] 在氢进入金属氧化物的氧空位中时,有时氧空位和氢键合而形成 V_0H 。有时 V_0H 被用作供体而产生作为载流子的电子。此外,有时由于氢的一部分与键合于金属原子的氧键合,产生作为载流子的电子。

[0381] 由此,使用包含多量的氢的氧化物半导体的晶体管容易具有常开启特性。此外,由于氧化物半导体中的氢容易因热、电场等压力而移动,因此当氧化物半导体包含多量的氢时,也有晶体管的可靠性会下降的忧虑。

[0382] 也就是说,优选尽量减少金属氧化物中的 V_0H 来使该金属氧化物成为高纯度本征或实质上高纯度本征。为了得到这种 V_0H 被充分减少的氧化物半导体,重要的是:去除氧化物半导体中的水分、氢等杂质(有时记载为脱水、脱氢化处理);以及对氧化物半导体供应氧来填补氧空位(有时也称为加氧化处理)。通过将 V_0H 等杂质被充分减少的氧化物半导体用于晶体管的沟道形成区域,可以赋予稳定的电特性。

[0383] 另外,优选将载流子浓度低的氧化物半导体用于晶体管。在以降低氧化物半导体的载流子浓度为目的的情况下,降低氧化物半导体中的杂质浓度以降低缺陷态密度,即可。在本说明书等中,将杂质浓度低且缺陷态密度低的状态称为高纯度本征或实质上高纯度本征。另外,作为氧化物半导体中的杂质,例如有氢、氮、碱金属、碱土金属、铁、镍、硅等。

[0384] 特别是,包含在氧化物半导体中的氢与键合于金属原子的氧起反应生成水,因此有时在氧化物半导体中形成氧空位。在氧化物半导体中的沟道形成区域包含氧空位的情况下,晶体管趋于具有常开启特性。再者,有时氢进入氧空位中的缺陷被用作供体而产生作为载流子的电子。有时由于氢的一部分与键合于金属原子的氧键合,产生作为载流子的电子。因此,使用包含多量的氢的氧化物半导体的晶体管容易具有常开启特性。

[0385] 氢进入氧空位中的缺陷(V_0H)会被用作氧化物半导体的供体。然而,难以对该缺陷定量地进行评价。于是,在氧化物半导体中,有时不是根据供体浓度而是根据载流子浓度进行评价。由此,在本说明书等中,有时作为氧化物半导体的参数,不采用供体浓度而采用假定为不被施加电场的状态的载流子浓度。也就是说,有时可以将本说明书等所记载的“载流子浓度”换称为“供体浓度”。

[0386] 由此,优选尽可能减少氧化物半导体中的氢。具体而言,在氧化物半导体膜中,利用SIMS测得的氢浓度低于 $1 \times 10^{20} \text{ atoms/cm}^3$,优选低于 $1 \times 10^{19} \text{ atoms/cm}^3$,更优选低于 $5 \times 10^{18} \text{ atoms/cm}^3$,进一步优选低于 $1 \times 10^{18} \text{ atoms/cm}^3$ 。通过将氢等杂质被充分减少的氧化物半导体用于晶体管的沟道形成区域,可以赋予稳定的电特性。

[0387] 沟道形成区域的氧化物半导体的载流子浓度优选为 $1 \times 10^{18} \text{ cm}^{-3}$ 以下,更优选为低于 $1 \times 10^{17} \text{ cm}^{-3}$,进一步优选为低于 $1 \times 10^{16} \text{ cm}^{-3}$,进一步优选低于 $1 \times 10^{13} \text{ cm}^{-3}$,进一步优选为低于 $1 \times 10^{12} \text{ cm}^{-3}$ 。另外,对沟道形成区域的氧化物半导体的载流子浓度的下限值并没有特别的限定,例如可以为 $1 \times 10^{-9} \text{ cm}^{-3}$ 。

[0388] 根据本发明的一个方式可以提供一种可靠性良好的半导体装置。根据本发明的一个方式可以提供一种具有良好的电特性的半导体装置。根据本发明的一个方式可以提供一种通态电流大的半导体装置。根据本发明的一个方式可以提供一种能够进行微型化或高集成化的半导体装置。根据本发明的一个方式可以提供一种低功耗的半导体装置。

[0389] <<其他半导体材料>>

[0390] 可以用于氧化物630的半导体材料不局限于上述金属氧化物。作为氧化物630,也

可以使用具有带隙的半导体材料(不是零带隙半导体的半导体材料)。例如,优选将硅等单个元素的半导体、砷化镓等化合物半导体、被用作半导体的层状物质(也称为原子层物质、二维材料等)等用于半导体材料。特别是,优选将被用作半导体的层状物质用于半导体材料。

[0391] 在此,在本说明书等中,层状物质是具有层状结晶结构的材料群的总称。层状结晶结构是由共价键或离子键形成的层通过如范德华力那样的比共价键或离子键弱的键合层叠的结构。层状物质在每单位层中具有高导电性,即,具有高二维导电性。通过将被用作半导体并具有高二维导电性的材料用于沟道形成区域,可以提供通态电流大的晶体管。

[0392] 作为层状物质,有石墨烯、硅烯、硫族化物等。硫族化物是包含氧族元素的化合物。此外,氧族元素是属于第16族的元素的总称,其中包括氧、硫、硒、碲、钋、釔。另外,作为硫族化物,可以举出过渡金属硫族化物、第13族硫族化物等。

[0393] 作为氧化物630,例如优选使用被用作半导体的过渡金属硫族化物。作为能够被用作氧化物630的过渡金属硫族化物,可以具体地举出硫化钼(典型的是MoS₂)、硒化钼(典型的是MoSe₂)、碲化钼(典型的是MoTe₂)、硫化钨(典型的是WS₂)、硒化钨(典型的是WSe₂)、碲化钨(典型的是WTe₂)、硫化铪(典型的是HfS₂)、硒化铪(典型的是HfSe₂)、硫化锆(典型的是ZrS₂)、硒化锆(典型的是ZrSe₂)等。

[0394] <存储单元配置的结构例子>

[0395] 接着,使用图24及图25说明上述存储单元860的配置的一个例子。图24及图25示出配置有2×2×2个上述存储单元860的存储单元块。图24是存储单元块的俯视图。另外,图25是存储单元块的截面图,图25对应于在图24中以点划线B1-B2表示的部分。图25示出晶体管600的沟道长度方向的截面以及晶体管700的沟道宽度方向的截面。注意,在图24的俯视图中,为了明确起见,省略部分构成要素。注意,图24中的X方向、Y方向以及Z方向是指彼此正交或交叉的方向。在此,优选的是,X方向及Y方向平行于或大致平行于衬底面,Z方向垂直于或大致垂直于衬底面。

[0396] 在图24及图25所示的存储单元块中,在X方向上与存储单元860_1相邻地配置有存储单元860_2。另外,在Y方向上与存储单元860_1及存储单元860_2相邻地分别配置有存储单元860_3及存储单元860_4。另外,在Z方向上与存储单元860_1及存储单元860_2相邻地分别配置有存储单元860_5及存储单元860_6。

[0397] 如图24及图25所示,可以将存储单元860_1和存储单元860_2的构成要素配置为轴对称。此时,导电体640b的侧面优选与存储单元860_1的导电体642b及存储单元860_2的导电体642b接触。就是说,被用作位线WBL的导电体607、导电体615、导电体640b、导电体646b及导电体657优选与存储单元860_1的晶体管600的源极和漏极中的一个以及存储单元860_2的晶体管600的源极和漏极中的一个电连接。如此,通过使连接到存储单元860_1和存储单元860_2的布线共通化,可以进一步缩小存储单元的占有面积。

[0398] 另外,如图25所示,被用作位线WBL的导电体607、导电体615、导电体640b、导电体646b及导电体657还与配置在上层、存储单元860_5及存储单元860_6的晶体管600电连接。如图25所示,存储单元860_1及存储单元860_2的导电体657相当于存储单元860_5及存储单元860_6的导电体607。如此,可以将位线WBL在Z方向上延伸。另外,虽然在截面图中未图示,但是也可以将包括导电体640d等的位线RBL在Z方向上延伸。

[0399] 另外,如图24所示,存储单元860_1的导电体660延伸到存储单元860_3。如此,可以将字线WWL在Y方向上延伸。另外,如图24所示,存储单元860_1的导电体742a延伸到存储单元860_3。如此,可以将选择线SL在Y方向上延伸。此外,在X方向上相邻的存储单元860也可以共同使用选择线SL。另外,如图24所示,存储单元860_1的导电体605延伸到存储单元860_3。如此,可以将布线BGL1在Y方向上延伸。另外,如图24所示,存储单元860_1的导电体705延伸到存储单元860_3。如此,可以将布线BGL1在Y方向上延伸。

[0400] 注意,在图24中,采用以与导电体660重叠的方式将氧化物630c延伸的结构,但是本实施方式所示的存储装置不局限于此。例如,也可以采用按每存储单元860进行氧化物630c的图案形成来按每晶体管600分开地设置氧化物630c的结构。另外,例如,在氧化物630c具有两层的叠层结构的情况下,也可以采用按每晶体管600分开地配置氧化物630c的上层和下层中的任一个。

[0401] <存储装置的结构例子>

[0402] 接着,使用图26说明层叠有上述存储单元860的存储装置的一个例子。图26是硅层871上层叠有多个包括存储单元860的存储单元层870的存储装置的截面图。图26所示的存储装置相当于图1等所示的存储装置100,硅层871相当于驱动电路层110,存储单元层870相当于存储层120。

[0403] 首先,说明硅层871。硅层871设置有多个晶体管800,构成图2所示的外围电路115、RW电路129等。

[0404] 晶体管800设置在衬底811上,并包括:用作栅极的导电体816、用作栅极绝缘体的绝缘体815、由衬底811的一部分构成的半导体区域813;以及用作源区域或漏区域的低电阻区域814a及低电阻区域814b。晶体管800可以是p沟道型或n沟道型。

[0405] 在此,在图26所示的晶体管800中,形成沟道的半导体区域813(衬底811的一部分)具有凸形状。此外,以隔着绝缘体815覆盖半导体区域813的侧面及顶面的方式设置导电体816。此外,导电体816可以使用调整功函数的材料。因为利用半导体衬底的凸部,所以这种晶体管800也被称为FIN型晶体管。此外,也可以以与凸部的上表面接触的方式具有用来形成凸部的掩模的绝缘体。此外,虽然在此示出对半导体衬底的一部分进行加工来形成凸部的情况,但是也可以对SOI衬底进行加工来形成具有凸形状的半导体膜。

[0406] 注意,图26所示的晶体管800的结构只是一个例子,不局限于上述结构,根据电路结构或驱动方法使用适当的晶体管即可。

[0407] 各结构体之间也可以设置有包括层间膜、布线及插头等的布线层。此外,可以根据设计而设置多个布线层。在此,在具有插头或布线的功能的导电体中,有时使用同一附图标记表示多个结构。此外,在本说明书等中,布线、与布线电连接的插头也可以是一个构成要素。就是说,导电体的一部分有时被用作布线,并且导电体的一部分有时被用作插头。

[0408] 例如,在晶体管800上,作为层间膜依次层叠地设置有绝缘体820、绝缘体822、绝缘体824及绝缘体826。此外,被用作插头或布线的导电体828及导电体830等嵌入绝缘体820、绝缘体822、绝缘体824及绝缘体826中。

[0409] 此外,用作层间膜的绝缘体可以被用作覆盖其下方的凹凸形状的平坦化膜。例如,为了提高绝缘体822的顶面的平坦性,也可以通过利用化学机械抛光(CMP)法等的平坦化处理实现平坦化。

[0410] 也可以在绝缘体826及导电体830上设置布线层。例如,在图26中,依次层叠有绝缘体850、绝缘体852及绝缘体854。此外,在绝缘体850、绝缘体852及绝缘体854中形成有导电体856。导电体856用作插头或布线。

[0411] 作为能够用作层间膜的绝缘体,有具有绝缘性的氧化物、氮化物、氧氮化物、氮氧化物、金属氧化物、金属氧氮化物、金属氮氧化物等。

[0412] 例如,通过将相对介电常数低的材料用于用作层间膜的绝缘体,可以减少产生在布线之间的寄生电容。因此,优选根据绝缘体的功能选择材料。

[0413] 例如,优选将相对介电常数低的绝缘体用于绝缘体820、绝缘体822、绝缘体826、绝缘体852及绝缘体854等。例如,该绝缘体优选含有氮氧化硅、氮化硅、添加有氟的氧化硅、添加有碳的氧化硅、添加有碳及氮的氧化硅、具有空孔的氧化硅或树脂等。或者,该绝缘体优选具有氧化硅、氧氮化硅、氮氧化硅、氮化硅、添加有氟的氧化硅、添加有碳的氧化硅、添加有碳及氮的氧化硅或具有空孔的氧化硅与树脂的叠层结构。由于氧化硅及氧氮化硅具有热稳定性,因此通过将其与树脂组合,可以实现具有热稳定性且相对介电常数低的叠层结构。作为树脂,例如可以举出聚酯、聚烯烃、聚酰胺(尼龙、芳族聚酰胺等)、聚酰亚胺、聚碳酸酯或丙烯酸树脂等。

[0414] 此外,通过由具有抑制氢等杂质及氧透过的功能的绝缘体围绕使用氧化物半导体的晶体管,可以使晶体管的电特性稳定。因此,作为绝缘体824及绝缘体850等,使用具有抑制氢等杂质及氧的透过的功能的绝缘体,即可。

[0415] 作为具有抑制氢等杂质及氧透过的功能的绝缘体,例如可以以单层或叠层使用包含硼、碳、氮、氧、氟、镁、铝、硅、磷、氯、氩、镓、锗、钇、镧、钕或钽的绝缘体。具体而言,作为具有抑制氢等杂质及氧透过的功能的绝缘体,可以使用氧化铝、氧化镁、氧化镓、氧化锗、氧化钇、氧化锆、氧化镧、氧化钕、氧化铪或氧化钽等金属氧化物、氮氧化硅或氮化硅等。

[0416] 作为能够用于布线、插头的导电体优选使用包含选自铝、铬、铜、银、金、铂、钽、镍、钛、钼、钨、铪、钒、铌、锰、镁、锆、铍、铟以及钌等的金属元素中的一种以上的材料。此外,也可以使用以包含磷等杂质元素的多晶硅为代表的导电率高的半导体以及镍硅化物等硅化物。

[0417] 例如,作为导电体828、导电体830及导电体856等,可以以单层或叠层使用由上述材料形成的金属材料、合金材料、金属氮化物材料或金属氧化物材料等导电材料。优选使用兼具耐热性和导电性的钨或钼等高熔点材料,尤其优选使用钨。或者,优选使用铝或铜等低电阻导电材料形成。通过使用低电阻导电材料可以降低布线电阻。

[0418] 硅层871上配置有绝缘体611及绝缘体612,绝缘体611及绝缘体612上层叠有存储单元层870_1至存储单元层870_n(n是2以上的自然数)。虽然没有特别的限制,但是上述n值为2以上且200以下,优选为2以上且100以下,更优选为2以上且10以下。例如可以是 $1 \leq n \leq 10$,优选为 $1 \leq n \leq 50$,更优选为 $1 \leq n \leq 100$ 。

[0419] 在各存储单元层870中,与图24同样,存储单元860及各种布线配置为矩阵状。另外,如图25所示,在层叠方向上相邻的各存储单元层870通过位线WBL、位线RBL等布线彼此电连接。

[0420] 另外,如图26所示,在最下层的存储单元层870_1中,以嵌入绝缘体611及绝缘体612中的方式配置有导电体607。导电体607接触于设置在与导电体856相同的层中的导电体

857。如此,连接到存储单元860的位线WBL通过导电体857与RW电路129连接。

[0421] 另外,存储单元层870_1至存储单元层870_n优选具有由绝缘体611、绝缘体612、绝缘体687、绝缘体683及绝缘体684密封的结构。在此,硅层871上配置有绝缘体611,绝缘体611上配置有绝缘体612。绝缘体612上配置有存储单元层870_1至存储单元层870_n,绝缘体612被形成为在俯视时与存储单元层870_1至存储单元层870_n相同的图案。与绝缘体611的顶面、绝缘体612的侧面及存储单元层870_1至存储单元层870_n的侧面接触地配置有绝缘体687。就是说,绝缘体687被形成为存储单元层870_1至存储单元层870_n的侧壁的形状。以覆盖绝缘体611、绝缘体687及存储单元层870_1至存储单元层870_n的方式配置有绝缘体683。并且,以覆盖绝缘体683的方式配置有绝缘体684。

[0422] 与绝缘体682等同样,绝缘体611、绝缘体612、绝缘体687、绝缘体683及绝缘体684优选使用阻挡性材料。

[0423] 在此,各存储单元层870由绝缘体614、绝缘体687及绝缘体682密封。在此,绝缘体614、绝缘体687及绝缘体682优选使用相同的材料。此外,绝缘体614、绝缘体687及绝缘体682优选采用相同的条件形成。通过使膜性质相等的绝缘体614、绝缘体687及绝缘体682彼此接触,可以实现密封性高的密封结构。

[0424] 此外,绝缘体614、绝缘体687及绝缘体682优选使用具有俘获并固定氢的功能的材料。具体而言,可以使用氧化铝、氧化铪、氧化镓、铟镓锌氧化物等金属氧化物。

[0425] 形成密封结构的绝缘体614、绝缘体687及绝缘体682与绝缘体680接触地设置。因此,通过俘获并固定混入绝缘体680中的氢,可以降低存储单元860所包括的氧化物半导体的氢浓度。

[0426] 另外,密封存储单元层870的构成要素的绝缘体614、绝缘体687及绝缘体682还由绝缘体611、绝缘体612、绝缘体683覆盖。例如,如图26所示,在存储单元层870_1至存储单元层870_n的外方绝缘体611与绝缘体683接触,来形成第二层密封结构。

[0427] 在此,绝缘体611、绝缘体612及绝缘体683优选使用具有抑制氢及氧的扩散的功能的材料。特别是,由于氮化硅或氮氧化硅对氢具有高阻挡性,因此优选将其用作密封用材料。

[0428] 此外,优选在覆盖晶体管600的上方的绝缘体683的上方设置覆盖性高的绝缘体684。另外,绝缘体684优选使用与绝缘体612及绝缘体683相同的材料。

[0429] 例如,在采用溅射法形成绝缘体612、绝缘体683时,可以实现由氢浓度较低的膜而成的密封结构。

[0430] 另一方面,采用溅射法形成的膜的覆盖性较低。于是,通过采用覆盖性高的CVD法等形成绝缘体611及绝缘体684,可以进一步提高密封性。

[0431] 由此,绝缘体612及绝缘体683的氢浓度优选比绝缘体611及绝缘体684低。

[0432] 通过上述步骤,使用阻挡绝缘膜密封存储单元层870_1至存储单元层870_n,可以减少扩散到各存储单元860中的氧化物半导体的氢,因此可以提供一种可靠性高的存储装置。

[0433] 另外,绝缘体611、绝缘体612、绝缘体614、绝缘体682、绝缘体687、绝缘体683及绝缘体684也可以使用对氧具有阻挡性的材料。在上述密封结构对氧具有阻挡性时,可以抑制绝缘体680所具有的过剩氧向外的扩散,并将过剩氧高效率地供应到晶体管600。

[0434] 另外,优选以嵌入存储单元层870_1至存储单元层870_n及绝缘体684等中的方式配置绝缘体674。绝缘体674可以使用可用作绝缘体680的绝缘体。如图26所示,绝缘体674的顶面高度与绝缘体684的顶面高度优选大致一致。

[0435] 另外,如图26所示,可以在绝缘体674、绝缘体684、绝缘体683及绝缘体611中形成开口,在该开口中配置导电体876。导电体876的底面与导电体856接触。可以与导电体876的顶面接触的方式设置被用作布线的导电体878。另外,以覆盖存储单元层870_n、绝缘体674及导电体878的方式设置被用作层间膜的绝缘体689。通过采用这样的结构,可以电连接上层的布线(导电体878)与硅层871的电路,而无需通过存储单元层870。

[0436] 注意,图26示出由绝缘体611、绝缘体612、绝缘体687、绝缘体683及绝缘体684—并密封存储单元层870_1至存储单元层870_n的结构,但是根据本实施方式的存储装置不局限于此。例如,如图27所示,可以采用各存储单元层870由绝缘体611、绝缘体612、绝缘体687、绝缘体683及绝缘体684密封的结构。在此,绝缘体614下配置有绝缘体612及绝缘体611。

[0437] 以与绝缘体680、绝缘体673、绝缘体672、绝缘体624、绝缘体622、绝缘体616及绝缘体614的侧面接触的方式配置有绝缘体687。以覆盖绝缘体680及绝缘体687的方式配置有绝缘体683,绝缘体683上配置有绝缘体684。此时,设置在绝缘体682的上方的电容器655及绝缘体688可以配置在绝缘体684上。

[0438] 本实施方式可以与其他实施方式等所记载的结构适当地组合而实施。

[0439] (实施方式5)

[0440] 本实施方式示出安装有上述实施方式所示的存储装置等的电子构件及电子设备的例子。

[0441] <电子构件>

[0442] 首先,参照图29A和图29B对组装有存储装置100的电子构件的例子进行说明。

[0443] 图29A示出电子构件710及安装有电子构件710的基板(安装基板704)的透视图。图29A所示的电子构件710在模子711中包括存储装置100。在图29A中,为了示出电子构件710的内部,省略其一部分。电子构件710在模子711的外侧包括连接盘(land)712。连接盘712与电极焊盘713电连接,电极焊盘713通过线714与存储装置100电连接。电子构件710例如安装于印刷电路板702。通过组合多个这样电子构件并使其分别在印刷电路板702上电连接,由此完成安装基板704。

[0444] 图29B示出电子构件720的透视图。电子构件720是SiP(System in package:系统级封装)或MCM(Multi Chip Module:多芯片模组)的一个例子。在电子构件720中,封装衬底722(印刷电路板)上设置有插板(interposer)721,插板721上设置有半导体装置725及多个存储装置100。

[0445] 在电子构件720中示出将存储装置100用作高宽带存储器(HBM:High Bandwidth Memory)的例子。另外,半导体装置725可以使用CPU、GPU、FPGA等集成电路(半导体装置)。

[0446] 封装衬底722可以使用陶瓷衬底、塑料衬底或玻璃环氧衬底等。插板721可以使用硅插板、树脂插板等。

[0447] 插板721包括多个布线并具有电连接端子间距不同的多个集成电路的功能。多个布线由单层或多层构成。另外,插板721具有将设置于插板721上的集成电路与设置于封装衬底722上的电极电连接的功能。因此,有时也将插板称为“重布线衬底(rewiring

substrate)" 或 "中间衬底"。另外,有时通过在插板721中设置贯通电极,通过该贯通电极使集成电路与封装衬底722电连接。另外,在使用硅插板的情况下,也可以使用TSV(Through Silicon Via: 硅通孔)作为贯通电极。

[0448] 作为插板721优选使用硅插板。由于硅插板不需要设置有源元件,所以可以比集成电路更低的成本制造。另一方面,硅插板的布线形成可以在半导体工序中进行,因此很容易形成在使用树脂插板时很难形成的微细布线。

[0449] 在HBM中,为了实现宽存储器带宽需要连接许多布线。为此,要求安装HBM的插板上能够高密度地形成微细的布线。因此,作为安装HBM的插板优选使用硅插板。

[0450] 另外,在使用硅插板的SiP或MCM等中,不容易发生因集成电路与插板间的膨胀系数的不同而导致的可靠性下降。另外,由于硅插板的表面平坦性高,所以设置在硅插板上的集成电路与硅插板间不容易产生连接不良。尤其优选将硅插板用于其中多个集成电路并排配置于插板上的2.5D封装(2.5D安装)。

[0451] 另外,也可以与电子构件720重叠地设置散热器(散热板)。在设置散热器的情况下,优选使设置于插板721上的集成电路的高度一致。例如,在本实施方式所示的电子构件720中,优选使存储装置100与半导体装置725的高度一致。

[0452] 为了将电子构件720安装在其他的基板上,可以在封装衬底722的底部设置电极723。图29B示出用焊球形成电极723的例子。通过在封装衬底722的底部以矩阵状设置焊球,可以实现BGA(Ball Grid Array: 球栅阵列)安装。另外,电极723也可以使用导电针形成。通过在封装衬底722的底部以矩阵状设置导电针,可以实现PGA(Pin Grid Array: 针栅阵列)安装。

[0453] 电子构件720可以通过各种安装方式安装在其他基板上,而不局限于BGA及PGA。例如,可以采用SPGA(Staggered Pin Grid Array: 交错针栅阵列)、LGA(Land Grid Array: 地栅阵列)、QFP(Quad Flat Package: 四侧引脚扁平封装)、QFJ(Quad Flat J-leaded package: 四侧J形引脚扁平封装)或QFN(Quad Flat Non-leaded package: 四侧无引脚扁平封装)等安装方法。

[0454] <电子设备>

[0455] 接着,参照图30对安装有上述电子构件的电子设备的例子进行说明。

[0456] 机器人7100包括照度传感器、麦克风、照相机、扬声器、显示器、各种传感器(红外线传感器、超声波传感器、加速度传感器、压电传感器、光传感器、陀螺仪传感器等)及移动机构等。电子构件720包括处理器等并具有控制这些外围设备的功能。例如,电子构件710具有储存传感器测得的数据的功能。

[0457] 麦克风具有检测使用者的声音及周围的声音等音频信号的功能。另外,扬声器具有发出声音及警告音等音频信号的功能。机器人7100可以分析通过麦克风输入的音频信号,从扬声器发出所需要的音频信号。机器人7100可以通过使用麦克风及扬声器与使用者交流。

[0458] 照相机具有拍摄机器人7100的周围的图像的功能。另外,机器人7100具有使用移动机构移动的功能。机器人7100可以通过使用照相机拍摄周围的图像而分析该图像,判断移动时的障碍物的有无等。

[0459] 飞行物7120包括螺旋桨、照相机及电池等,并具有自主飞行功能。电子构件720具

有控制这些外围设备的功能。

[0460] 例如,用照相机拍摄的图像数据储存至电子构件710。电子构件720可以通过分析图像数据,判断移动时的障碍物的有无等。另外,利用电子构件720可以通过电池的蓄电容量的变化推测电池的剩余电量。

[0461] 扫地机器人7140包括配置在顶面的显示器、配置在侧面的多个照相机、刷子、操作按钮及各种传感器等。虽然未图示,但是扫地机器人7140安装有轮胎、吸入口等。扫地机器人7140可以自动行走,检测垃圾,可以从底面的吸入口吸引垃圾。

[0462] 例如,电子构件720可以通过分析照相机所拍摄的图像,判断墙壁、家具或台阶等障碍物的有无。另外,在通过图像分析检测出布线等可能会缠绕在刷子上的物体的情况下,可以停止刷子的旋转。

[0463] 汽车7160包括引擎、轮胎、制动器、转向装置、照相机等。例如,电子构件720根据导航信息、速度、引擎的状态、排档的选择状态、制动器的使用频度等数据,进行使汽车7160的行驶状态最优化的控制。例如,照相机拍摄的图像数据储存至电子构件710。

[0464] 电子构件710及/或电子构件720可以安装在电视接收(TV)装置7200、智能手机7210、PC7220(个人计算机)、PC7230、游戏机7240、游戏机7260等中。

[0465] 例如,设置在TV装置7200内的电子构件720可以用作图像引擎。例如,电子构件720可以进行噪声去除、分辨率的上变频(up-conversion)等图像处理。

[0466] 智能手机7210是便携式信息终端的一个例子。智能手机7210包括麦克风、照相机、扬声器、各种传感器及显示部。电子构件720控制这些外围设备。

[0467] PC7220、PC7230分别是笔记本型PC、桌上型PC的例子。键盘7232及显示器装置7233可以以无线或有线连接到PC7230。游戏机7240是便携式游戏机的例子。游戏机7260是固定式游戏机的例子。游戏机7260以无线或有线与控制器7262连接。可以对控制器7262安装电子构件710及/或电子构件720。

[0468] 本实施方式可以与其他实施方式等所记载的结构适当地组合而实施。

[0469] (实施方式6)

[0470] 在本实施方式中,说明使用在上述实施方式中示出的存储装置的应用例子。

[0471] 一般而言,在计算机等半导体装置中,根据其用途可以使用各种存储装置。图31示出各种存储装置的阶层。越是上层的存储装置越被要求更快的访问速度,越是下层的存储装置越被要求更大的存储容量和更高的记录密度。在图31中,从最上层依次示出CPU等运算处理装置中作为寄存器一起安装的存储器、SRAM(Static Random Access Memory)、DRAM(Dynamic Random Access Memory)以及3D NAND存储器。

[0472] 因为CPU等运算处理装置中作为寄存器一起安装的存储器用于运算结果的暂时储存等,所以来自运算处理装置访问的频率高。因此,与存储容量相比更需求快的工作速度。此外,寄存器具有保持运算处理装置的设定信息等的功能。

[0473] SRAM例如用于高速缓存。高速缓存具有将保持在主存储器中的信息的一部分复制并保持的功能。通过将使用频率高的数据复制到高速缓存中,可以提高对数据访问的速度。

[0474] DRAM例如用于主存储器。主存储器具有保持从存储(storage)读出的程序或数据的功能。DRAM的记录密度大约为0.1至0.3Gbit/mm²。

[0475] 3D NAND存储器例如用于存储。存储具有保持需要长期保存的数据和运算处理装置所使用的各种程序等的功能。因此,与更快的工作速度相比,存储被要求更大的存储容量和更高的记录密度。用于存储的存储装置的记录密度大约为0.6至6.0Gbit/mm²。

[0476] 本发明的一个方式的存储装置的工作速度快且能够长期间保持数据。本发明的一个方式的存储装置可以用作位于包括高速缓存的阶层和主存储器的阶层的双方的边界区域901的存储装置。此外,本发明的一个方式的存储装置可以用作位于包括主存储器的阶层和存储的阶层的双方的边界区域902的存储装置。

[0477] 上述实施方式所示的存储装置例如可以应用于各种电子设备(例如,信息终端、计算机、智能手机、电子书阅读器终端、数码相机、录像再现装置、导航系统、游戏机等)的存储装置。另外,可以用于图像传感器、IoT(Internet of Things:物联网)以及医疗等。注意,在此,计算机包括平板电脑、笔记型计算机、台式计算机以及大型计算机诸如服务器系统。

[0478] 或者,上述实施方式所示的存储装置应用于存储器卡(例如,SD卡)、USB存储器、SSD(固态硬盘)等各种可移动存储装置。图32A至图32E示意性地示出可移动存储装置的几个结构例子。例如,上述实施方式所示的存储装置加工为被封装的存储器芯片并用于各种存储装置或可移动存储器。

[0479] 图32A是USB存储器的示意图。USB存储器1100包括外壳1101、盖子1102、USB连接器1103及基板1104。基板1104被容纳在外壳1101中。例如,基板1104上安装有存储器芯片1105及控制器芯片1106。可以将上述实施方式所示的半导体装置组装于基板1104上的存储器芯片1105等。

[0480] 图32B是SD卡的外观示意图,图32C是SD卡的内部结构的示意图。SD卡1110包括外壳1111、连接器1112及基板1113。基板1113被容纳在外壳1111中。例如,基板1113上安装有存储器芯片1114及控制器芯片1115。通过在基板1113的背面一侧也设置存储器芯片1114,可以增大SD卡1110的容量。此外,也可以将具有无线通信功能的无线芯片设置于基板1113。由此,通过主机装置与SD卡1110之间的无线通信,可以进行存储器芯片1114的数据的读出及写入。可以将上述实施方式所示的半导体装置组装于基板1113上的存储器芯片1114等。

[0481] 图32D是SSD的外观示意图,图32E是SSD的内部结构的示意图。SSD1150包括外壳1151、连接器1152及基板1153。基板1153被容纳在外壳1151中。例如,基板1153上安装有存储器芯片1154、存储器芯片1155及控制器芯片1156。存储器芯片1155为控制器芯片1156的工作存储器,例如,可以使用DOSRAM芯片。通过在基板1153的背面一侧也设置存储器芯片1154,可以增大SSD1150的容量。可以将上述实施方式所示的半导体装置组装于基板1153上的存储器芯片1154等。

[0482] 本实施方式可以与其他的实施方式等所记载的结构适当地组合而实施。

[0483] [实施例]

[0484] 通过利用本说明书等中所示的存储单元或存储装置等,可以实现常关闭CPU(也称为“Noff-CPU”)。Noff-CPU是指包括即使栅极电压为0V也处于非导通状态(也称为关闭状态)的常关闭型晶体管的集成电路。可以利用OS晶体管实现常关闭型晶体管。

[0485] 在Noff-CPU中,可以停止向Noff-CPU中的不需要工作的电路的供电,使该电路处于待机状态。在供电停止而处于待机状态的电路中,没有电力消耗。因此,Noff-CPU可以将用电量抑制到最小限度。另外,即使供电停止,Noff-CPU也可以长时间保持设定条件等工作

所需要的信息。当从待机状态恢复时,只要再次开始向该电路的供电即可,而不需要设定条件等的再次写入。就是说,可以高速从待机状态恢复。如此,Noff-CPU可以降低功耗,而无需大幅度降低工作速度。

[0486] 可以将Noff-CPU例如适用于IoT领域的IoT终端设备(“也称为端点微电脑”)803等小规模系统。图33示出IoT网络的分层结构以及需求规格的倾向。在图33中,作为需求规格示出功耗804以及处理性能805。在IoT网络的分层结构中大致分为上层部的云领域801以及下层部的嵌入式领域802。例如,服务器包括在云领域801中。例如,机械、工业机器人、车载设备、家电产品等包括在嵌入式领域802中。

[0487] 越是上层,对高处理性能的要求越比对低功耗的要求高。因此,在云领域801中,使用高性能CPU、高性能GPU以及大规模SoC(System on a Chip:系统级芯片)等。另外,越是下层,对低功耗的要求越比对高处理性能的要求高,器件个数也急剧增加。

[0488] 此外,“端点”是指嵌入式领域802的终端区域。例如,在工厂、家电产品、基础设施、农业等中使用的微电脑相当于在端点使用的设备。

[0489] 在图34中,作为端点微电脑的应用例子,示出工厂自动化的示意图。工厂884通过因特网线(Internet)与云883连接。另外,云883通过因特网线与家庭881及公司882连接。因特网线既可以是有线通信方式,又可以是无线通信方式。例如,在是无线通信方式的情况下,可以使用第四代移动通信系统(4G)或第五代移动通信系统(5G)。工厂884可以通过因特网线与工厂885及工厂886连接。

[0490] 工厂884包括主设备(控制设备)831。主设备831具有与云883连接而进行信息的发送及接收的功能。另外,主设备831通过M2M(机器对机器)接口832与包括在IoT终端设备841的多个工业机器人842连接。作为M2M接口832,例如,可以使用有线通信方式之一的工业以太网或者无线通信方式之一的局部5G(Local5G)等。

[0491] 工厂的管理者可以在家庭881或公司882通过云883连接到工厂884而确认工作状况等。另外,可以进行产品的错误及短缺的检查、放置地方的指示以及节拍时间(takt time)的测量等。

[0492] 近年来,在“智能工厂”的推动下IoT在全球范围被导入工厂。作为智能工厂的实例,已知有如下实例:不仅利用端点微电脑进行检查以及监查,而且进行故障检测或异常预测等。

[0493] 在端点微电脑等小规模系统中,在很多情况下,工作时的系统整体的功耗低,因此Noff-CPU所带来的待机状态中的功率降低效应变大。另一方面,IoT的嵌入式领域有时被要求快速反应能力,通过使用Noff-CPU可以高速从待机状态恢复。

[0494] [符号说明]

[0495] 10:存储单元、11A:晶体管、11B:晶体管、12:电容器、21:晶体管、22:晶体管、31:读出放大器电路、32:AND电路、33:模拟开关、34:模拟开关、100:存储装置、110:驱动电路层、111:外围电路、112:控制电路、115:外围电路、120:存储层、121:行译码器、122:列译码器、123:行驱动器、124:列驱动器、125:输入电路、126:输出电路、127:RW阵列、128:电压生成电路、129:RW电路、141:PSW、142:PSW

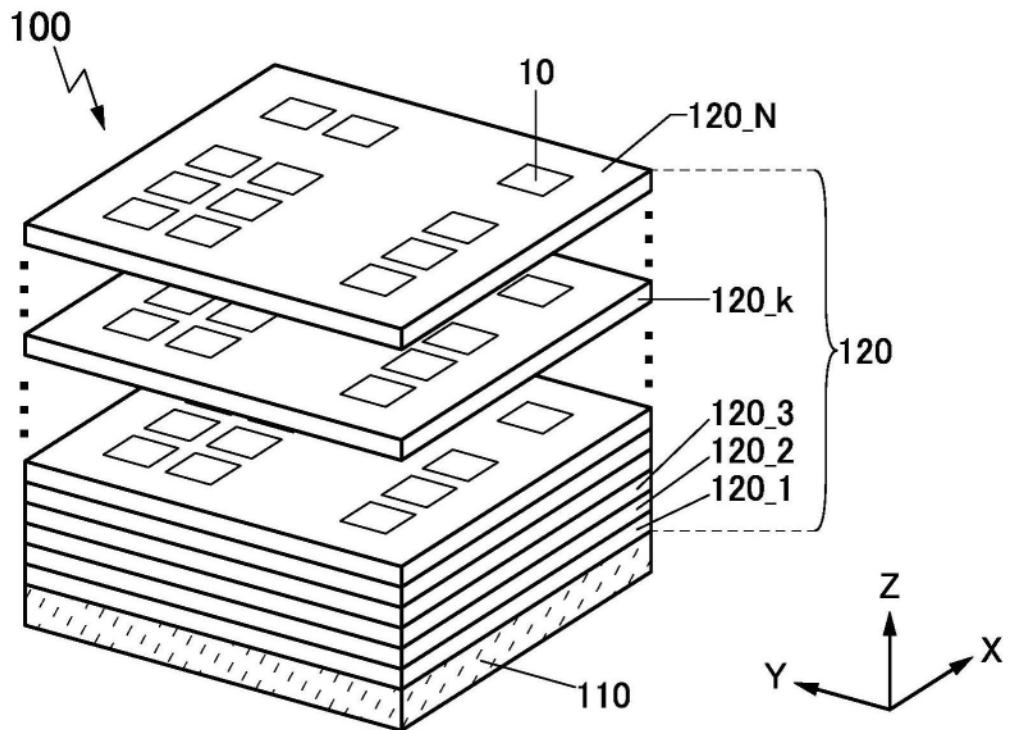


图1A

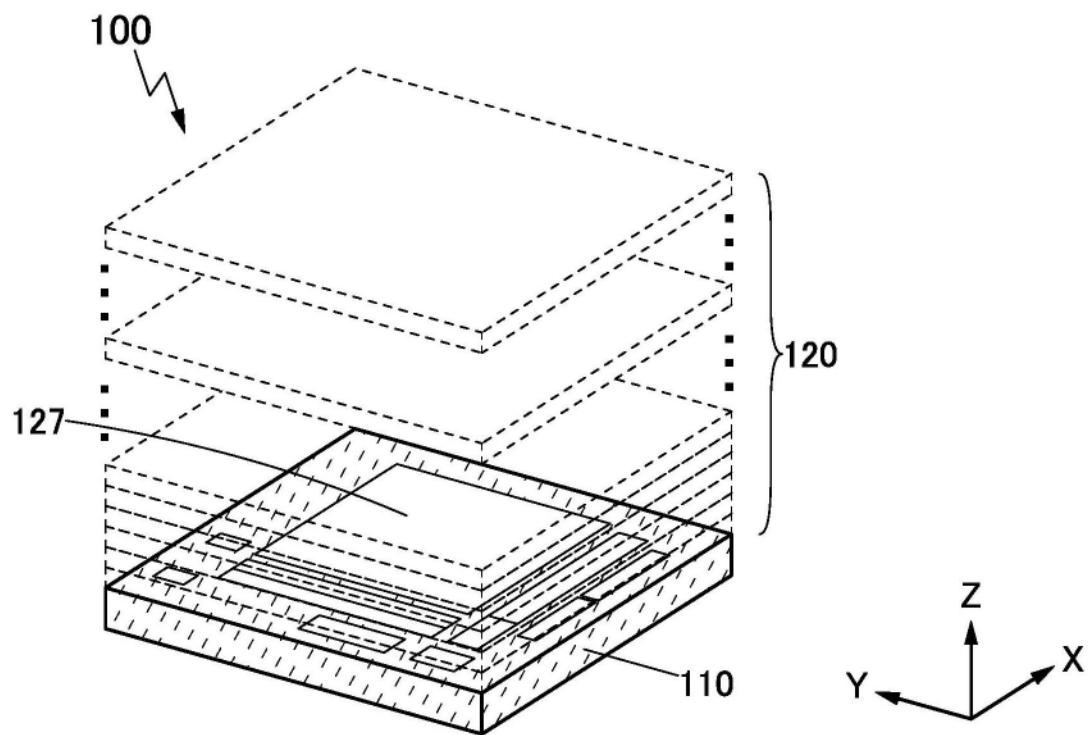


图1B

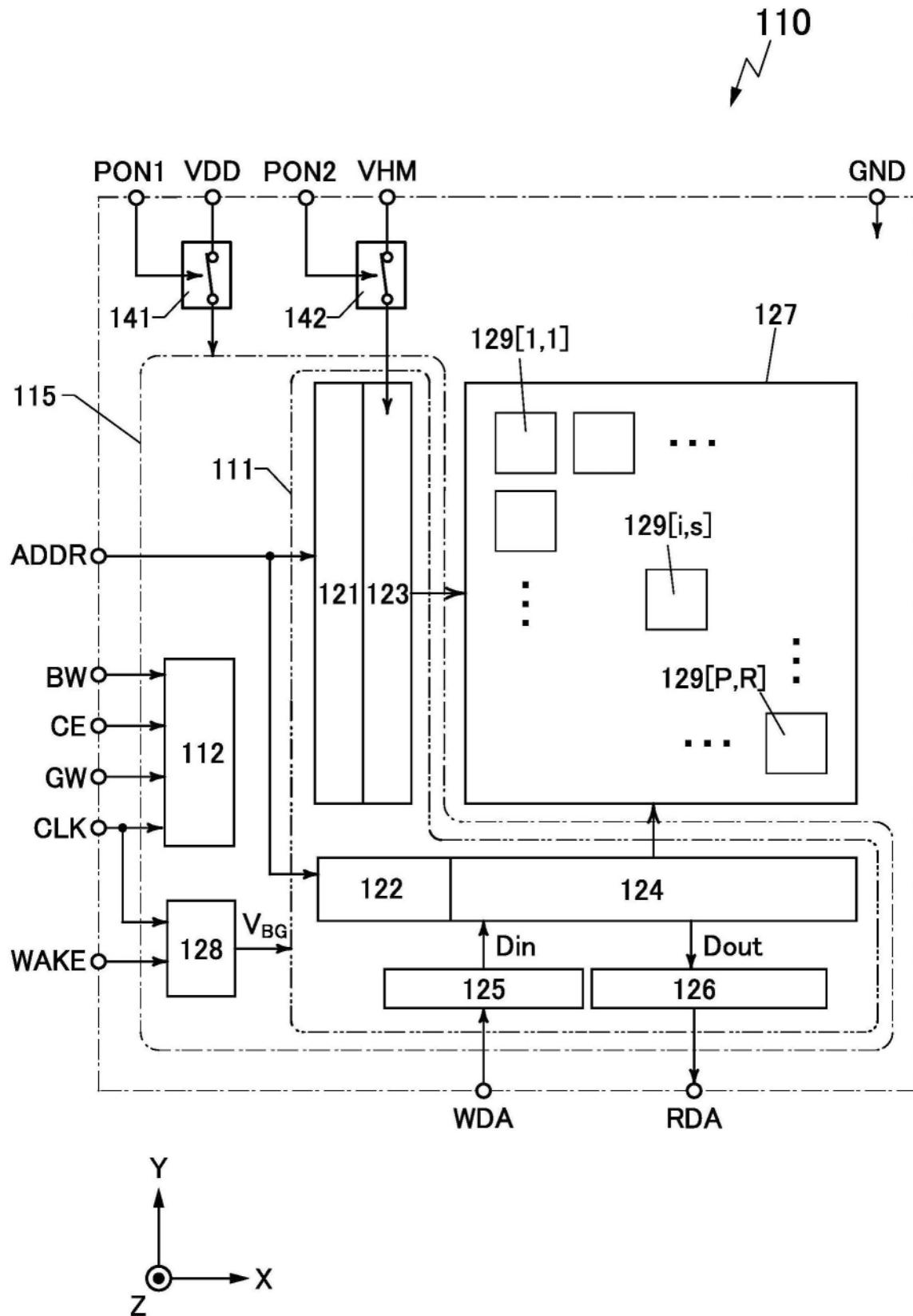


图2

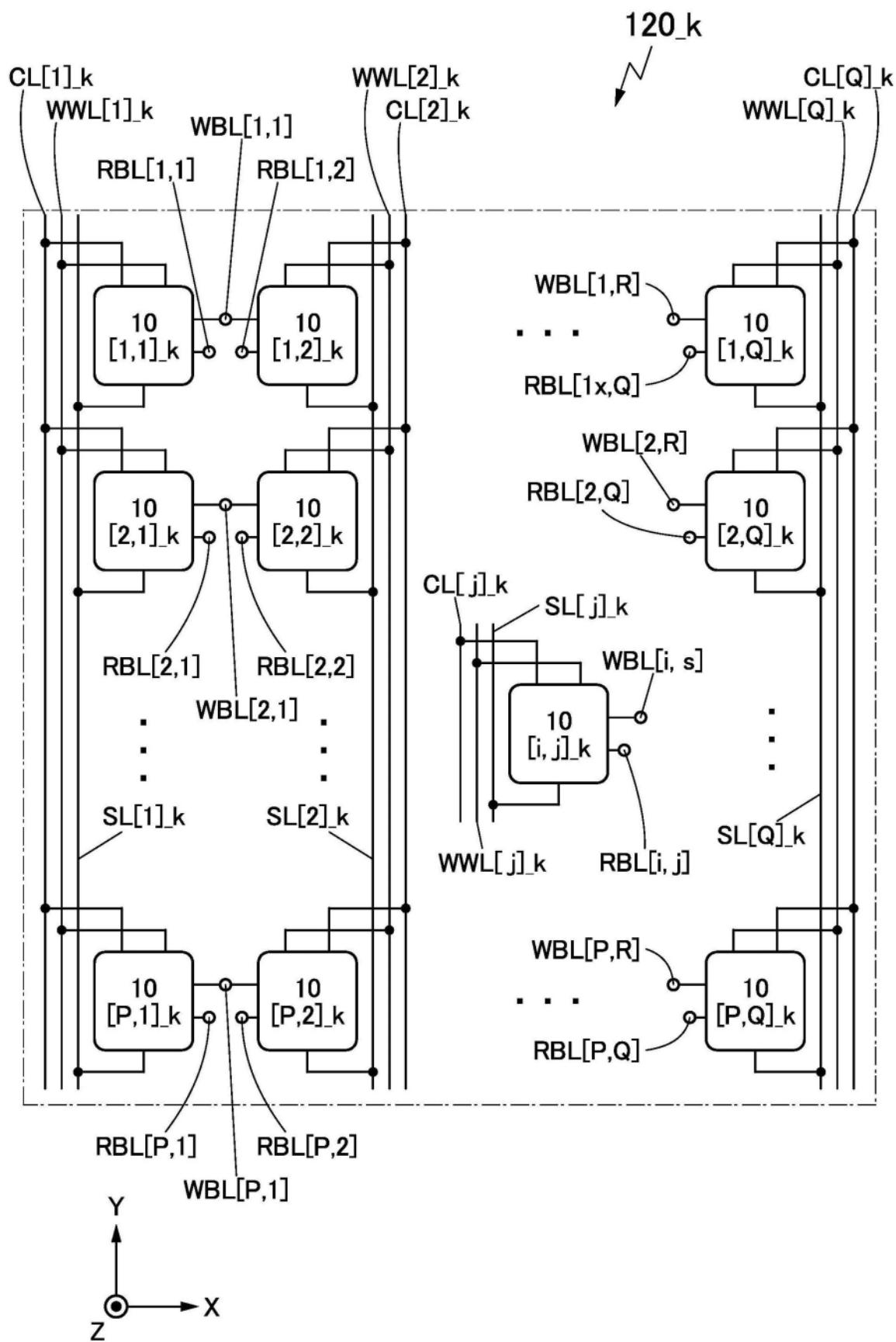


图3

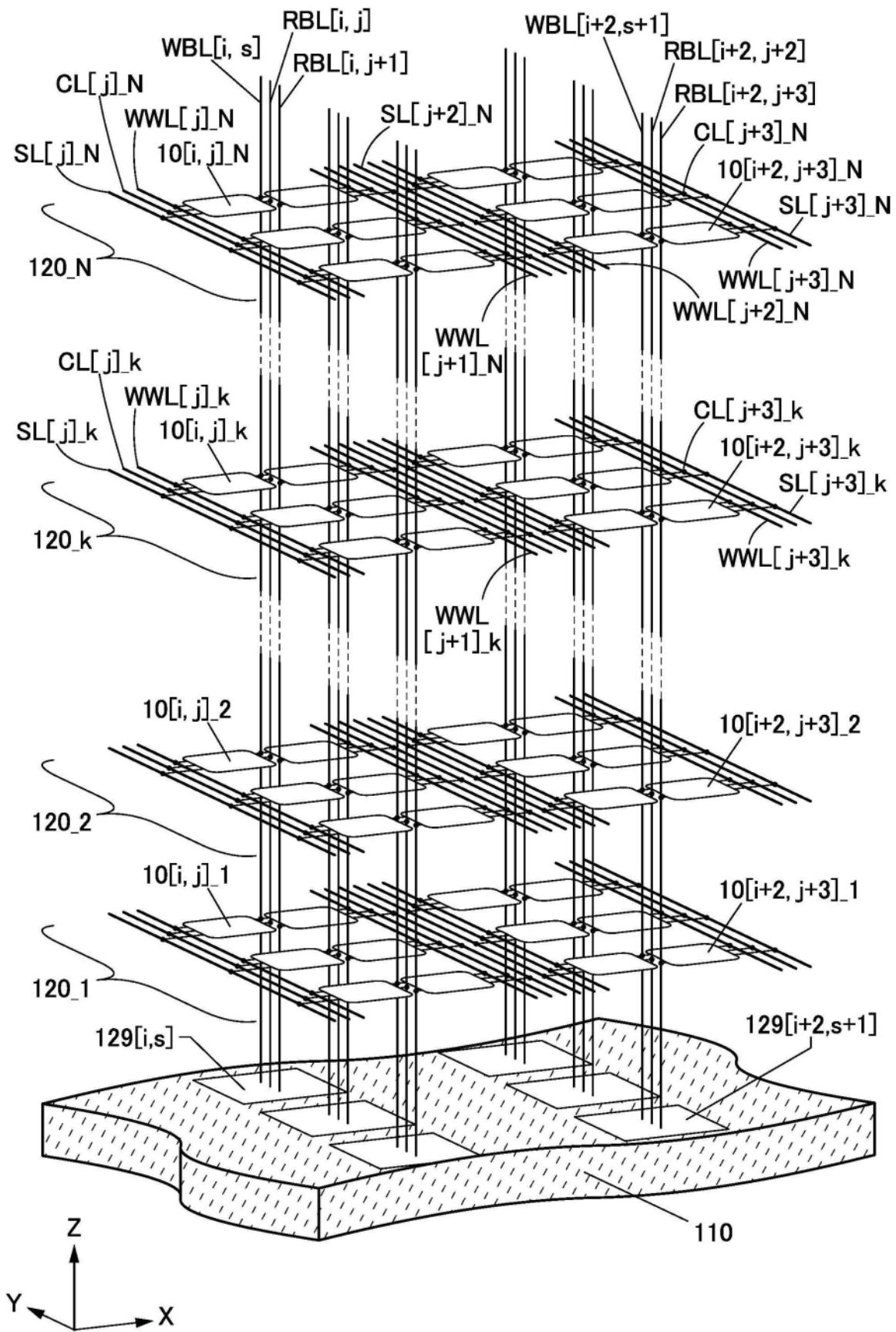


图4

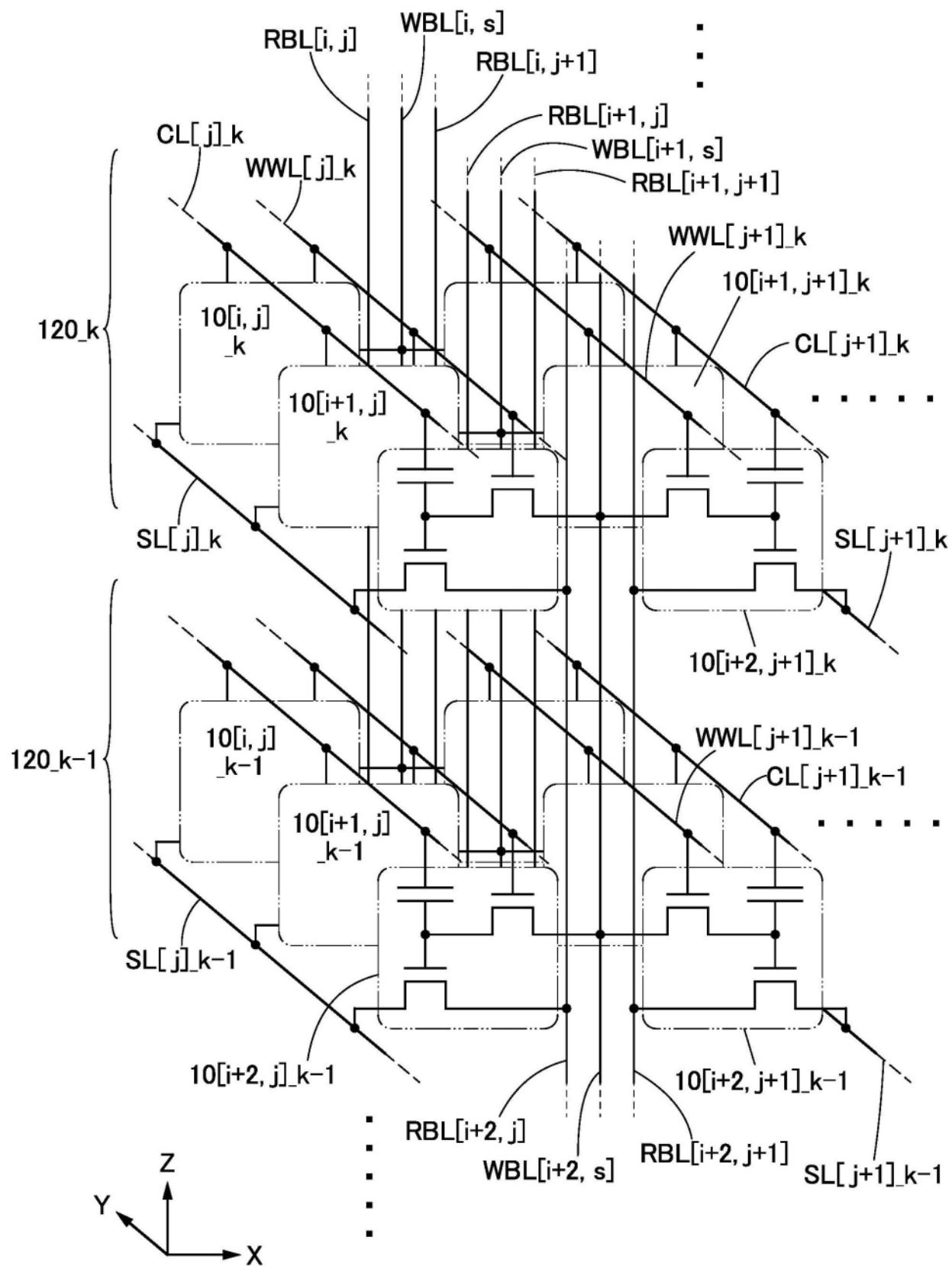


图5

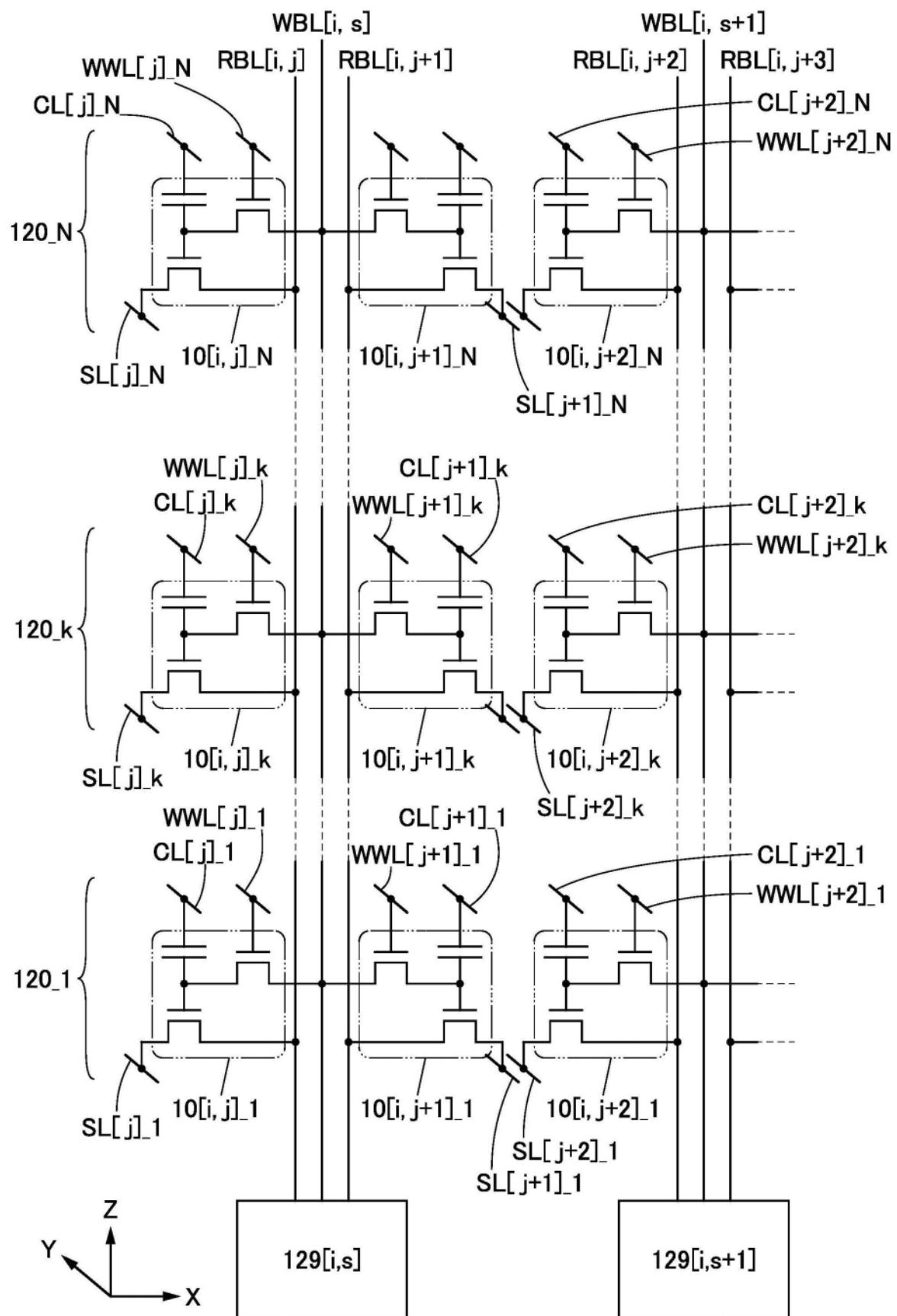


图6

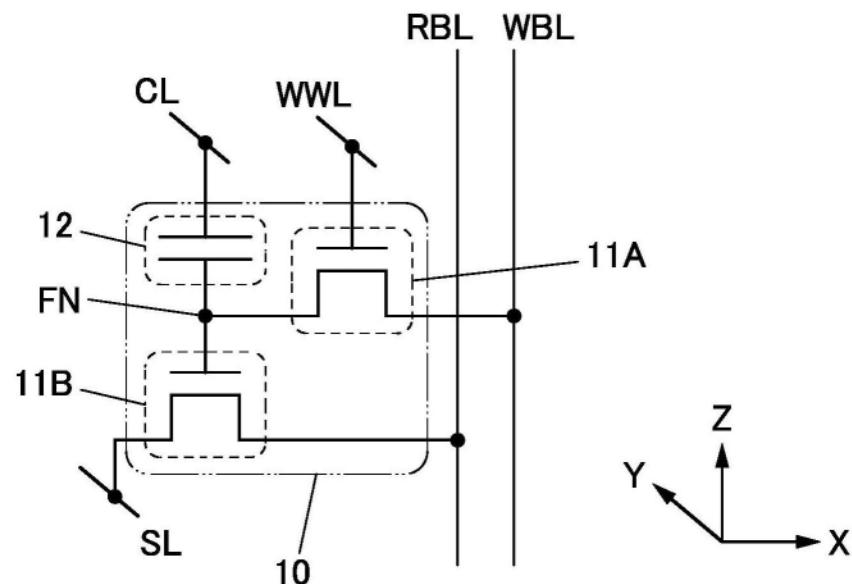


图7A

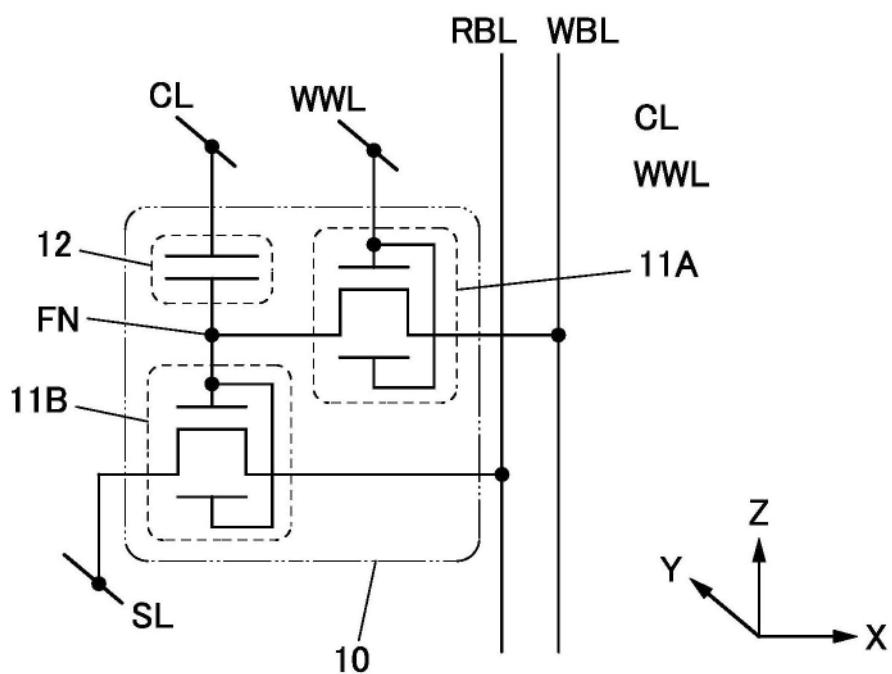


图7B

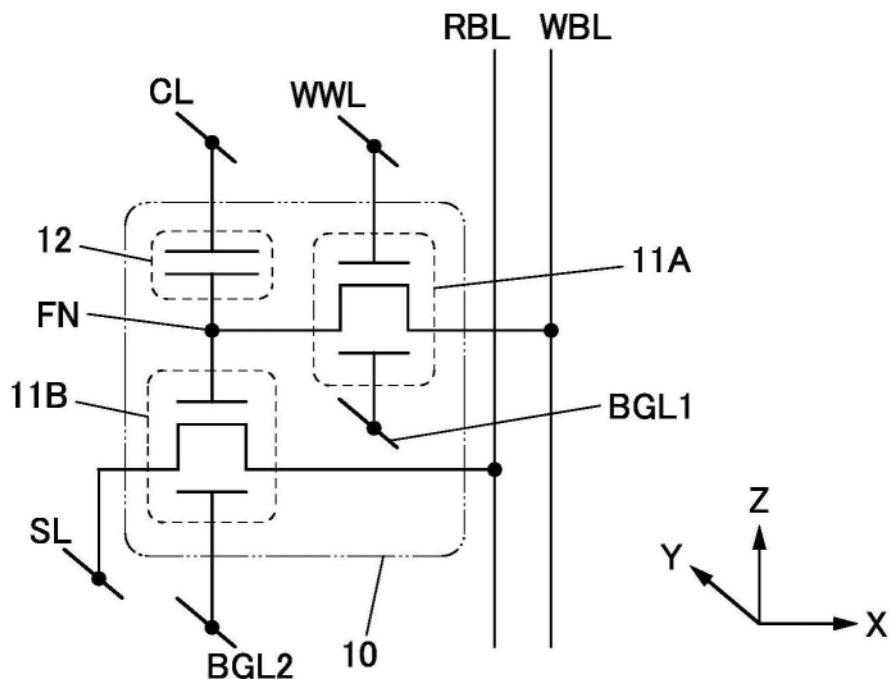


图8A

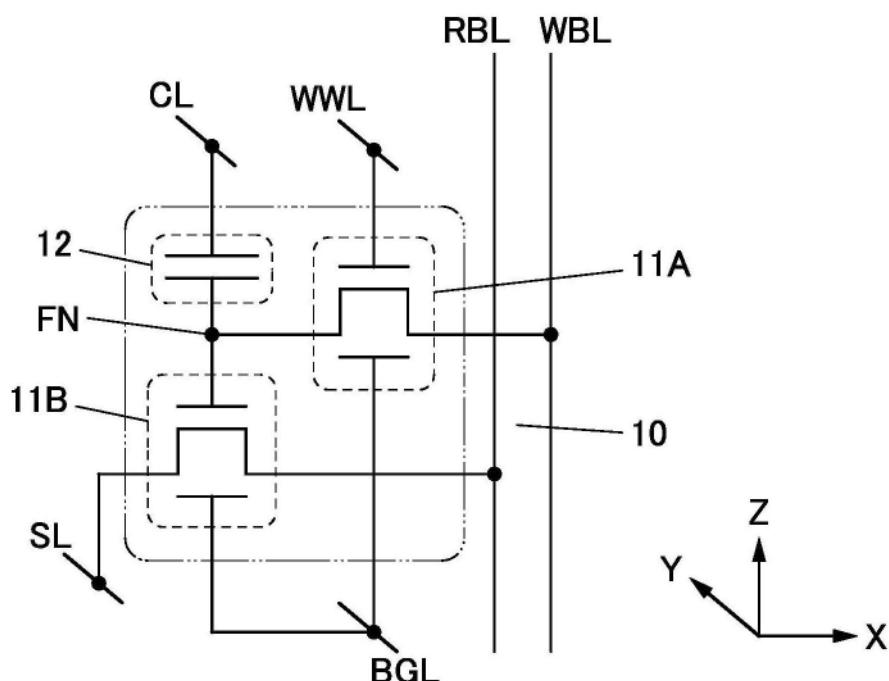


图8B

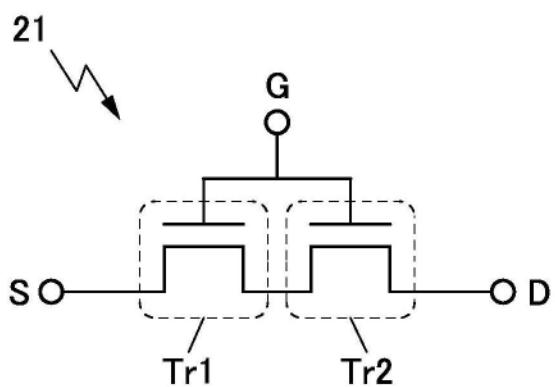


图9A

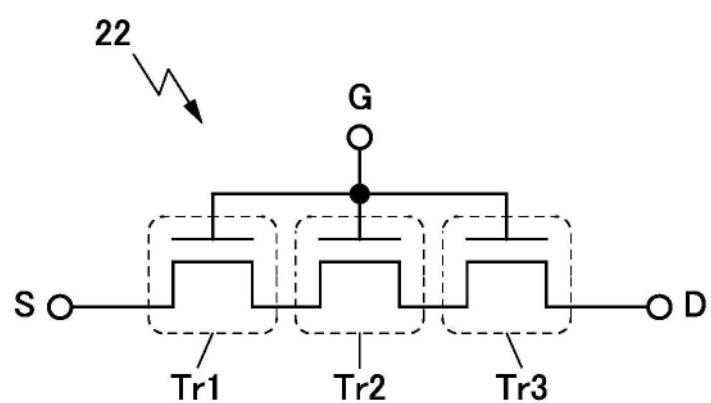


图9B

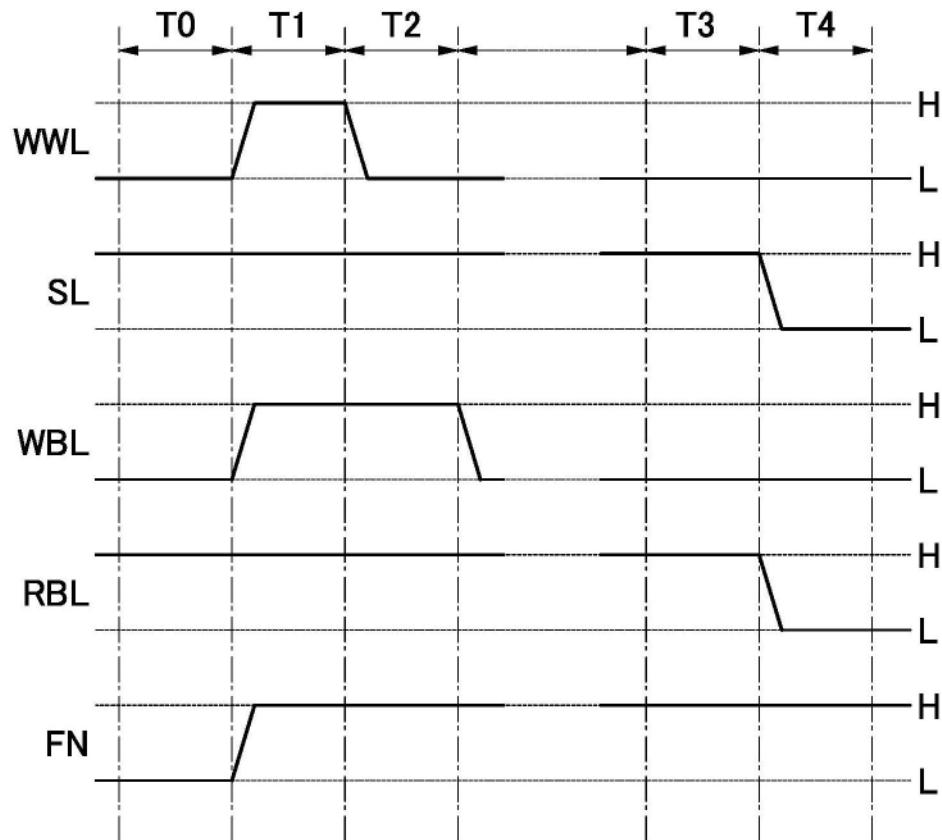


图10

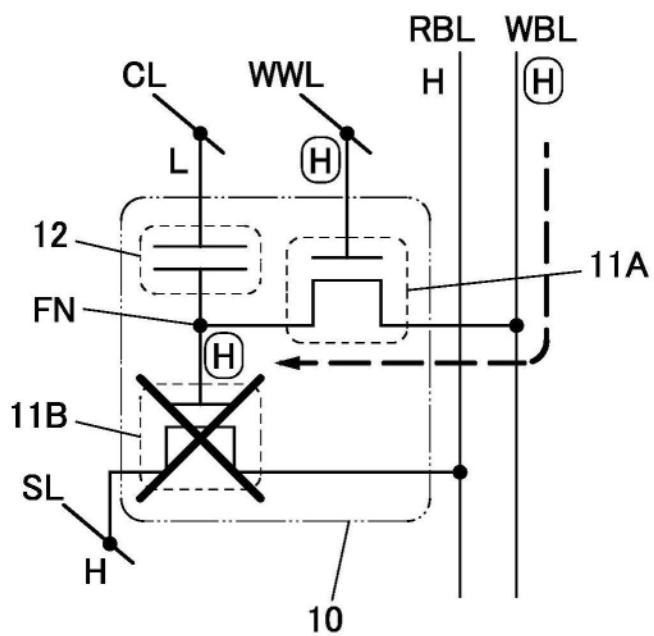


图11A

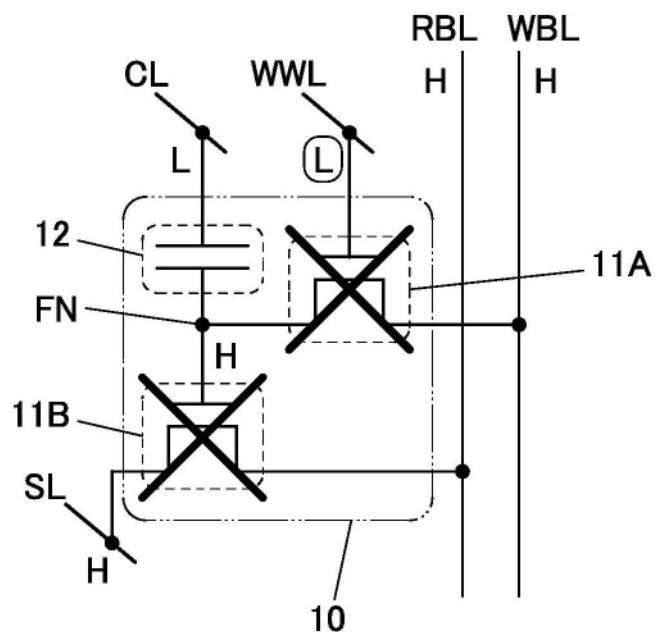


图11B

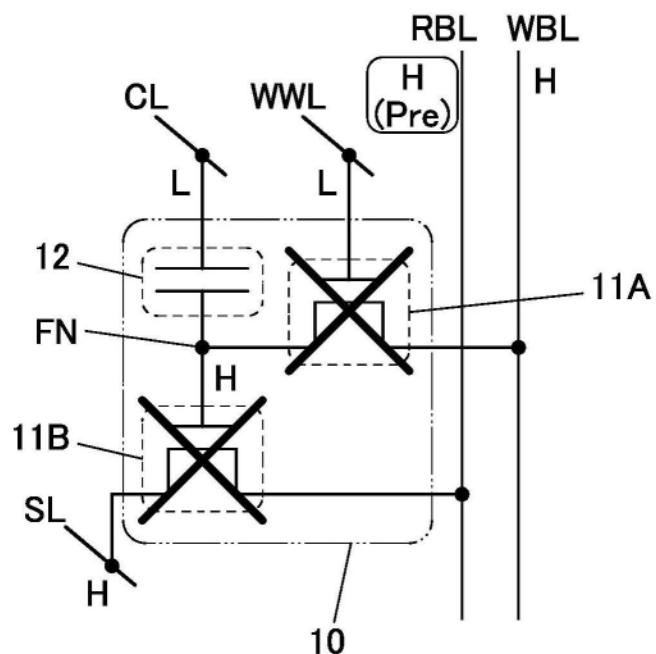


图12A

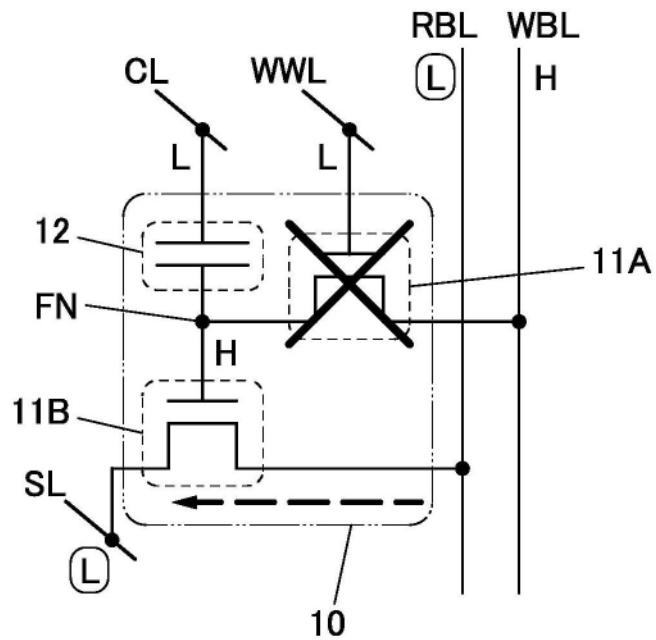


图12B

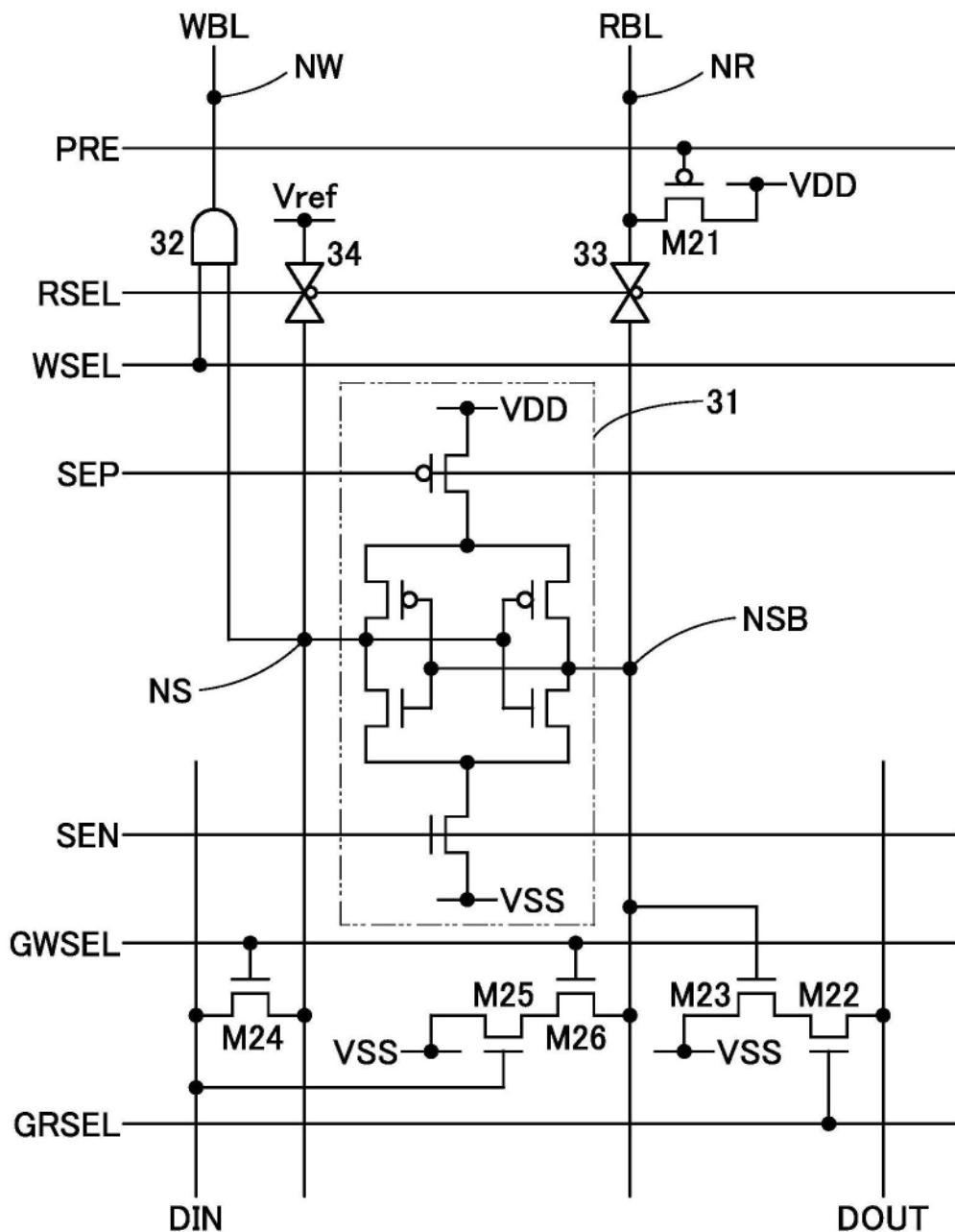
129

图13

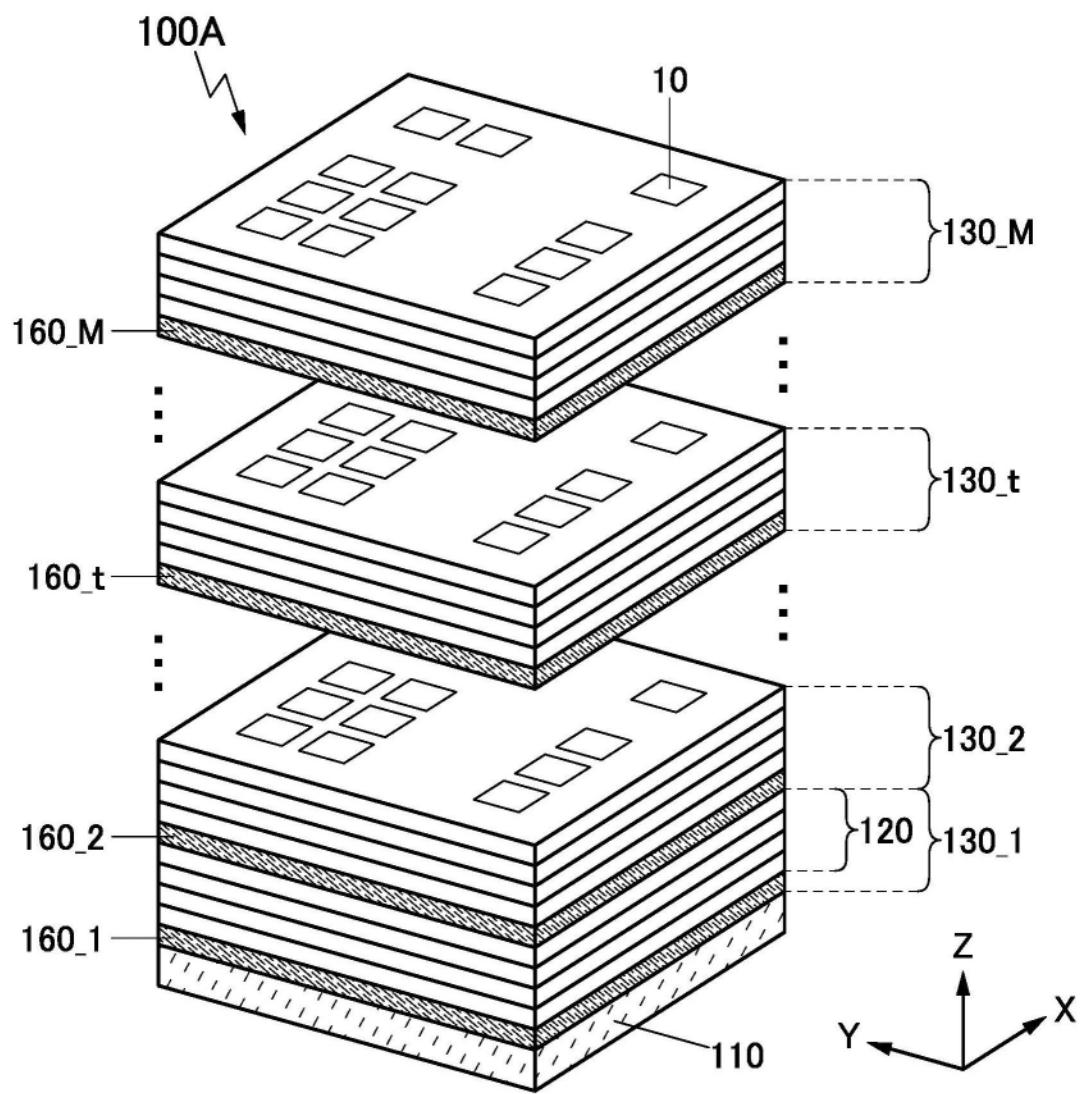


图14A

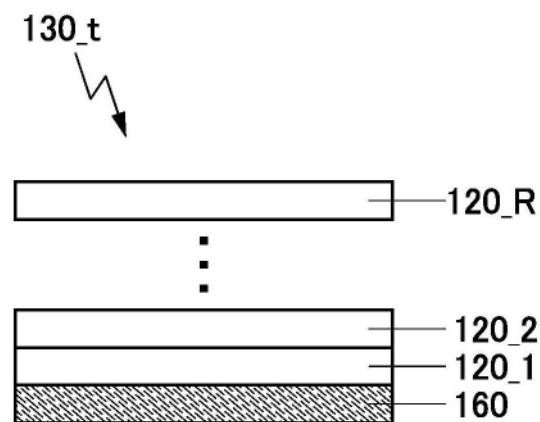


图14B

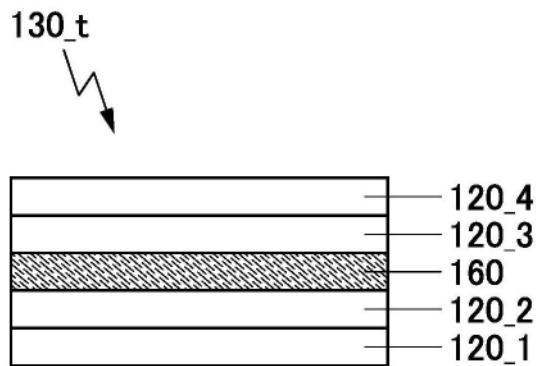


图14C

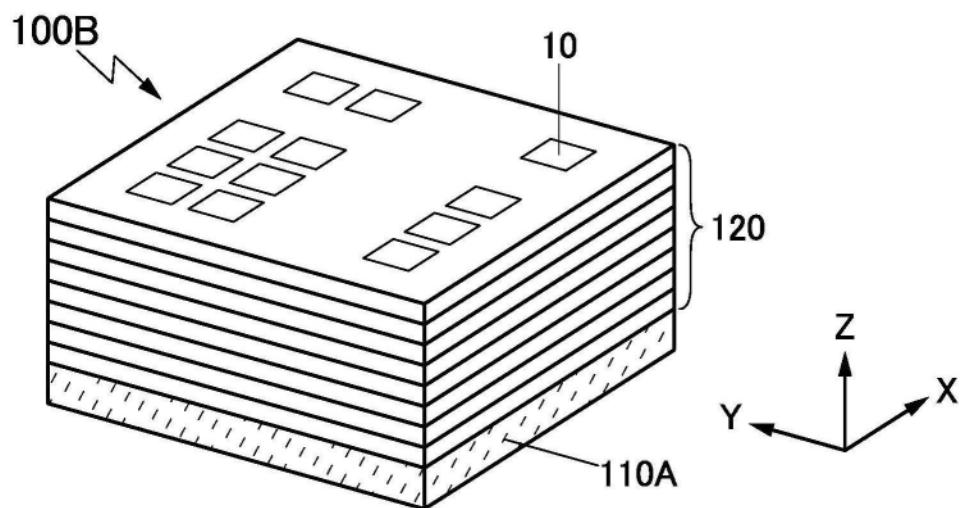


图15A

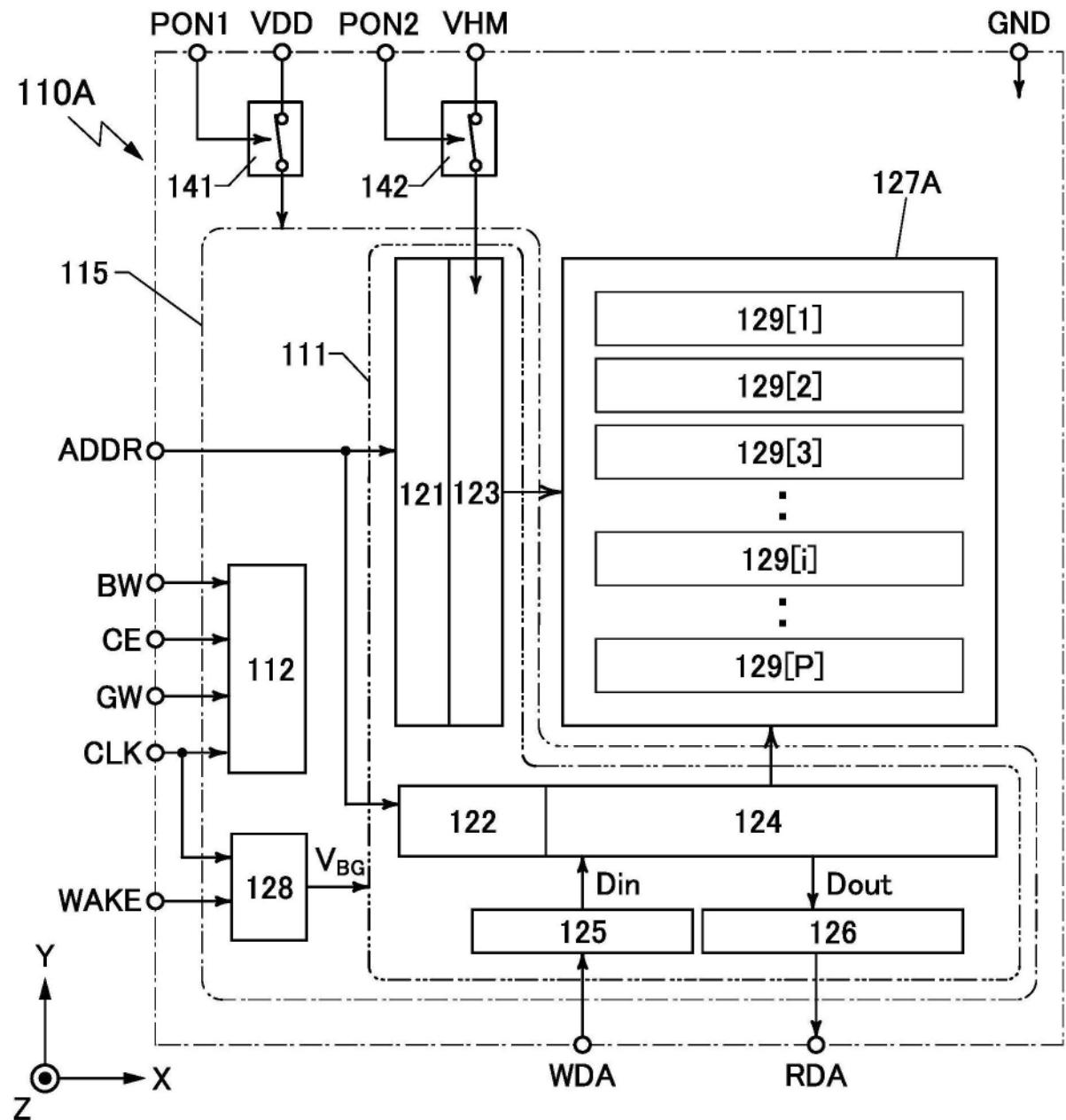


图15B

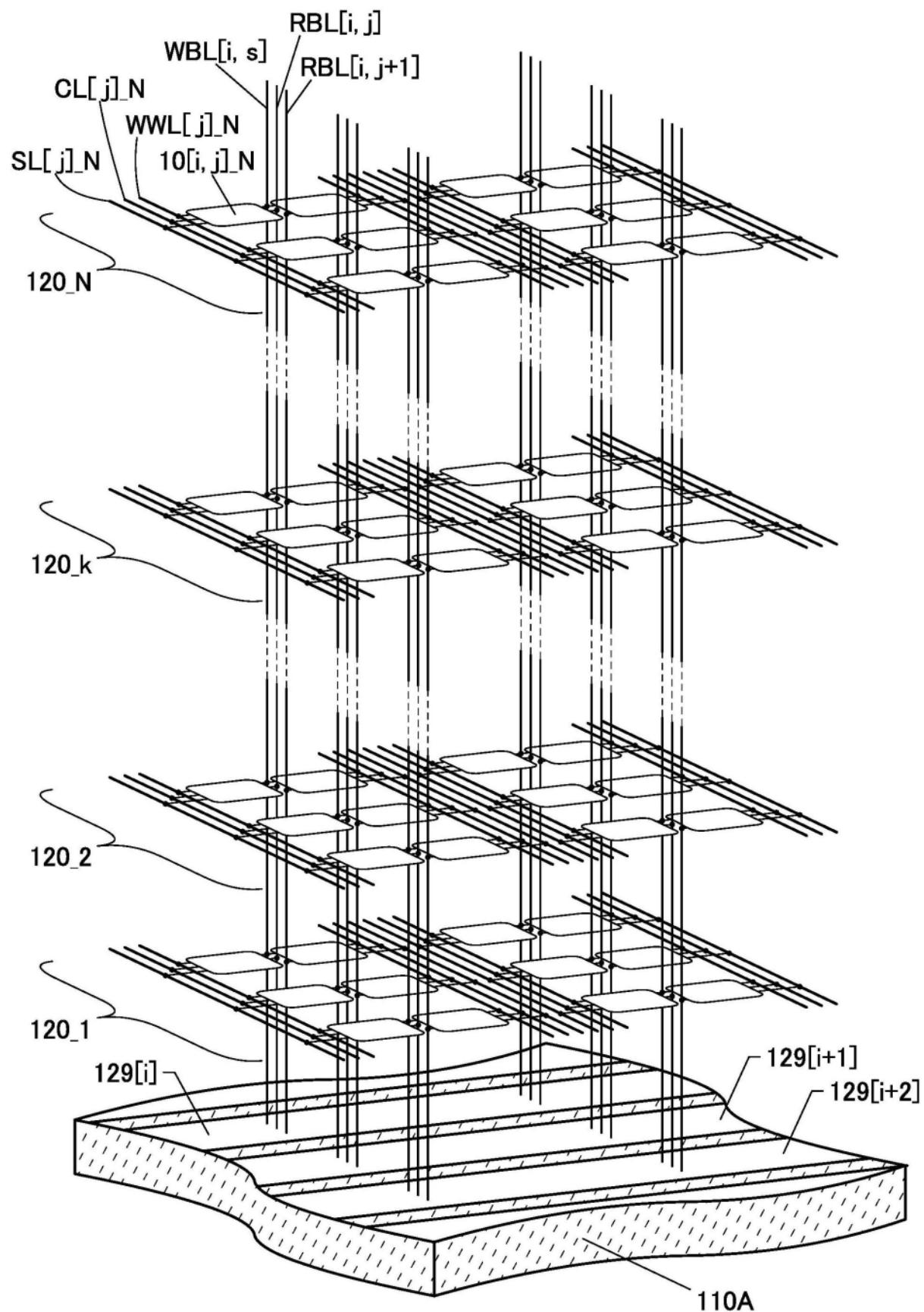


图16

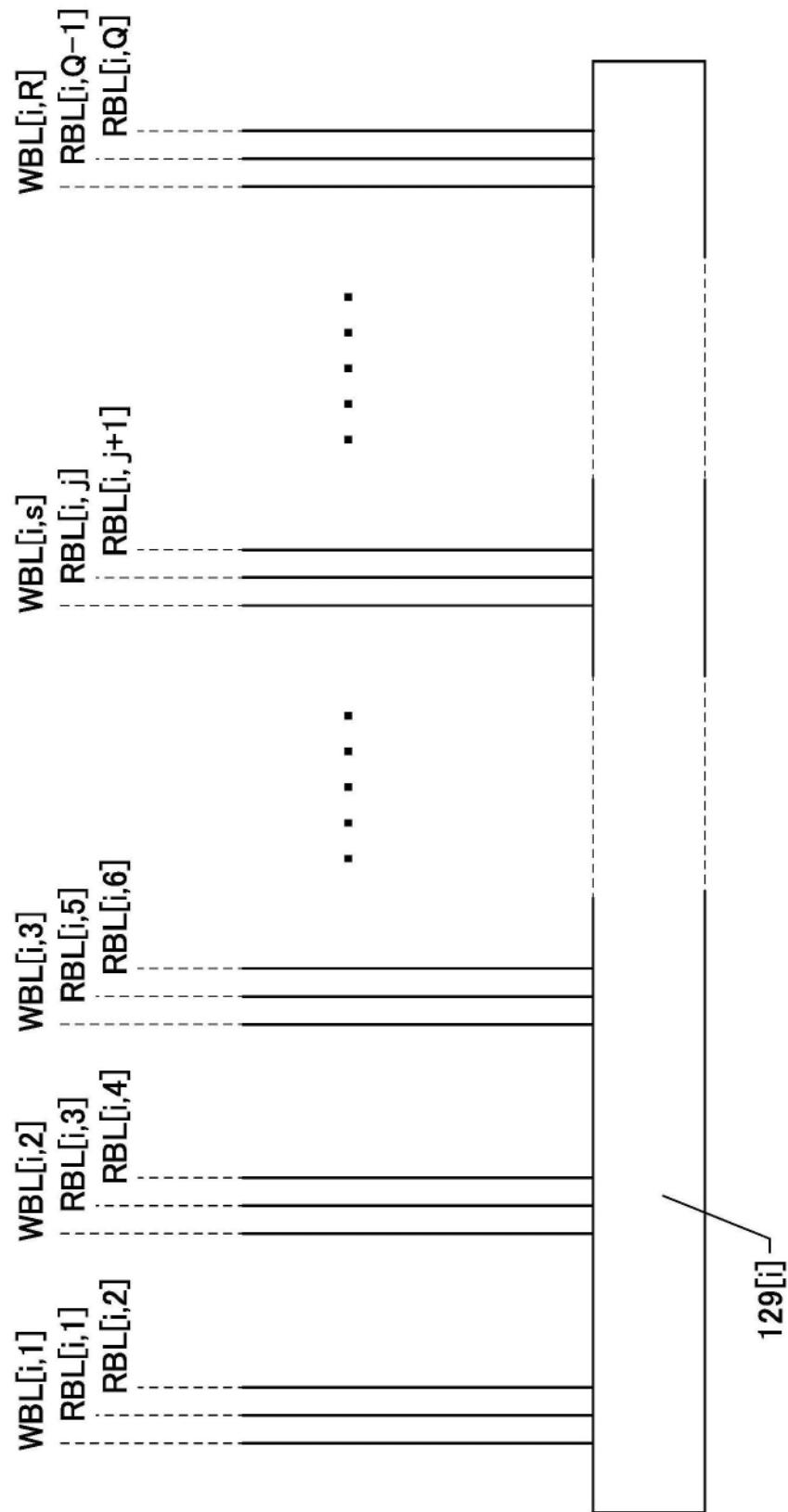


图17

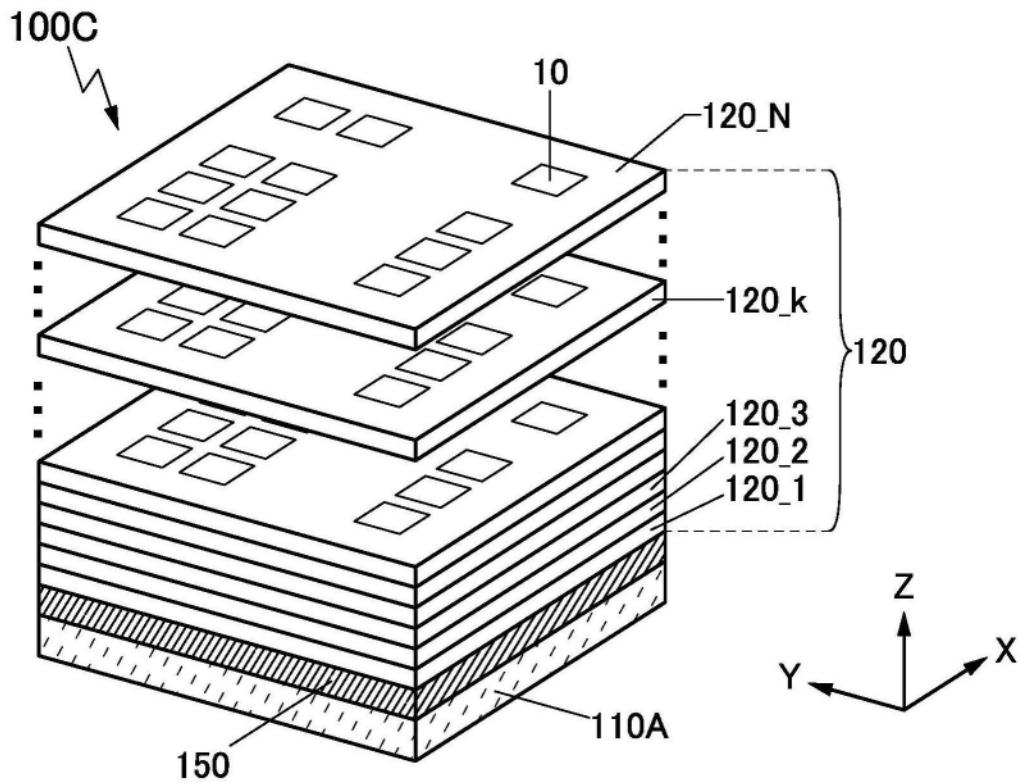


图18A

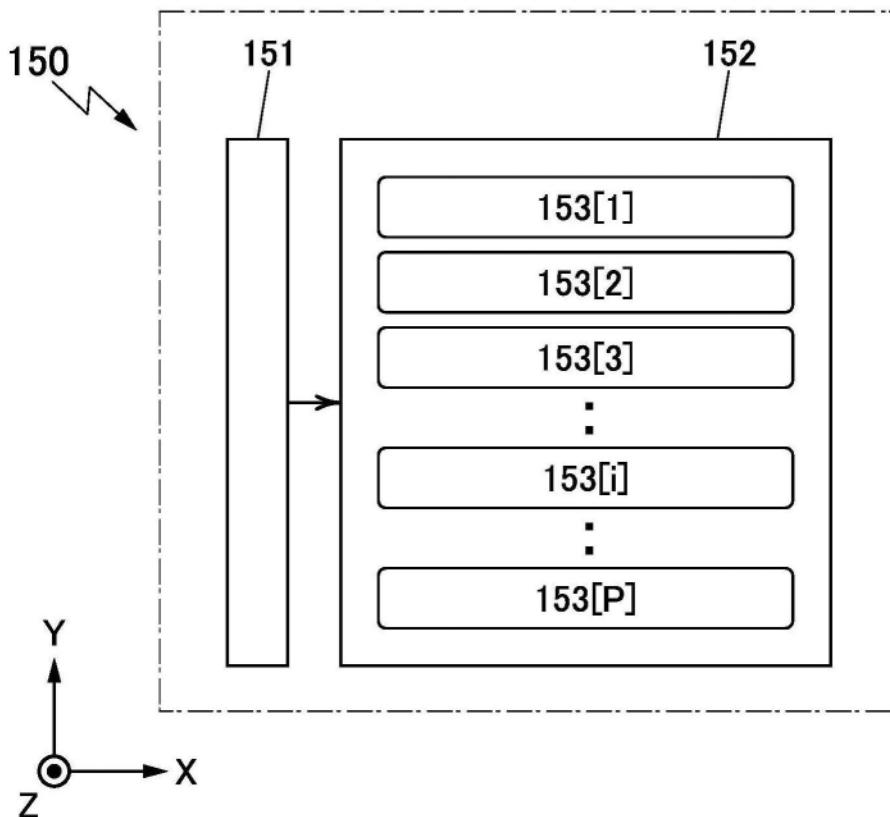


图18B

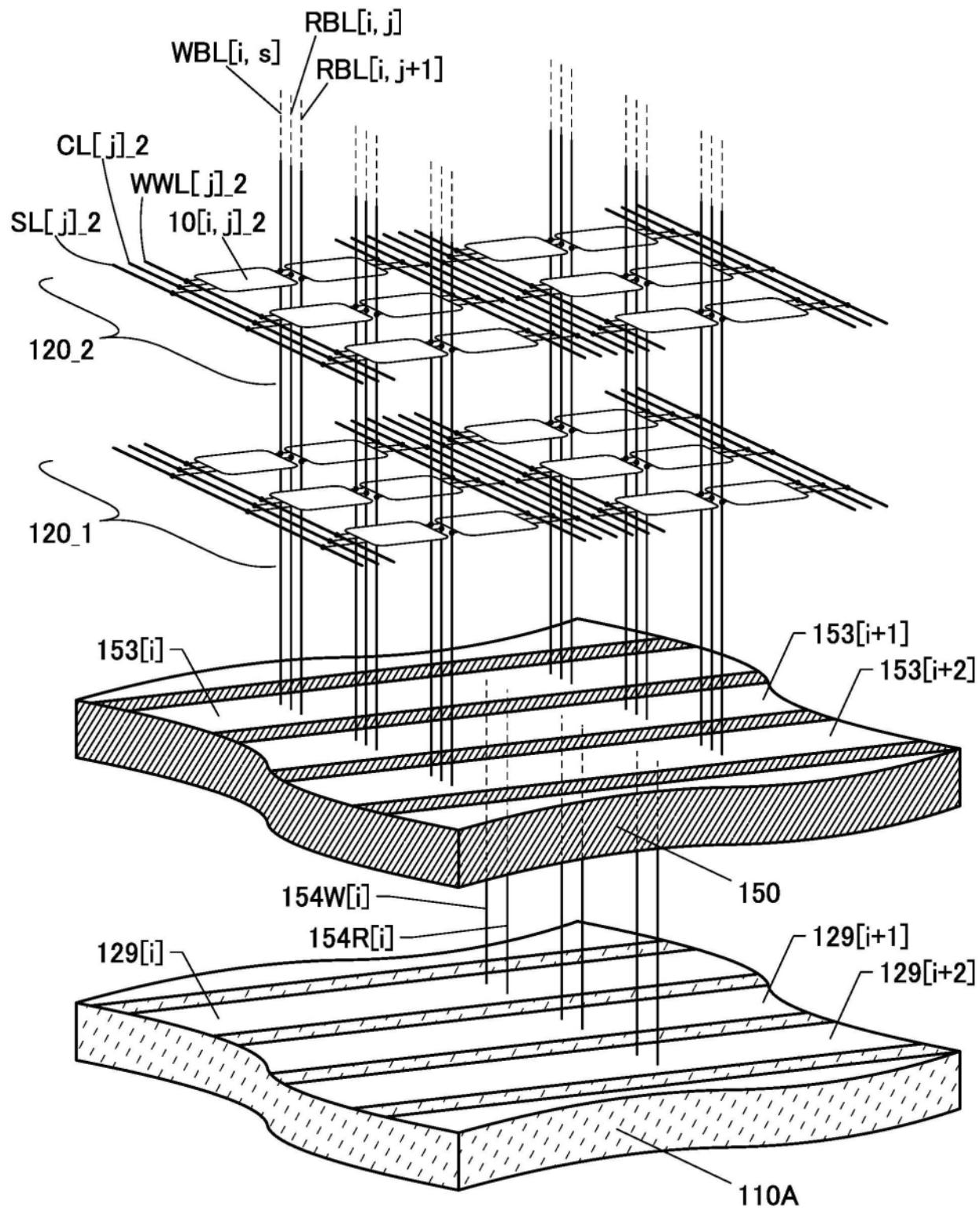


图19

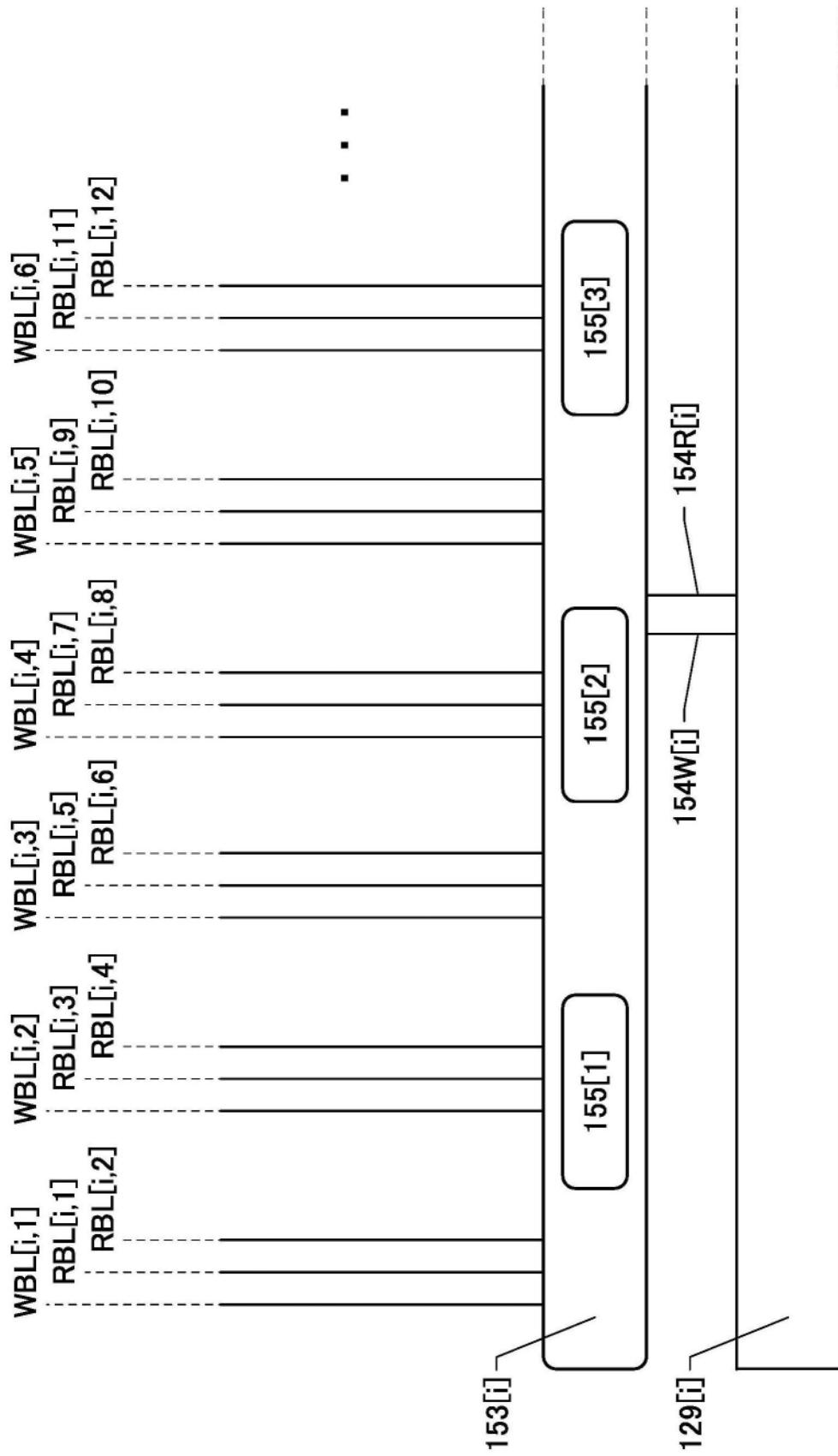


图20

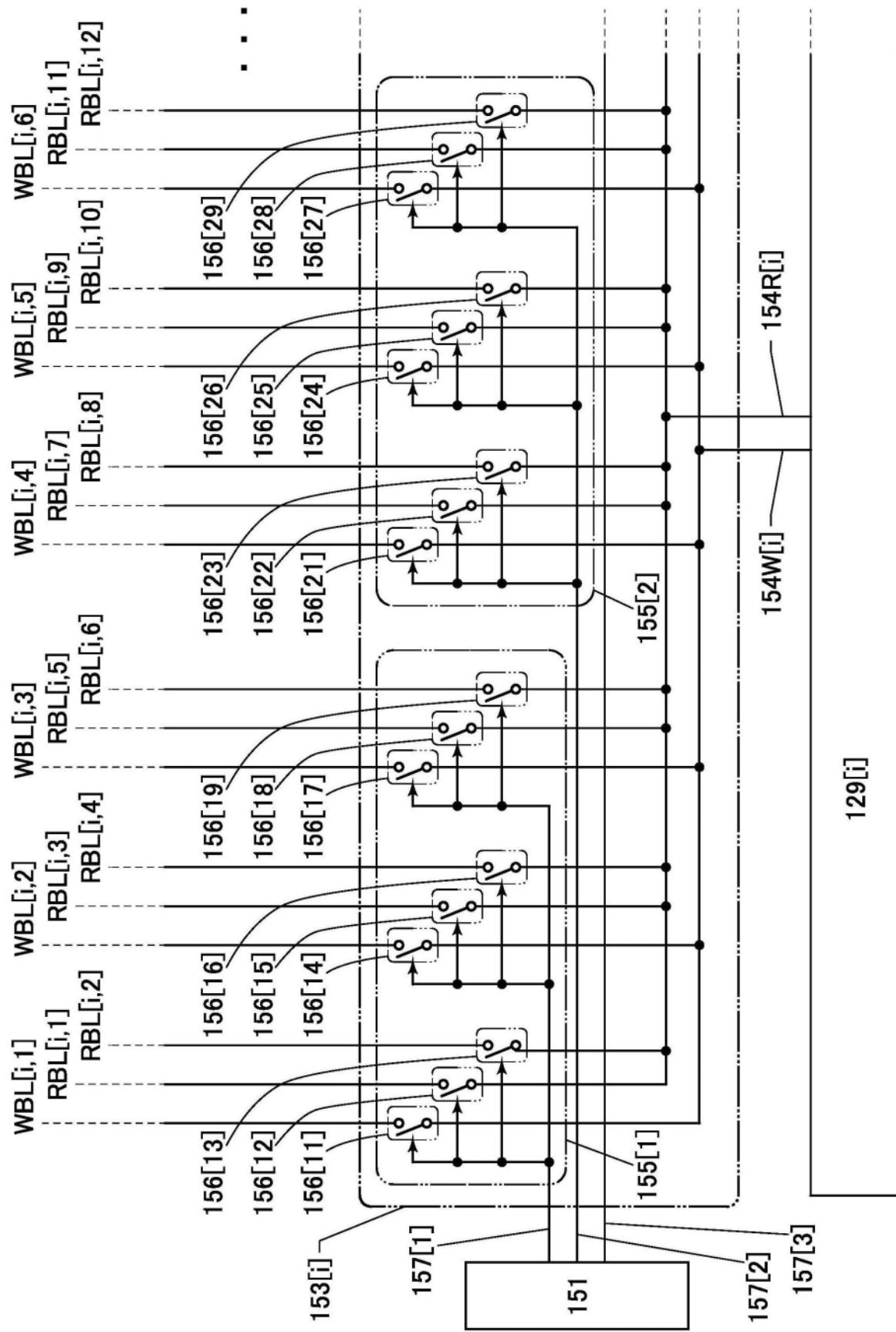


图21

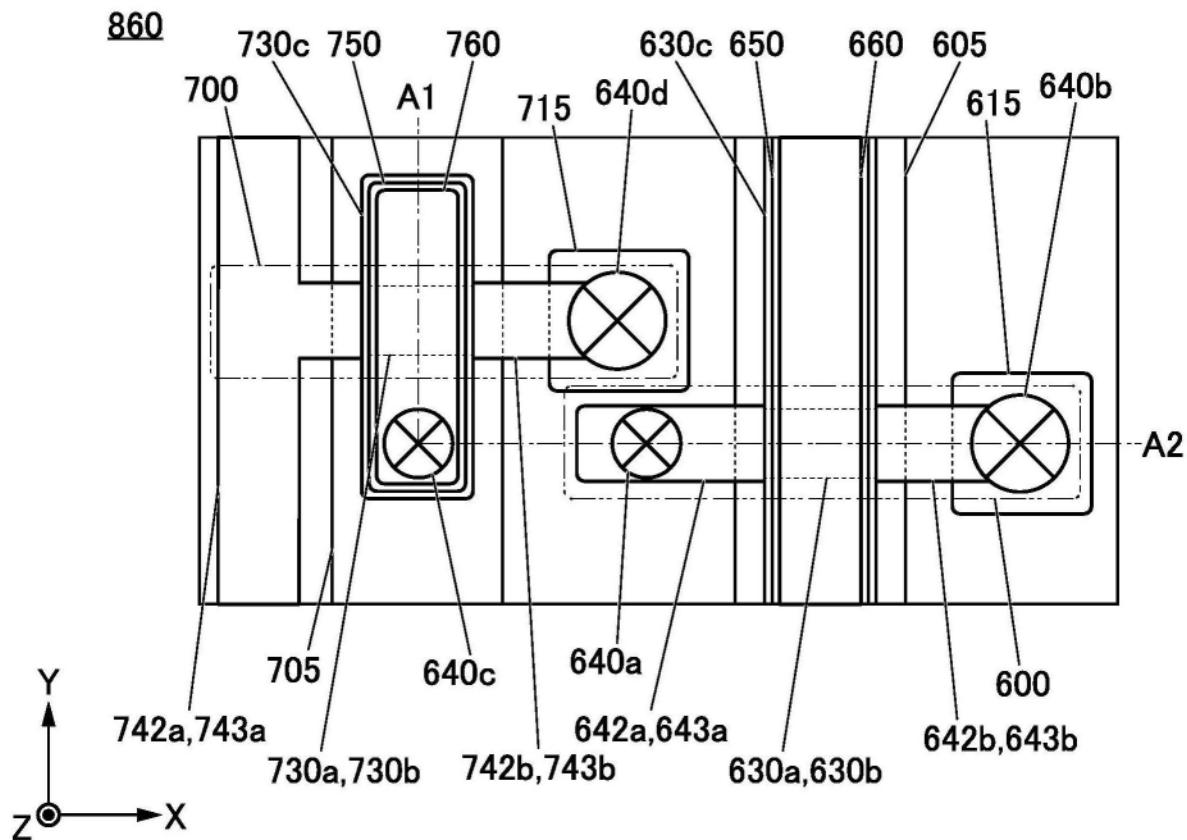


图22A

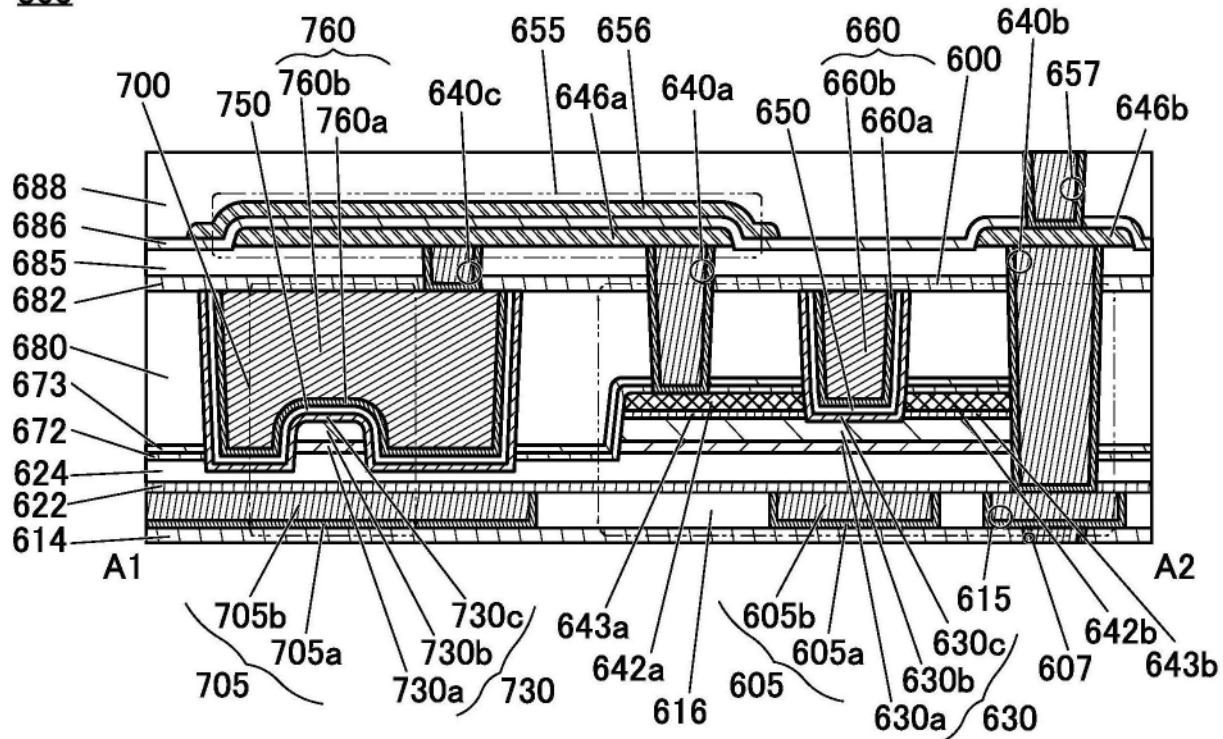
860

图22B

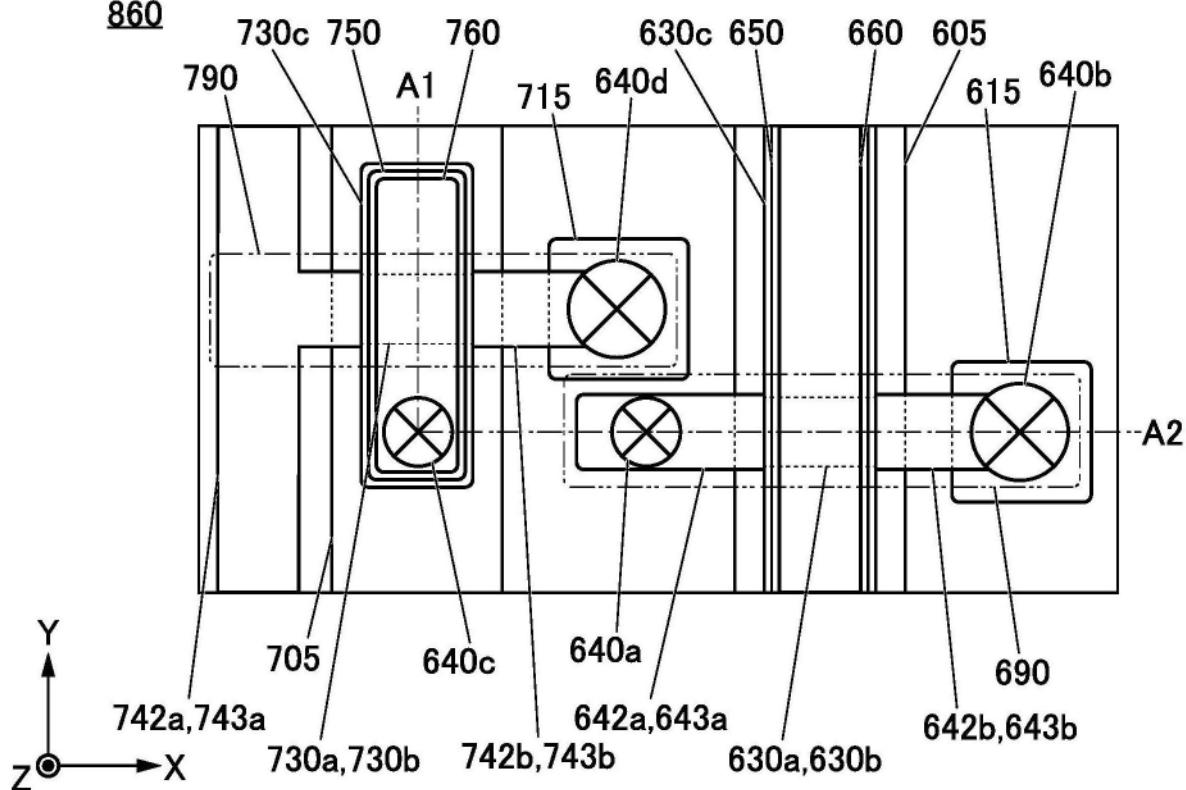
860

图23A

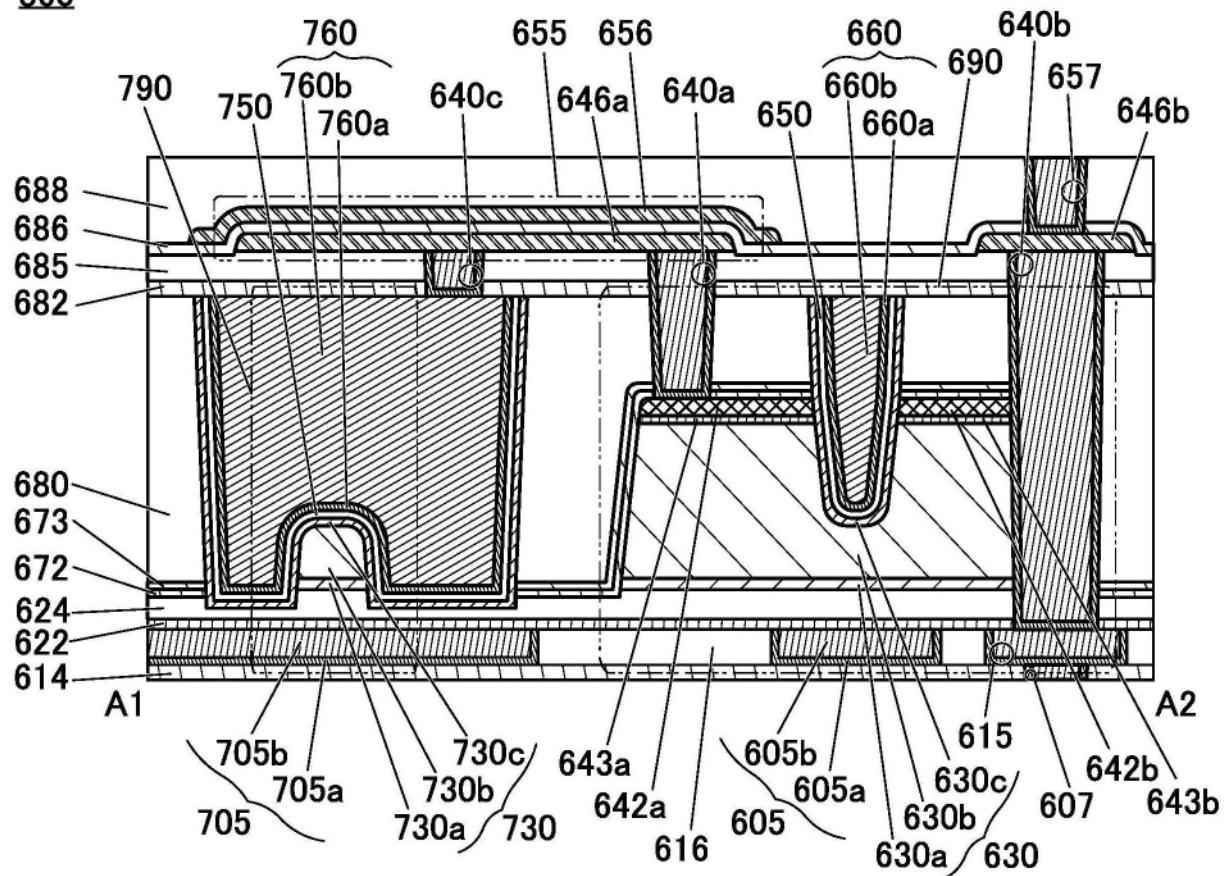
860

图23B

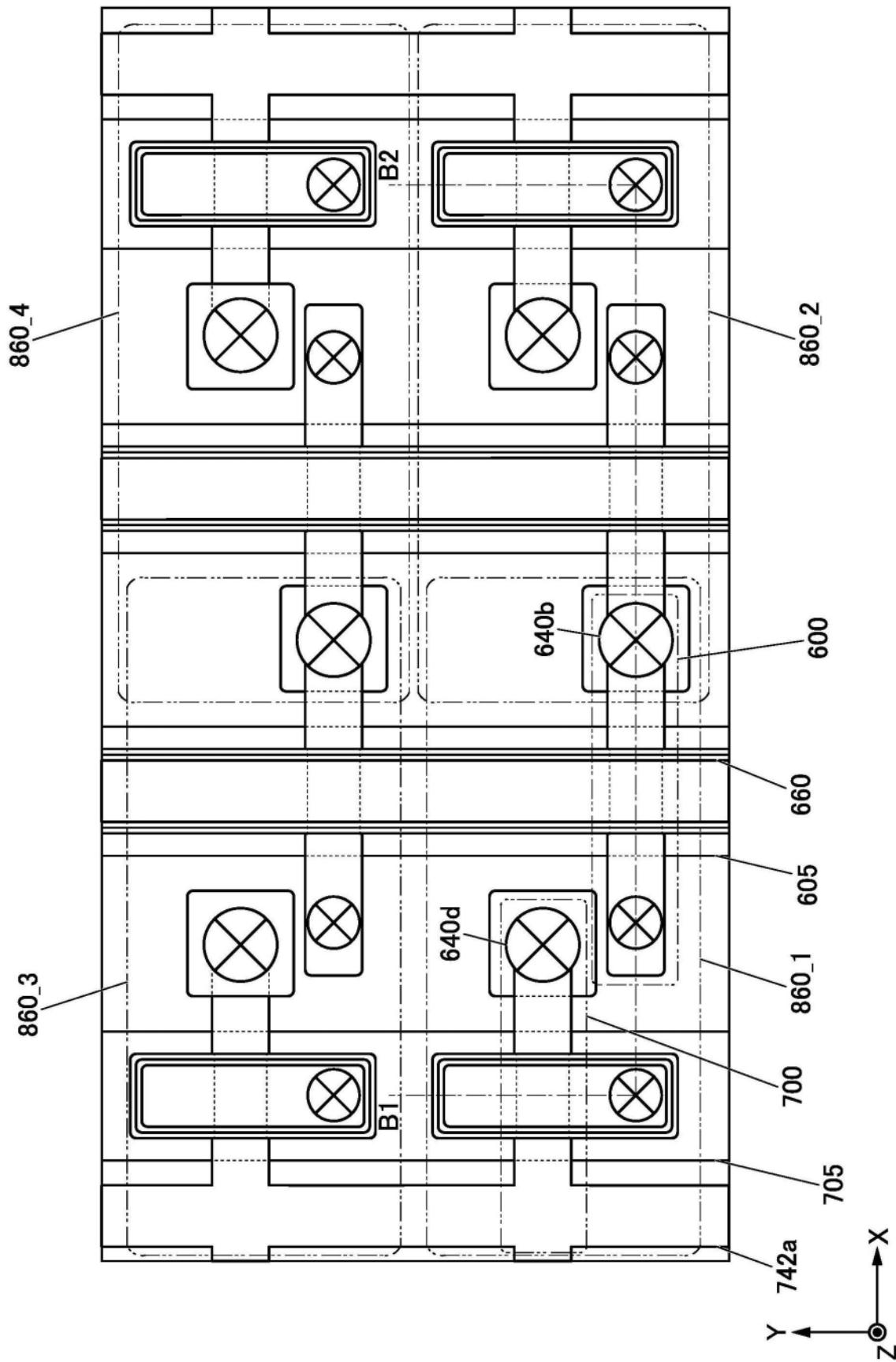


图24

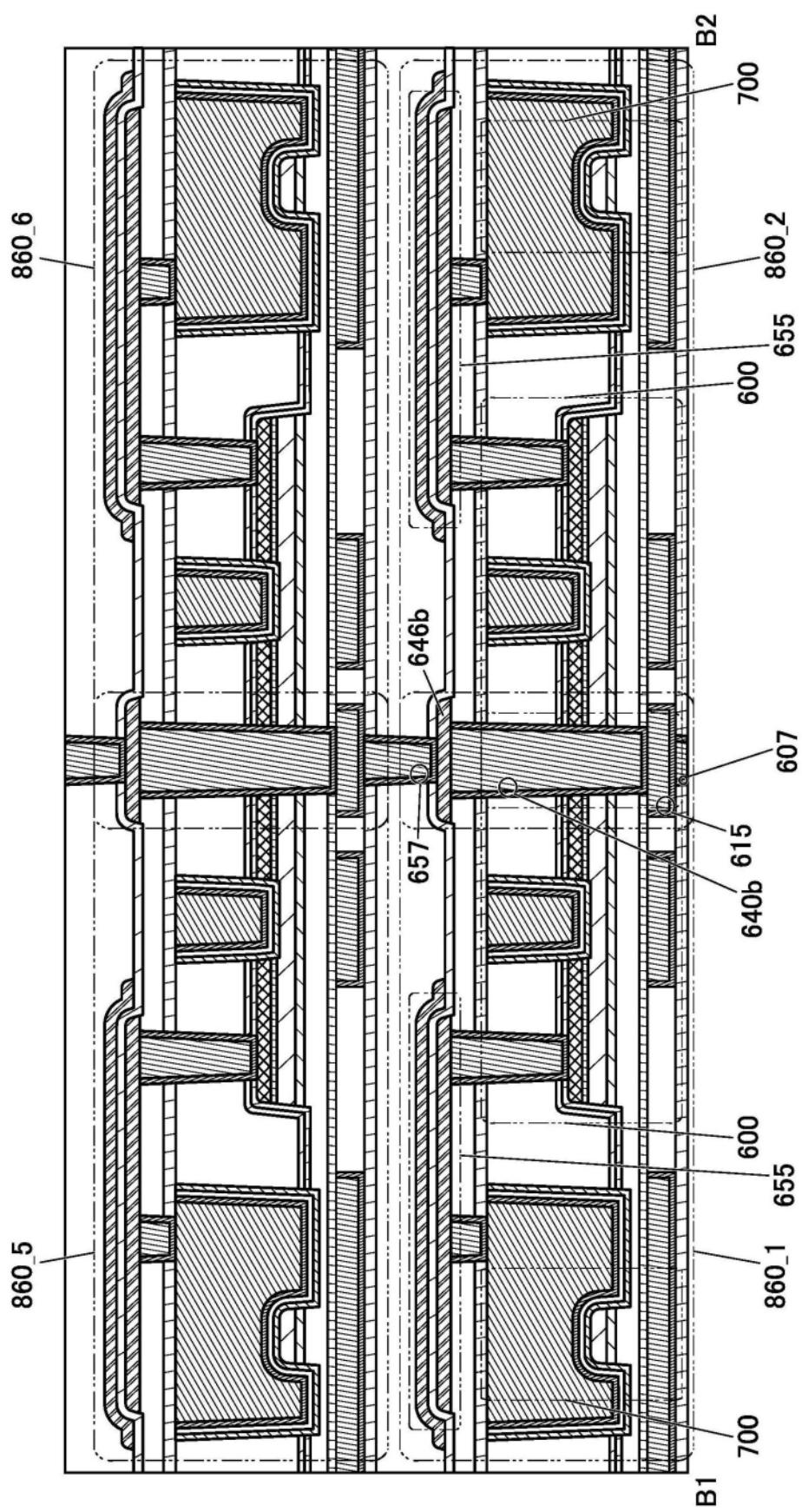


图25

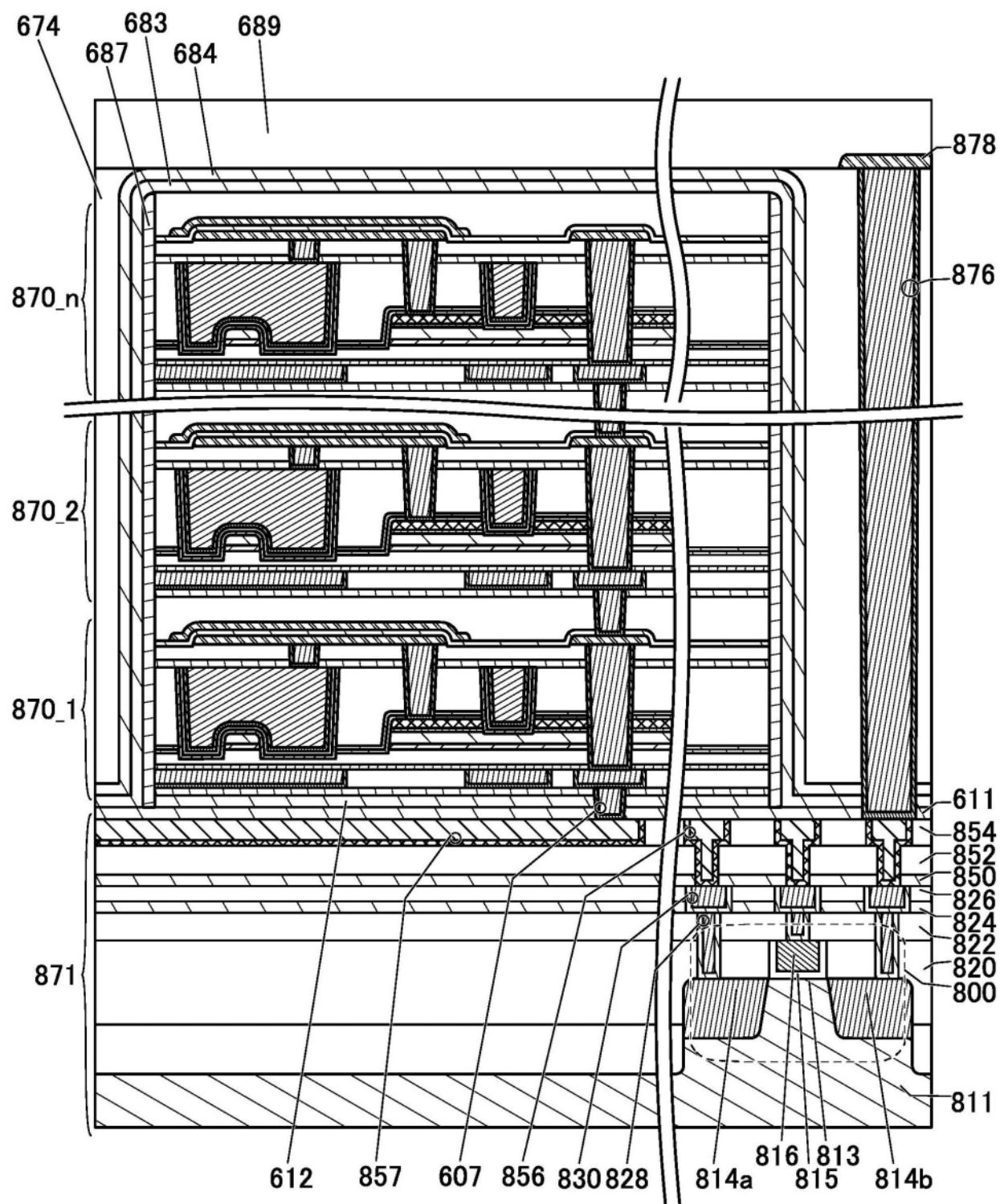


图26

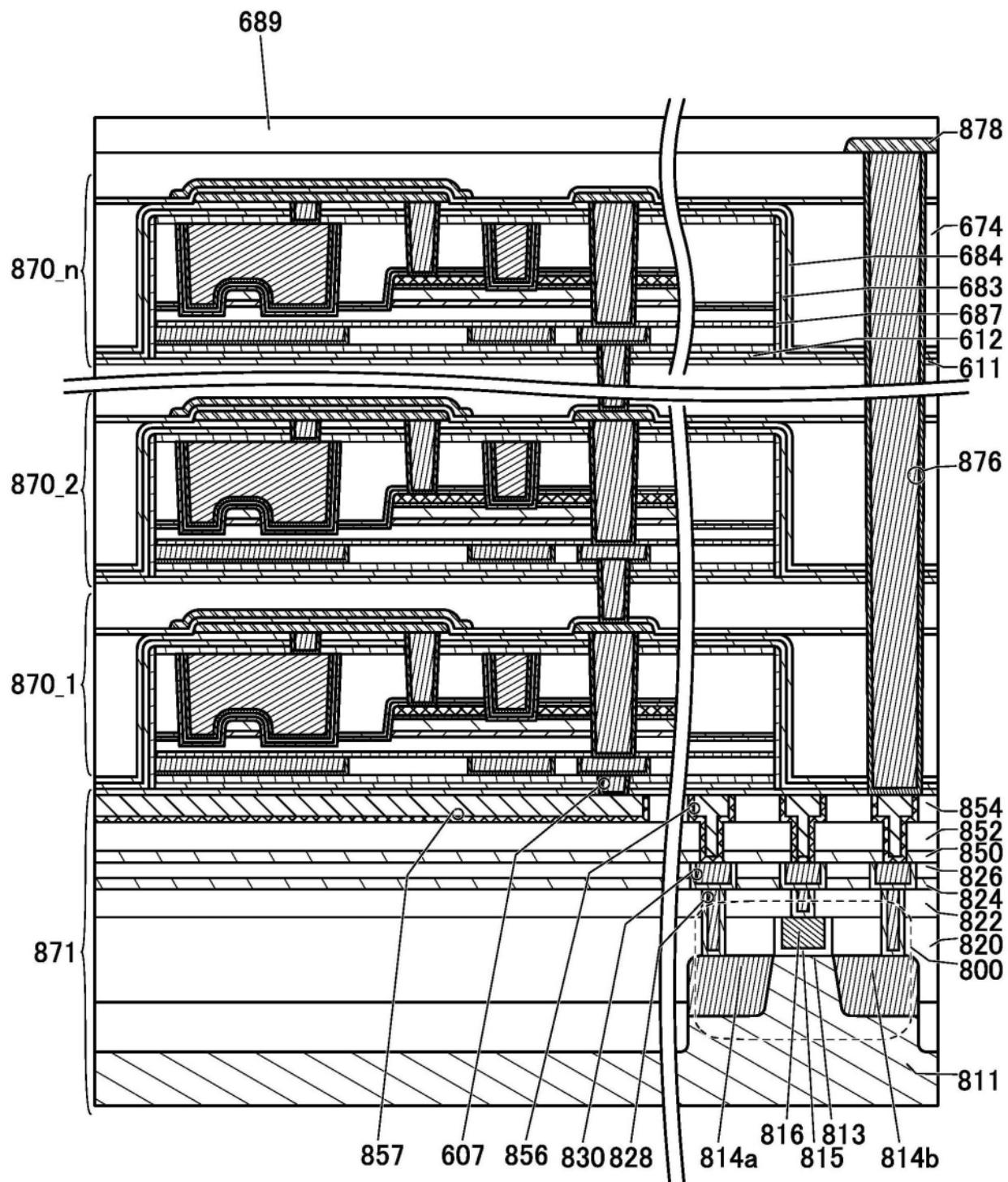


图27

Amorphous	Crystalline	Crystal
completely amorphous	· CAAC · nc · CAC	· single crystal · poly crystal

图28A

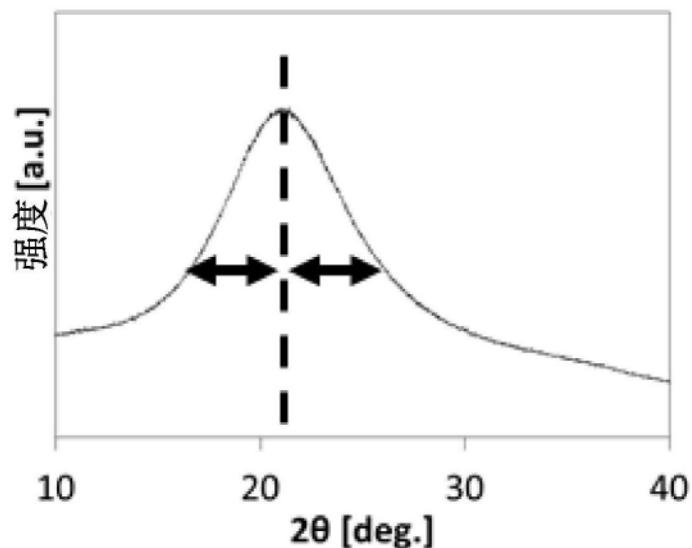


图28B

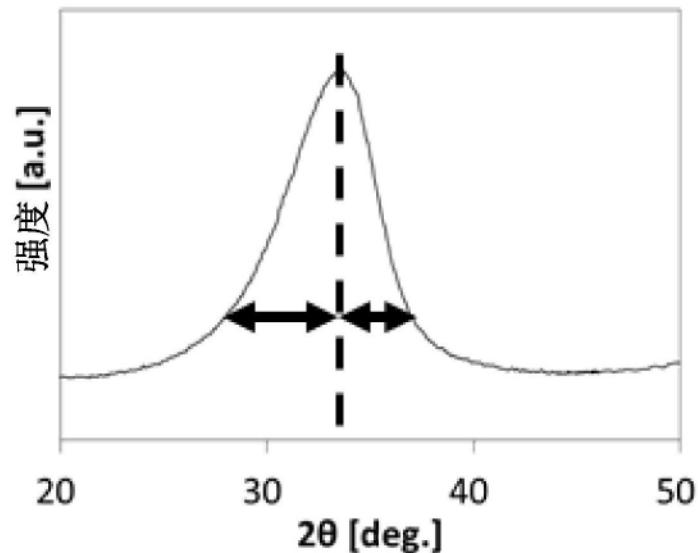


图28C

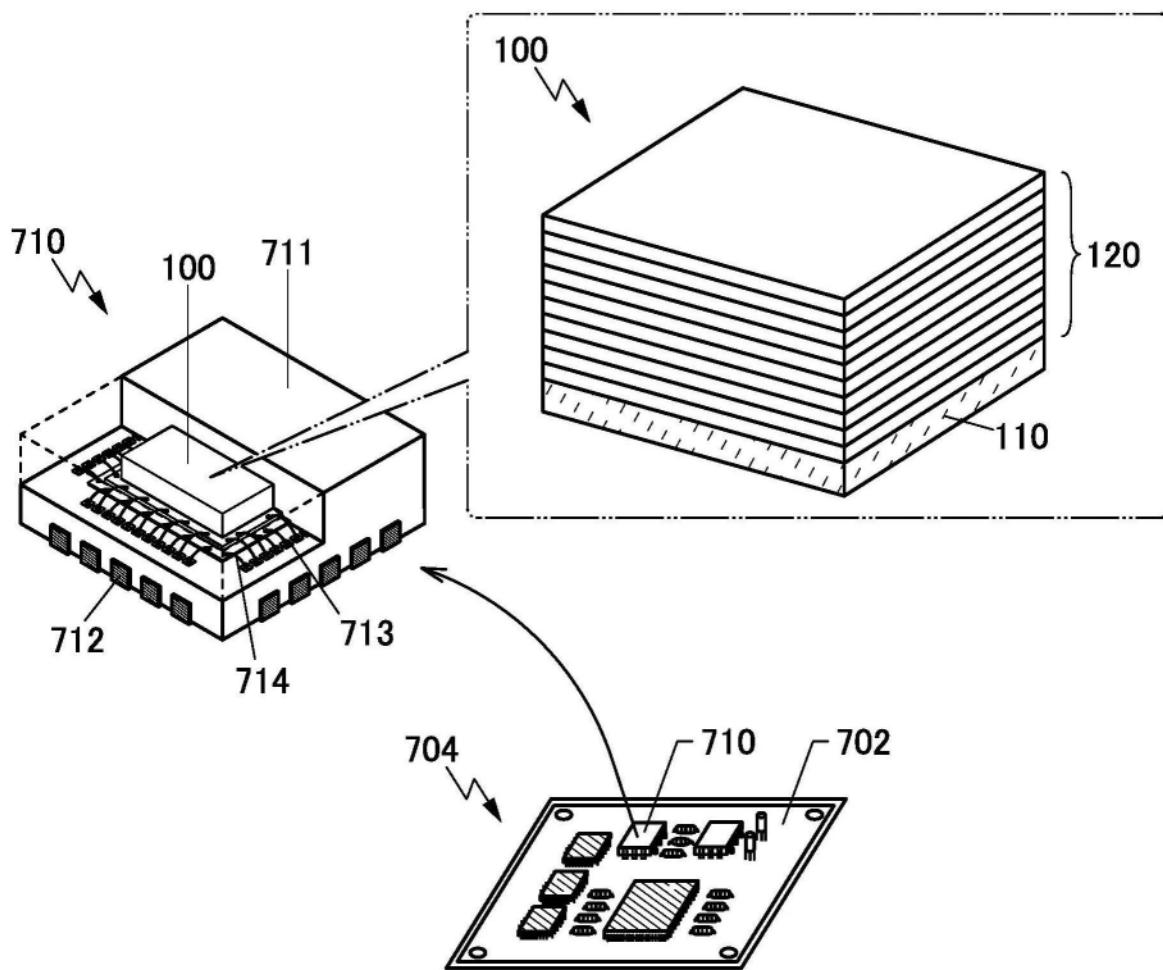


图29A

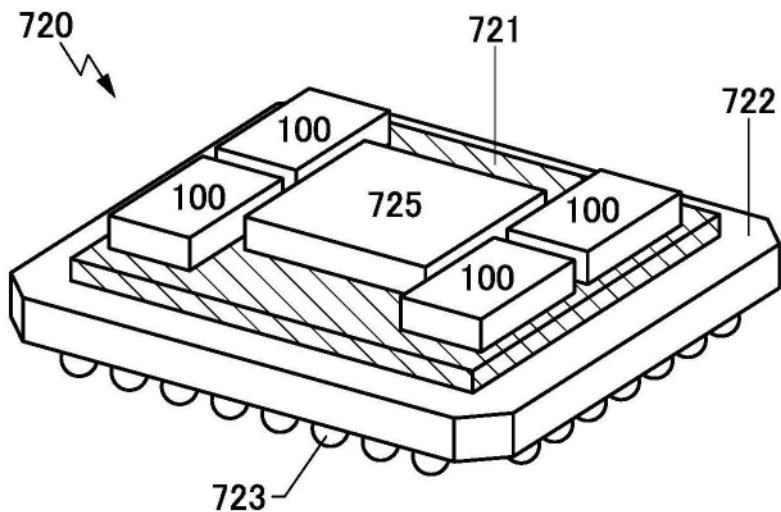


图29B

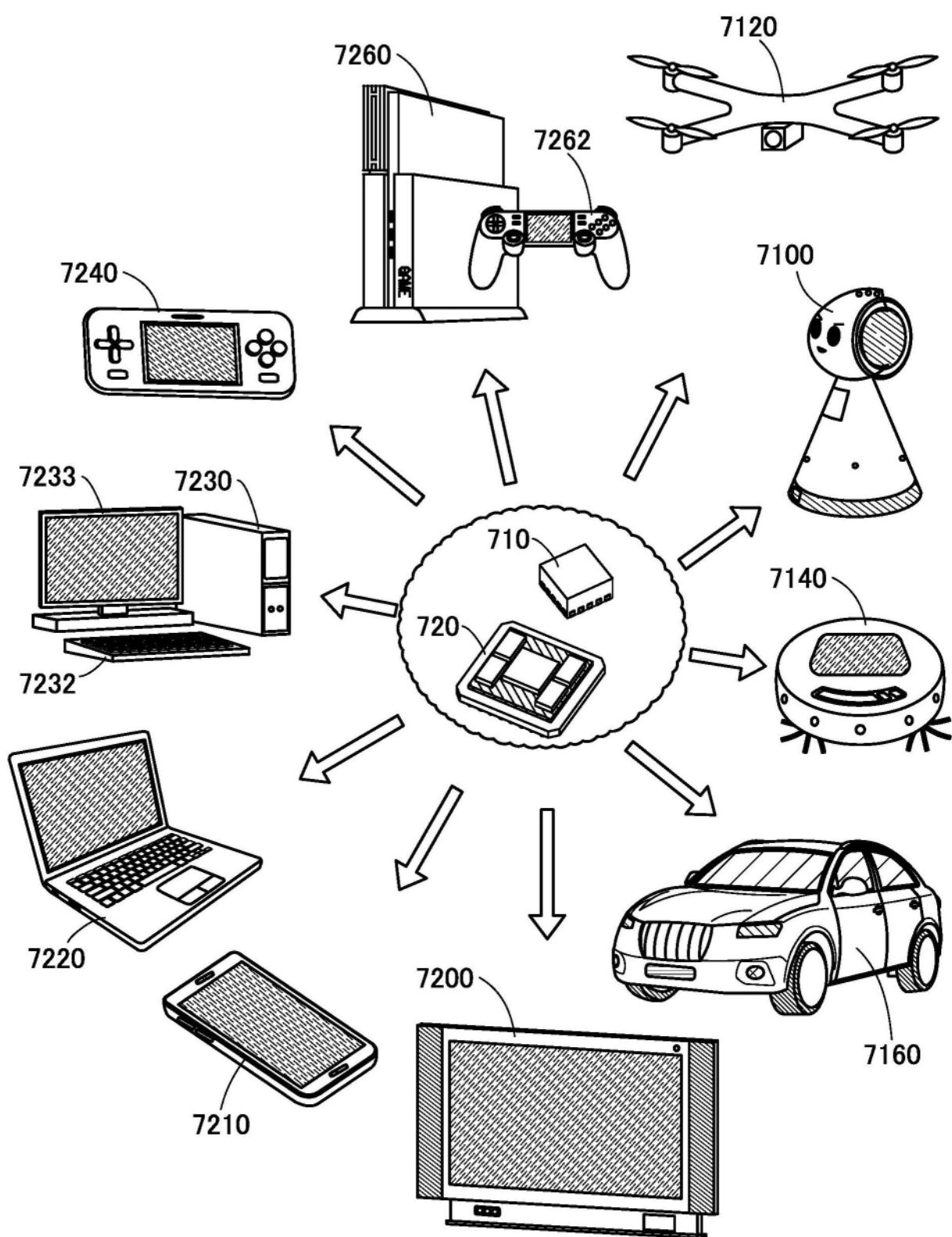


图30

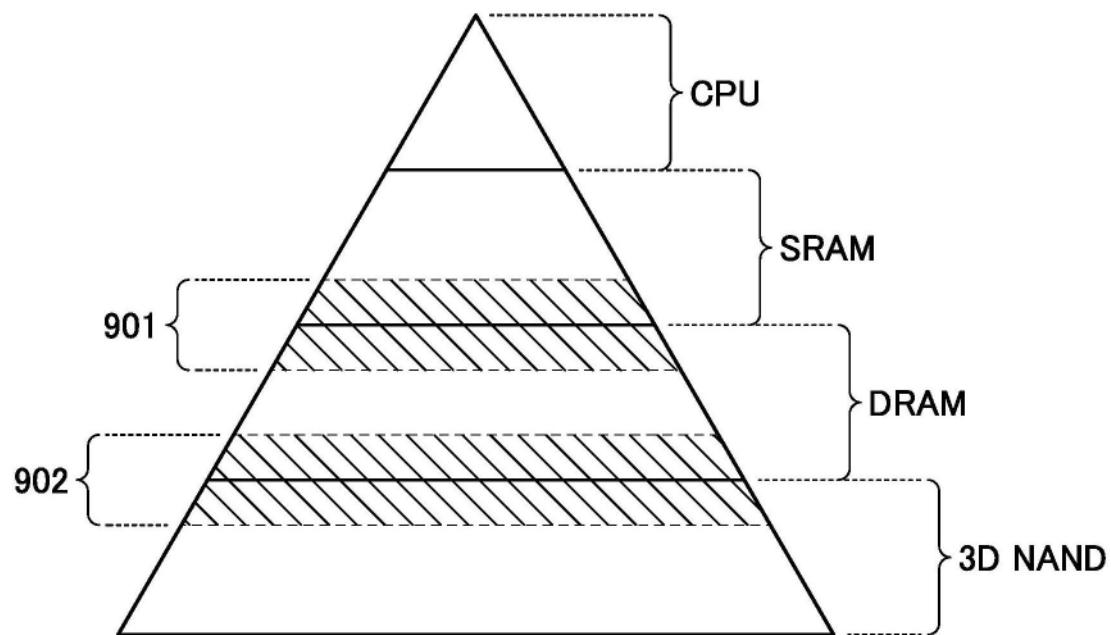


图31

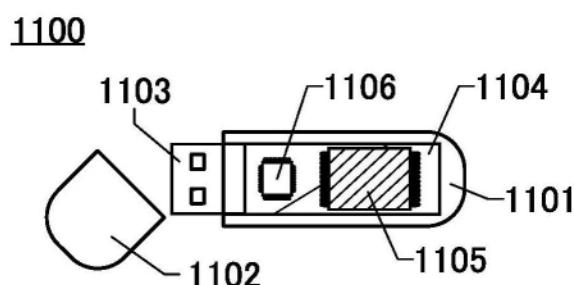


图32A

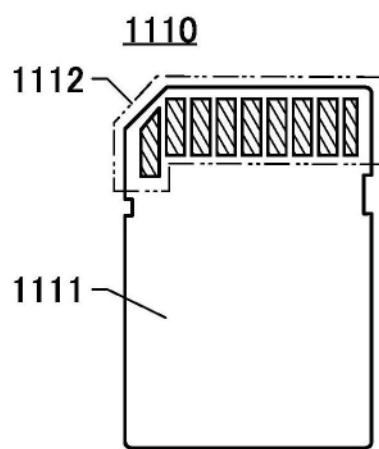


图32B

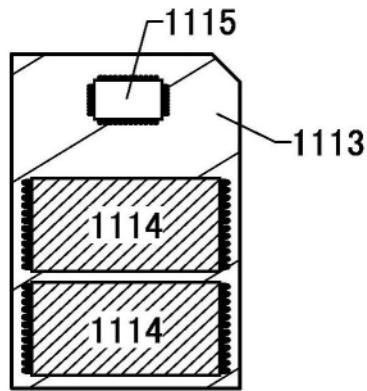
1110

图32C

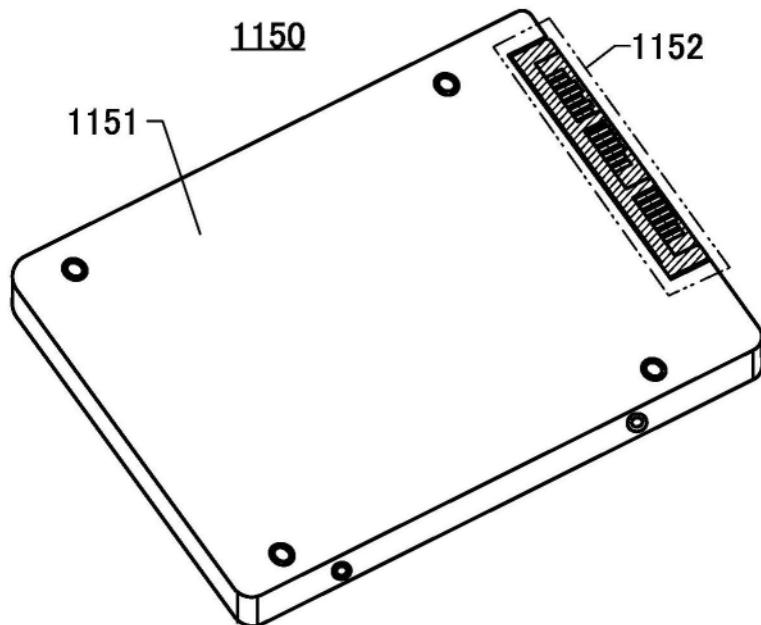
1150

图32D

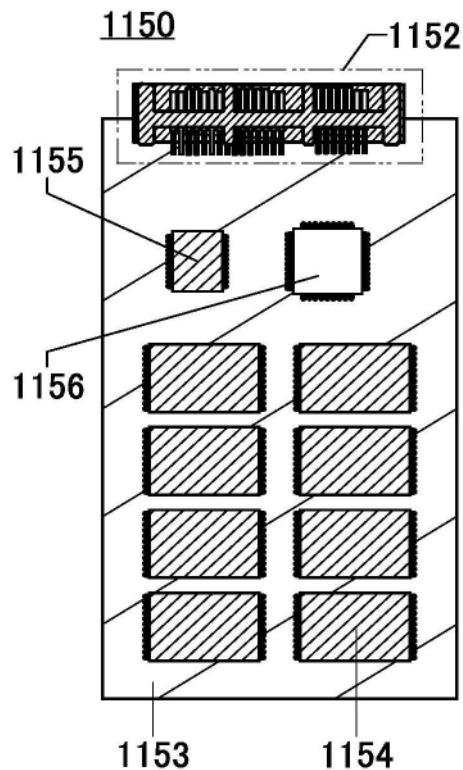


图32E

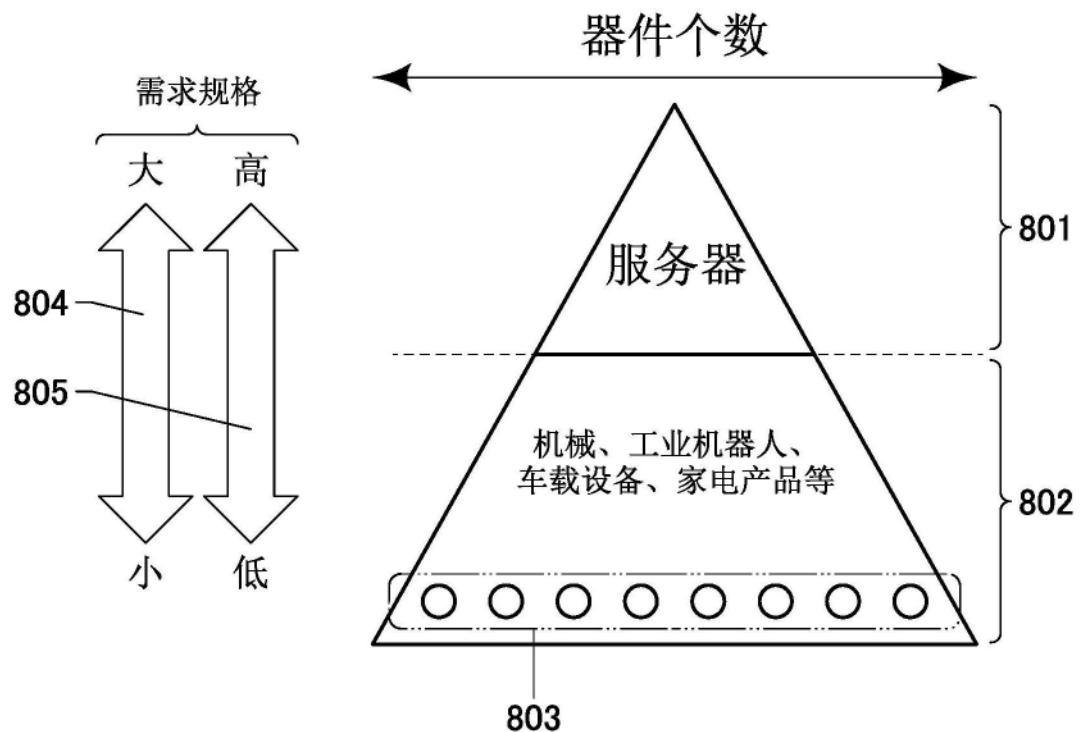


图33

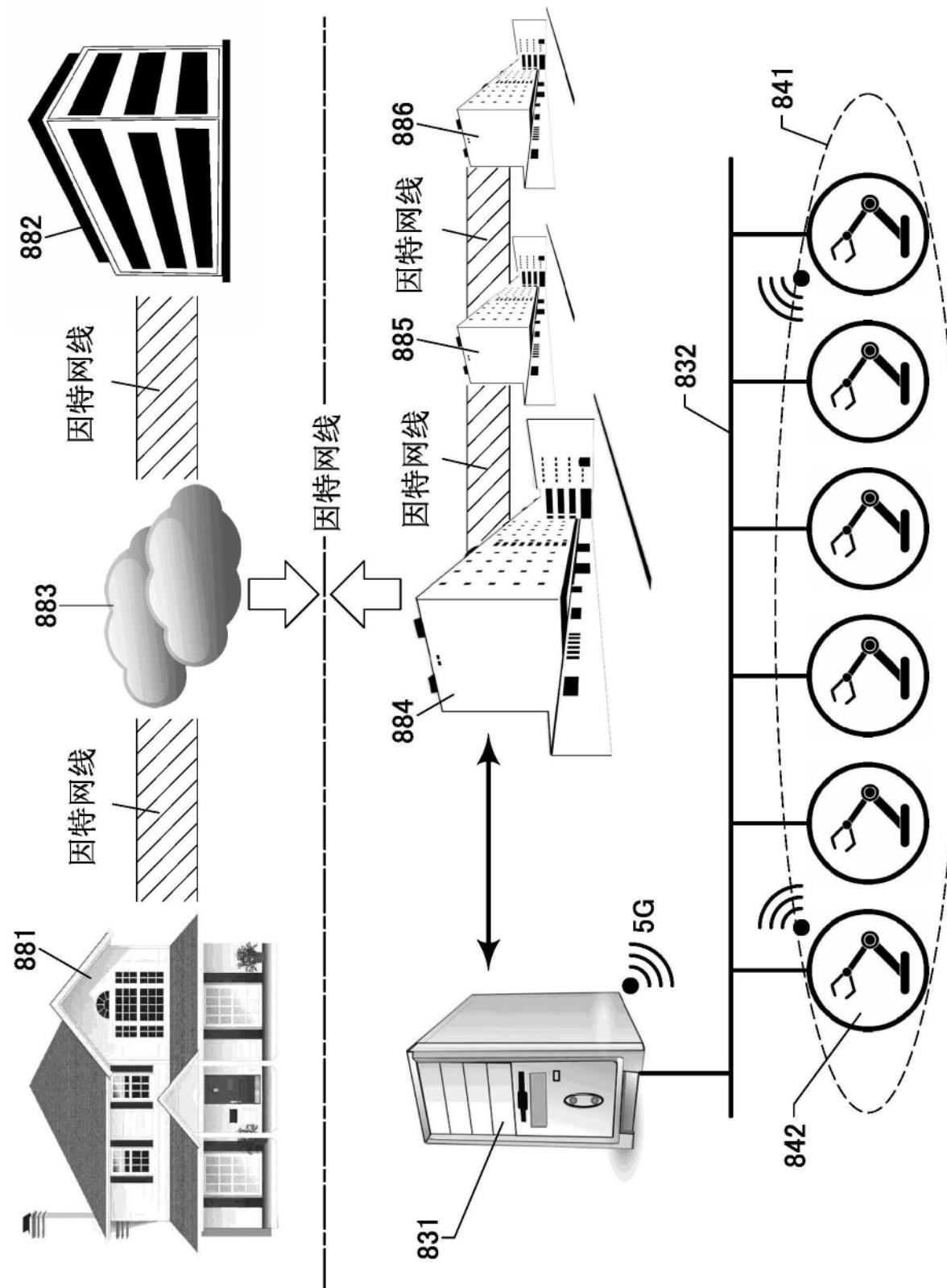


图34