

(19) 日本国特許庁(JP)

## (12) 公表特許公報(A)

(11) 特許出願公表番号

特表2008-527328

(P2008-527328A)

(43) 公表日 平成20年7月24日(2008.7.24)

(51) Int.Cl.

GO1R 1/073 (2006.01)  
 GO1R 31/26 (2006.01)  
 HO1L 21/66 (2006.01)

F 1

GO1R 1/073  
 GO1R 31/26  
 HO1L 21/66

E  
J  
B

テーマコード(参考)

2GO03  
2GO11  
4M106

審査請求 未請求 予備審査請求 未請求 (全 24 頁)

(21) 出願番号 特願2007-549436 (P2007-549436)  
 (86) (22) 出願日 平成17年12月15日 (2005.12.15)  
 (85) 翻訳文提出日 平成19年6月29日 (2007.6.29)  
 (86) 国際出願番号 PCT/US2005/045582  
 (87) 国際公開番号 WO2006/073736  
 (87) 国際公開日 平成18年7月13日 (2006.7.13)  
 (31) 優先権主張番号 11/028,940  
 (32) 優先日 平成17年1月3日 (2005.1.3)  
 (33) 優先権主張国 米国(US)

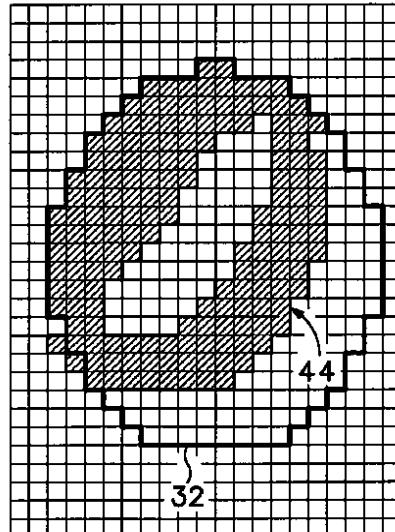
(71) 出願人 505377474  
 フォームファクター、 インコーポレイテッド  
 アメリカ合衆国 カリフォルニア 945  
 51, リバーモア, サウスフロント  
 ロード 7005  
 (74) 代理人 100078282  
 弁理士 山本 秀策  
 (74) 代理人 100062409  
 弁理士 安村 高明  
 (74) 代理人 100113413  
 弁理士 森下 夏樹

最終頁に続く

(54) 【発明の名称】プローブヘッドアレイ

## (57) 【要約】

半導体ウェハ上に形成されるデバイスをテストするプローブヘッド(12)は、複数のプローブDUT(テスト中のデバイス)アレイ(16)を含む。テスト中の各デバイスは、各対応するプローブDUTアレイ(16)のプローブ(18、20)と圧力接触へと押し付けられるパッドを含む。プローブアレイパターンは、湾入、突起、島および開口部のような不連続性を有し、これらの不連続性は、プローブ(18、20)がパッドと接触するとき、少なくとも1つのデバイスと相対する。



**【特許請求の範囲】****【請求項 1】**

半導体ウェハ上に形成されたデバイスをテストする接触器であって、  
該接触器は、該デバイス上に形成されるパッドと接触するプローブアレイを備え、  
該プローブアレイは、該プローブアレイの開口部の周りに配置された連続的なDUTアレイを含み、  
該開口部は、該プローブが該パッドに接触するとき、少なくとも1つのデバイスの上にある、接触器。

**【請求項 2】**

前記プローブアレイは、前記DUTアレイに、少なくとも1つの追加的な開口部を含み、  
該追加的な開口部は、該プローブアレイが前記パッドと接触するとき、少なくとも1つのデバイスと相対する、請求項1に記載の接触器。

**【請求項 3】**

前記連続的なDUTアレイは、概ね環状のパターンを形成する、請求項1に記載の接触器。

**【請求項 4】**

前記DUTアレイの前記開口部は、4つのDUTアレイと境する、請求項1に記載の接触器。

**【請求項 5】**

半導体ウェハ上で、実質的に均一なグリッドに配置されるデバイスをテストするプローブヘッドであって、該プローブヘッドは、

DUTアレイに形成された複数のプローブであって、該複数のプローブは、実質的に、該デバイスのグリッドと同じ構成を有するグリッドに配置される、複数のプローブと、

該DUTアレイに形成された空間であって、該空間は、該プローブが該デバイスにタッチするとき、少なくとも1つのデバイスと相対する、空間と  
を備える、プローブヘッド。

**【請求項 6】**

前記プローブヘッドは、少なくとも1つの追加的な空間を含み、該追加的な空間は、前記プローブが前記デバイスとタッチするとき、少なくとも1つのデバイスと相対する、請求項5に記載のプローブヘッド。

**【請求項 7】**

前記DUTアレイは、概ね環状のパターンを形成する、請求項5に記載のプローブヘッド。

**【請求項 8】**

前記空間は、4つのDUTアレイと境する、請求項5に記載のプローブヘッド。

**【請求項 9】**

半導体ウェハ上に形成されるデバイスをテストする装置であって、実質的に環状のパターンに配置されたプローブDUTアレイを備える、装置。

**【請求項 10】**

前記環状のパターンは、開口部を含み、該パターンは、少なくとも1つの追加的な開口部を含む、請求項9に記載の装置。

**【請求項 11】**

半導体ウェハ上に形成されるデバイスをテストする装置であって、  
該装置は、少なくとも1つの開口部を含むパターンに配置されたプローブDUTアレイを備え、

該少なくとも1つの開口部は、プローブDUTアレイがない該パターンの周囲内に含まれる、装置。

**【請求項 12】**

前記プローブアレイパターンは、少なくとも1つの追加的な開口部を含み、  
該追加的な開口部は、プローブDUTアレイがない該パターンの周囲内に含まれる、請

10

20

30

40

50

求項 1 1 に記載の装置。

【請求項 1 3】

前記パターンは、概ね環状である、請求項 1 1 に記載の装置。

【請求項 1 4】

前記開口部は、4つのD U Tアレイと境する、請求項 1 1 に記載の装置。

【請求項 1 5】

半導体ウェハ上に形成されたデバイスをテストする装置であって、

該装置は、パターンに配置されたプローブD U Tアレイを備え、

該パターンは、少なくとも1つの局所的な不連続性を有する周囲を有する、装置。

【請求項 1 6】

前記局所的な不連続性は、少なくとも1つのD U Tアレイの隆起である、請求項 1 5 に記載の装置。

【請求項 1 7】

前記隆起は、単一のD U Tアレイによって形成される、請求項 1 6 に記載の装置。

【請求項 1 8】

前記隆起は、最小幅を有し、該周囲から外向きに、該最小幅の2倍よりも長く延びる、請求項 1 6 に記載の装置。

【請求項 1 9】

前記周囲は、少なくとも1つの追加的な隆起を含む、請求項 1 6 に記載の装置。

【請求項 2 0】

前記局所的な不連続性は、少なくとも1つのD U Tアレイの湾入である、請求項 1 5 に記載の装置。

【請求項 2 1】

前記湾入は、単一のD U Tアレイによって形成される、請求項 2 0 に記載の装置。

【請求項 2 2】

前記湾入は、最小幅を有し、該周囲から内向きに、該最小幅の2倍よりも長く延びる、請求項 2 0 に記載の装置。

【請求項 2 3】

前記周囲は、少なくとも1つの追加的な湾入を含む、請求項 2 0 に記載の装置。

【請求項 2 4】

前記パターンは、対称的である、請求項 1 5 に記載の装置。

【請求項 2 5】

前記パターンは、実質的に平行四辺形の形状である、請求項 2 4 に記載の装置。

【請求項 2 6】

前記パターンは、実質的に菱形の形状である、請求項 2 5 に記載の装置。

【請求項 2 7】

半導体ウェハ上で、実質的に平行な水平線と平行な垂直線とを形成するパターンに配置されたデバイスをテストする装置であって、

該装置は、対称的なパターンに配置されたプローブD U Tアレイを備え、

該パターンは、該プローブD U Tアレイが該デバイスにタッチするとき、デバイスの該線のいずれとも平行でない少なくとも1つの周囲を有する、装置。

【請求項 2 8】

前記パターンは、実質的に平行四辺形の形状である、請求項 2 7 に記載の装置。

【請求項 2 9】

前記パターンは、実質的に菱形の形状である、請求項 2 8 に記載の装置。

【請求項 3 0】

ウェハ上の半導体デバイスをテストする方法であって、該方法は、  
プローブのアレイを提供するステップであって、該プローブのアレイは、該プローブのアレイに少なくとも1つの不連続性を有する、ステップと、

テストされるべき該半導体デバイスの第一の部分が、該プローブの一部によって接触さ

10

20

30

40

50

れ、該デバイスの第二の部分が、該プローブによって接触されないが、位置的に該少なくとも1つの不連続性と相対するように、該アレイを該ウェハと接触させるステップと、該ウェハを該プローブのアレイとの接触しないように移動させるステップと、該ウェハを該プローブのアレイに対してラテラルに移動させるステップと、該デバイスの該第二の部分の少なくとも一部が、該プローブの一部によって接触されるように、該アレイを該ウェハと接触させるステップとを含む、方法。

#### 【発明の詳細な説明】

##### 【技術分野】

##### 【0001】

(発明の分野)

10

本発明は、半導体ウェハ上のデバイスをテストするプローブヘッドアレイに関する。

##### 【背景技術】

##### 【0002】

(関連技術の説明)

20

マイクロプロセッサ、DRAM、およびフラッシュメモリのような半導体デバイスは、半導体ウェハ上に、周知の方法で作成される。ウェハのサイズと、そのウェハの上に形成される各デバイスのサイズとに依存して、1枚のウェハ上に、わずかに数個のデバイスが存在することも、あるいは千個を超えるデバイスが存在することもあり得る。これらのデバイスは、典型的には、互いに同一であり得、それぞれが、その表面に複数の導電性のパッドを含む。これらの導電性のパッドは、電源への接続と、入力信号、出力信号、制御信号などのようなデバイスへの他の接続とのためである。

##### 【0003】

ウェハ上のデバイスをテストして、どのデバイスが完全に機能し、それゆえ、パッケージングして、販売するのに適しているか、どのデバイスが機能しない、あるいは部分的に機能し、それゆえ、パッケージングするのに適していないかを判断することは望ましい。この目的のために、ウェハ上にデバイスが依然としてある間に、ウェハテスタは、デバイスに電力と入力信号とを付与し、所定のテストルーチンの間、出力をモニタする。

##### 【0004】

30

各テスト中のデバイス(DUT)は、他のデバイスと実質的に同一であるので、複数の同一のプローブDUTアレイがある。各プローブDUTアレイは、対応するDUT上のパッドの個々のパッドへのディスクリートな圧力接続を形成するプローブを含む。

##### 【0005】

これらのプローブDUTアレイは、ウェハプローブカードの一部である1つのプローブヘッドまたは複数のプローブヘッド上に装着される単一のプローブアレイを構成する。ウェハプローブカードは、典型的に、複数のチャネルを含み、プローブヘッド上の各DUTアレイに対する1つのチャネルである。その結果、複数のDUTアレイは、同時に、ウェハ上の複数のDUTと同時に接触する。

##### 【0006】

40

同時にテストされ得るDUTが多ければ多いほど、ウェハ全体が、より早くテストされ得ることは、明らかである。しかし、DUTアレイと接続され得るテスタチャネルの数には、制限がある。一部のテスタは、多くのチャネル(例えば、128のチャネル)を含むが、その一方で、テストされるべきウェハ上には、数百のDUTがあり得る。テストプロセスは、連続的に、プローブDUTアレイをDUTの第一の対応するセット上のパッドと圧力接触(すなわち、1回目の「タッチダウン」)させること、テストを実行すること、DUTからプローブをリフトすること、ウェハに対してプローブを動かすこと、プローブをDUTの別のセット上のパッドと接触(すなわち、2回目の「タッチダウン」)させること、追加DUTをテストすることを含む。このプロセスは、ウェハ上の全てのDUTがテストされるまで繰り返される。

##### 【0007】

50

上述されたテストプロセスは、テスト期間中のテスト設備のコストと結び付いているので、時間に対して非常に敏感である。換言すれば、テストがスピードアップされ得る場合、最終半導体デバイスの製造コストもまた削減され得る。したがって、ウェハ当たりのプローブアレイのタッチダウン回数、D U T 当たりの複数回のプローブのタッチダウン、およびタッチダウン間のステッピング距離を最小化することが望ましい。ウェハ上へのタッチダウンの総回数は、プローブヘッド上にあるD U Tアレイの数（これが、順に、しばしば、テスト設備が有するチャネルの数の関数である）、ウェハ上のD U Tの数、およびウェハD U TとD U Tアレイとの相対的な構成の関数である。各テストルーチンは、ランニング時間を要するので、タッチダウンの総回数を少なくすると、ウェハに対するテスト時間を短縮できる。タッチダウンは、典型的には、ローエンド（l o w e n d）における1回または2回から、ハイエンド（h i g h e n d）における約9回まで変動し得る。  
10

#### 【0008】

複数回のD U Tタッチダウンが起こるのは、プローブD U Tアレイが特定のD U Tと2回以上接触されるときである。言い換えれば、既にテストされたD U TとプローブD U Tアレイとの間の一部が、その2回目および引き続くタッチダウンで、ウェハに対して押し付けられる（u r g e d）とき、重なり合うことがあり得る。各D U Tに対するタッチダウンの回数は、できるだけ少なくすること、好ましくは1回にすることが望ましい。なぜなら、プローブがコンタクトパッドに対して押し付けられるとき、パッドは、スクラビングされるからである。スクラビングが繰り返されると、D U Tが適切にパッケージされ得ないほど、パッドに損傷を与える。完全に機能的なD U Tに損傷を与えることは、テストプロセスにとって、望ましくないことは明らかである。さらに、タッチダウンの回数が減少するにつれて、テスト効率が向上する。  
20

#### 【0009】

最後に、ステッピング距離（タッチダウンとタッチダウンとの間のプローブアレイとウェハとの相対的な横方向の（l a t e r a l）動きの量）を最小化することも、また望ましい。このようにすることで、ウェハ上の全てのD U Tを完全にテストするのに要する時間をさらに短縮する。ウェハごとのタッチダウン、複数回のタッチダウン、およびステッピング距離は、図面を参照して、より詳細に記載される。

#### 【0010】

プローブヘッドにとって、ウェハごとのタッチダウンの回数を減らすこと、D U Tごとの複数回のタッチダウンを減らすこと、およびステッピング距離を短くすることを提供することは有利である。  
30

#### 【発明の開示】

#### 【課題を解決するための手段】

#### 【0011】

##### （好ましい実施形態の詳細な説明）

ここで、図1および図2を参照すると、プローブヘッド12を含むプローブカード10が、図1の10に概略的に示される。プローブカード10は、従来技術のプローブヘッドを運ぶためにも、本発明に従って作成されるプローブヘッドを運ぶためにも、使用され得る。プローブヘッドは、プローブアレイ14を含む。プローブアレイ14は、複数のプローブD U Tアレイから構成され、このプローブD U Tアレイは、プローブD U Tアレイ16のように、プローブアレイ14の中に形成された正方形で模式的に示される。  
40

#### 【0012】

プローブD U Tアレイ16のようなプローブD U Tアレイのそれぞれは、図2のプローブ18、20のようなプローブのパターンを含む。図2のプローブは、プローブD U Tアレイ16内のプローブの一部分のみを構成する。D U Tアレイ16のような各D U Tアレイは、図2に示されるプローブのようなプローブを60～80個以上含み得る。テストされるべきウェハは、各D U T上のパッド構成を含め、互いに同一のD U Tを典型的には含むので、プローブアレイ14を構成するプローブD U Tアレイも、また、それぞれ互いに同一である。プローブのそれぞれは、プローブ18上のチップ22およびプローブ20上  
50

のチップ 24 のようなチップを含む。以下にすぐ記載されるように、ウェハのテスト中、プローブアレイ 14 内のプローブは、ウェハと相対するように置かれ、チップ 22、24 のようなプローブチップが、ウェハ上の DUT 上の対応するパッドに接触するまで、プローブヘッドとウェハとは、一緒に移動する。これらのプローブは、本明細書にて、参考として援用される米国特許第 5,974,662 号に記載されるように製造されることが好ましい。

#### 【0013】

プローブアレイ 14 は、スペーストランスマルチマ 26 上に装着される。スペーストランスマルチマは、多層セラミック基板を備える。この基板は、テスト中の各 DUT に電力を印加するために、各プローブ DUT アレイ内の適切なプローブに接続された接地面および電源面を含む。アレイ内のこれらのプローブは、スペーストランスマルチマ内の層の異なる層を介して、円形プリント回路基板 28 上のコンタクト（不可視）に接続される。当分野で公知のように、この接続は、スペーストランスマルチマ 26 と回路基板 28 との間に配置されたインターポーラを介してなされ得る。このような接続は、数千もあり得る。プリント回路基板 28 上のこのコンタクトは、プローブ DUT アレイ 16 のような各プローブ DUT アレイをテスト（図示せず）上のチャネルを構成するコンタクトに接続するために使用される。各ウェハ上の DUT 構成は、幾つかの異なる要因（例えば、異なるメカ、異なる製品、異なるテスト、異なるウェハサイズなど）によって、変動し得る。その結果、プローブヘッドは、これらの要因から生じるウェハ DUT パターンに従うように設計されなくてはならない。ウェハプローバのテスト設定のより詳細な説明は、本明細書にて、参考として援用される米国特許公開第 2004/0130312 号に見出され得る。

10

20

30

#### 【0014】

ここで、図 3～図 5 を参照すると、従来技術のプローブアレイ構成 30 が、斜線によって示される。プローブアレイ 30 は、図 1 のスペーストランスマルチマ 26 上に形成されるプローブアレイ 14 と同じように、スペーストランスマルチマ（図 3 には図示せず）上に形成される。プローブアレイ 30 によって形成される形状内に含まれる正方形のそれぞれは、プローブ DUT アレイ 31 のような異なるプローブ DUT アレイに対応し、これらのプローブ DUT アレイの全てが一緒にになって、プローブアレイ 30 を構成する。プローブアレイ 30 には、全部で 205 個のプローブ DUT アレイがある。図 4 および図 5 の半導体ウェハ上の DUT の配置は、DUT パターン 32 を含む太線内の正方形によって模式的に示される。ここで、DUT パターン 32 内の正方形のそれぞれは、ウェハ上に形成された異なる DUT に対応する。DUT パターン 32 を含むウェハ周囲の円形形状は、図面には示されない。図 4 から分かるように、幾つかのプローブ DUT アレイは、ウェハ上の対応する幾つかの DUT に登録される。しかし、DUT の多くは、対応する DUT アレイに登録されない。さらに、プローブ DUT アレイ 34 および幾つかのプローブ DUT アレイ 36 のようなプローブ DUT アレイの一部は、DUT パターン 32 の外に拡がり、したがって、DUT と相対しない。プローブアレイ 30 内には、全部で 205 個のプローブ DUT アレイがあり、ウェハ上の DUT パターン 32 内には、全部で 290 個ある。

#### 【0015】

図 3 に示される構成を有する従来技術のプローブヘッドを動作するためには、プローブヘッドおよびウェハは、最初は、図 4 に示されるように互いに相対的に位置され、DUT アレイ上のプローブは、パターン 32 内の DUT 上の対応するパッドと相対する。ウェハおよびプローブは、DUT 上のパッドと接触するまで、互いに向かって動かされる。各 DUT は、適切なプローブから電力を供給され、所定のテストプログラムが、DUT アレイと相対するパターン 32 内の DUT のそれぞれで、同時に実行される。様々な入力信号が、DUT に供給され、DUT の出力は、その DUT が設計されたように機能していることを確認するために、モニタされる。テストプログラムが実行し、どの DUT が完全に機能しており、どの DUT が利用され得ないかの判断がなされた後、プローブヘッドとウェハとは、互いから離れ、プローブヘッドは、図 5 の位置に、ステッピングされる（すなわち、ウェハと相対的にラテラルに動かされる）。プローブアレイ 30 とウェハとは、次いで

40

50

、アレイのプローブチップが、D U T 上の対応するパッドに対して圧力接触するように、互いに接触するように動かされる。電力が再び印加され、同じテスト手順が実行され、これによって、アレイ上の残っているD U T をテストする。図4と図5とを比較して分かるように、ウェハの中央位置の幾つかのD U T は、2回のタッチダウンの間、これらのD U T に対して、プローブを押し付ける。この例において、1回のタッチダウンでウェハ上の全てのD U T に接触するような大きなプローブヘッドアレイが作成されない理由は、テストチャネルの数が十分にないこと、(図1に示される)スペースransフォーマ26の製造にサイズ限界があること、およびスペースransフォーマ26を(図2に示される)プローブ18、20で密にするときの歩留まり問題(yield problem)を含む。この特定の場合において、現在利用可能なスペースransフォーマ26は、十分に大きくなないので、図4に示されるウェハの下から3つの行は、接触され得ない。

10

## 【0016】

図6のグラフィカル表示は、プローブD U T アレイから1回の接触すなわちタッチダウンを受けるD U T の数と、2回のタッチダウンを受けるD U T の数とを定量化する。D U T パターン32内の正方形によって示される各D U T は、数字1または2のいずれかを含む。数字1を有するD U T は、図4および図5に示されるようなプローブアレイ30を適用した結果として、1回のみのタッチダウンを受けたのに対し、数字2を有するD U T は、2回のタッチダウンを受けた。

## 【0017】

図6の行38、40、42の数は、それぞれ0回、1回、および2回のタッチダウンを有するD U T の数を示す。

20

## 【0018】

まず、テストされないD U T を残すことは望ましくないので、D U T のいずれもが、0回のタッチダウンを有さない。例えば、左から5列目を見て分かるように、2回のタッチダウンの行に7があり、1回のタッチダウンの行に11がある。数字7は、この数字7の上の列で、2回のタッチダウンのD U T の数を合計して導出された。同様に、数字11は、同じ列のD U T から、1回のタッチダウンの数を合計して導出された。そして、他の列の数字のそれとも、同様にして導出された。この結果、行42にあるタッチダウンの全ての合計は、107であり、すなわち、ウェハ上の107のD U T が2回のタッチダウンを受けた。同様に、行40の数の合計は、183であり、すなわち、183個のD U T が1回のタッチダウンを受けた。107と183との合計は、290であり、これは、ウェハ上のD U T の総数である。

30

## 【0019】

簡単に言えば、205個のプローブD U T アレイは、2回のウェハタッチダウンで、ウェハ上の全てのD U T をテストし、このとき、290個のD U T のうちの107個のD U T が、2回のタッチダウンを受ける。

40

## 【0020】

ここで、図7～図10に移ると、別の従来技術のプローブアレイ構成11が、斜線によって示される。図3～図5と同じ模式表示が、図7～図10に使用される。換言すれば、プローブアレイ11は、スペースransフォーマ(図7～図10に図示せず)上に形成され、図8および図9のプローブアレイ11によって形成される形状内に含まれる正方形のそれぞれは、異なるプローブD U T アレイに対応し、プローブD U T アレイの全てが一緒になって、プローブD U T アレイ11を構成する。

## 【0021】

同様に、図8および図9の半導体ウェハ上のD U T の配置は、D U T パターンを含む太線内の正方形によって模式的に示される。ここで、太線内のD U T パターン内の正方形のそれぞれは、ウェハ上に形成された異なるD U T に対応する。図8および図9の双方から分かるように、幾つかのプローブD U T アレイは、ウェハ上の対応する幾つかのD U T に登録される。しかし、D U T の多くは、対応するD U T アレイに登録されない。さらに、プローブD U T アレイの一部は、プローブD U T パターンの外に拡がり、したがって、D

50

U T と相対さない。

【 0 0 2 2 】

図 7 に示される構成を有する従来技術のプローブヘッドを動作するためには、プローブヘッドおよびウェハは、最初は、図 8 に示されるように互いに相対的に位置され、D U T アレイ上のプローブは、対応するD U T パッドと相対する。ウェハおよびプローブは、パッドと接触するまで、互いに向かって動かされる。テストは、上述のように進み、テストが終了すると、プローブヘッドとウェハとは、互いから離れ、プローブヘッドは、図 9 の位置に、ステッピングされる。プローブアレイ 1 1 とウェハとは、次いで、別のテストのラウンドのために、互いに接触するように動かされる。

【 0 0 2 3 】

図 8 および図 9 に示されるプローブアレイ 1 1 のタッチダウンは、図 1 0 の長方形 1 3 によって表わされる。ここで、数字 1 、 2 は、図 8 および図 9 のタッチダウンをそれぞれ示す。図 1 0 は、ウェハ上の D U T 全てのテストを完了するのに要する追加的なタッチダウンのそれぞれを模式的に示す。例えば、長方形 1 3 内の D U T の全てをテストするタッチダウン 1 、 2 の後、プローブヘッドは、図 1 0 の長方形 1 5 で模式的に示される位置 3 にステッピングされる。プローブヘッドは、再び、テストのために、D U T と接触する。その後、プローブアレイとウェハとは、互いから離れ、プローブヘッドは、図 8 と図 9 との間ににおける 1 行ステップ ( o n e - r o w s t e p ) と同様に、D U T の 1 つ下の行にステッピングされ、長方形 1 5 内の D U T の全てのテストを完了する。

【 0 0 2 4 】

プローブアレイ 1 1 は、数字 5 、 6 を有する長方形に、再びステッピングされ、5 回目および 6 回目のタッチダウンおよびテストは、その長方形内の D U T の全てで完了する。追加的なステッピングおよびテストは、D U T の全てがテストされるまで、図 1 0 の長方形に示されているように行われる。図 1 0 に示されるように、これは、全部で 1 4 回のタッチダウンを要求する。

【 0 0 2 5 】

図 8 および図 9 から少し拡大したバージョンのウェハ上の D U T パターンが、各 D U T が受けるタッチダウンの回数とともに、図 1 1 に示される。図から分かるように、記載されたステッピングパターンが使用されるとき、プローブアレイ 1 1 の有利な特徴は、各 D U T が、テスト中に、1 回のみのタッチダウンを受けることである。一方、合計 1 4 回のタッチダウンが、ウェハ上の D U T を全てテストするために要求される。この結果、全ての D U T をテストするのに、比較的長い時間を要する。

【 0 0 2 6 】

ここで、図 1 2 ～ 図 1 5 に移ると、別の従来技術のプローブアレイ 1 7 が、図 7 ～ 図 1 0 と同じ模式表示を用いて示される。図 7 ～ 図 1 0 は、行飛ばし ( s k i p p e d - r o w ) のアプローチと考えられ得る一方で、図 1 2 ～ 図 1 5 は、同様のアプローチを、列を飛ばして用いることを包含する。例えば、ウェハ D U T 上への 1 回目のタッチダウンは、図 1 3 に示され、2 回目のタッチダウンは、図 1 4 に示される。図 1 3 から図 1 4 へのステップは、D U T の 1 列分の横方向のシフトを含む。ステップ 1 、 2 は、長方形 1 9 で図 1 5 に模式的に示される。図 1 5 から分かるように、プローブアレイの追加的なステッピングは、まず、タッチダウン 3 に、次いで、1 列分の横方向のシフトでタッチダウン 4 に、次いで、タッチダウン 5 に、別の横方向のシフトなどであり、これにより、ウェハ上の D U T の全てをテストする。図 1 5 に示されるように、このアプローチは、合計 1 6 回のタッチダウンを要求する。

【 0 0 2 7 】

ここで、図 1 6 に移ると、少し拡大したバージョンのウェハ上の D U T パターンが、各 D U T 上へのタッチダウンの数とともに示される。行飛ばしプローブアレイと同様に、各 D U T は、1 回のみのタッチダウンを受ける。しかし、合計で 1 6 回のタッチダウンが、ウェハ上の全ての 4 9 4 個の D U T を全てテストするために要求される。再び、この結果、全ての D U T をテストするのに、比較的長い時間を要する。

10

20

30

40

50

## 【0028】

ここで、図17～図22に移ると、別の従来技術のプローブアレイ21およびテスト方法が、これらの図に示される。前述の従来技術の記載と同じ模式表示が、図17～図22に用いられる。ここに示されるのは、チェック盤（checkerboard）アプローチとして考えられ得る。図18～図21から分かるように、プローブアレイ21は、図18に示される第一の位置の上に、タッチダウンする。その後、プローブアレイ11内の各DUTアレイが、1回目のタッチダウンでテストされたDUTに隣接するDUTの上となるように、右にステップする。次いで、2回目のタッチダウンから3回目のタッチダウンに、図19から図20に進み、それぞれプローブアレイ21は、DUT1つ分とDUTアレイ1つ分、下にステッピングする。最終的に、図21において、プローブアレイは、左に1列ステッピングする。

10

## 【0029】

図22を参照すると、長方形23は、図18～図21の4回のタッチダウンの全てを示す。全部で4回のタッチダウンと、そのそれぞれのタッチダウンの後のテストを完了すると、その結果、長方形23内のDUTの全てがテストされる。

## 【0030】

プローブアレイ21は、次いで、5回目、6回目、7回目、および8回目のタッチダウンのために、隣接する長方形にステッピングする。これらのタッチダウンは、図18～図20に示されたタッチダウンと同様であるので、その結果、その長方形内の全てのDUTをテストする。テストは、図22の下側の2つの長方形のそれぞれに続き、全部で16回のタッチダウンに至り、これによって、ウェハ上の全てのDUTのテストを終える。図23において、前述の2つの実施形態と同様、DUTの全てがテストされ、これらは、1回のみのタッチダウンを受ける。しかし、ここでも、多数回、すなわち16回のタッチダウンがあり、そのウェハに対して、長いテスト時間を要する。

20

## 【0031】

ここで、図24～図26に移ると、本発明に従って作成されたプローブアレイ25が、これらの図に示される。プローブアレイ25は、ウェハにタッチする64個のDUTアレイを含む。このウェハは、行飛ばし、列飛ばし、およびチェック盤の従来技術のプローブで示されたのと同じ数で同じ構成のDUTを有する。図26の菱形すなわちダイヤmond状の各パターンは、パターン27のように、プローブアレイ25の異なるタッチダウンを示す。図26から分かるように、タッチダウンは、パターン27のように対応するように番号付けされたパターンによって示され、合計で9回のタッチダウンが、ウェハ上のDUTのそれぞれをテストするために要求される。図27に示されるように、DUTのそれぞれは、1回のみのタッチダウンを受ける。しかし、タッチダウンの合計回数は、9回のみであり、上述された行飛ばし、列飛ばし、またはチェック盤の従来技術のプローブアレイのいずれよりも少ない。図27に示されるウェハにおいて、8つのDUTアレイ×8つのDUTアレイ（合計64個のDUTアレイ）を備える正方形アレイ（図示せず）は、図27のウェハ上のDUTの全てをテストするのに、12回のタッチダウンを要し、4つのDUTアレイ×16個のDUTアレイ（これも合計64個）の長方形アレイ（図示せず）は、テストを完了するのに、11回のタッチダウンを要する。

30

## 【0032】

ここで、図28に移ると、プローブアレイ44は、複数のプローブDUTアレイを含み、これもまた、本発明に従って作成される。前述のプローブアレイと同様に、プローブアレイ44は、図1に示されるスペーストランスマスク上に形成される。プローブアレイ44は、図4～図6と同じDUTパターン（すなわち、同じ構成に位置する同じ数のDUT、つまりDUTパターン32）を有するウェハ上のDUTに適用される。しかしながら、プローブアレイ44の構成は、特に、結果として開口部46がある点において異なる。

40

## 【0033】

従来技術のプローブヘッドの場合と同様、ウェハ上のDUTパターン32内のDUTは、2回のタッチダウンで全てテストされ、その1回目が、図29に示され、その2回目が

50

図30に示される。図29および図30の双方から分かるように、双方のタッチダウンにおいて、2つのDUTアレイが、パターン32の外側にある。DUTアレイが、境界の外側にあるとき、そのアレイは、DUTと相対さず、それゆえ、使用されない。図4および図5から分かるように、1回目のタッチダウンにおいて、全部で4つのDUTが、2回目のタッチダウンにおいて、3つのDUTが、境界の外側にある。

#### 【0034】

さらに、図31の模式図から分かるように、従来技術の図6の図よりも、2回のタッチダウンを受けるDUTの数は、かなり少ない。そして、これは、より少ない数のDUTアレイによって行われる。プローブアレイ30においては、205個のDUTアレイがあるのに比べ、プローブアレイ44においては、161個のDUTアレイがある。その結果、より少ないテスタチャネルが利用され、より少ないDUTアレイが各タッチダウンで利用され、そして、より少ないDUTが2回のタッチダウンを受ける。これらの改善によって、効率が向上し、複数回のタッチダウンから生じる損傷の可能性も少なくなる。

10

#### 【0035】

ここで、図32～図35に移ると、別のプローブアレイ48が、本発明に従って作成され、これもまた、DUTパターン32で使用するためである。しかし、プローブアレイ44が161個のDUTアレイを有するのに比べ、プローブヘッド48は、133個のDUTアレイのみを有し、3回のタッチダウンを必要とする。DUTアレイの3回のタッチダウンのそれぞれの位置を示す3回のタッチダウンと、半導体ウェハ上のDUTとは、図33、図34、および図35に、順に示される。図36から分かるように、4つのDUTのみが3回のタッチダウンを受け、75個のDUTが2回のタッチダウンを受け、211個のDUTが1回のタッチダウンを受けて、全290個のDUTがテストされる。プローブアレイ48は、ウェハごとのタッチダウンの回数が増え、4つのDUTが3回のタッチダウンを受ける結果となるが、それでもなお、テスタチャネルの数が161未満であるという制約があるとき、最適な解決策となり得る。

20

#### 【0036】

ここで、図37～図40に移ると、プローブアレイ50が、本発明に従って作成される。このプローブアレイは、上述されたDUTパターンとは異なる数のDUTおよび異なる構成を有するウェハで使用するために設計される。プローブアレイ50が全部で85個のDUTアレイを含むのに対し、DUTパターン52は、全部で169個のDUTを含む。図38～図40に示される3つのウェハタッチダウンは、DUTパターン52内のDUTのそれぞれをテストするために使用される。図41から分かるように、3回のタッチダウンが用いられるが、どのDUTも3回のタッチダウンを受けず、わずか31個のDUTが2回のタッチダウンを受け、138個のDUTは、1回のタッチダウンのみしか受けない。

30

#### 【0037】

図42～図44において、別のプローブアレイ54（これも本発明に従って作成された）が、図38～図41に示されるのと同じDUTパターン52をテストするために使用される。ここで、しかしながら、プローブアレイ54には、合計95個のDUTアレイがある。追加的な数個のDUTアレイは、ウェハへのタッチダウンが2回のみで、DUTパターン52内の全てのDUTをテストすることが可能にし、図43および図44に示される。これは、プローブアレイ50によって使用され、図38～図40に示された3回のタッチダウンと対照的である。DUTアレイの数を追加すると、図45において、DUTパターン52内の6つのDUTのみが2回のタッチダウンを受け、残りのDUTは、1回のみのタッチダウンを受ける。これらの結果は、同じDUT構成に対してプローブアレイ50によって得られた結果より優れているが、プローブアレイ50は、85個のDUTアレイのみを含み、したがって、テスタチャネルの数のような制約があって、95個のDUTアレイを含むプローブアレイ54のようなプローブアレイの使用が妨げられる場合、これが最適な解決策になり得ることを想起されたい。

40

#### 【0038】

50

要約すると、以上に開示されたプローブパターンによって、ウェハごとのタッチダウンの回数が少なくなり、D U Tごとの複数回のタッチダウンの数が減り、要求されるテストチャネルの数を少なくし、タッチダウンとタッチダウンとの間のステッピング距離を短くすることができ、これらによって、コストを削減し、処理時間を短縮し、テストされる半導体ダイの品質を向上させることができる。本発明の一局面において、進歩性のあるパターンは、開口部、湾入、突起、および島のような1つ以上の不連続性の組み合わせとして、考えられ得る。例えば、開口部4 6および湾入5 6は、図28に示され、突起5 8は、図32に示され、島6 0は、図42に示される。図28に示されるパターン4 4の最上部にある2つのD U Tアレイ6 2は、概ね橜円形状のパターン4 4の弓形部分を単に埋めているだけであるので、これらは突起として考慮されない。むしろ、突起および湾入によって意味されるのは、パターンの周囲の全体的な形状からの局部的不連続または逸脱である。

10

#### 【0039】

他の有利なパターン(図示せず)は、複数の島を含み得、この島のそれぞれは、主たる周囲またはコヒーレントな周囲を全プローブヘッドパターン内に有さず、それらの島の1つ以上はそれらの島自身に開口部、湾入および/または突起を有する多数のD U Tアレイを有する複数の島を含み得る。

#### 【0040】

本発明の別の局面において、平行四辺形または他の対称的パターンのような対称的なパターンは、半導体ウェハ上のD U Tの水平線または垂直線のいずれとも平行でない線に並んだD U Tアレイを含み得る。

20

#### 【0041】

図示されたパターンは、本明細書に参考としてその全体を援用される米国特許第5,806,181号に記載されたようなマルチプローブヘッドから作成され得ることを認識することは重要である。また、プローブカードまたはウェハ接触器を作成する他の方法(タンゲステン針、座屈梁(buckling beam)すなわち「コブラ(cobra)」状のコンタクト、MEMs構造、膜プローブ、あるいは他の適切な構造の使用を含む)が、同様のメリットを有する同様のパターンに配置され得る場合もある。このパターンは、シリコンウェハ上の電子ダイをテストするプローブヘッドで使用することに限定されず、「バーンイン」またはテストのような任意の目的で、デバイスと繰り返し接触をするコンタクトのアレイを有する任意の接触器に適用され得る。

30

#### 【0042】

本発明の原理は、本発明の好ましい実施形態に記載され、図示されてきたが、本発明は、そのような原理から逸脱することなく、配置および詳細に改変がなされ得ることは、明らかにはずである。以下の請求項の精神および範囲の中に入る全ての改変および変更の全てを発明者らは請求する。

#### 【図面の簡単な説明】

#### 【0043】

【図1】図1は、プローブカードの斜視図であり、該プローブカードは、該プローブカード上に装着されたプローブヘッドを有する。

40

【図2】図2は、図1のプローブヘッド上のプローブD U Tアレイの一部分を特に拡大した図である。

【図3】図3は、プローブヘッド上のプローブD U Tアレイの従来技術の構成の模式図である。

【図4】図4は、複数のD U Tを有するウェハ上への1回目のタッチダウンの間における図3のプローブD U Tアレイを示し、各D U Tは、そのウェハ上のD U Tの周囲を示す太線内の正方形によって模式的に示される。

【図5】図5は、図4と同様の図であり、2回目のタッチダウンの間におけるプローブD U Tアレイを示す。

【図6】図6は、図4および図5に示されるD U T構成の拡大バージョンであり、D U T

50

ごとのタッチダウンの回数を示す。

【図 7】図 7 は、プローブヘッド上のプローブ D U T アレイの別の従来技術の構成の模式図である。

【図 8】図 8 は、複数の D U T を有するウェハ上への 1 回目のタッチダウンの間ににおける図 7 のプローブ D U T アレイを示し、各 D U T は、そのウェハ上の D U T の周囲を示す太線内の正方形によって、模式的に示される。

【図 9】図 9 は、図 8 と同様の図であり、2 回目のタッチダウンの間ににおけるプローブ D U T アレイを示す。

【図 10】図 10 は、ウェハ上の D U T の全てをテストするのに要するタッチダウンの総回数を示す模式図である。

【図 11】図 11 は、図 8 および図 9 に示される D U T 構成の拡大バージョンであり、D U T ごとのタッチダウンの回数を示す。

【図 12】図 12 は、プローブヘッド上のプローブ D U T アレイの別の従来技術の構成の模式図である。

【図 13】図 13 は、複数の D U T を有するウェハ上への 1 回目のタッチダウンの間ににおける図 12 のプローブ D U T アレイを示し、各 D U T は、そのウェハ上の D U T の周囲を示す太線内の正方形によって、模式的に示される。

【図 14】図 14 は、図 13 と同様の図であり、2 回目のタッチダウンの間ににおけるプローブ D U T アレイを示す。

【図 15】図 15 は、ウェハ上の D U T の全てをテストするのに要するタッチダウンの総回数を示す模式図である。

【図 16】図 16 は、図 13 および図 14 に示される D U T 構成の拡大バージョンであり、D U T ごとのタッチダウンの回数を示す。

【図 17】図 17 は、プローブヘッド上のプローブ D U T アレイの別の従来技術の構成の模式図である。

【図 18】図 18 は、複数の D U T を有するウェハ上への 1 回目のタッチダウンの間ににおける図 17 のプローブ D U T アレイを示し、各 D U T は、そのウェハ上の D U T の周囲を示す太線内の正方形によって、模式的に示される。

【図 19】図 19 は、図 18 と同様の図であり、2 回目のタッチダウンの間ににおけるプローブ D U T アレイを示す。

【図 20】図 20 は、図 18 および図 19 と同様の図であり、3 回目のタッチダウンの間ににおけるプローブ D U T アレイを示す。

【図 21】図 21 は、図 18 ~ 図 20 と同様の図であり、4 回目のタッチダウンの間ににおけるプローブ D U T アレイを示す。

【図 22】図 22 は、ウェハ上の D U T の全てをテストするのに要するタッチダウンの総回数を示す模式図である。

【図 23】図 23 は、図 18 ~ 図 21 に示される D U T 構成の拡大バージョンであり、D U T ごとのタッチダウンの回数を示す。

【図 24】図 24 は、本発明に従って作成されたプローブヘッド上のプローブ D U T アレイの模式図である。

【図 25】図 25 は、複数の D U T を有するウェハ上への 1 回目のタッチダウンの間ににおける図 24 のプローブ D U T アレイを示し、各 D U T は、そのウェハ上の D U T の周囲を示す太線内の正方形によって模式的に示される。

【図 26】図 26 は、ウェハ上の D U T の全てをテストするのに要するタッチダウンの総回数を示す模式図である。

【図 27】図 27 は、図 25 に示される D U T 構成の拡大バージョンであり、D U T ごとのタッチダウンの回数を示す。

【図 28】図 28 は、本発明の第二の実施形態に従って作成されたプローブヘッド上のプローブ D U T アレイの模式図である。

【図 29】図 29 は、複数の D U T を有するウェハ上への 1 回目のタッチダウンの間にお

10

20

30

40

50

ける図28のプローブDUTアレイを示し、各DUTは、そのウェハ上のDUTの周囲を示す太線内の正方形によって模式的に示される。

【図30】図30は、図29と同様の図であり、2回目のタッチダウンの間におけるプローブDUTアレイを示す。

【図31】図31は、図29および図30に示されるDUT構成の拡大バージョンであり、DUTごとのタッチダウンの回数を示す。

【図32】図32は、本発明の第三の実施形態に従って作成されたプローブヘッド上のプローブDUTアレイの模式図である。

【図33】図33は、複数のDUTを有するウェハ上への1回目のタッチダウンの間における図32のプローブDUTアレイを示し、各DUTは、そのウェハ上のDUTの周囲を示す太線内の正方形によって模式的に示される。

【図34】図34は、図33と同様の図であり、2回目のタッチダウンの間におけるプローブDUTアレイを示す。

【図35】図35は、図33および図34と同様の図であり、3回目のタッチダウンの間におけるプローブDUTアレイを示す。

【図36】図36は、図33～図35に示されるDUT構成の拡大バージョンであり、DUTごとのタッチダウンの回数を示す。

【図37】図37は、本発明の第四の実施形態に従って作成されたプローブヘッド上のプローブDUTアレイの模式図である。

【図38】図38は、複数のDUTを有するウェハ上への1回目のタッチダウンの間における図37のプローブDUTアレイを示し、各DUTは、そのウェハ上のDUTの周囲を示す太線内の正方形によって模式的に示される。

【図39】図39は、図38と同様の図であり、2回目のタッチダウンの間におけるプローブDUTアレイを示す。

【図40】図40は、図38および図39と同様の図であり、3回目のタッチダウンの間におけるプローブDUTアレイを示す。

【図41】図41は、図38～図40に示されるDUT構成の拡大バージョンであり、DUTごとのタッチダウンの回数を示す。

【図42】図42は、本発明の第五の実施形態に従って作成されたプローブヘッド上のプローブDUTアレイの模式図である。

【図43】図43は、複数のDUTを有するウェハ上への1回目のタッチダウンの間における図42のプローブDUTアレイを示し、各DUTは、そのウェハ上のDUTの周囲を示す太線内の正方形によって模式的に示される。

【図44】図44は、図43と同様の図であり、2回目のタッチダウンの間におけるプローブDUTアレイを示す。

【図45】図45は、図43および図44に示されるDUT構成の拡大バージョンであり、DUTごとのタッチダウンの回数を示す。

10

20

30

【図 1】

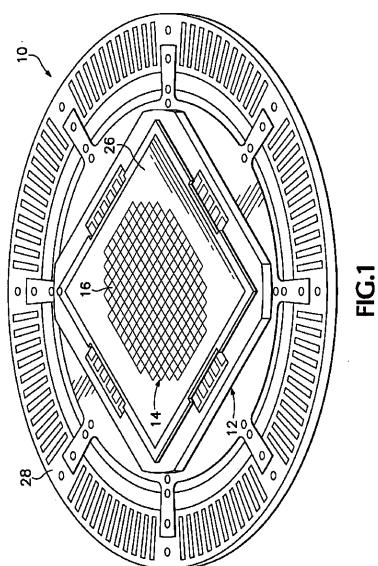


FIG.1

【図 2】

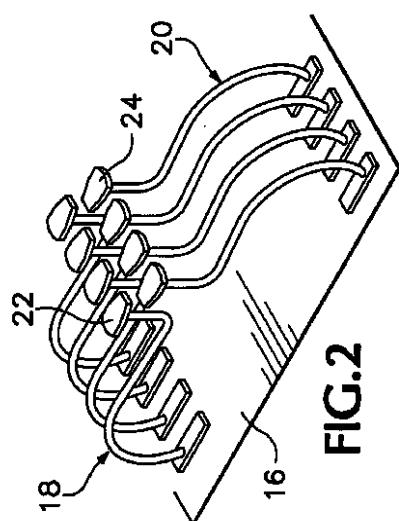


FIG.2

【図 3】

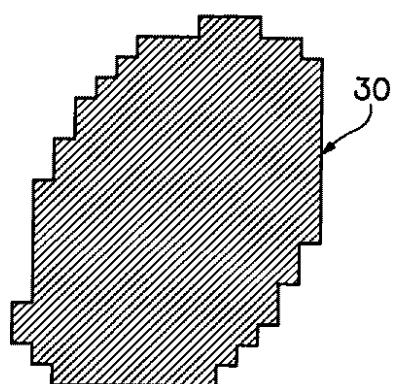


FIG.3

従来技術

【図 4】

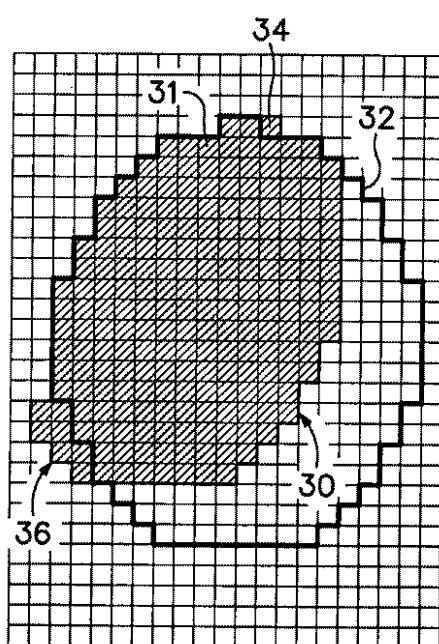
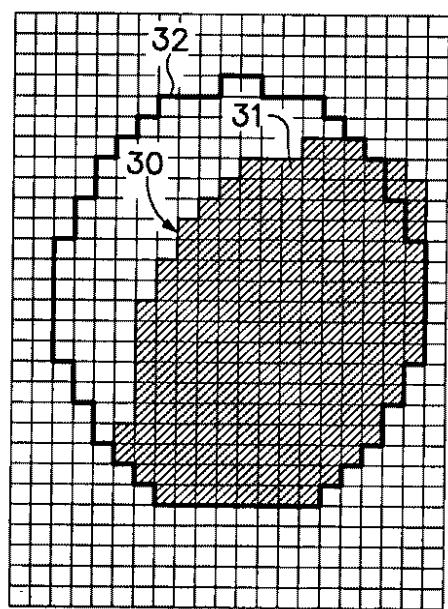


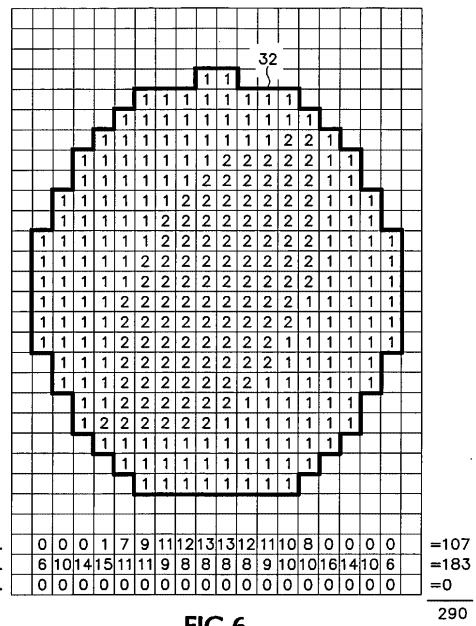
FIG.4

従来技術

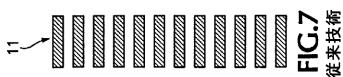
【図5】

FIG.5  
従来技術

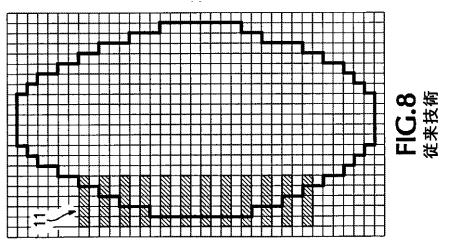
【図6】

FIG.6  
従来技術

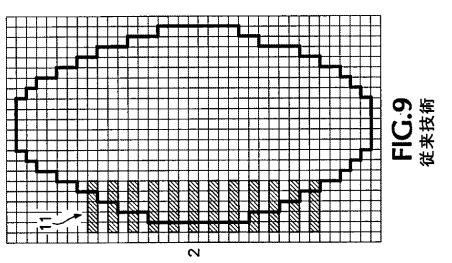
【図7】

FIG.7  
従来技術

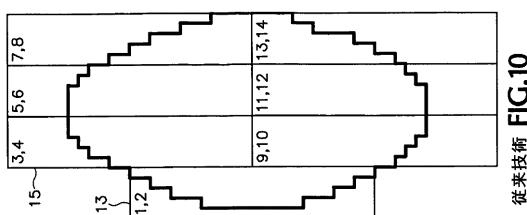
【図8】

FIG.8  
従来技術

【図9】

FIG.9  
従来技術

【図10】



従来技術 FIG.10

【図11】

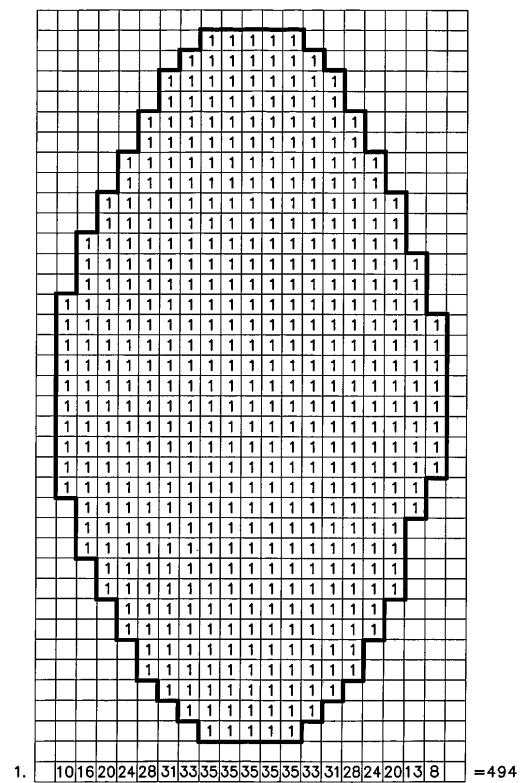
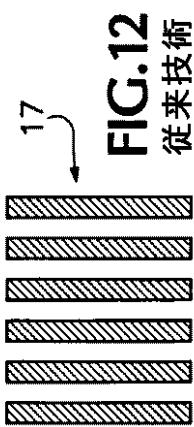


FIG.11 従来技術

【図 1 2】



【図 1 3】

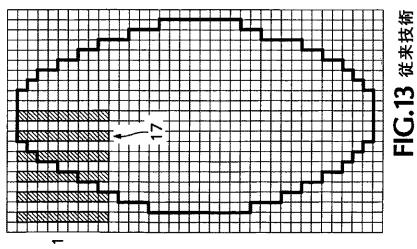


FIG.13 従来技術

【図 1 4】

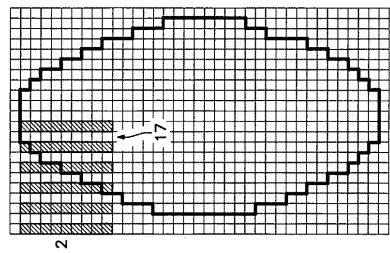


FIG.14 従来技術

【図 1 5】

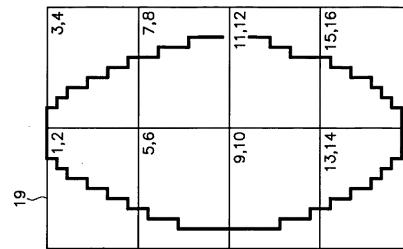
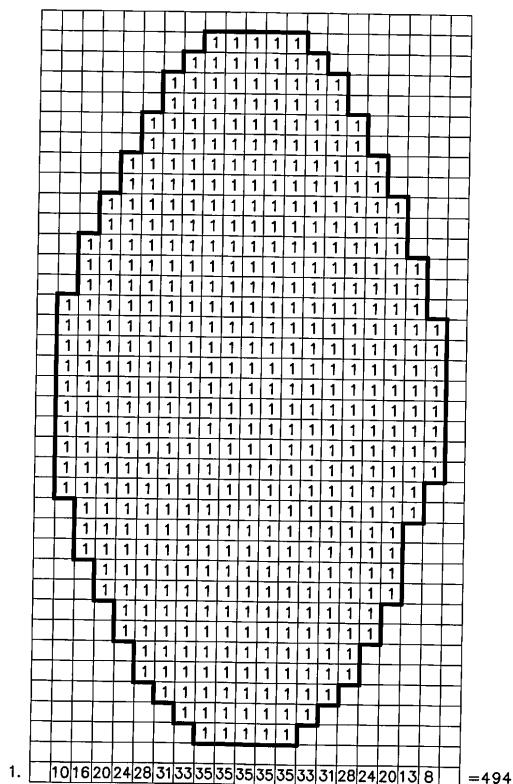


FIG.15 従来技術

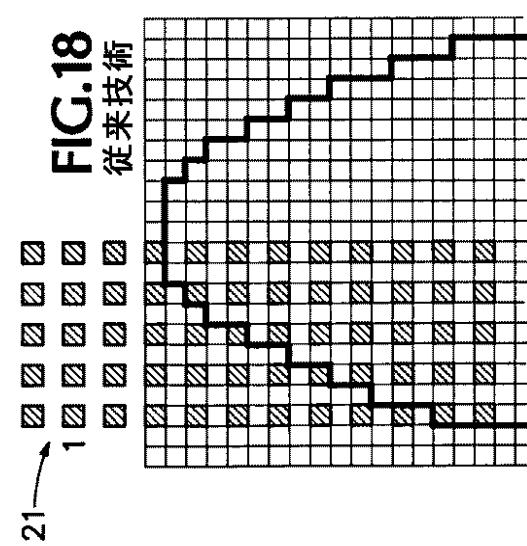
【図 1 6】



【図 1 7】

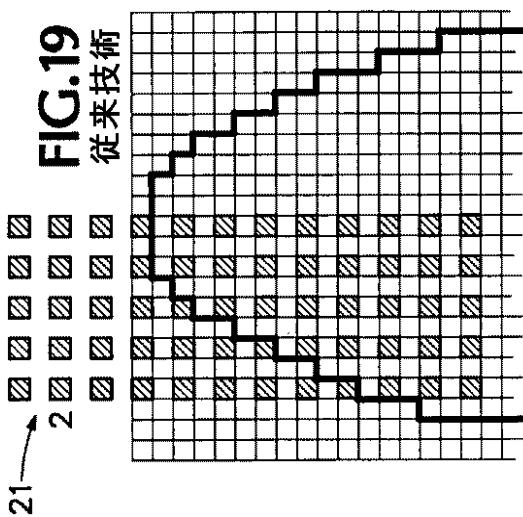


【図 1 8】

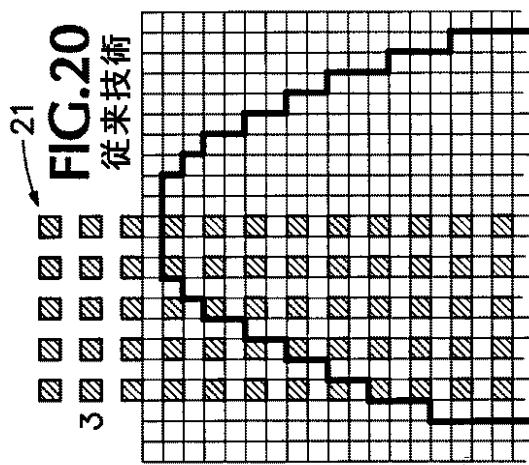


21 1 21

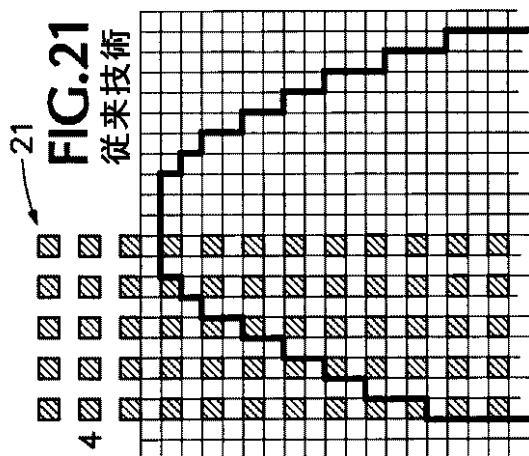
【図19】



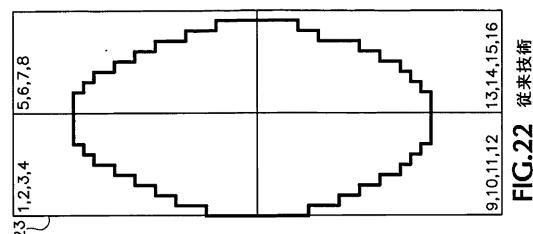
【図20】



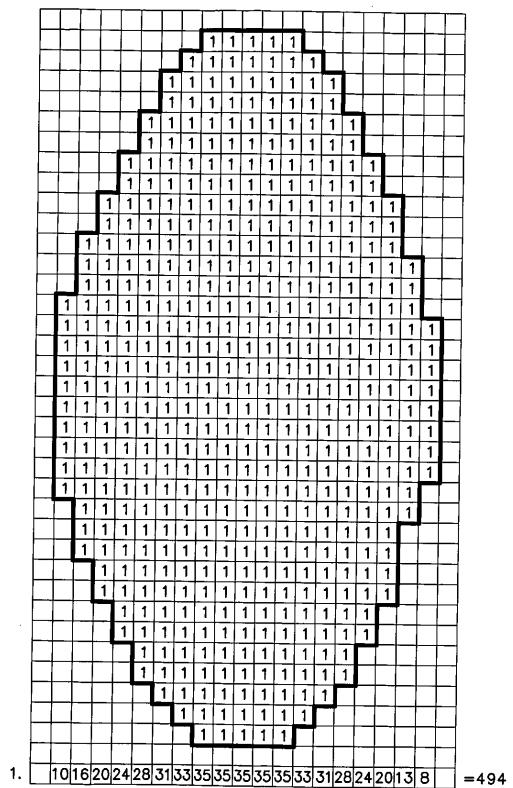
【図21】



【図22】



【図23】



【 図 2 4 】

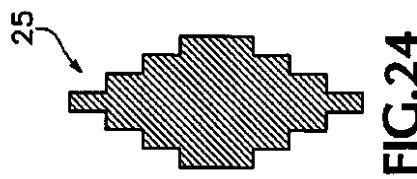


FIG. 24

【 図 25 】

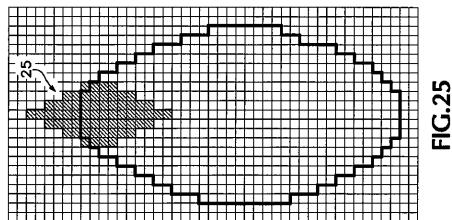


FIG. 25

【図26】

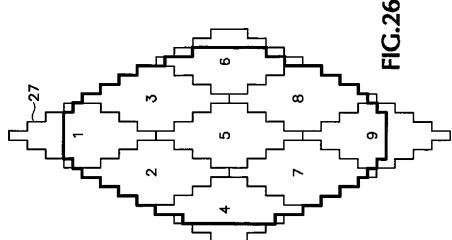
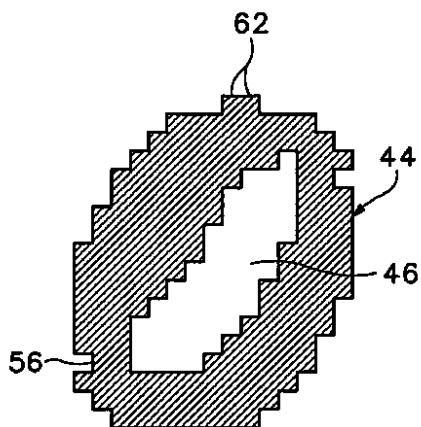


FIG. 26

【 図 2 8 】



**FIG.28**

【 図 27 】

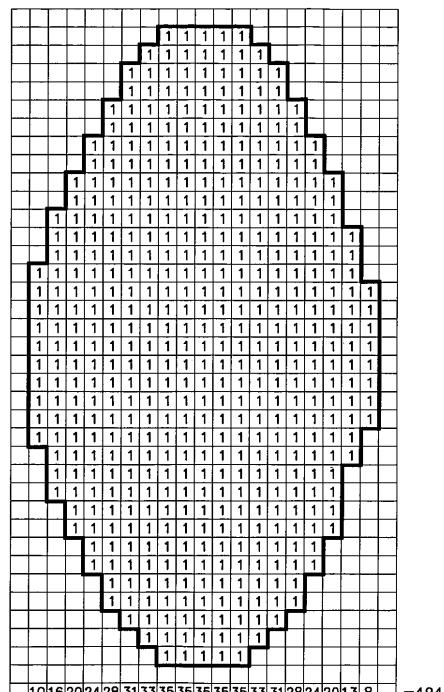


FIG.27

### 【 図 2 9 】

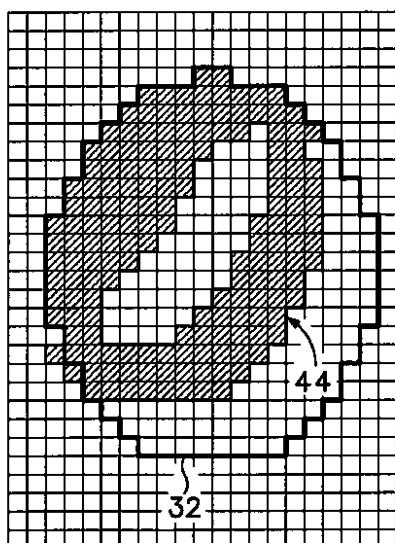


FIG.29

【図30】

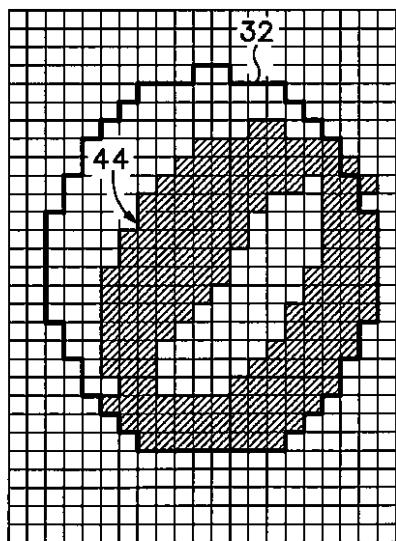


FIG.30

【図31】

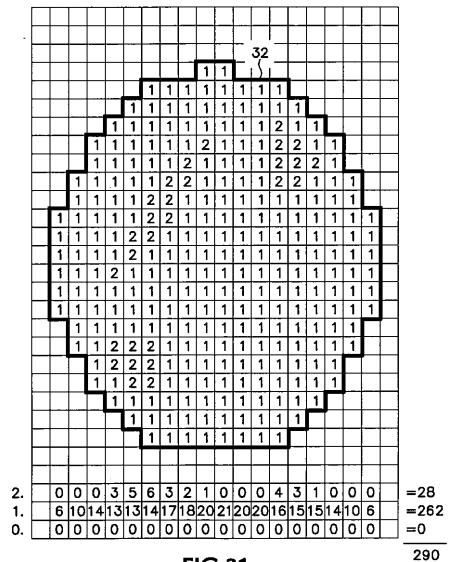


FIG.31

【図32】

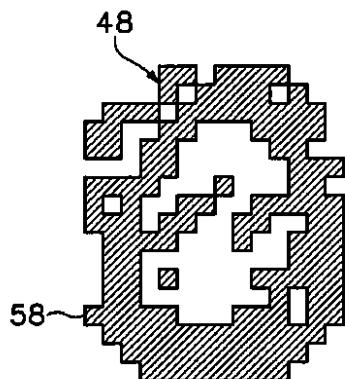


FIG.32

【図33】

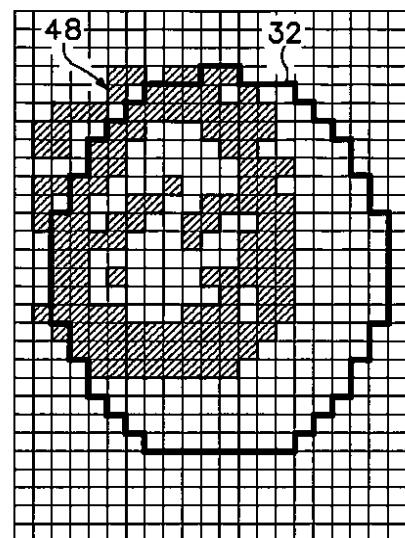
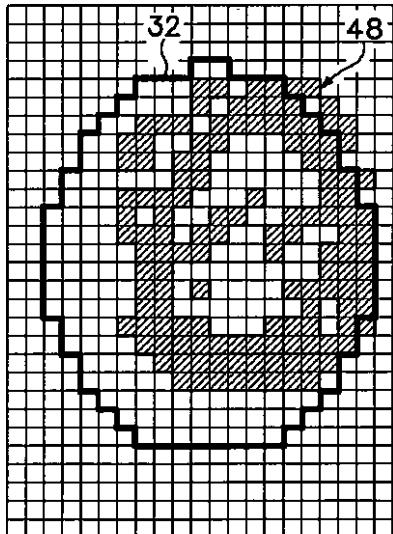


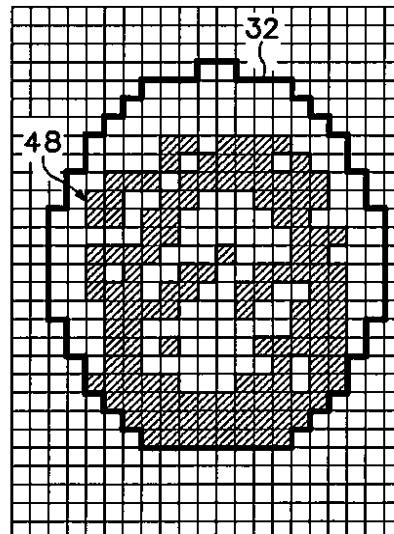
FIG.33

【 図 3 4 】



**FIG.34**

【 図 3 5 】



**FIG.35**

【図36】

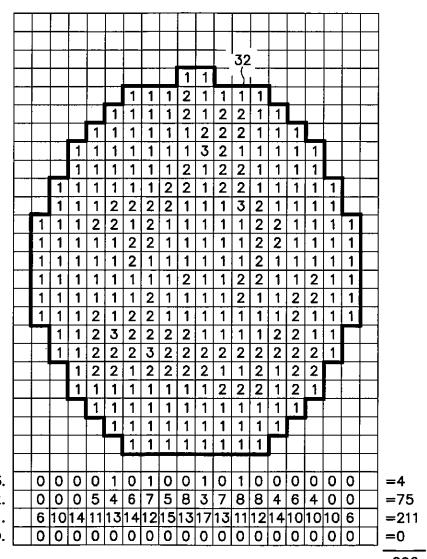
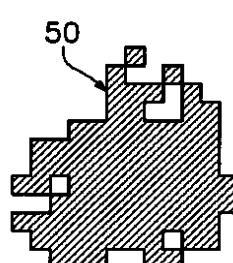


FIG.36

【 図 3 7 】



**FIG.37**

【図38】

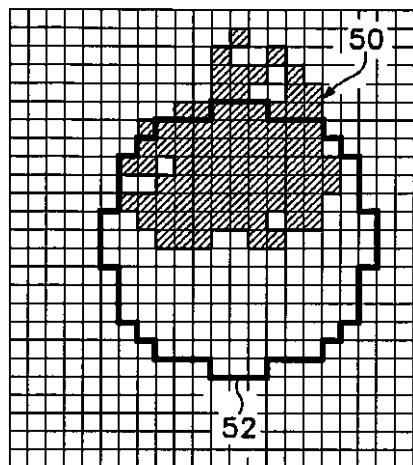


FIG.38

【図39】

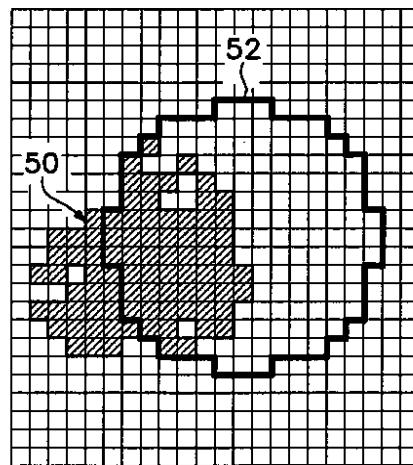


FIG.39

【図40】

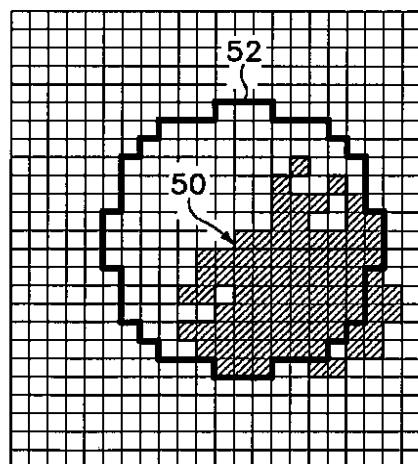


FIG.40

【図41】

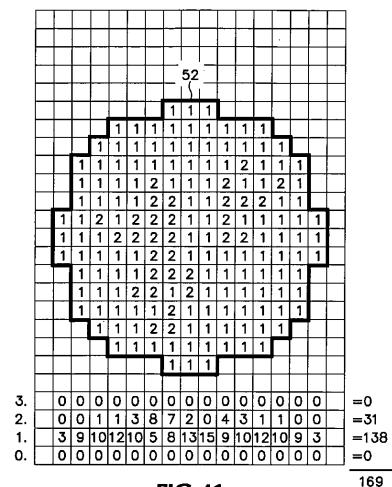


FIG.41

【図42】

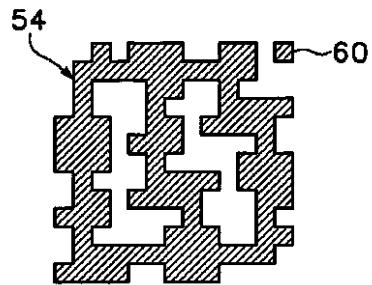


FIG.42

【図43】

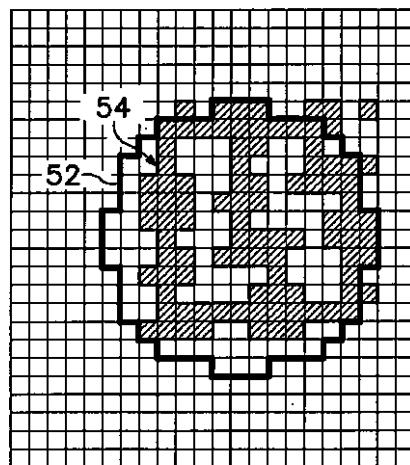


FIG.43

【図44】

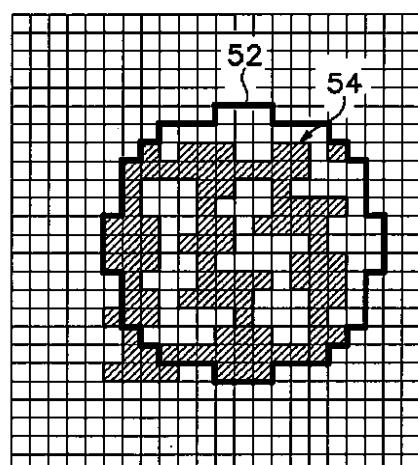


FIG.44

【図45】

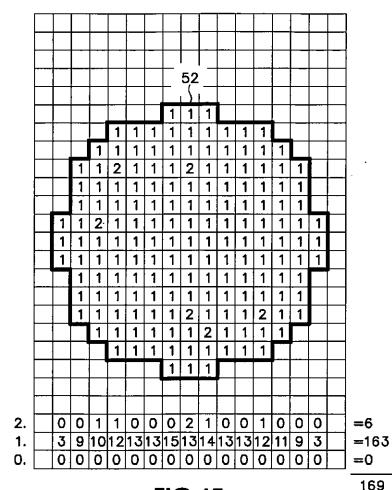


FIG.45

## 【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US05/45582
<b>A. CLASSIFICATION OF SUBJECT MATTER</b> IPC: G01R 31/02 (2006.01)		
USPC: 324/754, 756, 757, 758, 761, 762; 439/482, 824 According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b> Minimum documentation searched (classification system followed by classification symbols) U.S. : 324/754, 756, 757, 758, 761, 762; 439/482, 824		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) EAST; Search terms: probe or contactor, probe array, wafer, opening or hole.		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 5,623,214 A (PASIECZNIK, Jr.) 22 April 1997 (22. 04. 1997), see entire document.	1-30
X	US 5,642,054 A (PASIECZNIK, Jr.) 24 June 1997 (24. 06. 1997), see entire document.	1-30
X	US 5,818,249 A (MOMOHARA) 06 October 1998 (06. 10. 1998), see entire document.	1-30
<input type="checkbox"/> Further documents are listed in the continuation of Box C.		<input type="checkbox"/> See patent family annex.
Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed		
Date of the actual completion of the international search 24 April 2006 (24.04.2006)		Date of mailing of the international search report <b>06 JUN 2006</b>
Name and mailing address of the ISA/US Mail Stop PCT, Attn: ISA/US Commissioner for Patents P.O. Box 1450 Alexandria, Virginia 22313-1450 Facsimile No. (571) 273-3201		Authorized officer <i>Minh N. Tang</i> Minh N. Tang Telephone No. (571) 272-1971

---

フロントページの続き

(81)指定国 AP(BW,GH,GM,KE,LS,MW,MZ,NA,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HU,IE,IS,IT,LT,LU,LV,MC,NL,PL,PT,RO,SE,SI,SK,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BR,BW,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,HR,HU,ID,IL,IN,IS,JP,KE,KG,KM,KN,KP,KR,KZ,LC,LK,LR,LS,LT,LU,LV,LY,MA,MD,MG,MK,MN,MW,MZ,NA,NG,NI,NO,NZ,OM,PG,PH,PL,PT,RO,RU,SC,SD,SE,SG,SK,SL,SM,SY,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,YU,ZA,ZM,ZW

(72)発明者 ヘンソン, ロイ ジェイ.

アメリカ合衆国 カリフォルニア 94566, プレザントン, ピントナー ウェイ 134  
4

(72)発明者 ロング, ジョン エム.

アメリカ合衆国 カリフォルニア 95127, サン ノゼ, ハイランド ドライブ 162  
11

F ターム(参考) 2G003 AA10 AG03 AG04 AG08 AH04 AH07

2G011 AA10 AA15 AB01 AB06 AC02 AC06 AE03 AF07  
4M106 AA01 BA01 DD04