



ロツパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,
ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV,
MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK,
SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ,
GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

— 補正された請求の範囲 (条約第 19 条(1))

明 細 書

発明の名称：半導体装置

技術分野

[0001] 本発明は、半導体装置に関する。

背景技術

[0002] 従来、トレンチ部を有する半導体装置において、トレンチ部の間に高濃度の蓄積層を形成することが知られている（例えば、特許文献1参照）。また、イオン注入により蓄積層を形成する場合、チャネリングを防止するために、所定の角度を付けてイオン注入される。

特許文献1 特開2012-43890号公報

解決しようとする課題

[0003] しかしながら、従来の半導体装置においては、所定の角度を付けてイオン注入を行うので、イオン注入用のレジスト近傍においてイオンが減速される。イオンが減速された領域では、蓄積層が浅く形成されてゲート閾値が低下する場合がある。

一般的開示

[0004] 本発明の第1の態様においては、半導体基板と、半導体基板に形成された第1導電型のドリフト層と、半導体基板において、ドリフト層の上方に形成された第2導電型のベース領域と、ドリフト層とベース領域との間に設けられ、ドリフト層よりも高濃度である第1導電型の蓄積層とを備え、蓄積層は、第1蓄積領域と、平面視における蓄積層と異なる領域との境界側において、第1蓄積領域よりも浅く形成された第2蓄積領域とを有する半導体装置を提供する。

[0005] 半導体装置は、半導体基板に形成されたトランジスタ部を備えてよい。トランジスタ部は、半導体基板のおもて面に形成され、予め定められた方向に配列された複数のトレンチ部と、半導体基板のおもて面において、複数のトレンチ部の間に形成されたドリフト層よりも高濃度である第1導電型のエミ

ッタ領域とを有してよい。第1蓄積領域および第2蓄積領域は、複数のトレンチ部の間に形成されてよい。

[0006] トランジスタ部は、トランジスタ部の配列方向の一端において、複数のトレンチ部の間にエミッタ領域が形成されていない境界領域を有してよい。

[0007] トランジスタ部は、トランジスタ部の配列方向の一端と、一端と反対側の他端との両端において、複数のトレンチ部の間にエミッタ領域が形成されていない境界領域を有してよい。

[0008] 境界領域における第2蓄積領域の幅は、複数のトレンチ部により囲まれたメサの幅と等しくてよい。

[0009] 半導体基板は、境界領域における半導体基板のおもて面に、ベース領域よりも高濃度である第2導電型のコンタクト領域を有する。

[0010] ドリフト層は、境界領域において、ベース領域と接続されていてよい。

[0011] 半導体基板のおもて面と平行な方向において、第2蓄積領域の深さが徐々に変化してよい。

[0012] 半導体装置は、半導体基板に形成されたダイオード部を更に備えてよい。境界領域は、トランジスタ部におけるダイオード部との境界側に形成されてよい。

[0013] 第2蓄積領域は、ベース領域の深さ方向の中心位置と同一の深さに少なくとも形成された領域を含んでよい。

[0014] 第2蓄積領域の下端の不純物濃度は、第1蓄積領域の下端の不純物濃度よりも低くてよい。

[0015] 半導体装置は、平面視でトランジスタ部が延伸する延伸方向側における半導体基板のおもて面に、第2導電型のウェル領域を更に備えてよい。第2蓄積領域は、平面視で、蓄積層におけるウェル領域との境界側に形成されてよい。

[0016] 本発明の第2の態様においては、半導体基板と、半導体基板に形成された第1導電型のドリフト層と、半導体基板において、ドリフト層の上方に形成された第2導電型のベース領域と、ドリフト層とベース領域との間に設けら

れ、ドリフト層よりも高濃度である第1導電型の蓄積層と、半導体基板のおもて面に形成され、予め定められた配列方向に配列された複数のトレンチ部とを備え、蓄積層は、複数のトレンチ部の配列方向の一端において、第1蓄積領域と、平面視における蓄積層と異なる領域との境界側において、第1蓄積領域よりも浅く形成された第2蓄積領域とを有する半導体装置を提供する。

[0017] なお、上記の発明の概要は、本発明の特徴の全てを列挙したものではない。また、これらの特徴群のサブコンビネーションもまた、発明となりうる。

図面の簡単な説明

[0018] [図1]実施例1に係る半導体装置100の一例を示す平面図である。

[図2]実施例1に係る半導体装置100のa-a'断面の一例を示す図である。

[図3]比較例1に係る半導体装置500の一例を示す平面図である。

[図4]比較例1に係る半導体装置500のb-b'断面の一例を示す。

[図5]実施例2に係る半導体装置100の一例を示す平面図である。

[図6]実施例2に係る半導体装置100のc-c'断面の一例を示す図である。

[図7]半導体装置100の平面図の一例を示す。

[図8]図7の領域Aにおいて蓄積層16の形成方法の概要を示す。

[図9]図7の領域Bにおいて蓄積層16の形成方法の概要を示す。

[図10]図10は、トレンチ部の近傍を拡大した構造の一例を示す。

[図11]実施例3に係る半導体装置100の平面図の一例を示す。

[図12]実施例3に係る半導体装置100のd-d'断面の一例を示す図である。

発明を実施するための形態

[0019] 以下、発明の実施の形態を通じて本発明を説明するが、以下の実施形態は請求の範囲にかかる発明を限定するものではない。また、実施形態の中で説明されている特徴の組み合わせの全てが発明の解決手段に必須であるとは限

らない。

[0020] [実施例 1]

図 1 は、実施例 1 に係る半導体装置 100 の一例を示す平面図である。本例の半導体装置 100 は、IGBT (Insulated Gate Bipolar Transistor) 等のトランジスタを含むトランジスタ部 70、および、FWD (Free Wheel Diode) 等のダイオードを含むダイオード部 80 を有する半導体チップである。また、トランジスタ部 70 は、平面視において、トランジスタ部 70 とダイオード部 80 との境界側に、境界領域 75 を有する。図 1 においてはチップ端部周辺のチップのおもて面を示しており、他の領域を省略している。

[0021] 本明細書において、X 方向と Y 方向とは互いに垂直な方向であり、Z 方向は X - Y 平面に垂直な方向である。X 方向、Y 方向および Z 方向は、いわゆる右手系を成す。本例の半導体基板は、+Z 方向におもて面を有し、-Z 方向に裏面を有する。なお、「上」および「上方」とは、+Z 方向を意味する。これに対して、「下」および「下方」とは、-Z 方向を意味する。

[0022] また、図 1 においては半導体装置 100 における半導体基板の活性領域を示すが、半導体装置 100 は、活性領域を囲んでエッジ終端領域を有してよい。活性領域は、半導体装置 100 をオン状態に制御した場合に電流が流れる領域を指す。エッジ終端領域は、半導体基板のおもて面側の電界集中を緩和する。エッジ終端領域は、例えばガードリング、フィールドプレート、リサーフおよびこれらを組み合わせた構造を有する。

[0023] 本例の半導体装置 100 は、チップのおもて面側において、ゲート電極 50、エミッタ電極 52、ゲートトレンチ部 40、ダミートレンチ部 30、エミッタトレンチ部 60、ウェル領域 17、エミッタ領域 12、ベース領域 14、コンタクト領域 15 およびコンタクトホール 54, 55, 56 を有する。

[0024] 半導体基板のおもて面側の内部には、ゲートトレンチ部 40、ダミートレンチ部 30、エミッタトレンチ部 60、ウェル領域 17、エミッタ領域 12

、ベース領域１４およびコンタクト領域１５が形成される。半導体基板のおもて面の上方には、エミッタ電極５２およびゲート電極５０が設けられる。エミッタ電極５２およびゲート電極５０と、半導体基板のおもて面との間には層間絶縁膜が形成されるが、図１では省略している。

[0025] コンタクトホール５４，５５，５６は、半導体基板の上方に形成された層間絶縁膜を貫通して形成される。コンタクトホール５４，５５，５６を形成する位置は特に本例に限られない。

[0026] エミッタ電極５２は、ゲートトレンチ部４０、ダミートレンチ部３０、エミッタトレンチ部６０、ウェル領域１７、エミッタ領域１２、ベース領域１４およびコンタクト領域１５の上方に形成される。エミッタ電極５２は、コンタクトホール５４，５６を通して半導体基板と接触する。エミッタ電極５２は、金属を含む材料で形成される。一例において、エミッタ電極５２の少なくとも一部の領域はアルミで形成される。エミッタ電極５２は、タングステンを含む材料で形成される領域を有してもよい。本例のエミッタ電極５２は、トランジスタ部７０およびダイオード部８０にそれぞれ対応して設けられている。

[0027] ゲート電極５０は、コンタクトホール５５を通して半導体基板と接触する。但し、ゲート電極５０は、ダミートレンチ部３０およびエミッタトレンチ部６０の上方には形成されない。ゲート電極５０は、金属を含む材料で形成される。一例において、ゲート電極５０の少なくとも一部の領域はアルミで形成される。ゲート電極５０は、タングステンを含む材料で形成される領域を有してもよい。本例のゲート電極５０は、トランジスタ部７０およびダイオード部８０にそれぞれ対応して設けられている。本例のゲート電極５０は、エミッタ電極５２と同一の材料で形成される。但し、ゲート電極５０は、エミッタ電極５２と異なる材料で形成されてもよい。

[0028] ダミートレンチ部３０は、半導体基板のおもて面において予め定められた延伸方向に延伸して形成される。ダミートレンチ部３０は、トランジスタ部７０の領域において所定の配列方向に沿って、ゲートトレンチ部４０と所定

の間隔で1つ以上配列されている。本例におけるダミートレンチ部30は直線形状を有しており、配列方向とは垂直な方向に延伸して形成される。本明細書において、トレンチ部の配列方向とはX軸方向を指し、トレンチ部の延伸方向とはY軸方向を指す。

[0029] ゲートトレンチ部40は、対向部41および突出部43を有する。対向部41は、ダミートレンチ部30と対向する範囲において、上述した延伸方向に延伸して形成される。つまり、対向部41は、ダミートレンチ部30と平行に形成される。突出部43は、対向部41から更に延伸して、ダミートレンチ部30と対向しない範囲に形成される。本例において、ダミートレンチ部30の両側に設けられた2つの対向部41が、1つの突出部43により接続される。突出部43の少なくとも一部は曲線形状を有してよい。

[0030] 本例のゲートトレンチ部40およびダミートレンチ部30は、所定の配列方向において交互に配置される。また、各トレンチ部は一定の間隔で配置されてよい。但し、各トレンチの配置は上記の例に限定されない。2つのダミートレンチ部30の間に複数のゲートトレンチ部40が配置されてよい。また、それぞれのダミートレンチ部30の間に設けられるゲートトレンチ部40の数は一定でなくともよい。

[0031] コンタクトホール55は、突出部43を覆う絶縁層に形成される。コンタクトホール55は、突出部43において対向部41から最も離れた領域に対応して形成されてよい。本例の突出部43は、対向部41から最も離れた領域において、対向部41とは直交する方向に延伸する部分を有する。コンタクトホール55は、突出部43の当該部分に対応して形成されてよい。

[0032] エミッタトレンチ部60は、ダイオード部80の領域に設けられる。エミッタトレンチ部60は、ゲートトレンチ部40と同様の形状を有してよい。但し、エミッタトレンチ部60の延伸方向における長さは、ゲートトレンチ部40よりも短くてよい。本例のエミッタトレンチ部60の長さは、ダミートレンチ部30と同一である。

[0033] ウェル領域17は、ゲート電極50が設けられる側から、所定の範囲で形

成される。ダミートレンチ部 30、エミッタトレンチ部 60 および対向部 41 の、ゲート電極 50 側の一部の領域はウェル領域 17 に形成される。突出部 43 は、全体がウェル領域 17 に形成されてよい。半導体基板は第 1 導電型を有し、ウェル領域 17 は半導体基板とは異なる第 2 導電型を有する。本例の半導体基板は N 型であり、ウェル領域 17 は P+ 型である。本例においては、第 1 導電型を N 型として、第 2 導電型を P 型として説明する。但し、第 1 導電型を P 型として、第 2 導電型を N 型としてもよい。

[0034] ベース領域 14 は、各トレンチ部に挟まれる領域に形成される。ベース領域 14 は、ウェル領域 17 よりも不純物濃度の低い第 2 導電型である。本例のベース領域 14 は P 型である。

[0035] コンタクト領域 15 は、ベース領域 14 のおもて面において、ベース領域 14 よりも不純物濃度の高い第 2 導電型の領域である。本例のコンタクト領域 15 は P+ 型である。エミッタ領域 12 は、トランジスタ部 70 において、コンタクト領域 15 のおもて面の一部に、半導体基板よりも不純物濃度が高い第 1 導電型の領域として選択的に形成される。本例のエミッタ領域 12 は N+ 型である。

[0036] コンタクト領域 15 およびエミッタ領域 12 のそれぞれは、隣接する一方のトレンチ部から、他方のトレンチ部まで形成される。トランジスタ部 70 の 1 以上のコンタクト領域 15 および 1 以上のエミッタ領域 12 は、各トレンチ部に挟まれる領域において、トレンチ部の延伸方向に沿って交互に露出するように形成される。

[0037] コンタクトホール 54 は、トランジスタ部 70 において、コンタクト領域 15、エミッタ領域 12 およびダミートレンチ部 30 の各領域の上方に形成される。本例のコンタクトホール 54 は、エミッタ領域 12 とコンタクト領域 15 とにまたがって形成されている。コンタクトホール 54 は、エミッタ領域 12 のおもて面の全範囲を露出させるように形成されてよい。また、コンタクトホール 54 は、コンタクト領域 15 のおもて面の全範囲も露出させるように形成されてよい。但し、コンタクトホール 54 は、ベース領域 14

およびウェル領域 17 に対応する領域には形成されない。

[0038] また、コンタクトホール 54 は、ダイオード部 80 において、コンタクト領域 15、ベース領域 14 およびエミッタレンチ部 60 の各領域の上方に形成される。本例においてトランジスタ部 70 のコンタクトホール 54 と、ダイオード部 80 のコンタクトホール 54 とは、各レンチ部の延伸方向において同一の長さを有する。

[0039] 境界領域 75 は、トランジスタ部 70 において、平面視でトランジスタ部 70 とトランジスタ部 70 以外の領域との境界付近に形成される。境界領域 75 は、トランジスタ部 70 の X 軸方向における他の領域との境界、およびトランジスタ部 70 の Y 軸方向における他の領域との境界のいずれの境界付近に設けられてもよい。本例の境界領域 75 は、トランジスタ部 70 の X 軸方向の正側であって、ダイオード部 80 側との境界側に形成される。境界領域 75 は、ダミートレンチ部 30 およびゲートレンチ部 40 を備える。境界領域 75 は、半導体基板のおもて面において、エミッタ領域 12 を有さない。例えば、境界領域 75 は、半導体基板のおもて面において、コンタクト領域 15 を有する。また、境界領域 75 は、半導体基板のおもて面において、ベース領域 14 を有してよい。

[0040] 図 2 は、実施例 1 に係る半導体装置 100 の a-a' 断面の一例を示す図である。本例の半導体装置 100 は、当該断面において、半導体基板 10、エミッタ電極 52 およびコレクタ電極 24 を有する。エミッタ電極 52 は、半導体基板 10 のおもて面に形成される。エミッタ電極 52 は、エミッタ端子 53 と電氣的に接続される。

[0041] コレクタ電極 24 は、半導体基板 10 の裏面に形成される。コレクタ電極 24 は、コレクタ端子と電氣的に接続される。エミッタ電極 52 およびコレクタ電極 24 は、金属等の導電材料で形成される。また本明細書において、基板、層、領域等の各部材のエミッタ電極 52 側の面をおもて面、コレクタ電極 24 側の面を裏面または底部と称する。また、エミッタ電極 52 とコレクタ電極 24 とを結ぶ方向を深さ方向と称する。

[0042] 半導体基板 10 は、シリコン基板であってよく、炭化シリコン基板、窒化物半導体基板といった化合物半導体基板等であってもよい。半導体基板 10 のおもて面側には、P 型のベース領域 14 が形成される。また、N 型のエミッタ領域 12 が、ベース領域 14 のおもて面側における一部の領域に選択的に形成される。また、半導体基板 10 は、N 型の蓄積層 16、N 型のドリフト領域 18、N 型のバッファ領域 20、P 型のコレクタ領域 22、および、N 型のカソード領域 82 を更に有する。

[0043] 蓄積層 16 は、ベース領域 14 の裏面側に形成される。蓄積層 16 は、ドリフト領域 18 の不純物濃度よりも高濃度に形成される。一例において、蓄積層 16 は、半導体基板 10 のおもて面側からリン等の N 型不純物を注入することにより形成される。

[0044] また、蓄積層 16 は、半導体基板 10 のメサ部に形成される。本明細書において、半導体基板 10 のメサ部とは、トレンチ部に挟まれた台地状の部分を目指す。本例のメサ部は、ダミートレンチ部 30 とゲートトレンチ部 40 との間に挟まれた部分を示しているが、トレンチ部に挟まれた領域であれば本例に限定されない。例えば、蓄積層 16 は、ダミートレンチ部 30 およびゲートトレンチ部 40 の間のメサ部に形成される。蓄積層 16 は、ダミートレンチ部 30 およびゲートトレンチ部 40 の間の各領域を覆うように設けられてよい。蓄積層 16 を設けることにより、オン状態においてコレクタ領域 22 からドリフト領域 18 に注入された正孔のベース領域 14 への流れ込みが抑制されるので、エミッタ領域 12 からベース領域 14 への電子の注入促進効果が高まる。これにより、オン電圧が低減される。

[0045] 蓄積層 16 は、蓄積層 16 a および蓄積層 16 b を備える。蓄積層 16 a は、トランジスタ部 70 における複数のトレンチ部の間に形成される。蓄積層 16 a の一部は、境界領域 75 に形成されてもよい。蓄積層 16 a は、蓄積層 16 の第 1 蓄積領域の一例である。

[0046] 蓄積層 16 b は、境界領域 75 における複数のトレンチ部の間に形成される。蓄積層 16 b は、平面視における蓄積層 16 と異なる領域との境界側に

配置される。すなわち蓄積層 16 b は、蓄積層 16 a の外周側に配置される。蓄積層 16 b の一部は、境界領域 75 に形成されてよい。また、蓄積層 16 b は、半導体基板 10 において、蓄積層 16 a よりも浅く形成されている。蓄積層 16 b を浅く形成することにより、境界領域 75 でのフィールドプレート効果が出やすくなり耐圧が向上する。

[0047] 即ち、蓄積層 16 a が形成された領域における耐圧 V_{b1} よりも、蓄積層 16 b が形成された領域における耐圧 V_{b2} の方が大きい。蓄積層 16 b は、蓄積層 16 の第 2 蓄積領域の一例である。本例の蓄積層 16 b の幅は、複数のトレンチ部により囲まれたメサ幅と等しい。本例の蓄積層 16 b の幅は、ダミートレンチ部 30 とゲートトレンチ部 40 との間の幅に等しい。本明細書においてメサ幅とは、トレンチ部の配列方向におけるメサ部の幅を示す。即ち、メサ幅は、隣接するトレンチ部同士の間の半導体基板 10 の幅を指す。

[0048] ドリフト領域 18 は、蓄積層 16 の裏面側に形成される。バッファ領域 20 は、ドリフト領域 18 の裏面側に形成される。バッファ領域 20 の不純物濃度は、ドリフト領域 18 の不純物濃度よりも高い。バッファ領域 20 は、ベース領域 14 の裏面側から広がる空乏層が、コレクタ領域 22 およびカソード領域 82 に到達することを防ぐフィールドストップ層として機能してよい。

[0049] コレクタ領域 22 は、トランジスタ部 70 の領域において、バッファ領域 20 の裏面側に形成される。カソード領域 82 は、ダイオード部 80 の領域において、バッファ領域 20 の裏面側に形成される。また、コレクタ領域 22 およびカソード領域 82 の裏面にはコレクタ電極 24 が設けられる。

[0050] なお、境界領域 75 の裏面側には、コレクタ領域 22 が形成されていてもよいし、カソード領域 82 が形成されていてもよい。本例では、コレクタ領域 22 を形成している。

[0051] 半導体基板 10 のおもて面側には、1 以上のゲートトレンチ部 40、1 以上のダミートレンチ部 30、および、1 以上のエミッタトレンチ部 60 が形

成される。各トレンチ部は、半導体基板 10 のおもて面から、ベース領域 14 を貫通して、ドリフト領域 18 に到達する。本例においてゲートトレンチ部 40 およびダミートレンチ部 30 は、半導体基板 10 のおもて面から、エミッタ領域 12、ベース領域 14 および蓄積層 16 を貫通して、ドリフト領域 18 に到達する。また、エミッタトレンチ部 60 は、半導体基板 10 のおもて面から、ベース領域 14 および蓄積層 16 を貫通して、ドリフト領域 18 に到達する。

[0052] ゲートトレンチ部 40 は、半導体基板 10 のおもて面側に形成された絶縁膜 42 およびゲート導電部 44 を有する。

[0053] ゲート導電部 44 は、ゲートトレンチ部 40 において、半導体基板 10 のおもて面側に形成される。ゲート導電部 44 は、少なくとも隣接するベース領域 14 と対向する領域を含む。それぞれのゲート導電部 44 は、ゲート端子 51 に電氣的に接続される。本例では、図 1 に示したように突出部 43 においてゲート導電部 44 がゲート電極 50 と電氣的に接続する。また、ゲート電極 50 がゲート端子 51 に電氣的に接続する。ゲート端子 51 を介してゲート導電部 44 に所定の電圧が印加されると、ベース領域 14 のうちゲートトレンチに接する界面の表層にチャネルが形成される。本例のゲート導電部 44 は、ポリシリコン等の導電材料で形成される。ゲート導電部 44 は、ゲートトレンチ部 40 における第 1 導電部の一例である。

[0054] 絶縁膜 42 は、ゲート導電部 44 の周囲を覆うように形成される。即ち、絶縁膜 42 は、ゲート導電部 44 と半導体基板 10 とを絶縁する。絶縁膜 42 は、ゲートトレンチの内壁の半導体を酸化または窒化して形成されてよい。

[0055] ダミートレンチ部 30 は、半導体基板 10 のおもて面側に形成された絶縁膜 32 およびダミー導電部 34 を有する。

[0056] ダミー導電部 34 は、ダミートレンチ部 30 において、半導体基板 10 のおもて面側に形成される。ダミー導電部 34 は、ゲート導電部 44 と同一の材料で形成されてよい。例えばダミー導電部 34 は、ポリシリコン等の導電

材料で形成される。ダミー導電部 34 は、深さ方向においてゲート導電部 44 と同一の長さを有してよい。ダミー導電部 34 は、ダミートレンチ部 30 における第 1 導電部の一例である。

[0057] 絶縁膜 32 は、ダミー導電部 34 の側面および底面を覆うように形成される。即ち、絶縁膜 32 は、ダミー導電部 34 と半導体基板 10 とを絶縁する。絶縁膜 32 は、ダミートレンチの内壁の半導体を酸化または窒化して形成されてよい。

[0058] ダイオード部 80 は、トランジスタ部 70 の近傍の領域に設けられる。ダイオード部 80 は、トランジスタ部 70 と同一層のベース領域 14、蓄積層 16、ドリフト領域 18 およびバッファ領域 20 を有する。ダイオード部 80 のバッファ領域 20 の裏面側にはカソード領域 82 が設けられる。また、ダイオード部 80 は、1 以上のエミッタトレンチ部 60 を有する。また、ダイオード部 80 には、エミッタ領域 12 が形成されない。

[0059] エミッタトレンチ部 60 は、ベース領域 14 のおもて面側からベース領域 14 および蓄積層 16 を貫通して、ドリフト領域 18 まで到達して形成される。それぞれのエミッタトレンチ部 60 は、絶縁膜 62 およびエミッタ導電部 64 を備える。

[0060] エミッタ導電部 64 は、エミッタトレンチ部 60 において、半導体基板 10 のおもて面側に形成される。エミッタ導電部 64 は、エミッタ端子 53 に電氣的に接続される。

[0061] 絶縁膜 62 は、エミッタ導電部 64 の側面および底面を覆うように形成される。また、絶縁膜 62 は、エミッタトレンチの内壁を覆って形成される。

[0062] 境界領域 75 は、平面視におけるトランジスタ部 70 と他の領域との境界側において、エミッタ領域 12 が形成されていない領域を指す。本例の境界領域 75 は、トランジスタ部 70 の配列方向の一端において、複数のトレンチ部の間にエミッタ領域 12 が形成されていない。一例において、トランジスタ部 70 の配列方向の一端とは、ダイオード部 80 との境界におけるトランジスタ部 70 の X 軸方向正側の領域を指す。本例の境界領域 75 は、境界

領域 7 5 における半導体基板 1 0 のおもて面に、コンタクト領域 1 5 を有する。

[0063] [比較例 1]

図 3 は、比較例 1 に係る半導体装置 5 0 0 の一例を示す平面図である。図 4 は、比較例 1 に係る半導体装置 5 0 0 の b-b' 断面の一例を示す。本例の半導体装置 5 0 0 は、領域 5 7 5 においてもエミッタ領域 5 1 2 が形成されている点で、実施例 1 に係る半導体装置 1 0 0 と異なる。

[0064] 本例の半導体装置 5 0 0 は、トランジスタ部 5 7 0 およびダイオード部 5 8 0 を備える。半導体装置 5 0 0 は、半導体基板 5 1 0 のおもて面において、エミッタ領域 5 1 2、ベース領域 5 1 4、コンタクト領域 5 1 5、蓄積層 5 1 6、ウェル領域 5 1 7、層間絶縁膜 5 2 6、ダミートレンチ部 5 3 0、ゲートレンチ部 5 4 0、エミッタレンチ部 5 6 0、ゲート電極 5 5 0 およびエミッタ電極 5 5 2 を備える。ダミートレンチ部 5 3 0 は、絶縁膜 5 3 2 およびダミー導電部 5 3 4 を有し、ゲートレンチ部 5 4 0 は、絶縁膜 5 4 2 およびゲート導電部 5 4 4 を有する。エミッタレンチ部 5 6 0 は、絶縁膜 5 6 2 およびエミッタ導電部 5 6 4 を有する。蓄積層 5 1 6 は、蓄積層 5 1 6 a および蓄積層 5 1 6 b を含む。

[0065] また、本例の半導体装置 5 0 0 は、半導体基板 5 1 0 に形成されたドリフト領域 5 1 8、バッファ領域 5 2 0、コレクタ領域 5 2 2 およびカソード領域 5 8 2 を有する。半導体基板 5 1 0 の裏面側には、コレクタ電極 5 2 4 が形成されている。なお、ゲート電極 5 5 0 は、ゲート端子 5 5 1 に接続され、コンタクトホール 5 5 5 を介して半導体基板 5 1 0 に接続される。また、エミッタ電極 5 5 2 は、エミッタ端子 5 5 3 に接続され、コンタクトホール 5 5 4 又はコンタクトホール 5 5 6 を介して半導体基板 5 1 0 に接続される。

[0066] 領域 5 7 5 は、平面視におけるトランジスタ部 5 7 0 の他の領域との境界側に形成される。領域 5 7 5 は、浅く形成された蓄積層 5 1 6 である蓄積層 5 1 6 b を有する。ここで、領域 5 7 5 は、半導体基板 5 1 0 のおもて面に

においてエミッタ領域 512 を有する。そのため、領域 575 においては、エミッタ領域 512 と蓄積層 516b との距離が短くなる。これにより、半導体装置 500 のゲート閾値が低下してしまう。

[0067] [実施例 2]

図 5 は、実施例 2 に係る半導体装置 100 の一例を示す平面図である。図 6 は、実施例 2 に係る半導体装置 100 の c-c' 断面の一例を示す図である。本例の半導体装置 100 は、トランジスタ部 70 における他の領域との境界側において、エミッタ領域 12 が形成されていない境界領域 75 を有する。本例の境界領域 75 は、半導体装置 100 の c-c' 断面において、エミッタ領域 12 が形成されていない領域から、エミッタトレンチ部 60 のトランジスタ部 70 側の領域までに対応する。本例の半導体装置 100 は、境界領域 75 において、半導体基板 10 のおもて面にベース領域 14 を有する点で、実施例 1 に係る半導体装置 100 と相違する。このように、半導体装置 100 は、境界領域 75 における半導体基板 10 のおもて面において、コンタクト領域 15 を形成しなくてもよい。

[0068] 本例の半導体装置 100 は、実施例 1 に係る半導体装置 100 と同様、境界領域 75 において、エミッタ領域 12 を有さない。そのため、境界領域 75 において、蓄積層 16b が浅く形成された場合であっても、エミッタ領域 12 と蓄積層 16b との距離が短くなることがない。よって、本例の半導体装置 100 は、境界領域 75 におけるゲート閾値の低下を抑制できる。

[0069] 図 7 は、半導体装置 100 の平面図の一例を示す。本例の半導体装置 100 は、活性領域 102 および外側領域 105 が形成された半導体基板 10 を有する半導体チップである。

[0070] 活性領域 102 は、半導体装置 100 が駆動したときに電流が流れる領域である。活性領域 102 には、複数のトランジスタ部 70 およびダイオード部 80 が設けられる。トランジスタ部 70 およびダイオード部 80 は、活性領域 102 において、X 軸方向に交互に配置されている。また、トランジスタ部 70 およびダイオード部 80 は、Y 軸方向にそれぞれ 3 列形成されてい

る。

[0071] 外側領域 105 は、活性領域 102 の外側に設けられる。活性領域 102 の外側とは、活性領域 102 により囲まれておらず、且つ、活性領域 102 の中心よりも半導体基板 10 の端部に近い領域を指す。外側領域 105 は、活性領域 102 の周囲を囲んでいてもよい。一例において、外側領域 105 は、ゲートパッド、センス部および温度検出部を備える。また、外側領域 105 の更に外側には、エッジ終端領域 109 等が設けられてよい。

[0072] 領域 A は、トランジスタ部 70 の +X 側の境界と、ダイオード部 80 の -X 側の境界が向かい合う領域を示す。一例において、境界領域 75 は、領域 A におけるトランジスタ部 70 の領域に形成される。

[0073] 領域 B は、トランジスタ部 70 の -X 側の境界と、ダイオード部 80 の +X 側の境界が向かい合う領域を示す。一例において、境界領域 75 は、領域 B におけるトランジスタ部 70 の領域に形成される。なお、境界領域 75 は、領域 A および領域 B の両方におけるトランジスタ部 70 の領域に形成されてよい。

[0074] 領域 A および領域 B は、いずれもトランジスタ部 70 とダイオード部 80 の境界を含む。また、蓄積層 16 は、トランジスタ部 70 のみに形成され、ダイオード部 80 には形成されない。そのため、蓄積層 16 のイオン注入時、領域 A および領域 B にイオン注入用のレジストの端部が配置される。そのため、領域 A および領域 B において浅く形成された蓄積層 16b が形成される。

[0075] 本例のトランジスタ部 70 およびダイオード部 80 の配置はあくまで一例である。トランジスタ部 70 およびダイオード部 80 の配置は、半導体装置 100 の仕様によって適宜変更されてよい。つまり、境界領域 75 の作成される領域も、トランジスタ部 70 の配置によって変更されてよい。

[0076] 図 8 は、図 7 の領域 A において蓄積層 16 の形成方法の概要を示す。図 9 は、図 7 の領域 B において蓄積層 16 の形成方法の概要を示す。

[0077] 蓄積層 16 は、ベース領域 14 よりも深い領域に形成される必要があるの

で、高加速でイオン注入される場合がある。また、高加速でイオン注入する場合、チャネリングによって、狙った位置よりも深い位置にイオンが注入されるのを防止するために、所定の角度を付けてイオン注入される。所定の角度を付けてイオン注入すると、図7の領域Aや領域Bの様に、レジスト95の端部近傍ではレジスト95によってイオンが減速される場合がある。そのため、領域Aや領域Bにおいて狙いより浅い位置に打ち込まれる場合がある。

[0078] 例えば、+X方向から-X方向に所定の角度を付けてイオン注入する場合、領域Aにおいて、蓄積層16bが形成される。一方、-X方向から+X方向に所定の角度を付けてイオン注入する場合、領域Bにおいて、蓄積層16bが形成される。

[0079] 本例の境界領域75は、構造の異なる3つのメサ部を有する。境界領域75は、メサ部の構造に応じて、境界領域75a、境界領域75bおよび境界領域75cの3つの領域を有する。境界領域75a、境界領域75bおよび境界領域75cは、いずれもエミッタ領域12を有さない点で共通する。

[0080] 境界領域75aは、境界領域75bおよび境界領域75cに対して、ダイオード部80が設けられた側と反対側に設けられる。境界領域75aは、ダミートレンチ部30とゲートレンチ部40との間に、ベース領域14および蓄積層16aが形成された領域である。

[0081] 境界領域75bは、境界領域75aと境界領域75cとの間に設けられる。境界領域75bは、ダミートレンチ部30とゲートレンチ部40との間に、ベース領域14および蓄積層16bが形成された領域である。

[0082] 境界領域75cは、境界領域75aおよび境界領域75bに対して、境界領域75のダイオード部80側に設けられる。境界領域75cは、ゲートレンチ部40とエミッタレンチ部60との間に、ベース領域14のみが形成された領域である。また、境界領域75cは、ゲートレンチ部40とエミッタレンチ部60との間において、ベース領域14がドリフト領域18と接続されている。言い換えると、境界領域75cは、ゲートレンチ部4

0とエミッタトレンチ部60との間において、蓄積層16が形成されていない。これにより、半導体装置100は、電界が集中する境界領域75において、耐圧を向上させることができる。また、蓄積層16が形成されていない領域では、ホールの引抜きがしやすくなる。境界領域75において、蓄積層16が形成されていない境界領域75cを少なくともトレンチ1本分有するのが好ましい。

[0083] なお、本例の境界領域75は、トランジスタ部70の配列方向の一端において、ダイオード部80と隣接して形成されている。但し、図8および図9に示されるように、境界領域75は、トランジスタ部70の一端と反対側の他端との両端において形成されてよい。この場合、半導体装置100は、蓄積層16のイオン注入後に、注入方向を180度回転させてから再度イオン注入を実施する。例えば、半導体装置100は、+X方向から-X方向に向けてイオン注入された後に、-X方向から+X方向に向けてイオン注入される。これにより、半導体装置100は、トランジスタ部70の+X側と、トランジスタ部70の-X側との両方に蓄積層16bを形成できる。

[0084] 図10は、トレンチ部の近傍を拡大した構造の一例を示す。同図は、ダミートレンチ部30およびゲートトレンチ部40の近傍の寸法を説明するために、一部の構造のみを抜き出して図示している。

[0085] 蓄積層16bは、ベース領域14の深さ方向の中心位置と同一の深さに少なくとも形成された領域を含んでよい。即ち、蓄積層16bは、ベース領域14の深さ方向の中心位置と同一の深さを含む程度に浅く形成される。ここで、 D_c をベース領域14の中心位置の深さとし、 D_T を蓄積層16bの上端の半導体基板10のおもて面からの深さとし、 D_B を蓄積層16bの下端の半導体基板10のおもて面からの深さとする、 $D_T < D_c < D_B$ が成り立つ。

[0086] また、蓄積層16bの下端の不純物濃度は、第1蓄積領域の下端の不純物濃度よりも低くてよい。即ち、蓄積層16bが半導体基板10の深さ方向において浅く形成されるとは、蓄積層16bが蓄積層16aの上方に形成されることに加えて、蓄積層16bの不純物濃度分布が蓄積層16aの不純物濃

度分布よりも半導体基板 10 のおもて面側にシフトしていることを含む。なお、蓄積層 16 の不純物濃度は、ベース領域 14 と同一又はそれより大きな不純物濃度を有してよい。例えば、蓄積層 16 の不純物濃度は、 $1 \times 10^{16} \text{ cm}^{-3}$ 以上、 $1 \times 10^{18} \text{ cm}^{-3}$ 以下である。なお、E は 10 のべき乗を意味し、例えば $1 \times 10^{16} \text{ cm}^{-3}$ は $1 \times 10^{16} \text{ cm}^{-3}$ を意味する。

[0087] 蓄積層 16 b は、蓄積層 16 a よりも $0.1 \mu\text{m}$ 以上 $1.0 \mu\text{m}$ 以下の範囲で浅く形成され、より好ましくは $0.3 \mu\text{m}$ 以上 $0.7 \mu\text{m}$ 以下の範囲で浅く形成されてよい。例えば、蓄積層 16 b は、蓄積層 16 a よりも $0.5 \mu\text{m}$ 浅く形成される。蓄積層 16 b の深さは、蓄積層 16 のイオン注入時に、半導体基板 10 のチルト角度を変更することにより調整される。また、蓄積層 16 b の深さは、レジスト 95 の厚さや材質によっても変更される。なお、蓄積層 16 b をどの程度浅くするかは、エミッタ領域 12 およびベース領域 14 の深さや、トレンチ部の深さ等に応じて決定されてよい。なお、本例のエミッタ領域 12、ベース領域 14 および蓄積層 16 は、それぞれ $0.5 \mu\text{m}$ 、 $1.5 \mu\text{m}$ および $2.5 \mu\text{m}$ の厚さを有する。

[0088] [実施例 3]

図 11 は、実施例 3 に係る半導体装置 100 の平面図の一例を示す。図 12 は、実施例 3 に係る半導体装置 100 の d-d' 断面の一例を示す図である。

[0089] ウェル領域 17 は、平面視でトランジスタ部 70 が延伸する延伸方向側における、半導体基板 10 のおもて面に設けられる。本例のウェル領域 17 は、トランジスタ部 70 の -Y 軸方向側に形成されているが、トランジスタ部 70 の +Y 軸方向側にも形成されてよい。

[0090] 蓄積層 16 b は、平面視で、蓄積層 16 のウェル領域 17 との境界側に形成される。本例の蓄積層 16 は、-Y 方向から +Y 方向に向けてイオン注入することにより形成されている。よって、蓄積層 16 は、トランジスタ部 70 の -Y 軸方向側に位置するウェル領域 17 と隣接する領域において、蓄積層 16 b を有する。蓄積層 16 b は、ウェル領域 17 に接せずに、ベース領

域 14 を挟んで離間して良い。

[0091] 蓄積層 16b の深さは、半導体基板 10 のおもて面と平行な方向において徐々に変化する。例えば、蓄積層 16b の深さは、半導体基板 10 のおもて面と平行な方向において徐々に浅くなる。本例の蓄積層 16b は、半導体基板 10 の d-d' 断面において、Y 軸方向の負側方向に向けて、蓄積層 16b は徐々に浅く形成される。蓄積層 16b は、蓄積層 16b の-Y 軸側の領域が蓄積層 16a よりも 0.1 μm 以上 1.0 μm 以下の範囲で浅く形成され、より好ましくは 0.3 μm 以上 0.7 μm 以下の範囲で浅く形成されてよい。例えば、蓄積層 16b は、蓄積層 16b の-Y 軸側の領域が蓄積層 16a よりも 0.5 μm 浅く形成される。これにより、蓄積層 16a が形成された領域における耐圧 Vb1 よりも蓄積層 16b が形成された領域における耐圧 Vb2 の方が大きくなる。したがって、本例の半導体装置 100 は、耐圧が要求されるウェル領域 17 側の領域において、耐圧を高めることができる。

[0092] なお、ウェル領域 17 が形成された領域における耐圧 Vb3 は、耐圧 Vb1 および耐圧 Vb2 よりもさらに大きい。また、上述のように蓄積層 16b とウェル領域 17 の間に、ウェル領域 17 よりも不純物濃度の低いベース領域 14 を挟むことで、電界強度が緩和でき、耐圧 Vb2 をさらに向上できる。

[0093] 半導体装置 100 は、実施例 1 および実施例 2 に係るイオン注入方法と組み合わせ用いられてよい。一例において、半導体装置 100 は、X 軸方向に傾けてイオン注入する実施例 1 に係る方法と、Y 軸方向に傾けてイオン注入する実施例 3 に係る方法との両方を用いて、蓄積層 16 を形成する。例えば、半導体装置 100 は、蓄積層 16 の不純物濃度が所定の値となるように、X 軸方向に傾ける方法と Y 軸方向に傾ける方法を分けて実施する。これにより、半導体装置 100 は、トランジスタ部 70 の+X 軸方向側、-X 軸方向側、+Y 軸方向側および-Y 軸方向側の全ての境界側の蓄積層 16 を浅く形成することができる。この場合、半導体装置 100 は、トランジスタ部 7

0の周囲における全ての境界付近の耐圧を向上させることができる。

[0094] 以上、本発明を実施の形態を用いて説明したが、本発明の技術的範囲は上記実施の形態に記載の範囲には限定されない。上記実施の形態に、多様な変更または改良を加えることが可能であることが当業者に明らかである。その様な変更または改良を加えた形態も本発明の技術的範囲に含まれ得ることが、請求の範囲の記載から明らかである。

[0095] 請求の範囲、明細書、および図面中において示した装置、および方法における動作、手順、ステップ、および段階等の各処理の実行順序は、特段「より前に」、「先立って」等と明示しておらず、また、前の処理の出力を後の処理で用いるのでない限り、任意の順序で実現しうることに留意すべきである。請求の範囲、明細書、および図面中の動作フローに関して、便宜上「まず」、「次に、」等を用いて説明したとしても、この順で実施することが必須であることを意味するものではない。

符号の説明

[0096] 10・・・半導体基板、12・・・エミッタ領域、14・・・ベース領域、15・・・コンタクト領域、16・・・蓄積層、17・・・ウェル領域、18・・・ドリフト領域、20・・・バッファ領域、22・・・コレクタ領域、24・・・コレクタ電極、26・・・層間絶縁膜、30・・・ダミートレンチ部、32・・・絶縁膜、34・・・ダミー導電部、40・・・ゲートトレンチ部、41・・・対向部、42・・・絶縁膜、43・・・突出部、44・・・ゲート導電部、52・・・エミッタ電極、53・・・エミッタ端子、54・・・コンタクトホール、55・・・コンタクトホール、56・・・コンタクトホール、60・・・エミッタトレンチ部、62・・・絶縁膜、64・・・エミッタ導電部、70・・・トランジスタ部、75・・・境界領域、80・・・ダイオード部、82・・・カソード領域、95・・・レジスト、100・・・半導体装置、102・・・活性領域、105・・・外側領域、109・・・エッジ終端領域、500・・・半導体装置、510・・・半導体基板、512・・・エミッタ領域、514・・・ベース領域、515・・・

・コンタクト領域、５１６・・・蓄積層、５１７・・・ウェル領域、５１８
・・・ドリフト領域、５２０・・・バッファ領域、５２２・・・コレクタ領
域、５２４・・・コレクタ電極、５２６・・・層間絶縁膜、５３０・・・ダ
ミートレンチ部、５３２・・・絶縁膜、５３４・・・ダミー導電部、５４０
・・・ゲートレンチ部、５４２・・・絶縁膜、５４４・・・ゲート導電部
、５５０・・・ゲート電極、５５１・・・ゲート端子、５５２・・・エミッ
タ電極、５５３・・・エミッタ端子、５５４・・・コンタクトホール、５５
５・・・コンタクトホール、５５６・・・コンタクトホール、５６０・・・
エミッタレンチ部、５６２・・・絶縁膜、５６４・・・エミッタ導電部、
５７０・・・トランジスタ部、５７５・・・領域、５８０・・・ダイオード
部、５８２・・・カソード領域

請求の範囲

- [請求項1] 半導体基板と、
 前記半導体基板に形成された第1導電型のドリフト層と、
 前記半導体基板において、前記ドリフト層の上方に形成された第2導電型のベース領域と、
 前記ドリフト層と前記ベース領域との間に設けられ、前記ドリフト層よりも高濃度である第1導電型の蓄積層と
 を備え、
 前記蓄積層は、第1蓄積領域と、平面視における前記蓄積層と異なる領域との境界側において、前記第1蓄積領域よりも浅く形成された第2蓄積領域とを有する
 半導体装置。
- [請求項2] 前記半導体基板に形成されたトランジスタ部を備え、
 前記トランジスタ部は、
 前記半導体基板のおもて面に形成され、予め定められた方向に配列された複数のトレンチ部と、
 前記半導体基板のおもて面において、前記複数のトレンチ部の間に形成された前記ドリフト層よりも高濃度である第1導電型のエミッタ領域と
 を有し、
 前記第1蓄積領域および前記第2蓄積領域は、前記複数のトレンチ部の間に形成される
 請求項1に記載の半導体装置。
- [請求項3] 前記トランジスタ部は、前記トランジスタ部の配列方向の一端において、前記複数のトレンチ部の間に前記エミッタ領域が形成されていない境界領域を有する
 請求項2に記載の半導体装置。
- [請求項4] 前記トランジスタ部は、前記トランジスタ部の配列方向の一端と、

前記一端と反対側の他端との両端において、前記複数のトレンチ部の間に前記エミッタ領域が形成されていない境界領域を有する

請求項 2 に記載の半導体装置。

[請求項5] 前記境界領域における前記第 2 蓄積領域の幅は、前記複数のトレンチ部により囲まれたメサの幅と等しい

請求項 3 又は 4 に記載の半導体装置。

[請求項6] 前記半導体基板は、前記境界領域における前記半導体基板のおもて面に、前記ベース領域よりも高濃度である第 2 導電型のコンタクト領域を有する

請求項 3 から 5 のいずれか一項に記載の半導体装置。

[請求項7] 前記ドリフト層は、前記境界領域において、前記ベース領域と接続されている

請求項 3 から 6 のいずれか一項に記載の半導体装置。

[請求項8] 前記半導体基板のおもて面と平行な方向において、前記第 2 蓄積領域の深さが徐々に変化する

請求項 3 から 7 のいずれか一項に記載の半導体装置。

[請求項9] 前記半導体基板に形成されたダイオード部を更に備え、
前記境界領域は、前記トランジスタ部における前記ダイオード部との境界側に形成されている

請求項 3 から 8 のいずれか一項に記載の半導体装置。

[請求項10] 前記第 2 蓄積領域は、前記ベース領域の深さ方向の中心位置と同一の深さに少なくとも形成された領域を含む

請求項 2 から 9 のいずれか一項に記載の半導体装置。

[請求項11] 前記第 2 蓄積領域の下端の不純物濃度は、前記第 1 蓄積領域の下端の不純物濃度よりも低い

請求項 2 から 10 のいずれか一項に記載の半導体装置。

[請求項12] 平面視で前記トランジスタ部が延伸する延伸方向側における前記半導体基板のおもて面に、第 2 導電型のウェル領域を更に備え、

前記第 2 蓄積領域は、平面視で、前記蓄積層における前記ウェル領域との境界側に形成される

請求項 2 から 11 のいずれか一項に記載の半導体装置。

[請求項 13]

半導体基板と、

前記半導体基板に形成された第 1 導電型のドリフト層と、

前記半導体基板において、前記ドリフト層の上方に形成された第 2 導電型のベース領域と、

前記ドリフト層と前記ベース領域との間に設けられ、前記ドリフト層よりも高濃度である第 1 導電型の蓄積層と、

前記半導体基板のおもて面に形成され、予め定められた配列方向に配列された複数のトレンチ部と

を備え、

前記蓄積層は、前記複数のトレンチ部の配列方向の一端において、第 1 蓄積領域と、平面視における前記蓄積層と異なる領域との境界側において、前記第 1 蓄積領域よりも浅く形成された第 2 蓄積領域とを有する

半導体装置。

補正された請求の範囲
[2017年6月15日 (15.06.2017) 国際事務局受理]

[請求項1] (補正後)

半導体基板と、

前記半導体基板に形成された第1導電型のドリフト層と、

前記半導体基板において、前記ドリフト層の上方に形成された第2導電型のベース領域と、

前記ドリフト層と前記ベース領域との間に設けられ、前記ドリフト層よりも高濃度である第1導電型の蓄積層と

を備え、

前記蓄積層は、第1蓄積領域と、平面視における前記蓄積層と異なる領域との境界側において、前記第1蓄積領域よりも浅く形成された第2蓄積領域とを有し、

前記半導体基板に形成されたトランジスタ部を更に備え、

前記トランジスタ部は、

前記半導体基板のおもて面に形成され、予め定められた方向に配列された複数のトレンチ部と、

前記半導体基板のおもて面において、前記複数のトレンチ部の間に形成された前記ドリフト層よりも高濃度である第1導電型のエミッタ領域と

を有し、

前記第1蓄積領域および前記第2蓄積領域は、前記複数のトレンチ部の間に形成される

半導体装置。

[請求項2] (削除)

[請求項3] 前記トランジスタ部は、前記トランジスタ部の配列方向の一端において、前記複数のトレンチ部の間に前記エミッタ領域が形成されている

ない境界領域を有する

請求項 2 に記載の半導体装置。

[請求項4] 前記トランジスタ部は、前記トランジスタ部の配列方向の一端と、前記一端と反対側の他端との両端において、前記複数のトレンチ部の間に前記エミッタ領域が形成されていない境界領域を有する

請求項 2 に記載の半導体装置。

[請求項5] 前記境界領域における前記第 2 蓄積領域の幅は、前記複数のトレンチ部により囲まれたメサの幅と等しい

請求項 3 又は 4 に記載の半導体装置。

[請求項6] 前記半導体基板は、前記境界領域における前記半導体基板のおもて面に、前記ベース領域よりも高濃度である第 2 導電型のコンタクト領域を有する

請求項 3 から 5 のいずれか一項に記載の半導体装置。

[請求項7] 前記ドリフト層は、前記境界領域において、前記ベース領域と接続されている

請求項 3 から 6 のいずれか一項に記載の半導体装置。

[請求項8] 前記半導体基板のおもて面と平行な方向において、前記第 2 蓄積領域の深さが徐々に変化する

請求項 3 から 7 のいずれか一項に記載の半導体装置。

[請求項9] 前記半導体基板に形成されたダイオード部を更に備え、前記境界領域は、前記トランジスタ部における前記ダイオード部の境界側に形成されている

請求項 3 から 8 のいずれか一項に記載の半導体装置。

[請求項10] 前記第 2 蓄積領域は、前記ベース領域の深さ方向の中心位置と同一の深さに少なくとも形成された領域を含む

請求項 2 から 9 のいずれか一項に記載の半導体装置。

- [請求項11] 前記第2蓄積領域の下端の不純物濃度は、前記第1蓄積領域の下端の不純物濃度よりも低い
請求項2から10のいずれか一項に記載の半導体装置。
- [請求項12] 平面視で前記トランジスタ部が延伸する延伸方向側における前記半導体基板のおもて面に、第2導電型のウェル領域を更に備え、
前記第2蓄積領域は、平面視で、前記蓄積層における前記ウェル領域との境界側に形成される
請求項2から11のいずれか一項に記載の半導体装置。
- [請求項13] 半導体基板と、
前記半導体基板に形成された第1導電型のドリフト層と、
前記半導体基板において、前記ドリフト層の上方に形成された第2導電型のベース領域と、
前記ドリフト層と前記ベース領域との間に設けられ、前記ドリフト層よりも高濃度である第1導電型の蓄積層と、
前記半導体基板のおもて面に形成され、予め定められた配列方向に配列された複数のトレンチ部と
を備え、
前記蓄積層は、前記複数のトレンチ部の配列方向の一端において、第1蓄積領域と、平面視における前記蓄積層と異なる領域との境界側において、前記第1蓄積領域よりも浅く形成された第2蓄積領域とを有する
半導体装置。
- [請求項14] (追加)
前記第1蓄積領域および前記第2蓄積領域の上方には、エミッタ領域が形成されていない
請求項1から13のいずれか一項に記載の半導体装置。
- [請求項15] (追加)
前記第1蓄積領域および前記第2蓄積領域は、前記ドリフト層に接

続されている

請求項 1 から 1 4 のいずれか一項に記載の半導体装置。

[請求項16] (追加)

前記複数のトレンチ部の延伸方向において、前記蓄積層の形成されていない領域に向かって、前記第 2 蓄積領域の深さが徐々に浅くなる

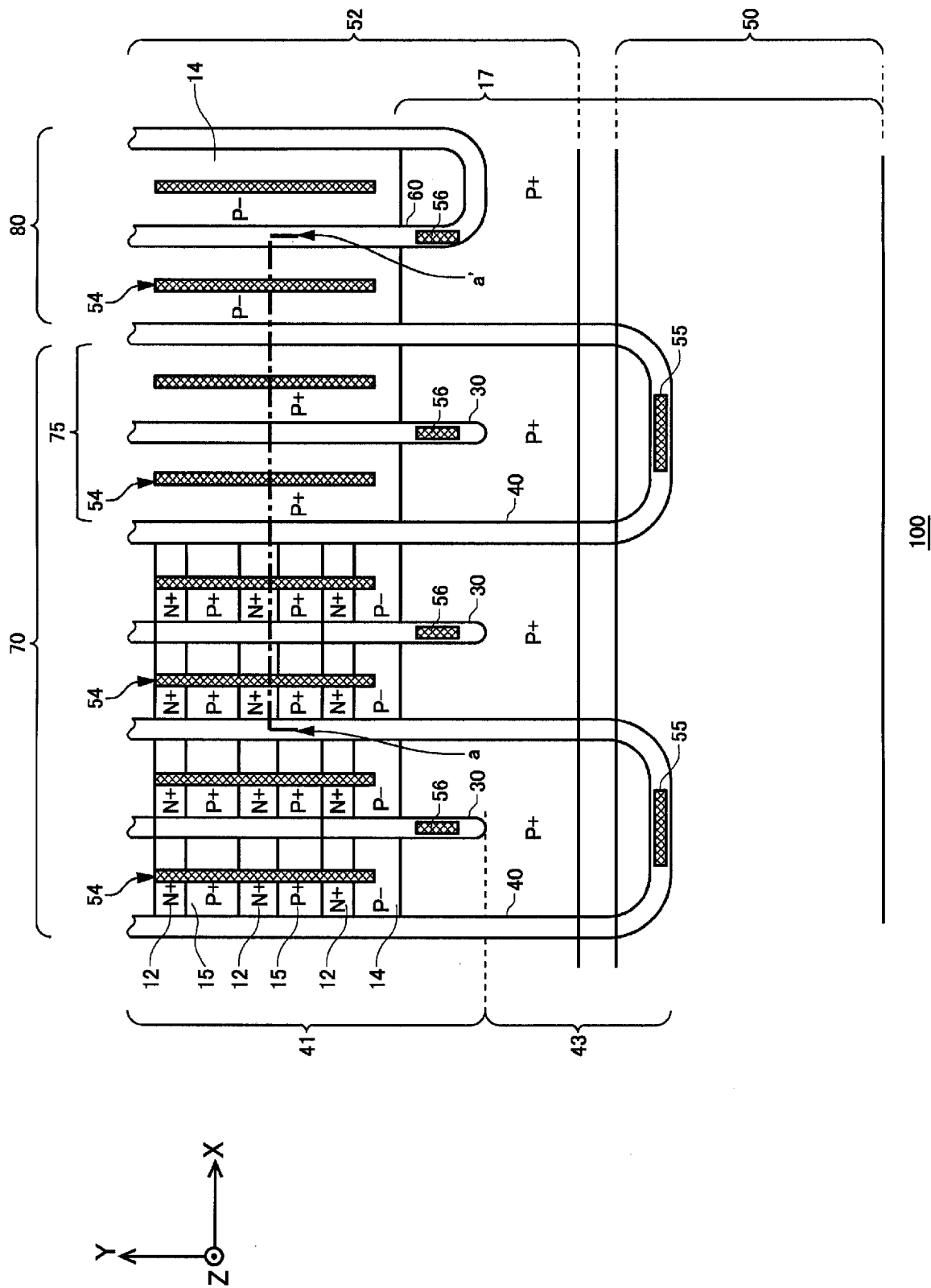
請求項 1 から 1 5 のいずれか一項に記載の半導体装置。

[請求項17] (追加)

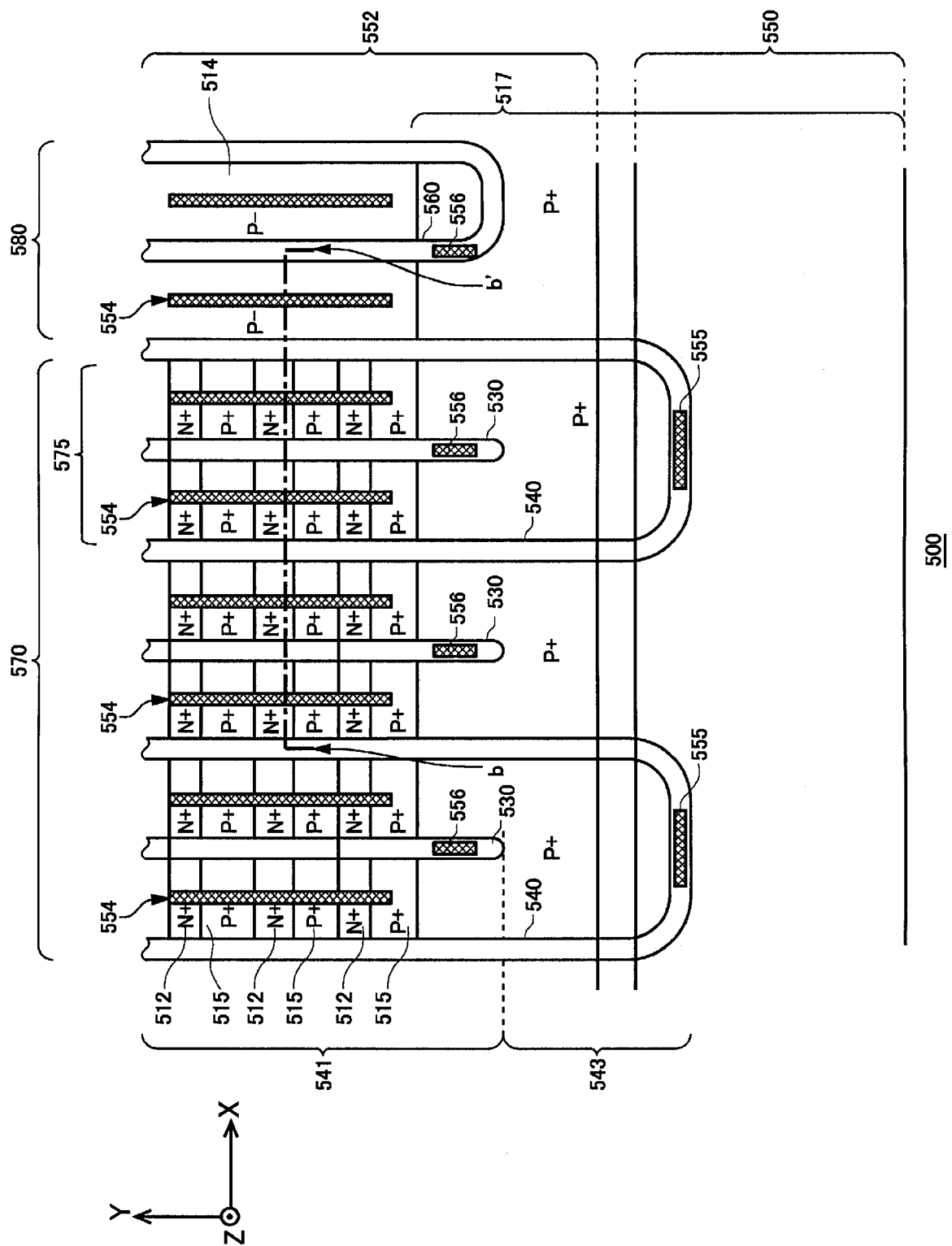
前記ベース領域は、前記複数のトレンチ部の延伸方向において、前記第 2 蓄積領域と前記ウェル領域との間に設けられる

請求項 1 から 1 6 のいずれか一項に記載の半導体装置。

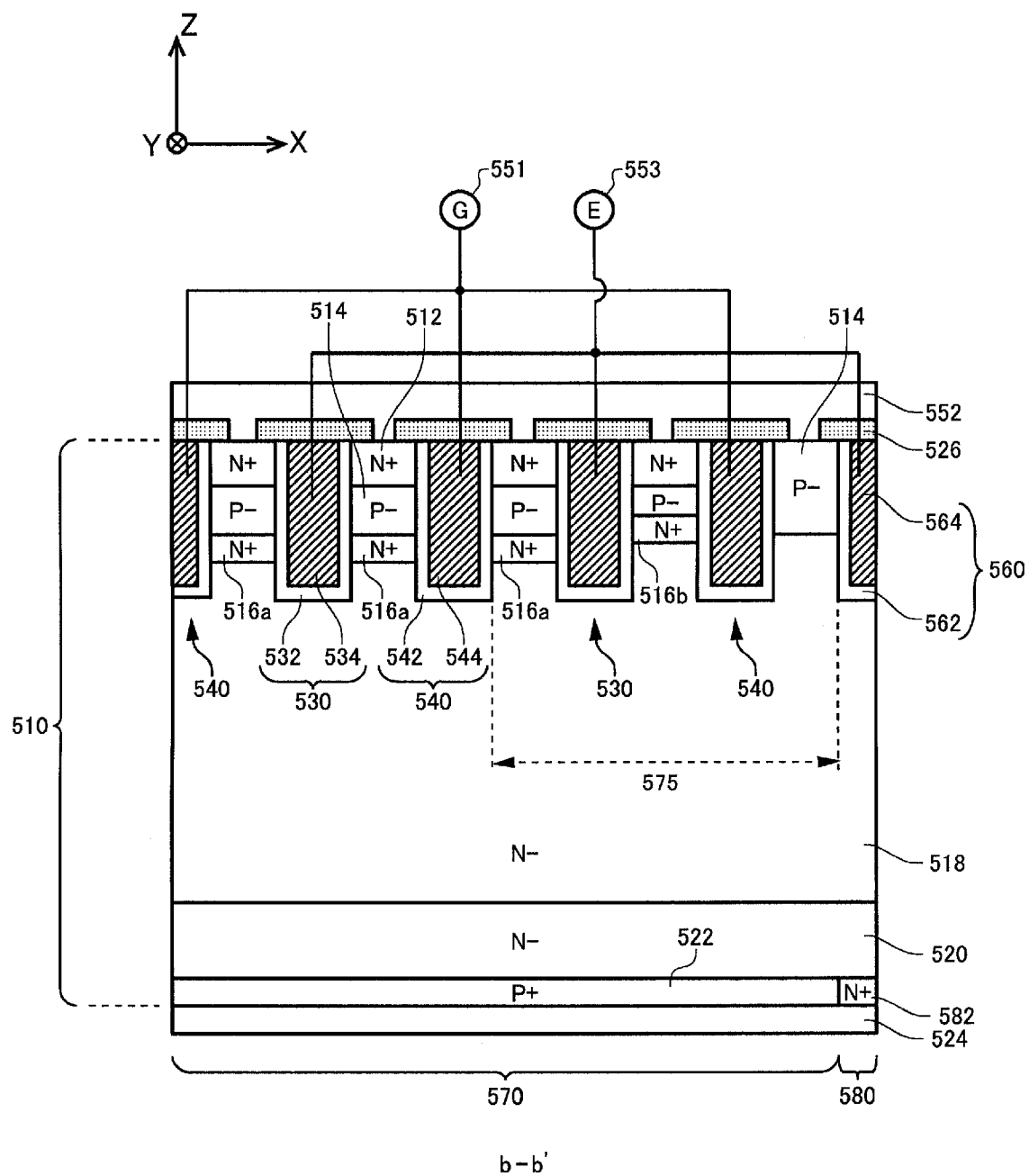
[図1]



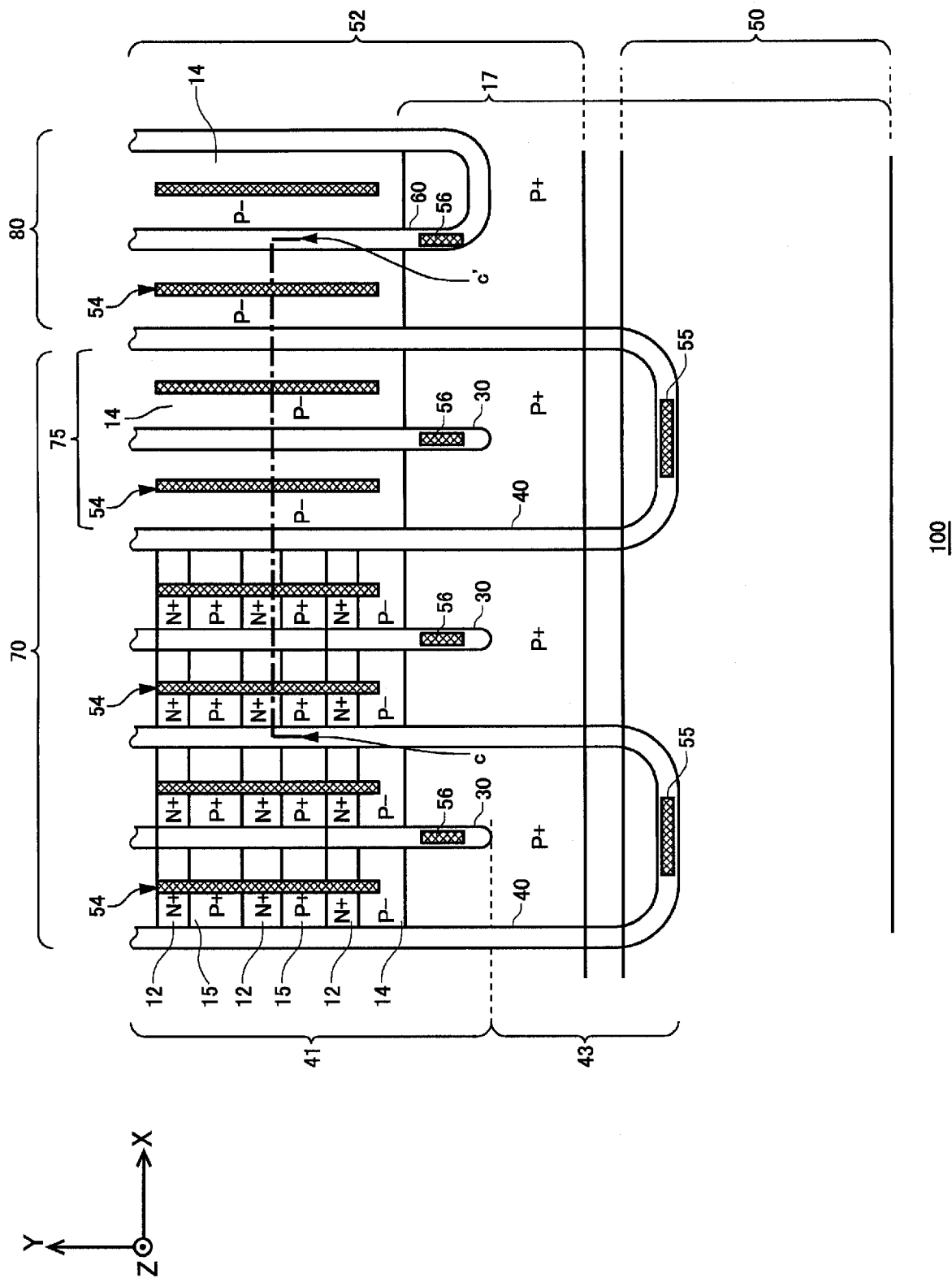
[図3]



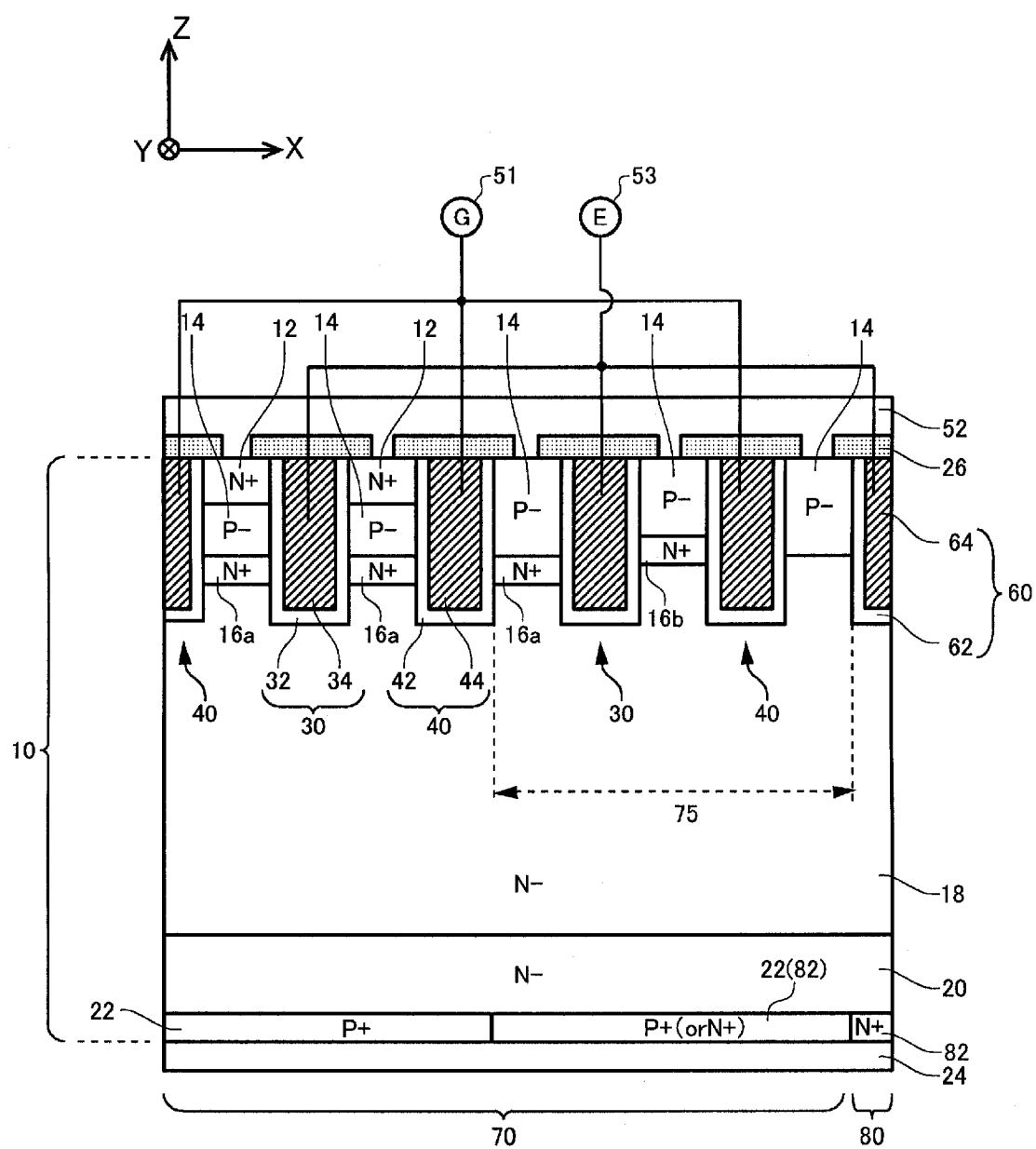
[図4]

500

[図5]



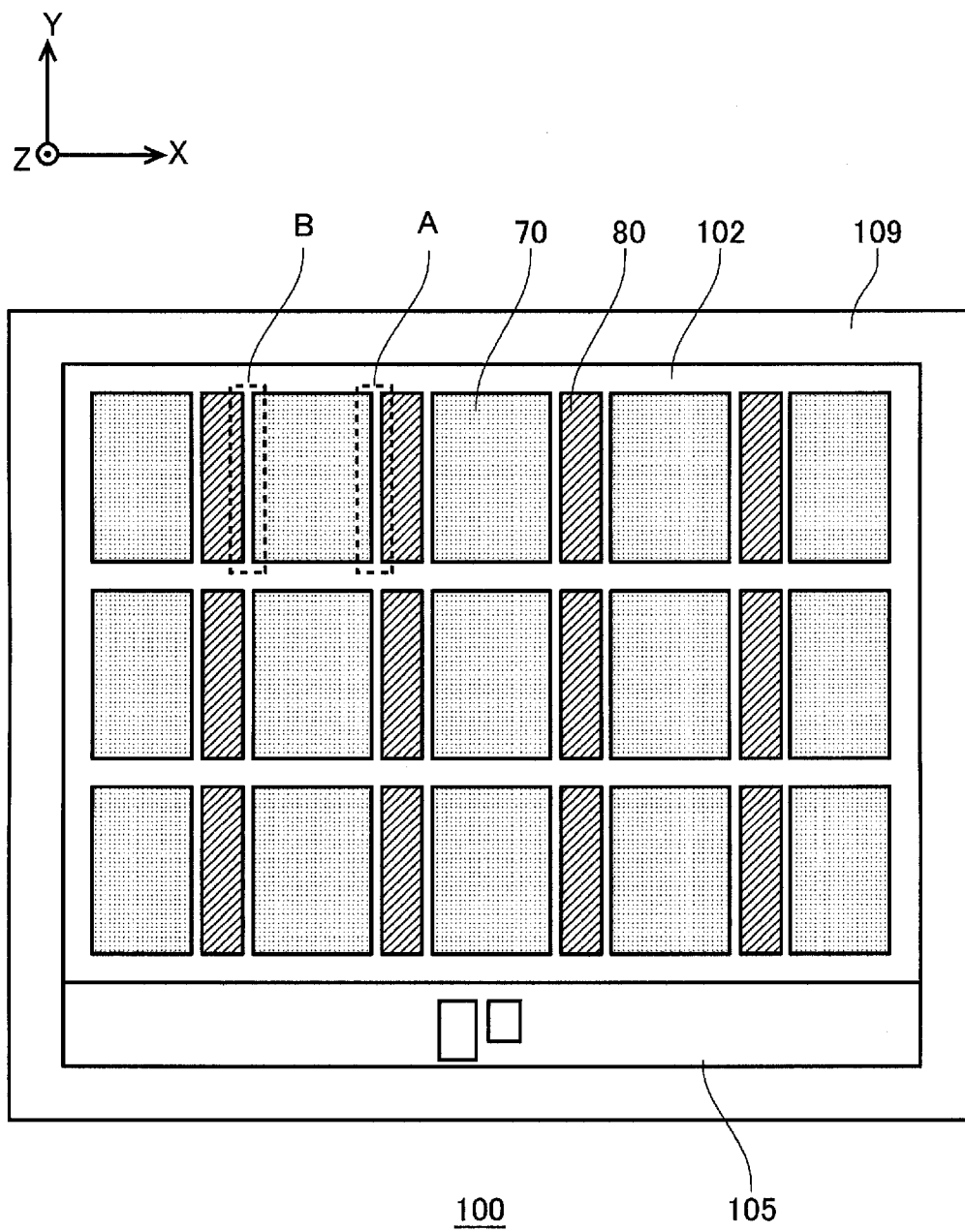
[図6]



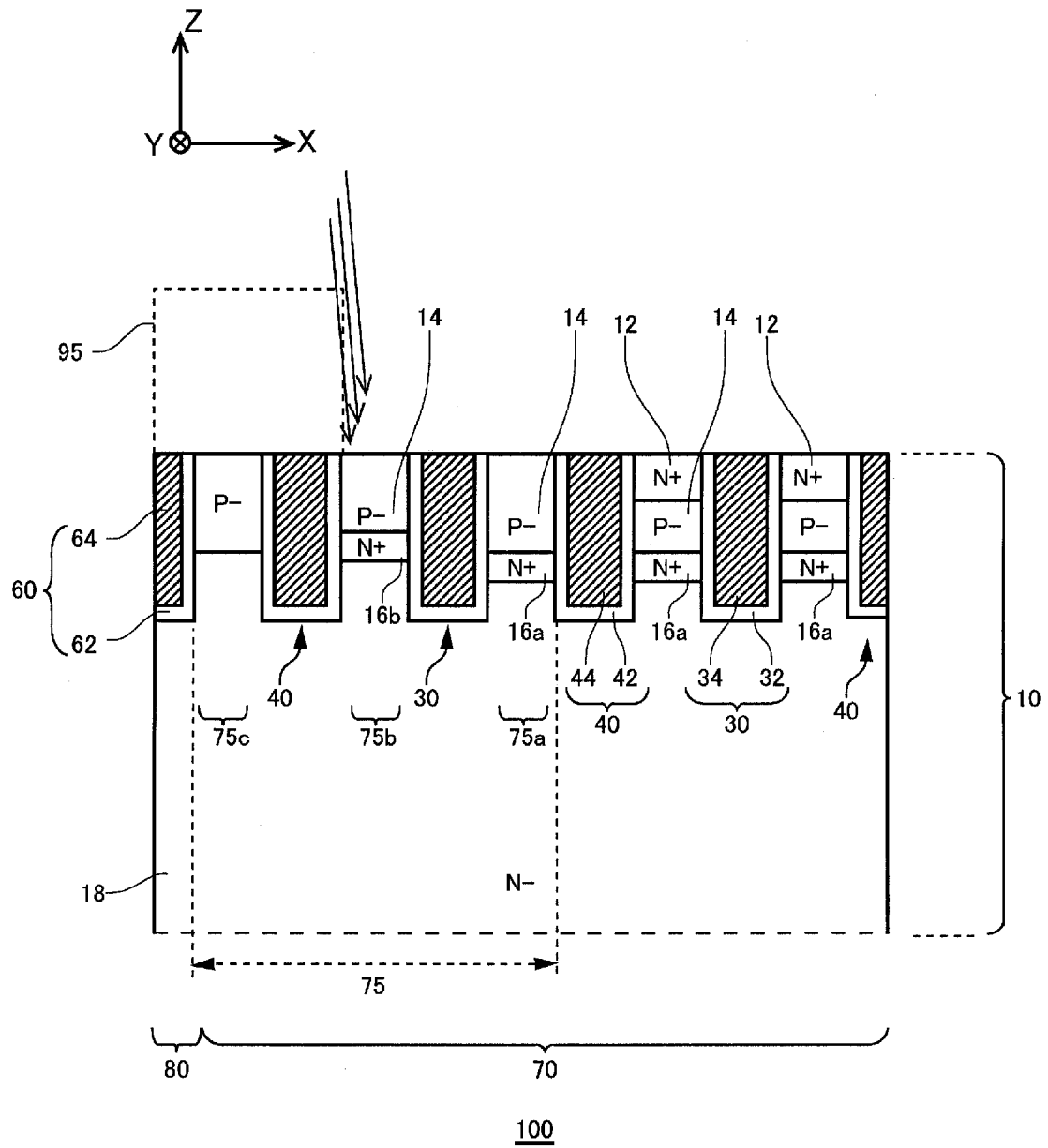
c-c'

100

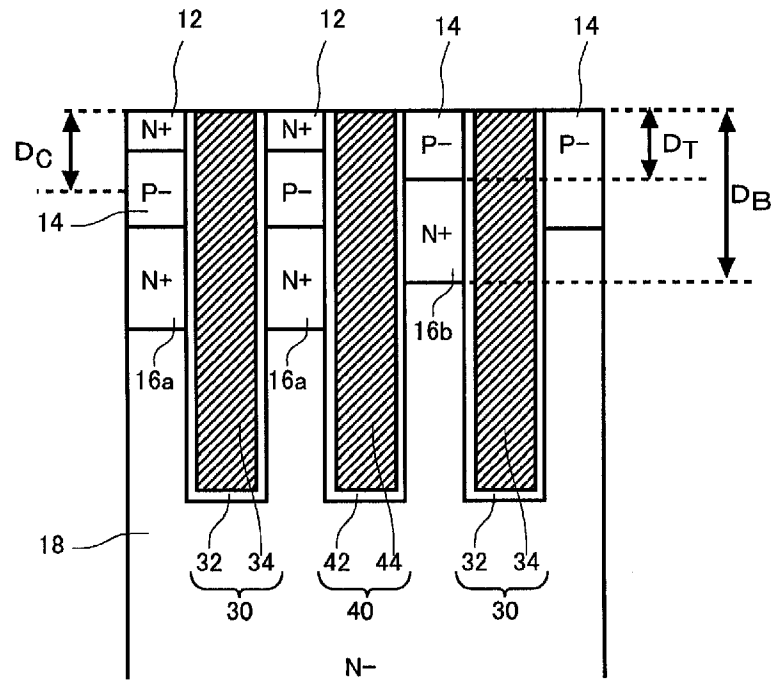
[図7]



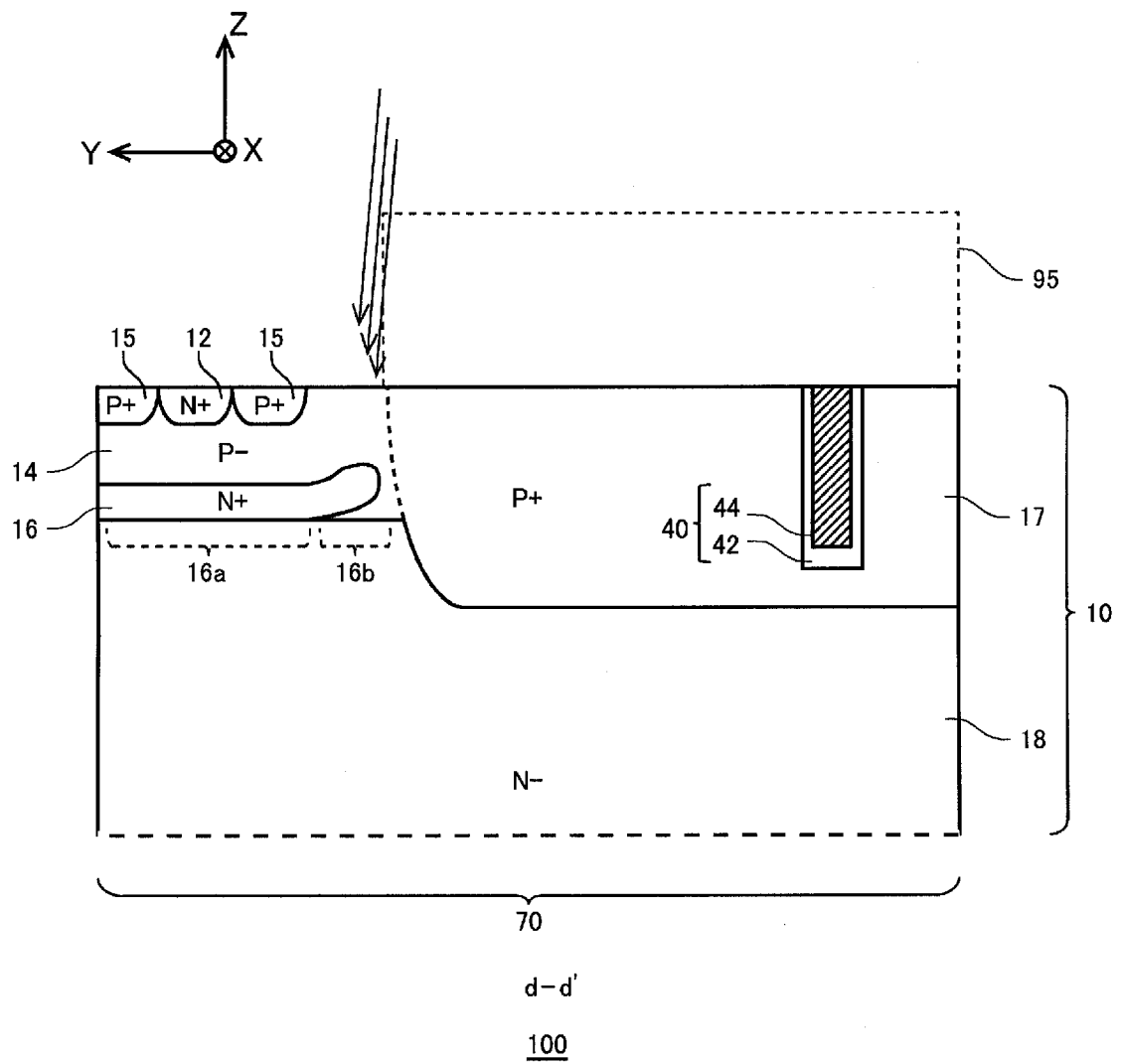
[図9]



[図10]



[図12]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/005601

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/78(2006.01)i, H01L21/336(2006.01)i, H01L21/8234(2006.01)i,
H01L27/04(2006.01)i, H01L27/06(2006.01)i, H01L29/06(2006.01)i, H01L29/12
(2006.01)i, H01L29/739(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/78, H01L21/336, H01L21/8234, H01L27/04, H01L27/06, H01L29/06,
H01L29/12, H01L29/739

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2007-266134 A (Toyota Central Research and Development Laboratories, Inc., Toyota Motor Corp.), 11 October 2007 (11.10.2007), paragraphs [0033] to [0034]; fig. 4 (Family: none)	1-7, 10, 13 8, 9, 11, 12
A	JP 2012-043890 A (Denso Corp., Toyota Motor Corp., Toyota Central Research and Development Laboratories, Inc.), 01 March 2012 (01.03.2012), paragraphs [0039] to [0065]; fig. 1, 2 & US 2012/0043581 A1 paragraphs [0055] to [0086]; fig. 1, 2 & DE 102011080891 A1 & CN 102376709 A	1-13



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T"

later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X"

document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y"

document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&"

document member of the same patent family

Date of the actual completion of the international search
13 March 2017 (13.03.17)

Date of mailing of the international search report
04 April 2017 (04.04.17)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/005601

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2010/143288 A1 (Toyota Motor Corp.), 16 December 2010 (16.12.2010), paragraphs [0011] to [0020]; fig. 1 & US 2012/0080718 A1 paragraphs [0012] to [0021]; fig. 1 & EP 2442355 A1 & KR 10-1221206 B1 & CN 102804359 A	1-13

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L29/78(2006.01)i, H01L21/336(2006.01)i, H01L21/8234(2006.01)i, H01L27/04(2006.01)i, H01L27/06(2006.01)i, H01L29/06(2006.01)i, H01L29/12(2006.01)i, H01L29/739(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L29/78, H01L21/336, H01L21/8234, H01L27/04, H01L27/06, H01L29/06, H01L29/12, H01L29/739

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X A	JP 2007-266134 A (株式会社豊田中央研究所, トヨタ自動車株式会社) 2007.10.11, 段落[0033]-[0034], 図4 (ファミリーなし)	1-7, 10, 13 8, 9, 11, 12
A	JP 2012-043890 A (株式会社デンソー, トヨタ自動車株式会社, 株式会社豊田中央研究所) 2012.03.01, 段落[0039]-[0065], 図1, 2 & US 2012/0043581 A1, 段落[0055]-[0086], 図1, 2 & DE 102011080891 A1 & CN 102376709 A	1-13

☑ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

13.03.2017

国際調査報告の発送日

04.04.2017

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

恩田 和彦

5 F

5896

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2010/143288 A1 (トヨタ自動車株式会社) 2010.12.16, 段落[0011]-[0020], 図1 & US 2012/0080718 A1, 段落[0012]-[0021], 図1 & EP 2442355 A1 & KR 10-1221206 B1 & CN 102804359 A	1-13