(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014 年 3 月 27 日(27.03.2014)

WIPO | PCT

(10) 国際公開番号
WO 2014/045882 A1

(51) 国際特許分類:
H01L 33/32 (2010.01) *H01L 33/38* (2010.01)

(21) 国際出願番号: PCT/JP2013/073923

(22) 国際出願日: 2013 年 9 月 5 日(05.09.2013)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2012-204923 2012 年 9 月 18 日(18.09.2012) JP

(71) 出願人: ウシオ電機株式会社(USHIO DENKI KABUSHIKI KAISHA) [JP/JP]; 〒1008150 東京都千代田区大手町２丁目６番１号 Tokyo (JP).

(72) 発明者: 三好　晃平(MIYOSHI, Kohei); 〒6710224 兵庫県姫路市別所町佐土１１９４番地　ウシオ電機株式会社内 Hyogo (JP). 月原　政志(TSUKIHARA, Masashi); 〒6710224 兵庫県姫路市別所町佐土１１９４番地　ウシオ電機株式会社内 Hyogo (JP).

(74) 代理人: 特許業務法人　ユニアス国際特許事務所 (UNIUS PATENT ATTORNEYS OFFICE); 〒5320011 大阪府大阪市淀川区西中島５丁目１３－９　新大阪ＭＴビル１号館 Osaka (JP).

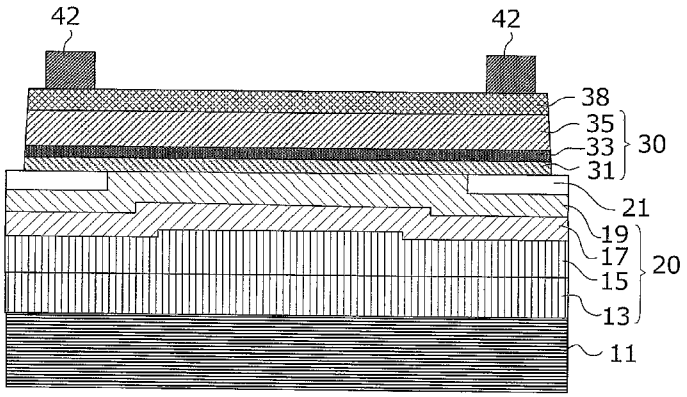
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT,

[続葉有]

(54) **Title**: LED ELEMENT, AND PRODUCTION METHOD THEREFOR

(54) 発明の名称 : ＬＥＤ素子及びその製造方法



1

(57) **Abstract**: The purpose of the present invention is to achieve an LED element which is capable of achieving excellent light extraction efficiency even at low operating voltages, and which can be produced using a simple process. An LED element (1) is provided with: a support substrate (11); a conductive layer (20) formed above the support substrate (11); an insulation layer (21) formed such that a bottom surface thereof is in contact with a portion of an upper surface of the conductive layer (20); a p-type semiconductor layer (31) formed such that a bottom surface thereof is in contact with a portion of an upper surface of the insulation layer (21) and a portion of the upper surface of the conductive layer (20); a light emission layer (33) which is formed above the p-type semiconductor layer (31), and which is configured from a nitride semiconductor; an n-type semiconductor layer (35) formed above the light emission layer (33); a transparent electrode (38) formed above the n-type semiconductor layer (35) and on the whole surface of the n-type semiconductor layer (35); and power supply terminals (42) formed such that bottom surfaces thereof are in contact with portions of an upper surface of the transparent electrode (38). The n-type semiconductor layer (35) is configured from $Al_nGa_{1-n}N$ ($0<n<1$). The concentration of n-type impurities in at least an area of the n-type semiconductor layer (35), said area being in contact with the transparent electrode (38), is greater than $1x10^{19}/cm^3$.

(57) 要約:

[続葉有]

WO 2014/045882 A1

NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告（条約第 21 条(3)）

低い動作電圧でも、高い光の取り出し効率が実現され、且つ簡易なプロセスにて製造することが可能なＬＥＤ素子を実現する。ＬＥＤ素子１は、支持基板１１と、支持基板１１の上層に形成された導電層２０と、導電層２０の一部上面に底面を接触して形成された絶縁層２１と、導電層２０の一部上面及び絶縁層２１の一部上面に底面を接触して形成された、ｐ型半導体層３１と、ｐ型半導体層３１の上層に形成された、窒化物半導体で構成される発光層３３と、発光層３３の上層に形成された、ｎ型半導体層３５と、ｎ型半導体層３５の上層の全面に形成された透明電極３８と、透明電極３８の一部上面に底面を接触して形成された給電端子４２を有し、ｎ型半導体層３５は、$Al_nGa_{1-n}N$（０＜ｎ＜１）で構成され、少なくとも透明電極３８と接触する領域のｎ型不純物濃度が1×10^{19}／cm^3より大きい。

明　細　書

発明の名称 ： ＬＥＤ素子及びその製造方法

技術分野

[0001] 本発明はＬＥＤ素子及びその製造方法に関し、特に窒化物半導体で構成された縦型ＬＥＤ素子及びその製造方法に関する。

背景技術

[0002] 従来、窒化物半導体を用いたＬＥＤにおいては、主としてＧａＮが利用されている。この場合、格子整合の観点からサファイア基板上にエピタキシャル成長させて欠陥の少ないＧａＮ膜を形成することで、窒化物半導体からなるＬＥＤ素子を形成していた。ここで、サファイア基板は絶縁材であることから、ＧａＮ系ＬＥＤへの給電には、ｐ層の一部を削ってｎ層を露出させ、ｐ層及びｎ層の各層に給電用電極を形成していた。このように給電用の電極が同じ向きに配置されている構造のＬＥＤを横型構造と呼び、例えば下記特許文献１にこのような技術が開示されている。

[0003] 一方で、ＬＥＤ素子の発光効率の改善や光取り出しの効率化を目的として、ｐ層とｎ層を表裏面に配置し給電する、いわゆる縦型構造のＬＥＤの開発が進められている。この縦型構造のＬＥＤを製造する際には、サファイア基板上に下から順にｎ層、ｐ層を配置し、当該ｐ層側にシリコン（Ｓｉ）や銅タングステン（ＣｕＷ）からなる支持基板を接合した後、サファイア基板が除去される。この場合、素子表面はｎ層側となり、このｎ層に給電端子を設け、この給電端子に給電線であるワイヤを繋ぐことで電圧供給を行っている。

[0004] 縦型の構造においては、ｐ層側の電極（以下、「ｐ側電極」と呼ぶ。）と、ｎ層上に形成されるボンディング電極（以下、「ｎ側電極」と呼ぶ。）の間に電圧が印加されると、ｐ側電極から発光層を含むＬＥＤ層を介してｎ側電極に電流が流れる。発光層内を電流が流れることで、当該発光層の領域が発光する。

[0005] ここで、ｐ側電極とｎ側電極は鉛直方向に対向する位置関係に配置される。このため、両電極間に電圧が印加された場合、ｐ側電極からｎ側電極に向かってほぼ最短距離で向かう鉛直方向の電流経路が形成される。この場合、ｎ側電極の直下に位置する発光層内を大部分の電流が流れ、他の発光層内にはあまり電流が流れず、発光領域が限定的となり、発光効率が低くなるという問題がある。

[0006] このような課題を受け、下記特許文献２では、ｎ側電極を網目状に設ける構成が開示されている。ｎ側電極を網目状に設けることで、光の取り出し領域を確保しながら、発光層を流れる電流を水平方向に広げることが可能となる。

[0007] また、ＬＥＤ層とｎ側電極の間の抵抗値が高いと、発光に必要な電流を流すために必要な電圧が高くなってしまうという別の課題がある。このため、低い動作電圧で高い光量の光を取り出すためには、ＬＥＤ層とｎ側電極の間の抵抗値をなるべく低下させることが重要となる。このような課題を受け、下記特許文献３では、ＬＥＤ層のうちのｎ層を、高濃度層と低濃度層を順次積層させて形成したＬＥＤ素子が開示されている。

先行技術文献

特許文献

[0008] 特許文献1：特許第２９７６９５１号明細書

特許文献2：特許第３５１１９７０号明細書

特許文献3：特開２００７－２５８５２９号公報

非特許文献

[0009] 非特許文献1：S.Fritze, et al., "High Si and Ge n-type doping of GaN doping - Limits and impact on stress", Applied Physics Letters 100, 122104, (2012)

発明の概要

発明が解決しようとする課題

[0010] 発光層内の水平方向の広い範囲にわたって電流を流すために、ｎ側電極をｎ層上層の全面にわたって形成することができれば、これは最も簡便な方法であるといえる。しかし、ｎ側電極は通常金属電極が用いられる。金属電極をｎ層上層の全面に形成すると、発光層で発光した光は金属電極に遮られ、素子の外部に取り出すことができない。そこで、光の取り出し領域を確保しつつ、発光領域を水平方向になるべく広くするために、上記の特許文献２では、網目状に金属電極を形成する方法を採用している。

[0011] しかし、この方法においても、網目状に形成された金属電極が発光層からの光を一部遮ってしまう。

[0012] 光を効率良く外部に取り出しつつ、発光領域を水平方向になるべく広くするための方法としては、ｎ側電極をＩＴＯなどの透明電極（透光性導電性層）で形成し、これをｎ層上層の全面に形成するということが考えられる。しかし、透明電極は金属よりも比抵抗が大きく、ｎ層との界面でのオーミック接続が取りにくい。この結果、ｎ層とｎ側電極の間に大きな抵抗が生じ、発光層に対して発光に必要な電流を流すためにｐ側電極とｎ側電極と間に大きな電圧を印加させる必要が生じる。

[0013] 必要な印加電圧を抑制しつつ、発光層に対して必要な電流を流すためには、ｐ側電極とｎ側電極の間の抵抗値をできるだけ小さくすることが好ましい。そこで、ｎ側電極に透明電極を採用しながらも、ｎ層とｎ側電極間の抵抗値をできるだけ小さくするためには、ｎ層のドープ量をできるだけ多くすることでｎ層とｎ側電極の間のオーミック接続を実現させる方法が考えられる。

[0014] ところで、ＬＥＤ層を構成する半導体層、特にｎ層においては、そのドープ量を１×１０^{19}／ｃｍ^{3}以上にすると、原子結合の状態が悪化するなどの原因により、膜荒れが発生してしまうという現象が知られている（例えば上記非特許文献１参照）。このような現象が生じてしまうと、低抵抗のｎ層が形成されず、結果的に発光効率が低下してしまう。上記特許文献３では、この課題を克服すべく、高濃度のｎ層と低濃度のｎ層を交互に順次積層させる構

成としている。同文献によれば、このような構成としたことで、高濃度層に形成された表面の荒れが低濃度層によって埋められるため、良質なｎ層が形成されるとされている。

[0015] しかし、特許文献３に記載の方法を採用した場合、ｎ層として高濃度層と低濃度層を順次交互に複数組積層させる必要があるため、プロセスが複雑化してしまうという別の問題が発生する。

[0016] 本発明は上記の課題に鑑み、低い動作電圧でも、高い光の取り出し効率が実現され、且つ簡易なプロセスにて製造することが可能なＬＥＤ素子を実現することを目的とする。

課題を解決するための手段

[0017] 本発明のＬＥＤ素子は、窒化物半導体を含むＬＥＤ素子であって、

導電体又は半導体で構成された支持基板と、

前記支持基板の上層に形成された導電層と、

前記導電層の一部上面に底面を接触して形成された絶縁層と、

前記導電層の一部上面及び前記絶縁層の一部上面に底面を接触して形成された、ｐ型窒化物半導体で構成される第１半導体層と、

前記第１半導体層の上層に形成された、窒化物半導体で構成される発光層と、

前記発光層の上層に形成された、ｎ型窒化物半導体で構成される第２半導体層と、

前記第２半導体層の上層の全面に形成された透明電極と、

前記透明電極の一部上面に底面を接触して形成された給電端子を有し、

前記第２半導体層は、$Al_nGa_{1-n}N$（０＜ｎ＜１）で構成され、少なくとも前記透明電極と接触する領域のｎ型不純物濃度が1×10^{19}／cm^3より大きいことを特徴とする。

[0018] 本発明者の鋭意研究により、ｎ型の第２半導体層をＧａＮではなく$Al_nGa_{1-n}N$（０＜ｎ＜１）で構成したときには、不純物濃度を1×10^{19}／ｃｍ

^{3}より大きくしても膜荒れの問題が生じないことが確認できた。この結果、ｎ層の抵抗値を低下させることが可能となるため、この上層に透明電極を形成しても、ｎ層と透明電極の間のオーミック接続が実現される。

[0019] よって、透明電極を第２半導体層の上層全面に形成することが可能となる。これにより、発光層の広い領域に電流を流すことができるので、広い発光領域が実現される。また、金属電極ではないので、光を遮ることがなく、高い光の取り出し効率が実現される。

[0020] 更に、第２半導体層としては、単に不純物濃度を１×１０^{19}／ｃｍ^{3}より大きいＡｌ$_{n}$Ｇａ$_{1-n}$Ｎ（０＜ｎ＜１）を形成するだけでよく、低濃度層と高濃度層を複数組交互に積層させる必要がない。よって、複雑な製造プロセスを必要とせず、簡易なプロセスにてＬＥＤ素子を製造することが可能である。

[0021] なお、上記透明電極としては、例えばＩＴＯ（Indium Tin Oxide）、ＩＺＯ（Indium Zinc Oxide）、Ｉｎ$_{2}$Ｏ$_{3}$、ＳｎＯ$_{2}$などを利用することができる。

[0022] 上記のＬＥＤ素子は、以下の工程を経て形成することが可能である。すなわち、

サファイア基板を準備する工程（ａ）と、

前記サファイア基板の上層に、Ａｌ$_{n}$Ｇａ$_{1-n}$Ｎ（０＜ｎ＜１）で構成される前記第２半導体層を形成する工程（ｂ）と、

前記第２半導体層の上層に、前記発光層、前記第１半導体層を下からこの順に形成する工程（ｃ）と、

前記第１半導体層の一部上面を覆うように絶縁層を形成する工程（ｄ）と、

露出している前記第１半導体層の上面及び前記絶縁層の上面を覆うように導電層を形成する工程（ｅ）と、

前記導電層の上面に、直接又は別の導電層を介して導電体又は半導体で構成された支持基板の底面を貼り合せる工程（ｆ）と、

前記支持基板を底面、前記サファイア基板を上面に位置させた状態で、上

方からレーザを照射して前記サファイア基板を剥離して前記第２半導体層の上面を露出させる工程（ｇ）と、

前記第２半導体層の上層に、前記第２半導体層の上面を完全に覆うように透明電極を形成する工程（ｈ）と、

前記透明電極の上層の所定箇所に給電端子を形成する工程（ｉ）である。

[0023] そして、前記工程（ｂ）を、少なくとも前記サファイア基板と接触する領域のｎ型不純物濃度が１×１０^{19}／ｃｍ^{3}より大きくなるように前記第２半導体層を形成する工程とする。

発明の効果

[0024] 本発明によれば、低い動作電圧でも、高い光の取り出し効率が実現され、且つ簡易なプロセスにて製造することが可能なＬＥＤ素子が実現できる。

図面の簡単な説明

[0025] [図1]ＬＥＤ素子の概略断面図である。

[図2A]ｎ型不純物濃度を５×１０^{19}／ｃｍ^{3}としたときのＡＩＧａＮの層表面の写真である。

[図2B]ｎ型不純物濃度を１．５×１０^{19}／ｃｍ^{3}としたときのＧａＮの層表面の写真である。

[図3A]オーミック接続の検証用素子（実施例１）の構成図である。

[図3B]オーミック接続の検証用素子（実施例２）の構成図である。

[図3C]オーミック接続の検証用素子（比較例）の構成図である。

[図4A]実施例１におけるＩ－Ｖ特性を示すグラフである。

[図4B]実施例２におけるＩ－Ｖ特性を示すグラフである。

[図4C]比較例におけるＩ－Ｖ特性を示すグラフである。

[図5A]透明電極の透光性を評価するための検証用素子の構成図である。

[図5B]透明電極の透光性を評価するための検証用素子の構成図である。

[図5C]透明電極の透光性を示すグラフである。

[図6]ＩＴＯのアニール温度とキャリア濃度の関係を示すグラフである。

[図7A]ＬＥＤ素子の工程断面図の一部である。

[図7B]ＬＥＤ素子の工程断面図の一部である。

[図7C]ＬＥＤ素子の工程断面図の一部である。

[図7D]ＬＥＤ素子の工程断面図の一部である。

[図7E]ＬＥＤ素子の工程断面図の一部である。

[図7F]ＬＥＤ素子の工程断面図の一部である。

[図7G]ＬＥＤ素子の工程断面図の一部である。

[図7H]ＬＥＤ素子の工程断面図の一部である。

[図8]ＬＥＤ素子の製造方法を示すフローチャートである。

発明を実施するための形態

[0026] 本発明のＬＥＤ素子及びその製造方法につき、図面を参照して説明する。なお、各図において図面の寸法比と実際の寸法比は必ずしも一致しない。

[0027] ［構造］

本発明のＬＥＤ素子１の構造につき、図１を参照して説明する。図１はＬＥＤ素子１の概略断面図である。

[0028] ＬＥＤ素子１は、支持基板１１、導電層２０、絶縁層２１、ＬＥＤ層３０及び給電端子４２を含んで構成される。ＬＥＤ層３０は、ｐ型半導体層３１（「第１半導体層」に対応）、発光層３３、及びｎ型半導体層３５（「第２半導体層」に対応）が下からこの順に積層されて形成されている。

[0029] （支持基板１１）

支持基板１１は、例えばＣｕW、W、Ｍｏなどの導電性基板、又はＳｉなどの半導体基板で構成される。

[0030] （導電層２０）

支持基板１１の上層には、多層構造からなる導電層２０が形成されている。この導電層２０は、本実施形態では、ハンダ層１３、ハンダ層１５、保護層１７及び反射電極１９を含む。

[0031] ハンダ層１３及びハンダ層１５は、例えばＡｕ－Ｓｎ、Ａｕ－Ｉｎ、Ａｕ－Ｃｕ－Ｓｎ、Ｃｕ－Ｓｎ、Ｐｄ－Ｓｎ、Ｓｎなどで構成される。後述するように、これらのハンダ層１３とハンダ層１５は、支持基板１１上に形成さ

れたハンダ層１３と、別の基板上に形成されたハンダ層１５を対向させた後に、両者を貼り合せることで形成されたものである。

[0032] 保護層１７は、例えばＰｔ系の金属（ＴｉとＰｔの合金）、Ｗ、Ｍｏ、Ｎｉなどで構成される。後述するように、ハンダ層を介した貼り合わせの際、ハンダを構成する材料が後述する反射電極１９側に拡散し、反射率が落ちることによる発光効率の低下を防止する機能を果たしている。

[0033] 反射電極１９は、例えばＡｇ系の金属（ＮｉとＡｇの合金）、Ａｌ、Ｒｈなどで構成される。本素子１は、ＬＥＤ層３０の発光層３３から放射された光を、図１の上方向に取り出すことを想定しており、反射電極１９は、発光層３３から下向きに放射された光を上向きに反射させることで発光効率を高める機能を果たしている。

[0034] なお、導電層２０は、一部においてＬＥＤ層３０、より詳細にはｐ型の半導体層３１と接触しており、支持基板１１と給電端子４２の間に電圧が印加されると、支持基板１１、導電層２０、ＬＥＤ層３０を介して給電端子４２へと流れる電流経路が形成される。

[0035] （絶縁層２１）

絶縁層２１は、例えばSiO_2、ＳｉＮ、Zr_2O_3、ＡｌＮ、Al_2O_3などで構成される。この絶縁層２１は、上面がｐ型半導体層３１の底面と接触している。なお、この絶縁層２１は、後述するように素子分離時におけるエッチングストッパー層として機能する。

[0036] （ＬＥＤ層３０）

上述したように、ＬＥＤ層３０は、ｐ型半導体層３１、発光層３３、及びｎ型半導体層３５が下からこの順に積層されて形成される。

[0037] ｐ型半導体層３１は、例えば$Al_mGa_{1-m}N$（０＜ｍ＜１）で構成される層（正孔供給層）とＧａＮで構成される層（保護層）を含む多層構造で構成される。いずれの層も、Ｍｇ、Ｂｅ、Ｚｎ、Ｃなどのｐ型不純物がドープされている。

[0038] 発光層３３は、例えばＧａＩｎＮからなる井戸層とＡｌＧａＮからなる障

壁層が繰り返されてなる多重量子井戸構造を有する半導体層で形成される。これらの層はノンドープでもｐ型又はｎ型にドープされていても構わない。

[0039] ｎ型半導体層３５は、発光層３３に接触する領域にＧａＮで構成される層（保護層）を含み、透明電極３８に接触する領域に$Al_nGa_{1-n}N$（０＜ｎ＜１）で構成される層（電子供給層）を含む多層構造である。少なくとも保護層には、Ｓｉ、Ｇｅ、Ｓ、Ｓｅ、Ｓｎ、Ｔｅなどのｎ型不純物がドープされており、特にＳｉがドープされているのが好ましい。

[0040] また、透明電極３８に接触する領域のｎ型半導体層３５は、ｎ型不純物濃度が1×10^{19}／cm^3より大きく、好ましくは3×10^{19}／cm^3以上となるように不純物がドープされている。なお、実験によって得られた写真に基づいて後述されるように、本構成においては、ｎ型半導体層３５の不純物濃度を1×10^{19}／cm^3より大きい値（例えば5×10^{19}／cm^3）としても、膜荒れは生じない。

[0041] （透明電極３８）

透明電極３８は、例えばＩＴＯ、ＩＺＯ、In_2O_3、SnO_2、ＩＧＺＯ（ＩｎＧａＺｎＯｘ）などの透光性導電材料で構成される。この透明電極３８は、ｎ型半導体層３５の上層の全面に形成されており、発光層３３の水平方向の電流広がりを実現している。

[0042] なお、実験データを参照して後述されるように、本構成においては、ｎ型半導体層３５と透明電極３８の界面においてオーミック接続が形成されており、ｎ型半導体層３５と透明電極３８の間の低抵抗化が実現されている。

[0043] （給電端子４２）

給電端子４２は透明電極３８の上層に形成され、例えばＣｒ－Ａｕで構成される。この給電端子４２は、例えばＡｕ、Ｃｕなどで構成されるワイヤが連絡されており（不図示）、このワイヤの他方は、ＬＥＤ素子１が配置されている基板の給電パターンなどに接続される（不図示）。

[0044] なお、図示していないが、ＬＥＤ層３０及び透明電極３８の側面及び上面に保護膜としての絶縁層を形成しても構わない。なお、この保護膜としての

絶縁層は、透光性を有する材料（例えばSiO_2など）で構成するのが好ましい。また、上述の実施形態では、ｐ型半導体層３１を構成する一材料を$Al_mGa_{1-m}N$（０＜ｍ＜１）と記載し、ｎ型半導体層３５を構成する一材料を$Al_nGa_{1-n}N$（０＜ｎ＜１）と記載したが、これらは同一の材料であっても構わない。

[0045] ［膜荒れの有無の検証］

次に、ＬＥＤ素子１のように、ｎ型半導体層３５を$Al_nGa_{1-n}N$（０＜ｎ＜１）で構成することで、不純物濃度を1×10^{19}／cm^3より大きくしても膜荒れが発生しないことにつき、図２Ａ及び図２Ｂの実験データを参照して説明する。なお、以下では、$Al_nGa_{1-n}N$（０＜ｎ＜１）を$Al_nGa_{1-n}N$と略記する。

[0046] 図２Ａは、ｎ型不純物濃度を5×10^{19}／cm^3としたときのＡｌＧａＮの層表面の写真である。また、図２Ｂは、ｎ型不純物濃度を1.5×10^{19}／cm^3としたときのＧａＮの層表面の写真である。なお、図２Ａは、ＡＦＭ（Atomic Force Microscopy：原子間力顕微鏡）で撮影されたものであり、図２Ｂは、ＳＥＭ（Scanning Electron Microscope：走査型電子顕微鏡）で撮影されたものである。

[0047] 図２Ｂに示すように、ｎ型半導体層をＧａＮで構成した場合、ｎ型不純物濃度を1.5×10^{19}／cm^3とすると、表面に荒れが生じていることが分かる。なお、不純物濃度を1.3×10^{19}／cm^3、2×10^{19}／cm^3としても同様に表面の荒れが確認できた。これより、ＧａＮにおいては、非特許文献１に記載のように、1×10^{19}／cm^3より大きくすると層表面に荒れが生じてしまうことが分かる。

[0048] これに対し、図２Ａによれば、ｎ型半導体層をＡｌＧａＮで構成すると、ｎ型不純物濃度を5×10^{19}／cm^3としてもステップ状の表面（原子ステップ）が確認されており、層表面に荒れが生じていないことが分かる。なお、構成材料として、ＡｌとＧａの成分比率を変化させても（$Al_nGa_{1-n}N$）、同様に層表面に荒れが生じないことが確認された。また、ｎ型半導体層を

ＧａＮで構成し、ｎ型不純物濃度を０．５×１０^{19}／ｃｍ^{3}、つまりｎ型不純物濃度を１×１０^{19}／ｃｍ^{3}以下とした場合でも、図２Ａと同様の写真が得られた。

[0049] 以上によれば、ｎ型半導体層をＡｌ$_{n}$Ｇａ$_{1-n}$Ｎで構成することで、ｎ型不純物濃度を１×１０^{19}／ｃｍ^{3}より大きくしても、膜荒れの問題が生じないことが分かる。

[0050] ［オーミック接続の検証］

次に、ｎ型半導体層３５のうち、少なくとも透明電極３８と接触する領域を不純物濃度が１×１０^{19}／ｃｍ^{3}より大きいＡｌ$_{n}$Ｇａ$_{1-n}$Ｎで構成することで、ｎ型半導体層３５と透明電極３８の間にオーミック接続が形成されることにつき、実施例を参照して説明する。

[0051] 図３Ａ～図３Ｃは、オーミック接続検証のために形成した素子の例である。なお、あくまで図３Ａ～図３Ｃは、ｎ型半導体層３５と透明電極３８のオーミック接続検証のための素子であるため、ＬＥＤ素子１とは異なり、検証に必要な範囲で素子を構成した。また、図３Ａ～図３Ｃでは、透明電極３８としてＩＴＯを採用した。

[0052] （実施例１）

図３Ａに示す検証用素子２Ａは、ＬＥＤ素子１と同様に、支持基板１１上に、ハンダ層１３，１５、ハンダ拡散防止用の保護層１７を形成している。そして、保護層１７の上層には、絶縁層２１を介してｎ型半導体層３５を形成し、その上層に透明電極３８を２箇所形成している。ｎ型半導体層３５は、透明電極３８と接触する領域を含む最上部の位置に、不純物濃度が３×１０^{19}／ｃｍ^{3}のＡｌ$_{n}$Ｇａ$_{1-n}$Ｎで構成される高濃度層３５Ａを有している。

[0053] （実施例２）

図３Ｂに示す検証用素子２Ｂは、サファイア基板６１の上層にノンドープ層３６を介してｎ型半導体層３５を形成し、その上層に透明電極３８を２箇所形成している。ｎ型半導体層３５は、透明電極３８と接触する領域を含む最上部の位置に、不純物濃度が３×１０^{19}／ｃｍ^{3}のＡｌ$_{n}$Ｇａ$_{1-n}$Ｎで構成

される高濃度層３５Ａを有している。

[0054] 検証用素子２Ｂは、$Al_nGa_{1-n}N$の極性の相違が透明電極３８とのオーミック接続に影響するかどうかを検証するために形成された素子である。

[0055] 後述するように、図１に示すＬＥＤ素子１を製造する際には、まずサファイア基板６１上にノンドープ層３６を形成した後、その上層にｎ型半導体層３５を形成する。その後、その上層に発光層３３、ｐ型半導体層３１を形成した後、絶縁層２１やハンダ層１５を含む導電層２０を形成する。その後、別途の支持基板１１を準備し、この上層にハンダ層１３を形成した後、ハンダ層１３及びハンダ層１５を接合させることで、サファイア基板６１と支持基板１１を貼り合せる。その後、支持基板１１を下側、サファイア基板６１を上側に配置して、サファイア基板６１を剥離した後、透明電極３８を形成する。

[0056] $Al_nGa_{1-n}N$は、最上面の格子を構成する原子がＮ原子かＧａ原子かで、格子極性が異なる。最上面の格子を構成する原子がＮ原子であるものをＮ極性、Ｇａ原子であるものをＧａ極性と呼ぶ。$Al_nGa_{1-n}N$をサファイア基板６１上に形成すると、格子の最上層にはＧａ原子が位置するようには形成されることが知られている。このため、図３Ｂに示す検証用素子２Ｂでは、透明電極３８と接触する領域の$Al_nGa_{1-n}N$の結晶格子はＧａ原子で構成されている。つまり、検証用素子２Ｂは透明電極３８と接触する領域にＧａ極性の$Al_nGa_{1-n}N$が形成されている素子を想定している。

[0057] これに対し前述したように、ＬＥＤ素子１は、サファイア基板６１を上方に反転させた後、このサファイア基板６１を剥離することで製造される。このため、ｎ型半導体層３５は、最上層を構成する結晶格子がＮ原子となる。つまり、ＬＥＤ素子１は、後述する製造方法で製造した場合、通常は透明電極３８と接触する領域の$Al_nGa_{1-n}N$の結晶格子がＮ原子で構成される。つまり、ｎ型半導体層３５は、透明電極３８と接触する領域において、Ｎ極性の$Al_nGa_{1-n}N$が形成される。検証用素子２Ａは、この点に鑑み、透明電極３８と接触する領域にＮ極性の$Al_nGa_{1-n}N$が形成されている素子を

想定している。ただし、製造方法によっては、透明電極３８と接触する領域にＧａ極性のＡｌ$_{n}$Ｇａ$_{1-n}$Ｎが形成される場合もあり得るため、実施例２の検証用素子２Ｂについても実験を行った。

[0058] （比較例）

図３Ｃに示す検証用素子２Ｃは、検証用素子２Ｂに対して、Ａｌ$_{n}$Ｇａ$_{1-n}$Ｎで構成されるｎ型半導体層３５に代えて、ＧａＮで構成されるｎ型半導体層９５を形成したものである。このｎ型半導体層９５は、透明電極３８と接触する領域を含む最上部の位置に、不純物濃度が１×１０^{19}／ｃｍ^{3}（膜荒れが生じない上限値）のＧａＮで構成される層９５Ａを有している。なお、この構成の場合、実施例２と同様に、透明電極３８と接触する領域に形成されるＧａＮの格子極性はＮ極性となる。

[0059] 図４Ａ～図４Ｃは、各検証用素子２Ａ、２Ｂ、２Ｃに対して、ｎ型半導体層とその上層に積層された透明電極３８の間におけるＩ－Ｖ特性を測定したグラフである。具体的には、離間して形成された２つの透明電極３８の間に電圧Ｖを印加し、このＶの値と高濃度のｎ型半導体層（３５Ａ、９５Ａ）を介して流れる電流量Ｉの値の関係をグラフ化したものである。より詳細には、このグラフは、両者に印加する電圧を０Ｖを基準として０から負電圧、また０から正電圧へと徐々に変化させて、印加電圧毎に電流Ｉを測定し、印加電圧と電流との関係をグラフ化したものである。

[0060] 図４Ａは検証用素子２Ａ（実施例１）、図４Ｂは検証用素子２Ｂ（実施例２）、図４Ｃは検証用素子２Ｃ（比較例）にそれぞれ対応している。なお、図４Ａでは、オーミック接続の形成を確認するための比較として、透明電極３８に代えて通常の金属電極材料（Ｔｉ／Ａｌ／Ｔｉ／Ａｕ）を形成した場合のＩ－Ｖ特性を併せて図示している。

[0061] 図４Ａによれば、ｎ型半導体層３５の透明電極３８と接触する領域を、不純物濃度が３×１０^{19}／ｃｍ^{3}のＮ極性のＡｌ$_{n}$Ｇａ$_{1-n}$Ｎで構成した場合、その上層にＩＴＯからなる透明電極３８を形成しても、金属電極（Ｔｉ／Ａｌ／Ｔｉ／Ａｕ）が形成されているのと同様にほぼ直線状のＩ－Ｖ特性を示

すことが分かる。また、ＩＴＯのアニール温度が３００℃の場合も４００℃の場合も、その特性にほとんど変化は見られない。つまり、透明電極３８と接触する領域を不純物濃度が３×１０^{19}／ｃｍ^{3}のＡｌ$_{n}$Ｇａ$_{1-n}$Ｎで構成することで、上層に金属電極が形成されている場合と同様のオーミック接続が実現できていることが分かる。

[0062] また、図４Ｂによれば、ｎ型半導体層３５の透明電極３８と接触する領域を、不純物濃度が３×１０^{19}／ｃｍ^{3}のＧａ極性のＡｌ$_{n}$Ｇａ$_{1-n}$Ｎで構成した場合、図４Ａと同様、その上層に透明電極３８を形成してもオーミック接続が実現できていることが分かる。図４Ａ及び図４Ｂから、透明電極３８とｎ型半導体層３５の間のＩ－Ｖ特性は、透明電極３８と接触する領域のｎ型半導体層３５の極性には依存しないことが分かる。

[0063] これに対し、図４Ｃのように、ｎ型半導体層３５の透明電極３８と接触する領域を、不純物濃度が１×１０^{19}／ｃｍ^{3}のＧａＮで構成した場合、０Ｖ近傍の領域におけるＩ－Ｖ特性曲線の傾きは、０Ｖから離れた負電圧及び正電圧領域のＩ－Ｖ特性曲線の傾きよりも緩やかである。このことは、絶対値の大きな電圧を印加すると電流が流れやすいが、０Ｖに近い絶対値の小さな電圧を印加すると電流が流れにくいことを示しており、ショットキー接続が形成されていることを示唆するものである。

[0064] ＩＴＯのアニール温度を上昇させることで、ＩＴＯのキャリア濃度を高めることが可能である。しかし、図４Ｃによれば、ＩＴＯのアニール温度を６００℃まで高めても、依然としてショットキー接続が形成されており、オーミック接続は実現できていない。なお、詳細は後述されるが、ＬＥＤ素子１を実現するに当たっては、２つの基板をハンダ層によって貼り合せる工程が必要となる。もしハンダの融点を超える高い温度でＩＴＯのアニールが実行されると、ハンダが融解され、貼り合せられた基板のズレが生じ、融けた金属が側壁に付着して電気的特性を悪化させるおそれがある。このため、ハンダの融点を超えるような高い温度でＩＴＯのアニールを行うことができない。

[0065] 以上を鑑みれば、図４Ｃによれば、ｎ型半導体層３５の透明電極３８と接触する領域を、不純物濃度が１×１０^{19}／ｃｍ^{3}のＧａＮで構成した場合に、ｎ型半導体層３５と透明電極３８の間でのオーミック接続を実現することができないと結論付けられる。

[0066] なお、ｎ型半導体層３５をＧａ極性のＧａＮで構成した場合についてのＩ－Ｖ特性は示していないが、図４Ｃと同様の極性が得られた。図４Ａ及び図４Ｂを参照して説明したように、透明電極３８とｎ型半導体層３５の間のＩ－Ｖ特性は、透明電極３８と接触する領域のｎ型半導体層３５の極性には依存しないことが分かる。

[0067] つまり、ｎ型半導体層３５の構成材料をＧａＮとした場合、膜荒れの問題が生じない範囲内で最大の不純物濃度である１×１０^{19}／ｃｍ^{3}としても、透明電極３８との間ではオーミック接続が実現されないことが分かる。この場合、透明電極３８とｎ型半導体層３５の間の抵抗値が高くなってしまい、発光に必要な電流を流すために必要な電圧が高くなってしまう。

[0068] ＬＥＤ素子１のように、ｎ型半導体層３５として$Al_nGa_{1-n}N$を用いることで、膜荒れを生じさせずに１×１０^{19}／ｃｍ^{3}を超える高濃度層３５Ａが実現できる。そして、このような高濃度層３５Ａと透明電極３８を接触させることにより、ｎ型半導体層３５と透明電極３８の間のオーミック接続が実現される。よって、ｎ側電極として透明電極３８をｎ型半導体層３５の上面全面に形成しても、低い印加電圧で発光層に十分な電流を流すことができる。

[0069] ［透光性の検証］

次に、透明電極３８の透光性について検証する。図５Ａ及び図５Ｂは検証方法を説明するための概念図、図５Ｃは検証結果を示すグラフである。

[0070] 図５Ａに示すように、サファイア基板６１の裏面から光を照射し、表面における光量Ｘを測定する。同様に、図５Ｂに示すように、サファイア基板６１上に透明電極３８を形成した素子において、サファイア基板６１の裏面から光を照射し、表面（透明電極３８側）における光量Ｙを測定する。このよ

うな測定を、光の波長を変化させながら行い、波長毎に透過率ｄ＝Ｙ／Ｘを算定してグラフ化したものが図５Ｃである。なお、光量の測定方法は、紫外可視光分光光度計を用いて行った。

[0071] 図５Ｃによれば、λ≧４００ｎｍの範囲内では、ＩＴＯのアニール温度が３００℃であっても４００℃であっても、９０％以上の透過率ｄが実現できている。また、λ≧３５０ｎｍの範囲内では、８０％以上の透過率ｄが実現できている。よって、透明電極３８は光を透過する機能を十分に有していることが分かる。つまり、図１に示すように、ＬＥＤ素子１においてＬＥＤ層３０の上面全面に透明電極３８を形成しても、ＬＥＤ層３０で発光した光が透明電極３８で大きく減衰されるようなことはなく、当該光を高効率で外部に取り出すことが可能である。

[0072] ［ＩＴＯのアニール温度］

図６は、ＩＴＯのアニール温度とＩＴＯ内のキャリア濃度の関係を示すグラフである。

[0073] ｎ型半導体層３５の不純物濃度を十分高くしたとしても、透明電極３８を構成する材料のキャリア濃度が著しく低い場合には、ｎ型半導体層３５と透明電極３８の間の抵抗値を低下させることができない。図６によれば、透明電極３８としてＩＴＯを用いた場合において、ＩＴＯのアニール温度を３００℃としたときに、４．５×10^{20}／cm^3のＩＴＯ内キャリア濃度が実現されている。このように十分高いＩＴＯキャリア濃度が実現されている場合には、ｎ型半導体層３５と透明電極（ＩＴＯ）３８の間の抵抗値は、ＩＴＯのキャリア濃度よりもｎ型半導体層３５の不純物濃度に依存する。

[0074] 図６によれば、透明電極３８をＩＴＯとした場合に、ＩＴＯ内に十分なキャリア濃度を確保できていることが分かる。このことは、図４Ａ及び図４Ｂに示すように、ｎ型半導体層３５と透明電極３８の間のオーミック接続が実現できていることを示す別の根拠となるものである。

[0075] ［ＬＥＤ素子１の製造方法］

次に、本発明のＬＥＤ素子１の製造方法につき、図７Ａ～図７Ｈに示す工

程断面図、及び図８に示すフローチャートを参照して説明する。また、以下の説明に示すステップ番号は、図８のフローチャートのステップ番号に対応している。

[0076] また、下記製造方法で説明する製造条件や膜厚などの寸法は、あくまで一例であって、これらの数値に限定されるものではない

[0077] （ステップＳ１）

図７Ａに示すように、サファイア基板６１上にＬＥＤエピ層４０を形成する。このステップＳ１は工程（ａ）～（ｃ）に対応しており、例えば以下の手順により行われる。

[0078] 〈サファイア基板６１の準備〉

まず、ｃ面サファイア基板６１のクリーニングを行う。このクリーニングは、より具体的には、例えばＭＯＣＶＤ（Metal Organic Chemical Vapor Deposition：有機金属化学気相蒸着）装置の処理炉内にｃ面サファイア基板６１を配置し、処理炉内に流量が１０ｓｌｍの水素ガスを流しながら、炉内温度を例えば１１５０℃に昇温することにより行われる。このサファイア基板６１を準備する工程が工程（ａ）に対応する。

[0079] 〈ノンドープ層３６の形成〉

次に、ｃ面サファイア基板６１の表面に、ＧａＮよりなる低温バッファ層を形成し、更にその上層にＧａＮよりなる下地層を形成する。これら低温バッファ層及び下地層がノンドープ層３６に対応する。

[0080] ノンドープ層３６のより具体的な形成方法は例えば以下の通りである。まず、ＭＯＣＶＤ装置の炉内圧力を１００ｋＰａ、炉内温度を４８０℃とする。そして、処理炉内にキャリアガスとして流量がそれぞれ５ｓｌｍの窒素ガス及び水素ガスを流しながら、原料ガスとして、流量が５０μｍｏｌ／ｍｉｎのトリメチルガリウム及び流量が２５００００μｍｏｌ／ｍｉｎのアンモニアを処理炉内に６８秒間供給する。これにより、ｃ面サファイア基板の表面６１に、厚みが２０ｎｍのＧａＮよりなる低温バッファ層を形成する。

[0081] 次に、ＭＯＣＶＤ装置の炉内温度を１１５０℃に昇温する。そして、処理

炉内にキャリアガスとして流量が２０ｓｌｍの窒素ガス及び流量が１５ｓｌｍの水素ガスを流しながら、原料ガスとして、流量が１００μｍｏｌ／ｍｉｎのトリメチルガリウム及び流量が２５００００μｍｏｌ／ｍｉｎのアンモニアを処理炉内に３０分間供給する。これにより、第１バッファ層の表面に、厚みが１．７μｍのＧａＮよりなる下地層を形成する。

[0082] 〈ｎ型半導体層３５の形成〉

次に、ノンドープ層３６の上層に$Al_nGa_{1-n}N$（０＜ｎ＜１）の組成からなる電子供給層を形成し、更にその上層にｎ型ＧａＮよりなる保護層を形成する。これら電子供給層及び保護層がｎ型半導体層３５に対応する。

[0083] ｎ型半導体層３５のより具体的な形成方法は例えば以下の通りである。まず、ＭＯＣＶＤ装置の炉内圧力を３０ｋＰａとする。そして、処理炉内にキャリアガスとして流量が２０ｓｌｍの窒素ガス及び流量が１５ｓｌｍの水素ガスを流しながら、原料ガスとして、流量が９４μｍｏｌ／ｍｉｎのトリメチルガリウム、流量が６μｍｏｌ／ｍｉｎのトリメチルアルミニウム、流量が２５００００μｍｏｌ／ｍｉｎのアンモニア及び流量が０．０２５μｍｏｌ／ｍｉｎのテトラエチルシランを処理炉内に３０分間供給する。これにより、$Al_{0.06}Ga_{0.94}N$の組成を有し、Ｓｉ濃度が3×10^{19}／cm^3で厚みが１．７μｍの高濃度電子供給層をノンドープ層３６の上層に形成する。

[0084] その後、トリメチルアルミニウムの供給を停止すると共に、それ以外の原料ガスを６秒間供給することにより、電子供給層の上層に厚みが５ｎｍのｎ型ＧａＮよりなる保護層を形成する。

[0085] なお、ｎ型半導体層３５に含まれるｎ型不純物としては、シリコン（Ｓｉ）、ゲルマニウム（Ｇｅ）、硫黄（Ｓ）、セレン（Ｓｅ）、錫（Ｓｎ）及びテルル（Ｔｅ）などを用いることができる。これらの中では、特にシリコン（Ｓｉ）が好ましい。

[0086] このｎ型半導体層３５の形成工程が工程（ｂ）に対応する。

[0087] 〈発光層３３の形成〉

次に、ｎ型半導体層３５の上層にＧａＩｎＮで構成される井戸層及びｎ型

ＡｌＧａＮで構成される障壁層が周期的に繰り返される多重量子井戸構造を有する発光層３３を形成する。

[0088] 発光層３３のより具体的な形成方法は例えば以下の通りである。まず、ＭＯＣＶＤ装置の炉内圧力を１００ｋＰａ、炉内温度を８３０℃とする。そして、処理炉内にキャリアガスとして流量が１５ｓｌｍの窒素ガス及び流量が１ｓｌｍの水素ガスを流しながら、原料ガスとして、流量が１０μｍｏｌ／ｍｉｎのトリメチルガリウム、流量が１２μｍｏｌ／ｍｉｎのトリメチルインジウム及び流量が３０００００μｍｏｌ／ｍｉｎのアンモニアを処理炉内に４８秒間供給するステップを行う。その後、流量が１０μｍｏｌ／ｍｉｎのトリメチルガリウム、流量が１．６μｍｏｌ／ｍｉｎのトリメチルアルミニウム、０．００２μｍｏｌ／ｍｉｎのテトラエチルシラン及び流量が３０００００μｍｏｌ／ｍｉｎのアンモニアを処理炉内に１２０秒間供給するステップを行う。以下、これらの２つのステップを繰り返すことにより、厚みが２ｎｍのＧａＩｎＮよりなる井戸層及び厚みが７ｎｍのｎ型ＡｌＧａＮよりなる障壁層による１５周期の多重量子井戸構造を有する発光層３３が、ｎ型半導体層３５の表面に形成される。

[0089] 〈ｐ型半導体層３１の形成〉

次に、発光層３３の上層に、$Al_mGa_{1-m}N$（０＜ｍ＜１）で構成される層（正孔供給層）を形成し、更にその上層にｐ型ＧａＮで構成される層（保護層）を形成する。これら正孔供給層及び保護層がｐ型半導体層３１に対応する。

[0090] ｐ型半導体層３１のより具体的な形成方法は例えば以下の通りである。まず、ＭＯＣＶＤ装置の炉内圧力を１００ｋＰａに維持し、処理炉内にキャリアガスとして流量が１５ｓｌｍの窒素ガス及び流量が２５ｓｌｍの水素ガスを流しながら、炉内温度を１０５０℃に昇温する。その後、原料ガスとして、流量が３５μｍｏｌ／ｍｉｎのトリメチルガリウム、流量が２０μｍｏｌ／ｍｉｎのトリメチルアルミニウム、流量が２５００００μｍｏｌ／ｍｉｎのアンモニア及び流量が０．１μｍｏｌ／ｍｉｎのビスシクロペンタジエニ

ルを処理炉内に６０秒間供給する。これにより、発光層３３の表面に、厚みが２０ｎｍのＡｌ$_{0.3}$Ｇａ$_{0.7}$Ｎの組成を有する正孔供給層を形成する。その後、トリメチルアルミニウムの流量を９μｍｏｌ／ｍｉｎに変更して原料ガスを３６０秒間供給することにより、厚みが１２０ｎｍのＡｌ$_{0.13}$Ｇａ$_{0.87}$Ｎの組成を有する正孔供給層を形成する。

[0091] 更にその後、トリメチルアルミニウムの供給を停止すると共に、ビスシクロペンタジエニルの流量を０．２μｍｏｌ／ｍｉｎに変更して原料ガスを２０秒間供給することにより、厚みが５ｎｍのｐ型ＧａＮよりなるコンタクト層を形成する。

[0092] なお、ｐ型不純物としては、マグネシウム（Ｍｇ）、ベリリウム（Ｂｅ）、亜鉛（Ｚｎ）、カーボン（Ｃ）などを用いることができる。

[0093] なお、発光層３３及びｐ型半導体層３１を形成する工程が、工程（ｃ）に対応する。

[0094] このようにしてサファイア基板６１上に、ノンドープ層３６、ｎ型半導体層３５、発光層３３及びｐ型半導体層３１からなるＬＥＤエピ層４０が形成される。

[0095] （ステップＳ２）

次に、ステップＳ１で得られたウェハに対して活性化処理を行う。より具体的には、ＲＴＡ（Rapid Thermal Anneal：急速加熱）装置を用いて、窒素雰囲気下中６５０℃で１５分間の活性化処理を行う。

[0096] （ステップＳ３）

次に、図７Ｂに示すように、ｐ型半導体層３２の上層の所定箇所に絶縁層２１を形成する。より具体的には、後の工程で給電端子４２を形成する領域の下方に位置する箇所に絶縁層２１を形成する。絶縁層２１としては、例えばＳｉＯ$_2$を膜厚２００ｎｍ程度成膜する。なお成膜する材料は絶縁性材料であればよく、例えばＳｉＮ、Ａｌ$_2$Ｏ$_3$でも良い。

[0097] なお、このステップＳ３は工程（ｄ）に対応している。

[0098] （ステップＳ４）

図７Ｃに示すように、ｐ型半導体層３１及び絶縁層２１の上面を覆うように、導電層２０を形成する。ここでは、反射電極１９、保護層１７、及びハンダ層１５を含む多層構造の導電層２０を形成する。

[0099] 導電層２０のより具体的な形成方法は例えば以下の通りである。まず、スパッタ装置にてｐ型半導体層３１及び絶縁層２１の上面を覆うように、膜厚０．７ｎｍのＮｉ及び膜厚１２０ｎｍのＡｇを全面に成膜して、反射電極１９を形成する。次に、ＲＴＡ装置を用いてドライエアー雰囲気中で４００℃、２分間のコンタクトアニールを行う。

[0100] 次に、電子線蒸着装置（ＥＢ装置）にて反射電極１９の上面（Ａｇ表面）に、膜厚１００ｎｍのＴｉと膜厚２００ｎｍのＰｔを３周期成膜することで、保護層１７を形成する。更にその後、保護層１７の上面（Ｐｔ表面）に、膜厚１０ｎｍのＴｉを蒸着させた後、Ａｕ８０％Ｓｎ２０％で構成されるＡｕ－Ｓｎハンダを膜厚３μｍ蒸着させることで、ハンダ層１５を形成する。

[0101] なお、このハンダ層１５の形成ステップにおいて、サファイア基板６１とは別に準備された支持基板１１の上面にもハンダ層１３を形成するものとして構わない（図７Ｄ参照）。このハンダ層１３は、ハンダ層１５と同一の材料で構成されるものとしてよく、次のステップにおいてハンダ層１３と接合されることで、サファイア基板６１と支持基板１１が貼り合せられる。なお、この支持基板１１としては、構造の項で前述したように、例えばＣｕＷが用いられる。

[0102] なお、このステップＳ４は工程（ｅ）に対応している。

[0103] （ステップＳ５）

次に、図７Ｅに示すように、サファイア基板６１と支持基板１１とを貼り合せる。より具体的には、２８０℃の温度、０．２ＭＰａの圧力下で、ハンダ層１５と支持基板１１の上層に形成されたハンダ層１３とを貼り合せる。なお、このステップＳ５は工程（ｆ）に対応している。

[0104] （ステップＳ６）

次に、図７Ｆに示すように、サファイア基板６１を剥離する。より具体的

には、サファイア基板６１を上に、支持基板１１を下に向けた状態で、サファイア基板６１側からＫｒＦエキシマレーザを照射して、サファイア基板６１とＬＥＤエピ層４０の界面を分解させることでサファイア基板６１の剥離を行う。サファイア６１はレーザが通過する一方、その下層のＧａＮ（ノンドープ層３６）はレーザを吸収するため、この界面が高温化してＧａＮが分解される。これによってサファイア基板６１が剥離される。

[0105] その後、ウェハ上に残存しているＧａＮ（ノンドープ層３６）を、塩酸などを用いたウェットエッチング、ＩＣＰ装置を用いたドライエッチングによって除去し、ｎ型半導体層３５を露出させる。なお、本ステップＳ９においてノンドープ層３６が除去されて、ｐ型半導体層３１、発光層３３、及びｎ型半導体層３５がこの順に積層されてなるＬＥＤ層３０が残存する。

[0106] なお、このステップＳ６は工程（ｇ）に対応している。

[0107] （ステップＳ７）

次に、図７Ｇに示すように、隣接する素子同士を分離する。具体的には、隣接素子との境界領域に対し、ＩＣＰ装置を用いて絶縁層２１の上面が露出するまでＬＥＤ層３０をエッチングする。これにより、隣接領域のＬＥＤ層３０同士が分離される。なお、このとき絶縁層２１はエッチングストッパー層として機能する。

[0108] なお、このエッチング工程では、素子側面を垂直でなく、１０°以上のテーパ角を有する傾斜面とするのが好ましい。このようにすることで、後の工程で絶縁層を形成する際、ＬＥＤ層３０の側面に絶縁層が付着しやすくなり、電流リークを防ぐことができる。

[0109] また、ステップＳ７の後、ＬＥＤ層３０の上面にＫＯＨ等のアルカリ溶液で凹凸面を形成するものとしても構わない。これにより、光取り出し面積が増大し、光取り出し効率を向上させることができる。

[0110] （ステップＳ８）

次に、図７Ｈに示すように、ｎ型半導体層３５の上面全面に透明電極３８を形成する。より具体的には、ＩＴＯ、ＩＺＯなどの導電性透光性材料をス

パッタリング法によって３０ｎｍ～６００ｎｍの膜厚で成膜する。膜厚を１００～３００ｎｍとするのがより好ましい。

[0111] その後、当該成膜した透光性材料の再結晶化を促すために、ＲＴＡ装置を用いて、窒素雰囲気下中６００℃で５分間の活性化処理（コンタクトアニール）を行う。

[0112] このステップＳ８が工程（ｈ）に対応する。

[0113] （ステップＳ９）

次に、透明電極３８の上面に給電端子４２を形成する（図１参照）。より具体的には、膜厚１００ｎｍのＣｒと膜厚３μｍのＡｕからなる給電端子４２を形成後、窒素雰囲気中で２５０℃１分間のシンタリングを行う。なお、このステップＳ９は工程（ｉ）に対応している。

[0114] その後の工程としては、露出されている素子側面、及び給電端子４２以外の素子上面を絶縁層で覆う。より具体的には、ＥＢ装置にてSiO_2膜を形成する。なおＳｉＮ膜を形成しても構わない。そして、各素子同士を例えばレーザダイシング装置によって分離し、支持基板１１の裏面を例えばＡｇペーストにてパッケージと接合して給電端子４２に対してワイヤボンディングを行う。

[0115] ［別実施形態］

以下、別実施形態について説明する。

[0116] 〈１〉 上述の実施形態では、保護層１７をサファイア基板６１側に形成したが、支持基板１１側に形成しても構わない。すなわち、図７Ｄに示す構成に代えて、支持基板１１の上層に保護層１７を形成し、その上層にハンダ層１３を形成したものを、ステップＳ８においてサファイア基板６１と貼り合せても構わない。

[0117] 〈２〉 上述の実施形態では、サファイア基板６１と支持基板１１の両者にハンダ層を形成したが（ハンダ層１３、１５）、どちらか一方にのみハンダ層を形成した後に両基板を貼り合せても構わない。

[0118] 〈３〉 図１に示した構造、並びに図７Ａ～図７Ｈ及び図８に示した製造

方法は、好ましい実施形態の一例であって、これらの構成やプロセスの全てを備えなければならないというものではない。例えばハンダ層１３とハンダ層１５は、２つの基板の貼り合せを効率的に行うべく形成されたものであって、２基板の貼り合せが実現できるのであればＬＥＤ素子１の機能を実現する上で必ずしも必要なものではない。

[0119] 反射電極１９は、発光層３３から放射される光の取り出し効率を更に向上させる意味においては備えるのが好適であるが、必ずしも備えなければならないというものではない。保護層１７、ｎ型半導体層３５の表面の凹凸なども同様である。

[0120] また、絶縁層２１は、素子分離時のエッチングストッパー層として機能させるために形成したが、必ずしも備えなければならないものではない。ＬＥＤ素子１は、ｎ型半導体層３５の上面全面に透明電極３８を形成する構成としている。従って、発光層３３内を流れる電流を水平方向に広げる目的で、必ずしも給電端子４２の直下に絶縁層２１を設ける必要はない

符号の説明

[0121]

１ ： 本発明のＬＥＤ素子

２Ａ、２Ｂ、２Ｃ ：検証用素子

１１ ： 支持基板

１３ ： ハンダ層

１５ ： ハンダ層

１７ ： 保護層

１９ ： 反射電極

２０ ： 導電層

２１ ： 絶縁層

３０ ： ＬＥＤ層

３１ ： ｐ型半導体層

３３ ： 発光層

３５ ： ｎ型半導体層

３５Ａ　：　ｎ型高濃度層

３６　：　ノンドープ層

３８　：　透明電極

４０　：　ＬＥＤエピ層

４２　：　給電端子

６１　：　サファイア基板

９５　：　ｎ型半導体層（ＧａＮ）

９５Ａ　：　ｎ型ＧａＮの高濃度領域

請求の範囲

［請求項1］ 導電体又は半導体で構成された支持基板と、

前記支持基板の上層に形成された導電層と、

前記導電層の一部上面に底面を接触して形成された絶縁層と、

前記導電層の一部上面及び前記絶縁層の一部上面に底面を接触して形成された、ｐ型窒化物半導体で構成される第１半導体層と、

前記第１半導体層の上層に形成された、窒化物半導体で構成される発光層と、

前記発光層の上層に形成された、ｎ型窒化物半導体で構成される第２半導体層と、

前記第２半導体層の上層の全面に形成された透明電極と、

前記透明電極の一部上面に底面を接触して形成された給電端子を有し、

前記第２半導体層は、少なくとも前記透明電極と接触する領域が、$Al_nGa_{1-n}N$（０＜ｎ＜１）で構成され、ｎ型不純物濃度が１×10^{19}／cm^3より大きいことを特徴とするＬＥＤ素子。

［請求項2］ ｐ型窒化物半導体で構成される第１半導体層、窒化物半導体で構成される発光層、及びｎ型窒化物半導体で構成される第２半導体層を含むＬＥＤ素子の製造方法であって、

サファイア基板を準備する工程（ａ）と、

前記サファイア基板の上層に、ｎ型窒化物半導体で構成される前記第２半導体層を形成する工程（ｂ）と、

前記第２半導体層の上層に、前記発光層、前記第１半導体層を下からこの順に形成する工程（ｃ）と、

前記第１半導体層の一部上面を覆うように絶縁層を形成する工程（ｄ）と、

露出している前記第１半導体層の上面及び前記絶縁層の上面を覆うように導電層を形成する工程（ｅ）と、

前記導電層の上面に、直接又は別の導電層を介して導電体又は半導体で構成された支持基板の底面を貼り合せる工程（ｆ）と、

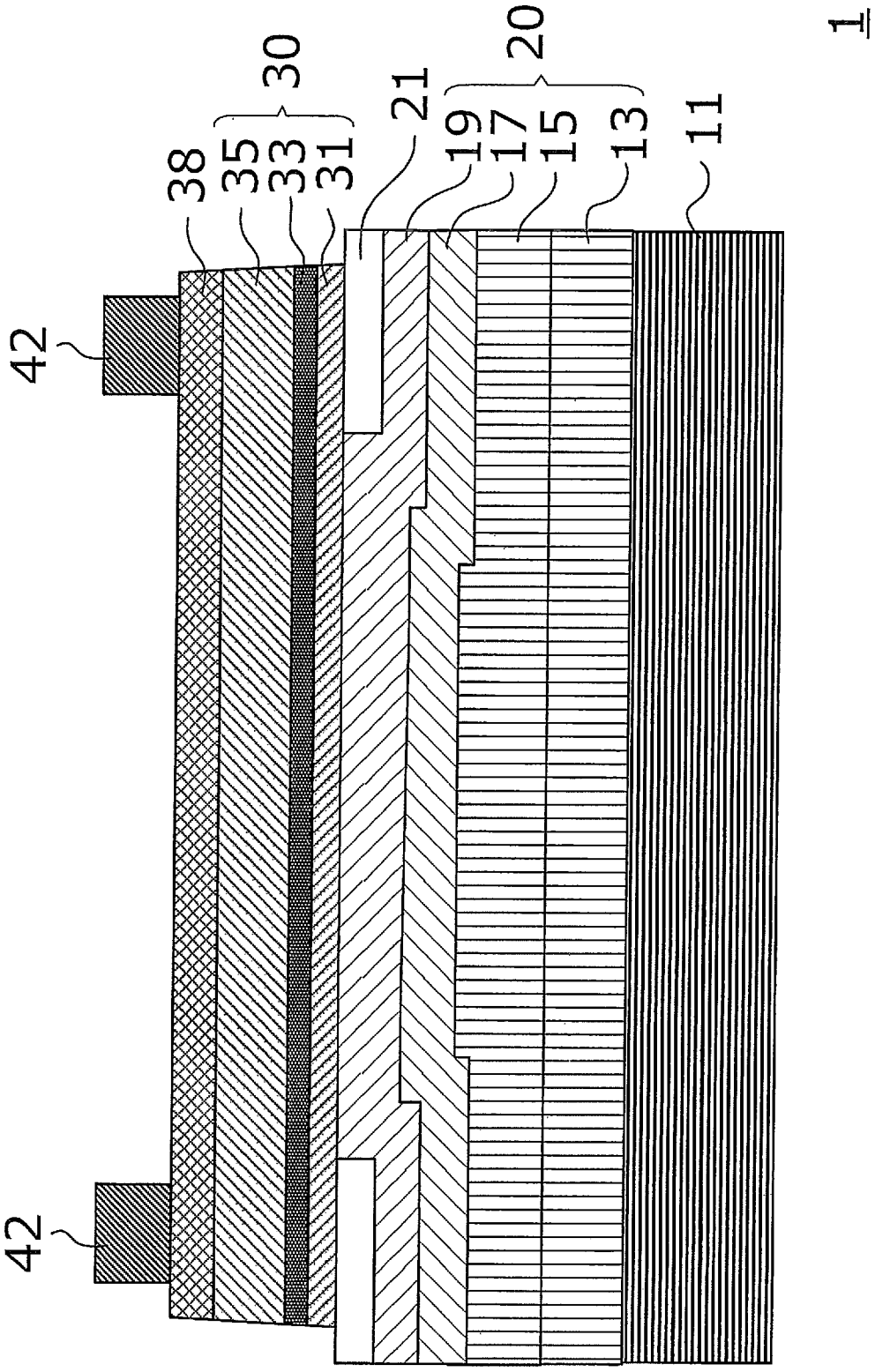
前記支持基板を底面、前記サファイア基板を上面に位置させた状態で、上方からレーザを照射して前記サファイア基板を剥離して前記第２半導体層の上面を露出させる工程（ｇ）と、

前記第２半導体層の上層に、前記第２半導体層の上面を完全に覆うように透明電極を形成する工程（ｈ）と、

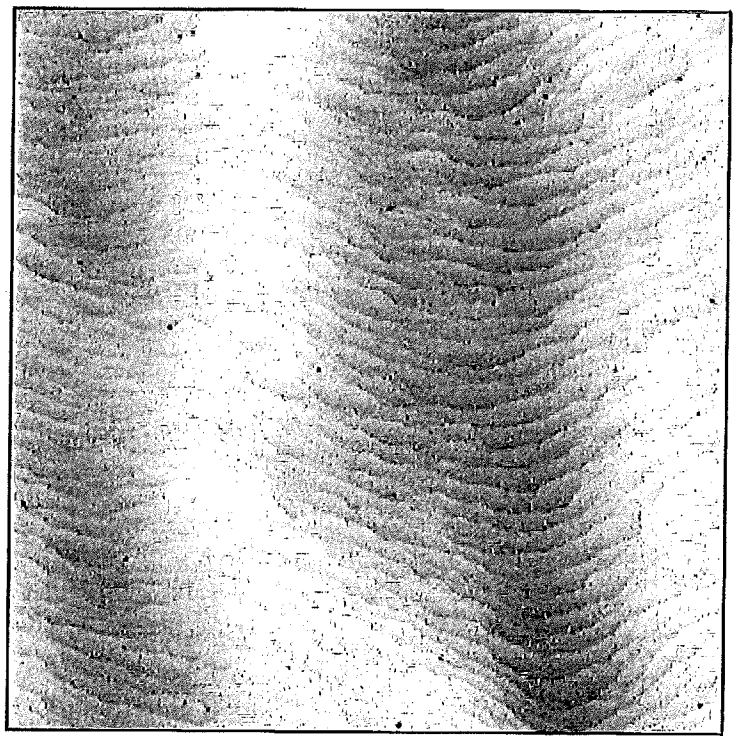
前記透明電極の上層の所定箇所に給電端子を形成する工程（ｉ）を有し、

前記工程（ｂ）は、少なくとも前記サファイア基板と接触する領域に対して、ｎ型不純物濃度が１×１０^{19}／ｃｍ^{3}より大きいＡｌ$_{n}$Ｇａ$_{1-n}$Ｎ（０＜ｎ＜１）で構成される前記第２半導体層を形成する工程であることを特徴とするＬＥＤ素子の製造方法。

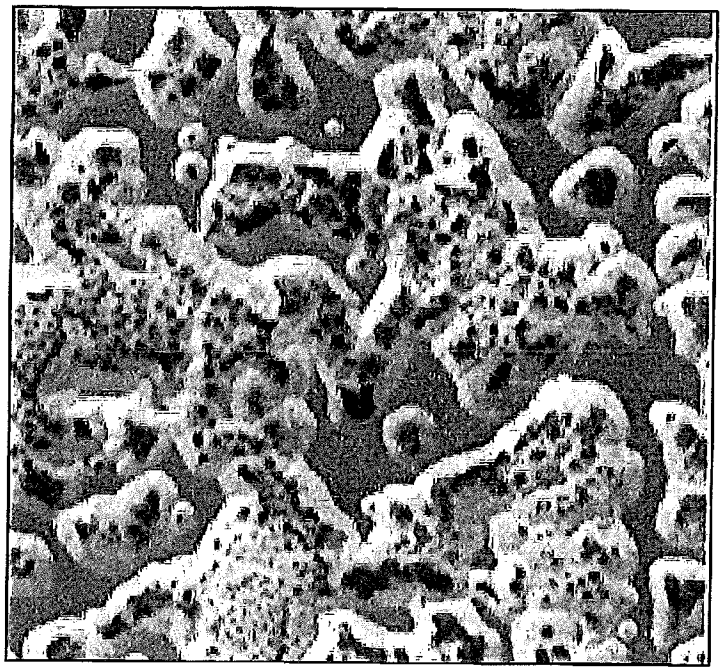
[図1]



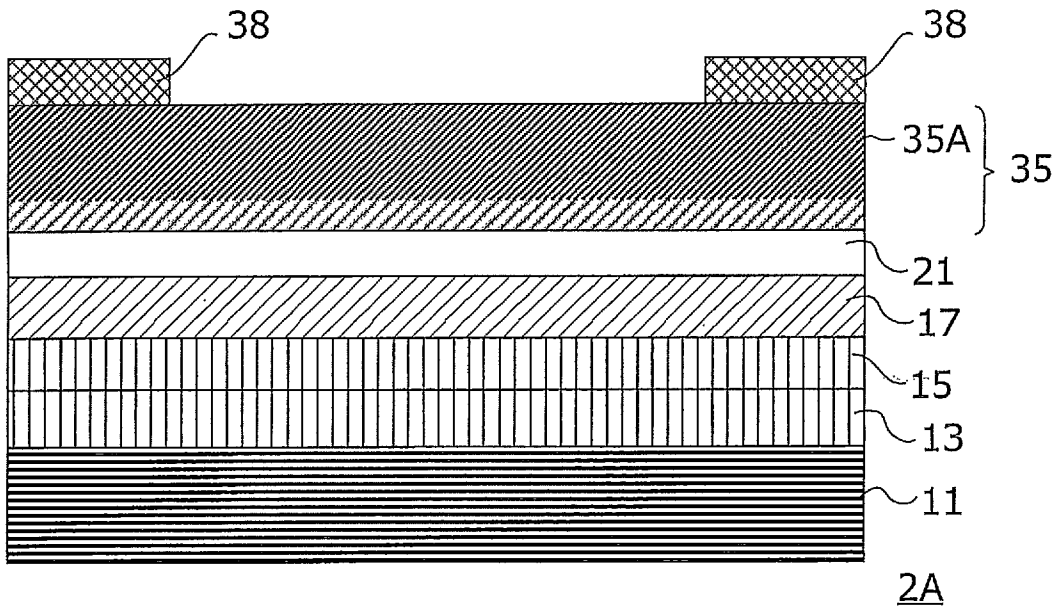
[図2A]



[図2B]

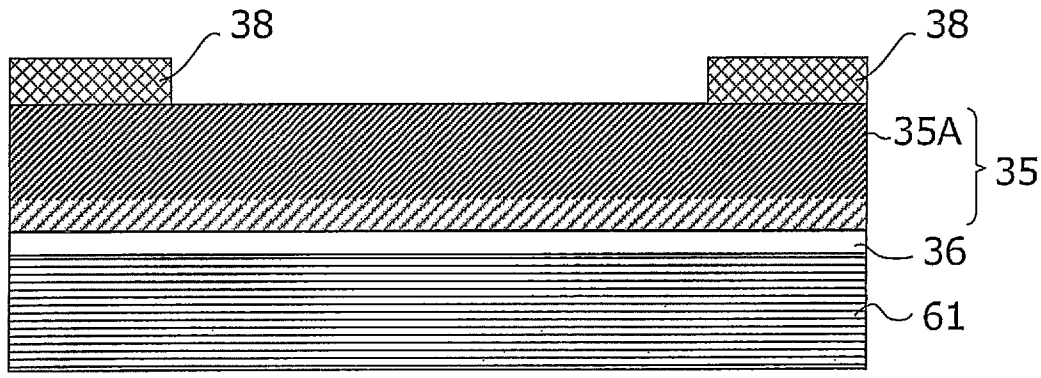


[図3A]



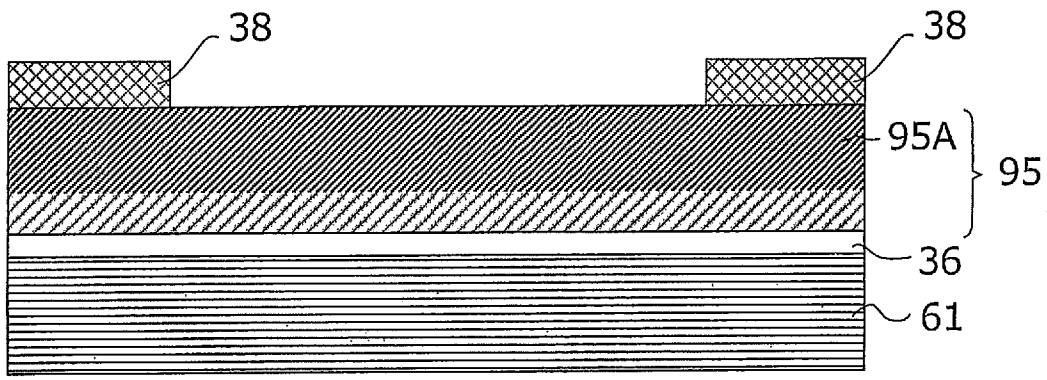
2A

[図3B]



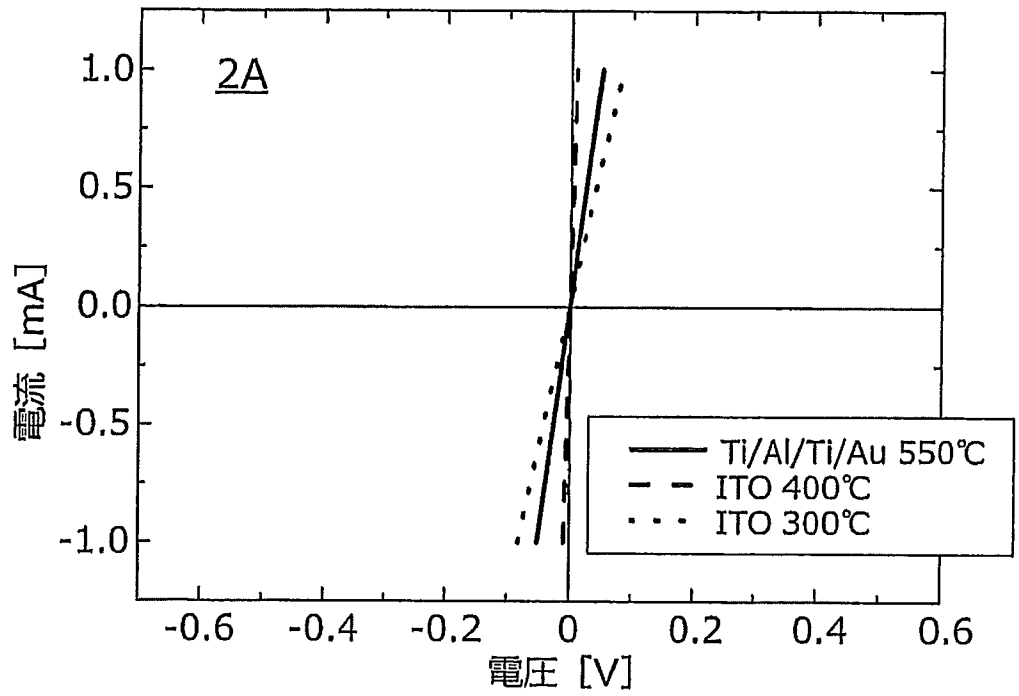
2B

[図3C]

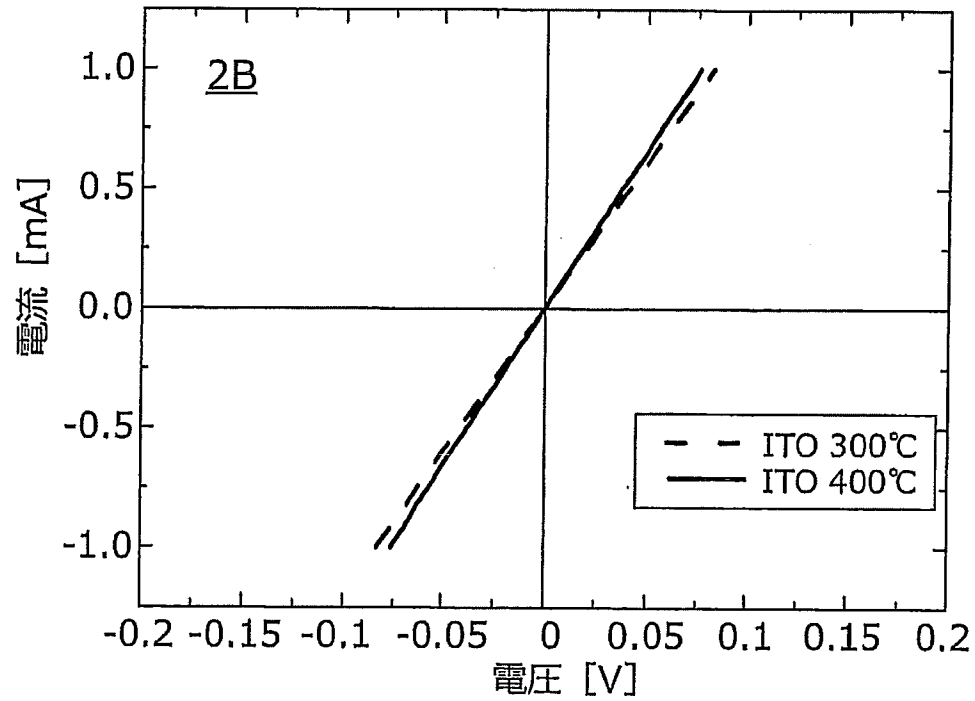


2C

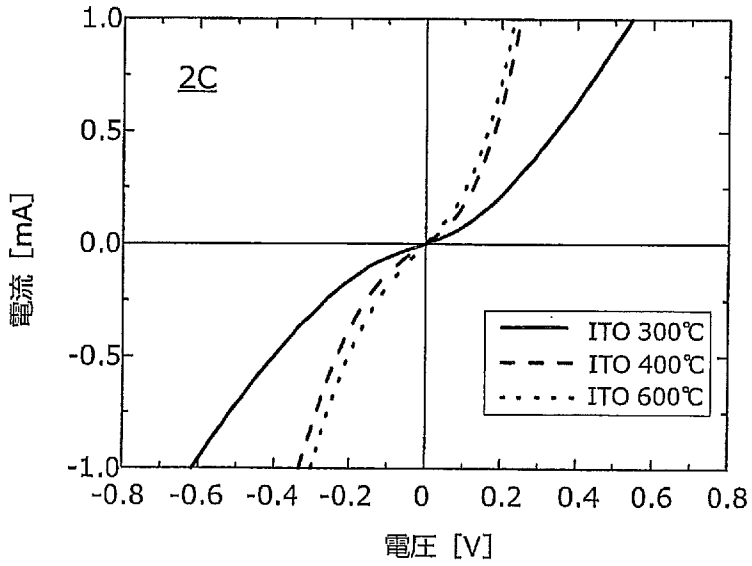
[図4A]


2A
1.0
0.5
0.0
-0.5
-1.0
電流 [mA]
-0.6
-0.4
-0.2
0
0.2
0.4
0.6
電圧 [V]
Ti/Al/Ti/Au 550℃
ITO 400℃
ITO 300℃

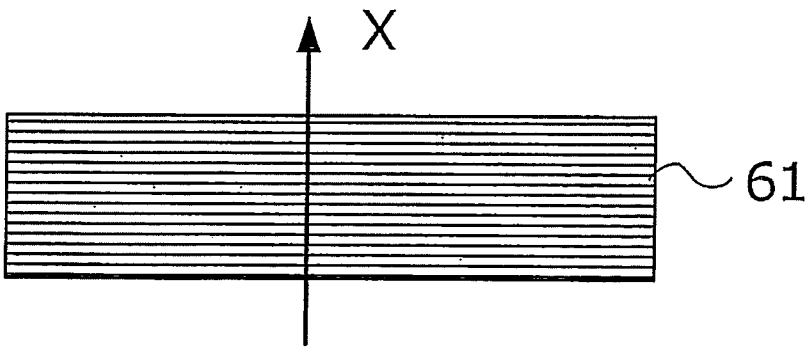
[図4B]


2B
1.0
0.5
0.0
-0.5
-1.0
電流 [mA]
-0.2
-0.15
-0.1
-0.05
0
0.05
0.1
0.15
0.2
電圧 [V]
ITO 300℃
ITO 400℃

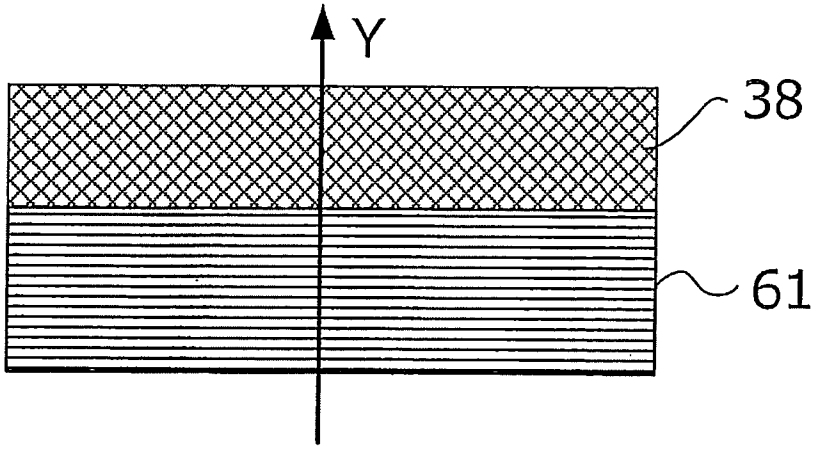
[図4C]


2C
1.0
0.5
0.0
-0.5
-1.0
-0.8
-0.6
-0.4
-0.2
0
0.2
0.4
0.6
0.8
電流 [mA]
電圧 [V]
ITO 300℃
ITO 400℃
ITO 600℃

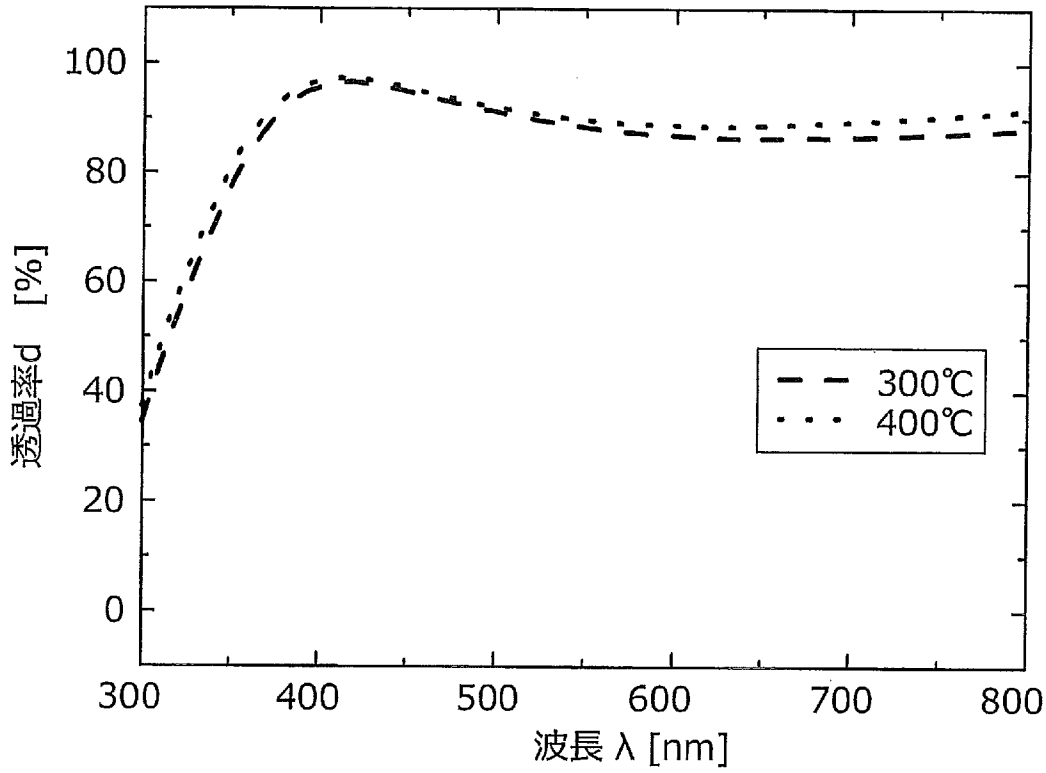
[図5A]


X
61

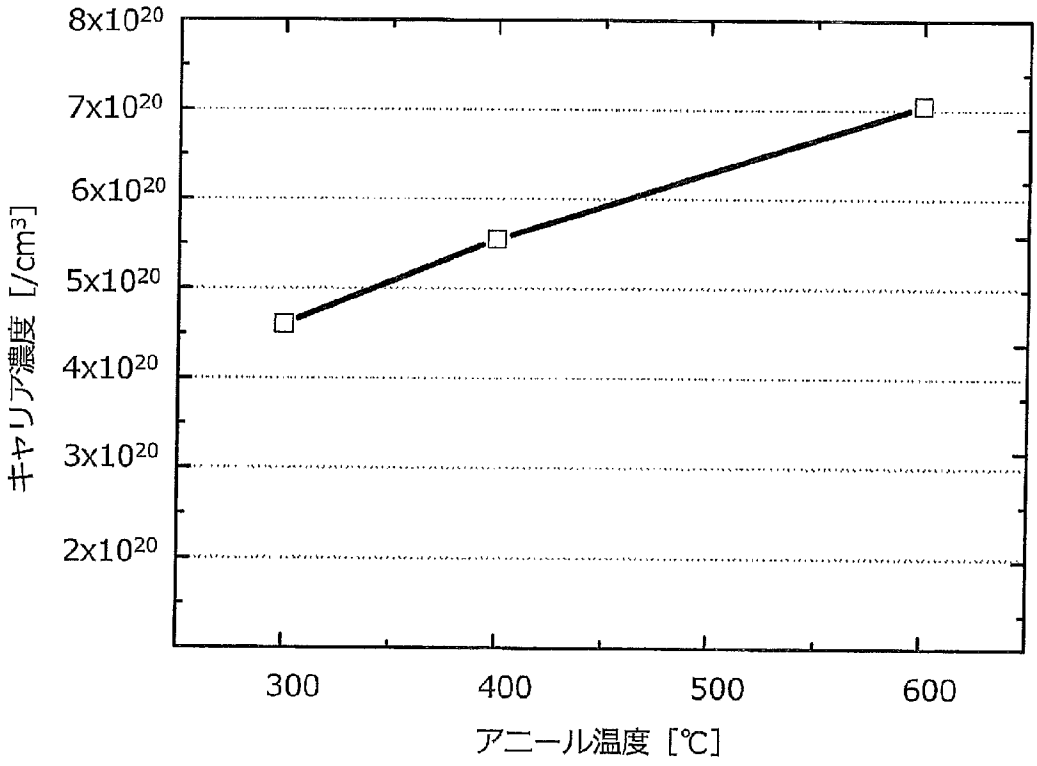
[図5B]


Y
38
61

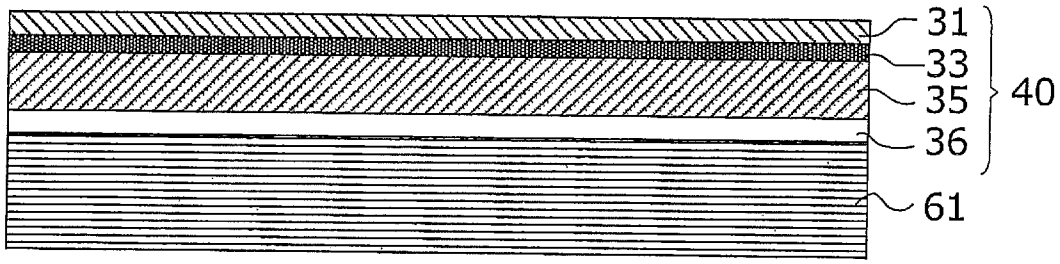
[図5C]


100
80
60
40
20
0
透過率d [%]
300
400
500
600
700
800
波長 λ [nm]
300℃
400℃

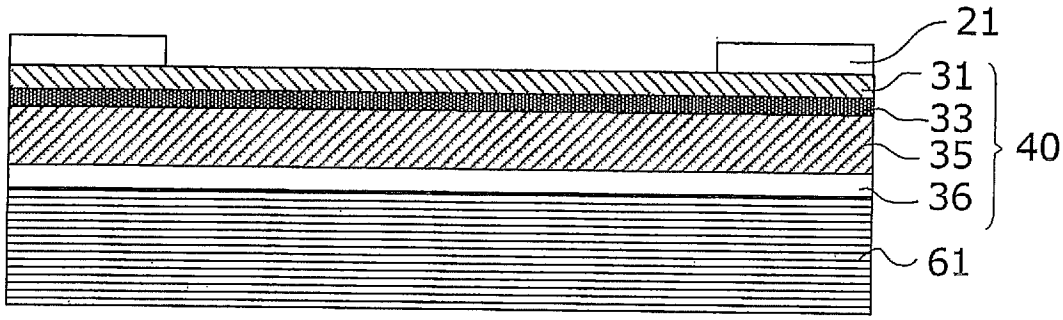
[図6]


8x10^20
7x10^20
6x10^20
5x10^20
4x10^20
3x10^20
2x10^20
キャリア濃度 [/cm^3]
300
400
500
600
アニール温度 [℃]

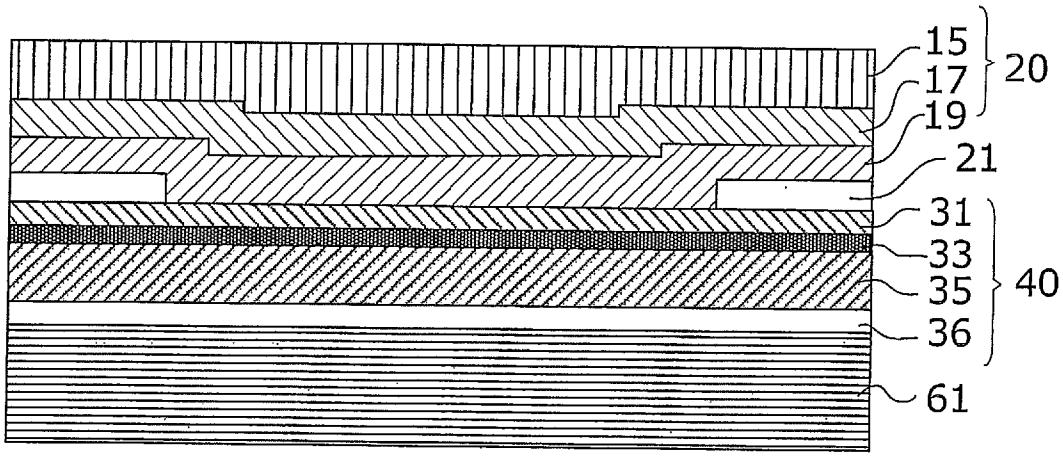
[図7A]



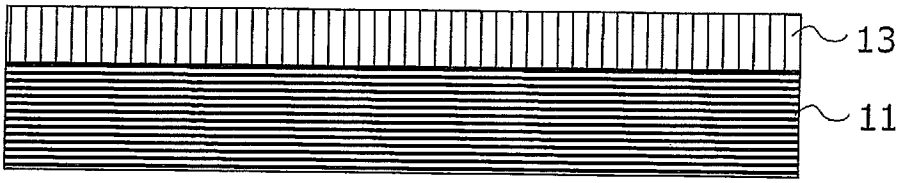
[図7B]



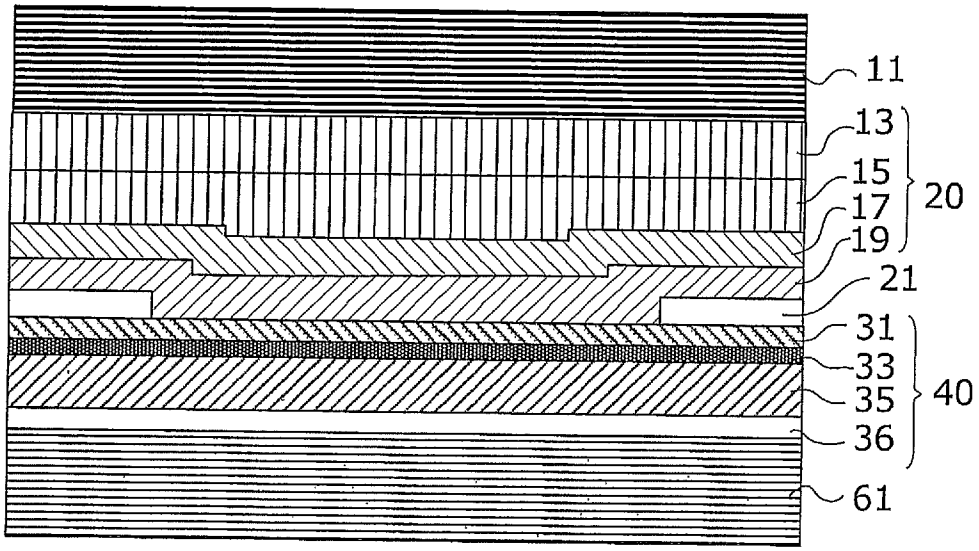
[図7C]



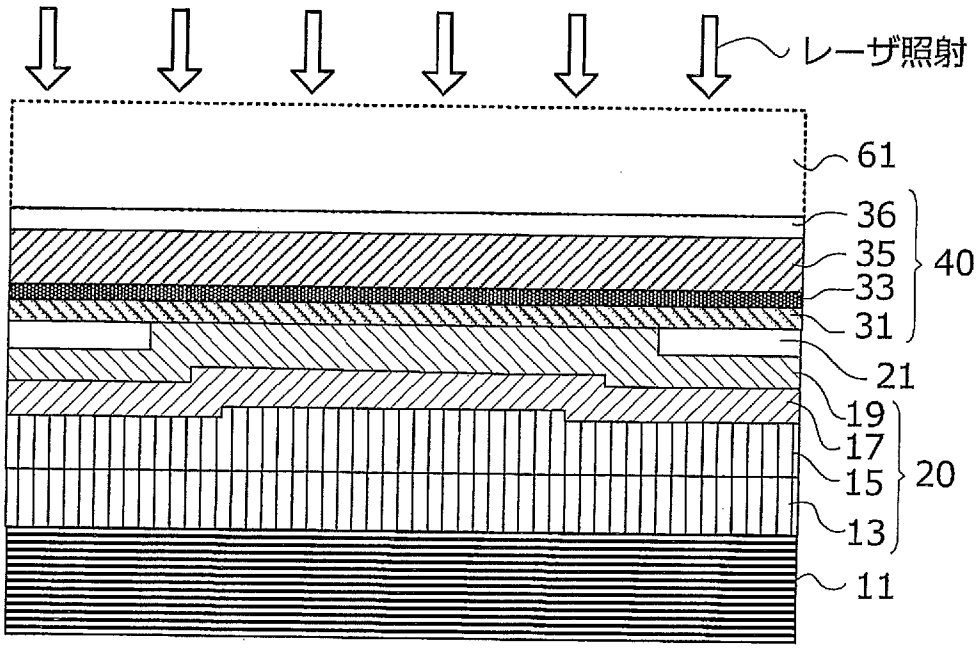
[図7D]



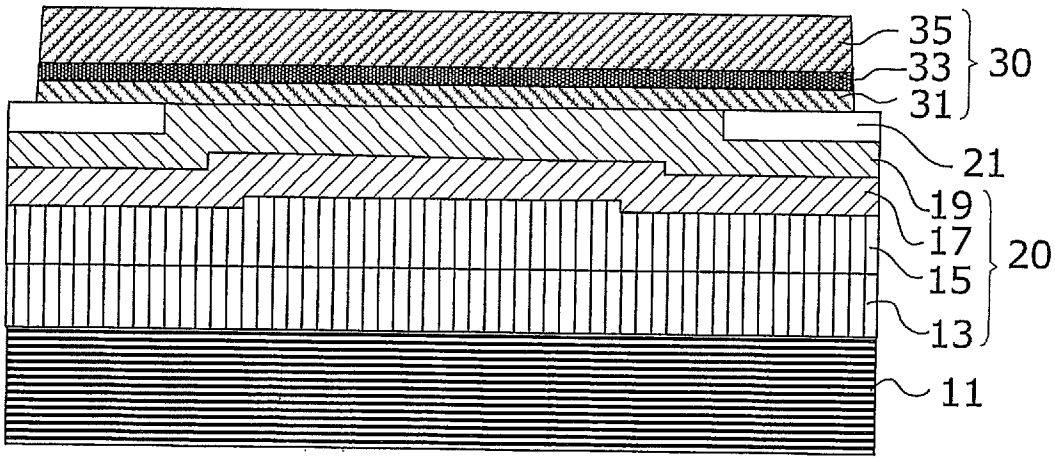
[図7E]


11
13
15
17
19
20
21
31
33
35
36
40
61

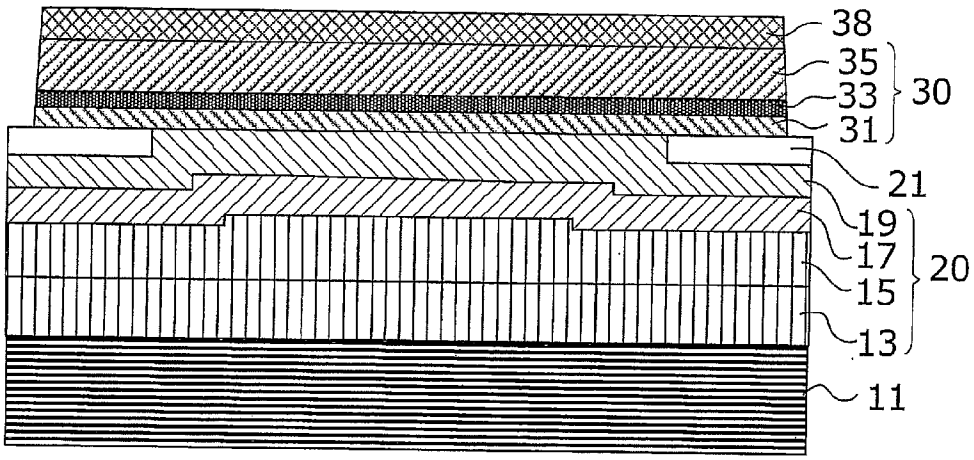
[図7F]


レーザ照射
61
36
35
33
31
40
21
19
17
15
13
20
11

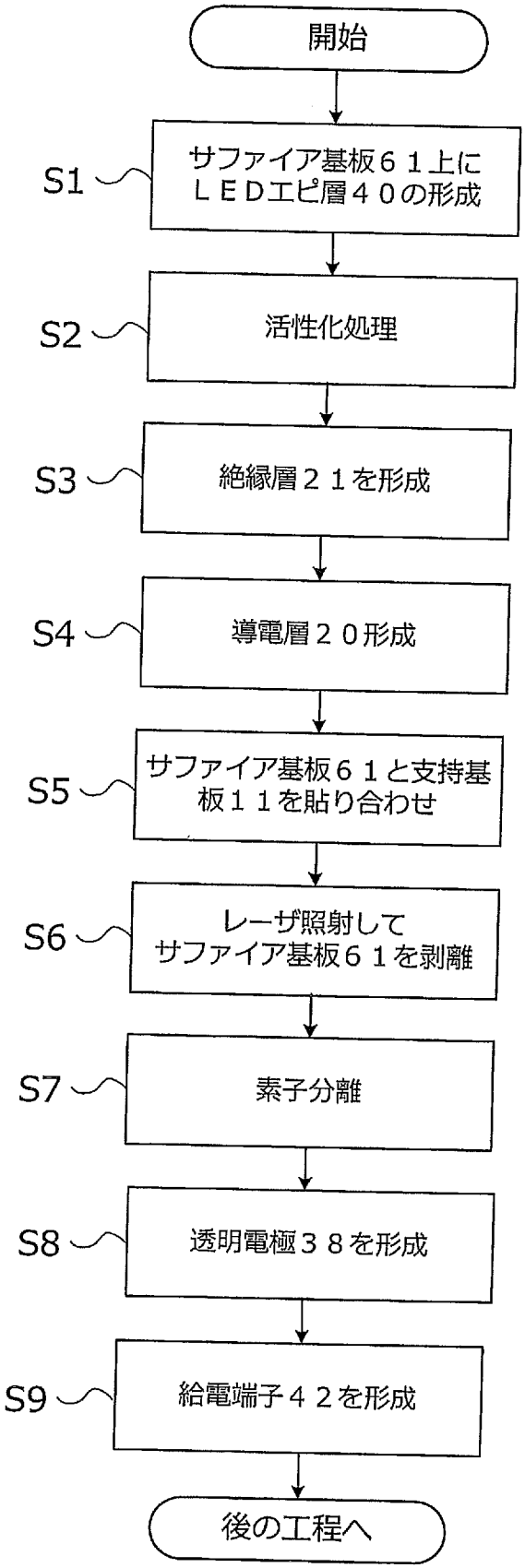
[図7G]



[図7H]



[図8]


開始
S1
サファイア基板６１上に
ＬＥＤエピ層４０の形成
S2
活性化処理
S3
絶縁層２１を形成
S4
導電層２０形成
S5
サファイア基板６１と支持基
板１１を貼り合わせ
S6
レーザ照射して
サファイア基板６１を剥離
S7
素子分離
S8
透明電極３８を形成
S9
給電端子４２を形成
後の工程へ

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2013/073923

A. CLASSIFICATION OF SUBJECT MATTER
H01L33/32(2010.01)i, *H01L33/38*(2010.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L33/00-33/64

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2013
Kokai Jitsuyo Shinan Koho	1971-2013	Toroku Jitsuyo Shinan Koho	1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2010-531058 A (LG Innotek Co., Ltd.), 16 September 2010 (16.09.2010), entire text; all drawings & US 2010/0065872 A1 & US 2011/0254041 A1 & US 2013/0126899 A1 & EP 2160772 A & WO 2009/002040 A2 & DE 202008018175 U & KR 10-0872717 B1 & CN 101681959 A & CN 103151439 A	1-2
A	JP 2007-103538 A (Toshiba Corp.), 19 April 2007 (19.04.2007), entire text; all drawings & US 2007/0096076 A1 & TWB 00I330896	1-2

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
18 September, 2013 (18.09.13)	01 October, 2013 (01.10.13)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2013/073923

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 11-31842 A (Rohm Co., Ltd.), 02 February 1999 (02.02.1999), entire text; all drawings & US 6060730 A & DE 19830838 A & DE 19830838 A1 & TW 437110 B	1-2
A	JP 2008-34444 A (Showa Denko Kabushiki Kaisha), 14 February 2008 (14.02.2008), entire text; all drawings (Family: none)	1-2
A	JP 2012-151503 A (Sharp Corp.), 09 August 2012 (09.08.2012), entire text; all drawings (Family: none)	1-2
A	WO 2003/065464 A1 (Nichia Chemical Industries, Ltd.), 07 August 2003 (07.08.2003), entire text; all drawings & JP 2008-294482 A & JP 4207781 B & US 2003/0141506 A1 & US 2004/0104390 A1 & US 2005/0035364 A1 & US 2005/0211993 A1 & EP 1471583 A1 & EP 2105977 A1 & EP 2262007 A2 & EP 2262008 A2 & DE 60329576 D & CA 2466141 A & CN 1613156 A & KR 10-2007-0058713 A	1-2

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１３／０７３９２３

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L33/32(2010.01)i, H01L33/38(2010.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L33/00-33/64

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１３年
日本国実用新案登録公報	１９９６－２０１３年
日本国登録実用新案公報	１９９４－２０１３年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2010-531058 A (エルジー　イノテック　カンパニー　リミテッド) 2010.09.16, 全文、全図 & US 2010/0065872 A1 & US 2011/0254041 A1 & US 2013/0126899 A1 & EP 2160772 A & WO 2009/002040 A2 & DE 202008018175 U & KR 10-0872717 B1 & CN 101681959 A & CN 103151439 A	1-2
A	JP 2007-103538 A (株式会社東芝) 2007.04.19, 全文、全図 & US 2007/0096076 A1 & TWB 00I330896	1-2

☑　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
１８．０９．２０１３	０１．１０．２０１３

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　２Ｋ　３２０７
村井　友和
電話番号　０３－３５８１－１１０１　内線　３２５５

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 11-31842 A (ローム株式会社) 1999.02.02, 全文、全図 & US 6060730 A & DE 19830838 A & DE 19830838 A1 & TW 437110 B	1-2
A	JP 2008-34444 A (昭和電工株式会社) 2008.02.14, 全文、全図 (ファミリーなし)	1-2
A	JP 2012-151503 A (シャープ株式会社) 2012.08.09, 全文、全図 (ファミリーなし)	1-2
A	WO 2003/065464 A1 (日亜化学工業株式会社) 2003.08.07, 全文、全図 & JP 2008-294482 A & JP 4207781 B & US 2003/0141506 A1 & US 2004/0104390 A1 & US 2005/0035364 A1 & US 2005/0211993 A1 & EP 1471583 A1 & EP 2105977 A1 & EP 2262007 A2 & EP 2262008 A2 & DE 60329576 D & CA 2466141 A & CN 1613156 A & KR 10-2007-0058713 A	1-2