



Patent dodatkowy
do patentu nr _____

Zgłoszono: 02.02.79 (P. 213221)

Pierwszeństwo: _____

Zgłoszenie ogłoszono: 20.10.80

Opis patentowy opublikowano: 28.02.1985

Int. Cl.⁸

G06F 9/46

CZYTELNIJA

Urzedu Patentowego
ul. B. 4, Białostok, ul. Lenin

Twórca wynalazku: Jan Wrona

**Uprawniony z patentu: Instytut Maszyn Matematycznych, Warszawa
(Polska)**

Układ do realizacji przerwania programowych

1

Przedmiotem wynalazku jest układ przeznaczony do realizacji przerwania programowych pomiędzy mikroprocesorami w systemie wieloprocessorowym.

Niezmiernie ważnym zagadnieniem w systemach wieloprocessorowych jest wzajemne komunikowanie się pomiędzy poszczególnymi mikroprocesorami. W tym celu wykorzystuje się systemy przerwania zewnętrznych poszczególnych mikroprocesorów. W takim rozwiązaniu mikroprocesor pożądaną obsługi programowej drugiego mikroprocesora generuje sygnał przerwania bezpośrednio do tego mikroprocesora. Dla wysłania sygnału przerwania programowego można stosować specjalne rozkazy spoza listy rozkazów mikroprocesora, co wiąże się z koniecznością znacznej rozbudowy układu kontroli pracy mikroprocesora, a ponadto tylko niektóre znane mikroprocesory umożliwiają zastosowanie takiego rozkazu.

Istotą wynalazku stanowi układ przeznaczony do realizacji zgłaszania przerwania programowych pomiędzy mikroprocesorami w systemie wieloprocessorowym wyposażonym w n-tą liczbę mikroprocesorów.

Wspomniany układ posiada pamięć operacyjną, w której został wydzielony obszar zawierający komórki przypisane odpowiednim mikroprocesorom, przy czym prawidłowe połączenia realizuje układ kontroli dostępu do pamięci operacyjnej. Ponadto układ według wynalazku jest wyposażony w układ generacji przerwania programowych, w któ-

2

rym są zapamiętane trwale adresy komórek w wydzielonym obszarze pamięci operacyjnej. Każda ze wspomnianych komórek jest przypisana komunikacji pomiędzy dwoma określonymi mikroprocesorami. Przesłanie informacji z miniprocessora do komórki w wydzielonym obszarze pamięci powoduje wysłanie przez układ generacji przerwania programowego do odpowiedniego mikroprocesora.

Układ według wynalazku posiada również układ zabezpieczenia, który zezwala na wysłanie wspomnianego przerwania programowego przez układ generacji przerwania, o ile bezpośrednio przed przesłaniem informacji powodującej wygenerowanie, przerwania, z pamięci operacyjnej zostało pobrane słowo o ściśle określonym kodzie. Opisany układ umożliwia komunikowanie się poszczególnych mikroprocesorów pracujących w systemie wieloprocessorowym, co jest warunkiem niezbędnym prawidłowego funkcjonowania systemu.

Wynalazek został pokazany w przykładzie wykonania na rysunku, który przedstawia schemat blokowy systemu wieloprocessorowego.

Szyny adresowa i danych poszczególnych mikroprocesorów 1₁, 1₂, ..., 1_n są połączone poprzez układ 2 kontroli dostępu do pamięci operacyjnej 3, z szyną adresową i danych pamięci operacyjnej 3. Do szyny danych pamięci operacyjnej 3 podłączony jest układ 4 zabezpieczenia, który jest połączony z układem 5 generacji przerwania programo-

wych, połączonym ponadto z szyną adresową pamięci operacyjnej 3. Pamięć operacyjna 3 posiada obszar 6, w którym zostały wyodrębnione poszczególne komórki przeznaczone do komunikacji z przepisnymi im mikroprocesorami $1_1, 1_2, \dots, 1_n$. Układ 5 generacji przerwań jest również połączony z wejściami przerwań wszystkich mikroprocesorów $1_1, 1_2, \dots, 1_n$ systemu.

Jeden z mikroprocesorów $1_1, 1_2, \dots, 1_n$, na przykład mikroprocesor 1_1 zgłaszający przerwanie programowe do innego mikroprocesora pobiera z wybranej komórki pamięci operacyjnej 3 słowo, które zinterpretowane przez układ 4 zabezpieczenia, zezwala na ewentualne wygenerowanie w następnym rozkazie wysłanym przez mikroprocesor 1_1 przerwania programowego. W przypadku, gdy następnym rozkazem wykonywanym przez mikroprocesor 1_1 będzie przesłanie informacji do jednej z wyodrębnionych komórek obszaru 6 pamięci operacyjnej 3, układ 5 generacji przerwań programowych spowoduje wysłanie przerwania programowego do mikroprocesora, któremu jest przyporządkowany adres wspomnianej komórki obszaru 6. Zakładając, że komórka o adresie M w obszarze 6 pamięci operacyjnej 3 służy do przesłania przerwania programowego od mikroprocesora 1_1 do mikroprocesora 1_2 , to przesłanie do niej informacji według podanego schematu spowoduje przesłanie przerwania programowego do mikroprocesora 1_2 . W odpowiedzi na przerwanie, mikropro-

cesor 1_2 pobiera zawartość komórki M jako szczegółową specyfikację przerwania.

Zastrzeżenia patentowe

1. Układ do realizacji przerwań programowych pomiędzy mikroprocesorami w systemie wieloprocessorowym wyposażonym w n-tą liczbę mikroprocesorów oraz układ kontroli dostępu do pamięci operacyjnej, **znamienny tym**, że pamięć operacyjna (3) posiada wydzielony obszar (6) zawierający komórki przypisane odpowiednim mikroprocesorom ($1_1, 1_2, \dots, 1_n$), a adresy wspomnianych komórek obszaru (6) są zapamiętane trwale w układzie (5) generacji przerwań programowych, przy czym każda komórka jest przypisana komunikacji pomiędzy dwoma określonymi mikroprocesorami, a przesłanie informacji od jednego z mikroprocesorów ($1_1, 1_2, \dots, 1_n$) do odpowiedniej komórki obszaru (6) pamięci operacyjnej (3) powoduje wysłanie przerwania programowego przez układ (5) generacji przerwań do przypisanego wspomnianej komórce mikroprocesora.

2. Układ według zastrz. 1, **znamienny tym**, że posiada układ (4) zabezpieczenia powodujący wysłanie przerwania programowego przez układ (5) generacji przerwań, o ile bezpośrednio przed przesłaniem informacji powodującej wygenerowanie przerwania programowego, z pamięci operacyjnej (3) zostało pobrane słowo o ściśle określonym kodzie.

