

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro

(43) Internationales Veröffentlichungsdatum
06. September 2019 (06.09.2019)



(10) Internationale Veröffentlichungsnummer
WO 2019/166232 A1

(51) Internationale Patentklassifikation:

H05K 3/34 (2006.01) H05K 1/02 (2006.01)

(21) Internationales Aktenzeichen: PCT/EP2019/053702

(22) Internationales Anmeldedatum:

14. Februar 2019 (14.02.2019)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:

10 2018 104 662.6

01. März 2018 (01.03.2018) DE

(71) Anmelder: **ENDRESS+HAUSER SE+CO. KG** [DE/DE];
Hauptstr. 1, 79689 Maulburg (DE).

(72) Erfinder: **BIRGEL, Dietmar**; Blumenweg 10, 79650
Schopfheim (DE). **MICHALSKI, Bernhard**; Felix-Plat-

terweg 5, 79689 Maulburg (DE). **LEONHARDT, Ma-**
rio; Hans-Hammerstein-Straße 15/1, 79400 Kandern (DE).
BANNWARTH, Alexander; Hauptstr. 46, 79739 Schwör-

(74) **Anwalt: ANDRES, Angelika**; Endress+Hauser (Deutsch-

(81) **Bestimmungsstaaten** (soweit nicht anders angegeben, für
jede verfügbare nationale Schutzrechtsart): AE, AG, AL,
AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY,
BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM,
DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,
HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN,
KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD,
ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO,
NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW,

(54) **Title:** ELECTRONIC CIRCUIT FOR GENERATING, PREPARING AND/OR PROCESSING HIGH-FREQUENCY SIGNALS

(54) **Bezeichnung:** ELEKTRONISCHE SCHALTUNG ZUM ERZEUGEN, AUFBEREITEN UND/ODER VERARBEITEN VON
HOCHFREQUENTEN SIGNALEN

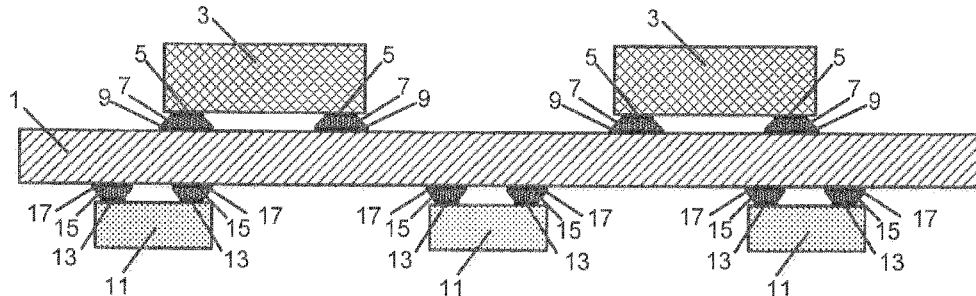


Fig. 1

(57) **Abstract:** The invention relates to an electronic circuit with improved signal transmission properties for generating, preparing and/or processing high frequency signals comprising frequencies of 20 GHz or higher, having a circuit board (1) and one or more HF components (3) each designed for a frequency range of 20 GHz or higher and soldered to the circuit board (1), wherein the connections (5) of the HF components are connected by means of a respective first solder joint (7) to an associated circuit board connection (9) arranged on the circuit board (1), the electronic circuit being characterized in that the first solder joints (7) are each formed as a generated first solder joint (7) by means of a lead-free first solder comprising a bismuth content of 50% or more by means of a reflow soldering method, specifically by vacuum soldering or by vapour phase soldering.

(57) **Zusammenfassung:** Es ist eine verbesserte Signalübertragungseigenschaften aufweisende elektronische Schaltung zum Erzeugen, Aufbereiten und/oder Verarbeiten von Frequenzen von größer gleich 20 GHz umfassenden, hochfrequenten Signalen, mit einer Leiterplatte (1) und einem oder mehreren jeweils für einen Frequenzbereich von größer gleich 20 GHz ausgelegten, auf der Leiterplatte (1) aufgelöteten HF-Bauteilen (3), deren HF-Bauteil-Anschlüsse (5) jeweils mittels einer ersten Lötung (7) mit einem zugehörigen auf der Leiterplatte (1) angeordneten Leiterplatten-Anschluss (9) verbunden sind, beschrieben, die sich dadurch auszeichnen, dass die ersten Lötungen (7) jeweils als mittels eines bleifreien, einen Wismut-Anteil von größer gleich 50 % aufweisenden ersten Lots mittels eines Reflow- Lötverfahrens, nämlich durch Vakuumlöten oder durch Dampfphasenlöten, erzeugte erste Lötung (7) ausgebildet sind.

SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM,
TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) Bestimmungsstaaten** (*soweit nicht anders angegeben, für jede verfügbare regionale Schutzrechtsart*): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, RU, TJ, TM), europäisches (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

Veröffentlicht:

- mit internationalem Recherchenbericht (Artikel 21 Absatz 3)

Elektronische Schaltung zum Erzeugen, Aufbereiten und/oder Verarbeiten von hochfrequenten Signalen

Die Erfindung betrifft eine elektronische Schaltung zum Erzeugen, Aufbereiten und/oder
5 Verarbeiten von Frequenzen von größer gleich 20 GHz umfassenden, hochfrequenten
Signalen, mit
einer Leiterplatte, und
einem oder mehreren jeweils für einen Frequenzbereich von größer gleich 20 GHz
ausgelegten, auf der Leiterplatte aufgelöteten HF-Bauteilen, deren HF-Bauteil-Anschlüsse
10 jeweils mittels einer ersten Lötung mit einem zugehörigen auf der Leiterplatte
angeordneten Leiterplatten-Anschluss verbunden sind.

Schaltungen der eingangs genannten Art werden z.B. in Messgeräten eingesetzt, die
beispielsweise in der in der industriellen Mess- und Regeltechnik verwendet werden.

15 Ein Beispiel hierfür sind nach dem Laufzeitprinzip arbeitende Füllstandsmessgeräte zur
Messung eines Füllstands eines in einem Behälter befindlichen Füllguts. Diese Messgeräte
erzeugen hochfrequente Signale, die mittels einer Antenne oder entlang eines
Wellenleiters in Richtung des Füllguts gesendet werden und deren an einer Oberfläche des
20 Füllguts reflektierten Echosignale nach einer vom Füllstand des Füllguts abhängigen
Laufzeit als Empfangssignale empfangen werden, anhand derer dann die Laufzeit bzw. der
Füllstand ermittelt wird. Dabei werden je nach Messgerätyp sehr hochfrequente
Sendesignale, wie z.B. Mikrowellensignale mit Frequenzen von größer gleich 20 GHz,
verwendet.

25 In diesen Messgeräten werden elektronische Schaltungen der eingangs genannten Art zur
Erzeugung der Sendesignale, sowie zur Aufbereitung und/oder Verarbeitung der
Empfangssignale eingesetzt.

30 Bei Schaltungen der eingangs genannten Art gilt es durch die Schaltung, insb. deren
Übertragungsverhalten und/oder deren Dynamik, im Hinblick auf die Funktion der
Schaltung unerwünschte Veränderungen der mittels der Schaltung erzeugten,
aufbereiteten und/oder verarbeiteten hochfrequenten Signalen möglichst gering zu halten.

35 Insoweit spielt bei den zuvor als Anwendungsbeispiel genannten Messgeräten insb. die
durch die Dynamik der Schaltung bedingte frequenzabhängige Dämpfung hochfrequenter
Signale eine wichtige Rolle, da sich die Dämpfung unmittelbar auf die erzielbare
Messgenauigkeit auswirkt.

Zur Verbesserung der Signalübertragungseigenschaften werden in diesen Schaltungen heute für den Einsatz in der Hochfrequenztechnik besonders geeignete Leiterplattenmaterialien eingesetzt. Zusätzlich wird das Schaltungs-Layout dahingehend optimiert, dass schaltungs-bedingte unerwünschte Signalveränderungen minimiert werden. 5 Letzteres ist jedoch umso schwieriger, je hochfrequenter die Signale sind.

Untersuchungen der Anmelderin haben jedoch gezeigt, dass nicht nur das verwendete Leiterplattenmaterial und das Schaltungs-Layout, sondern zusätzlich auch die auf der Leiterplatte vorgesehenen, den elektrischen Anschluss der einzelnen Bauteile bewirkenden 10 Lötungen auf das Übertragungsverhalten der Schaltung auswirken. Dabei hat sich unter anderem gezeigt, dass Schaltungen, deren Bauteile unter Verwendung eines heute üblicher Weise eingesetzten bleifreien Lots, wie z.B. eines unter der Bezeichnung SAC-Lot bekannten Zinn-Silber-Kupfer Lots, aufgelötet worden sind, eine deutlich größere frequenzabhängige Dämpfung von über die Lötungen übertragenen hochfrequenten 15 Signalen bewirken als identisch aufgebaute Schaltungen, deren Bauteile unter Verwendung eines bleihaltigen Lots aufgelötet worden sind.

Zum Schutz der Umwelt und von Personen gilt es den Einsatz von Schwermetallen, wie z.B. Blei oder Quecksilber, in elektronischen Schaltungen zu vermeiden. In diese Richtung 20 zielt auch die RoHS-Richtlinie (Restriction of Certain Hazardous Substances) der Europäischen Union, die den Einsatz bestimmter gefährlicher Stoffe, wie z.B. Blei, in der Elektroindustrie verbietet. Entsprechend werden alle in Schaltungen der eingangs genannten Art eingesetzten Bauteile heute unter Verwendung eines bleifreien Lots aufgelötet.

25 Es ist eine Aufgabe der Erfindung eine Schaltung zum Erzeugen, Aufbereiten und/oder Verarbeiten von Frequenzen von größer gleich 20 GHz umfassenden, hochfrequenten Signalen anzugeben, die verbesserte Signalübertragungseigenschaften aufweist.

30 Diese Aufgabe wird durch eine elektronische Schaltung zum Erzeugen, Aufbereiten und/oder Verarbeiten von Frequenzen von größer gleich 20 GHz umfassenden, hochfrequenten Signalen, mit
einer Leiterplatte, und
einem oder mehreren jeweils für einen Frequenzbereich von größer gleich 20 GHz
35 ausgelegten, auf der Leiterplatte aufgelöteten HF-Bauteilen, deren HF-Bauteil-Anschlüsse jeweils mittels einer ersten Lötung mit einem zugehörigen auf der Leiterplatte angeordneten Leiterplatten-Anschluss verbunden sind,
gelöst, die sich dadurch auszeichnet, dass

die ersten Lötungen jeweils als mittels eines bleifreien, einen Wismut-Anteil von größer gleich 50 % aufweisenden ersten Lots mittels eines Reflow-Lötverfahrens, nämlich durch Vakuumlöten oder durch Dampfphasenlöten, erzeugte erste Lötung ausgebildet sind.

- 5 Erfindungsgemäße Schaltungen bieten den Vorteil, dass deren erste Lötungen aufgrund des hohen Wismut-Anteils des ersten Lots und des zu deren Herstellung verwendeten Reflow-Lötverfahrens in einem vergleichsweise großen Frequenzbereich nur eine verhältnismäßig geringe Dämpfung von über die jeweilige Lötung übertragenen hochfrequenten Signalen verursachen.

10

Eine erste Weiterbildung zeichnet sich dadurch aus, dass die ersten Lötungen als mittels eines einen Indium-Anteil von größer gleich 2 % und/oder einen Indium-Anteil von 2 % bis 10 % umfassenden ersten Lots hergestellte erste Lötungen ausgebildet sind.

15

Bevorzugte Ausgestaltungen zeichnen sich dadurch aus, dass die ersten Lötungen als mittels eines Zinn, Wismut und Silber umfassenden bleifreien, ersten Lots hergestellte erste Lötungen ausgebildet sind, oder als mittels eines Zinn, Wismut und Indium umfassenden bleifreien, ersten Lots hergestellte erste Lötungen ausgebildet sind.

20

Eine zweite Weiterbildung zeichnet sich dadurch aus, dass die Schaltung mindestens ein weiteres Bauteil umfasst, dessen Anschlüsse jeweils mittels einer durch ein mittels eines bleifreien zweiten Lots ausgeführten Lötverfahrens erzeugten zweiten Lötung mit einem zugehörigen auf der Leiterplatte angeordneten Leiterplatten-Anschluss verbunden sind, wobei das zweite Lot eine Schmelztemperatur aufweist, die größer als eine Schmelztemperatur des ersten Lots ist.

25

- Eine Ausgestaltung der zweiten Weiterbildung zeichnet sich dadurch aus, dass die weiteren Bauteilen mindestens ein mittels eines Reflow-Lötverfahrens aufgelötetes und/oder als SMD-Bauteil ausgebildetes Bauteil umfassen.

30

Eine Ausgestaltung der zweiten Weiterbildung zeichnet sich dadurch aus, dass die zweiten Lötungen als mittels eines Zinn, Silber und Kupfer umfassenden SAC-Lots hergestellte zweite Lötungen ausgebildet sind.

35

Eine Weiterbildung der zweiten Weiterbildung zeichnet sich dadurch aus, dass deren HF-Bauteile auf einer Vorderseite der Leiterplatte und deren weitere Bauteile auf einer der Vorderseite der Leiterplatte gegenüberliegenden Rückseite der Leiterplatte angeordnet sind.

40

Eine weitere Ausgestaltung zeichnet sich dadurch aus, dass die Schaltung als Bestandteil eines nach dem Laufzeitprinzip arbeitenden Füllstandsmessgeräts ausgebildet ist.

Des Weiteren umfasst die Erfindung ein Verfahren zur Herstellung einer
5 erfindungsgemäßen elektronischen Schaltung, das sich dadurch auszeichnet, dass die ersten Lötungen erzeugt werden, indem:

die auf der Leiterplatte für die HF-Bauteile vorgesehenen Leiterplatten-Anschlüsse jeweils mit dem als Lotpaste bereitgestellten ersten Lot bedruckt werden,
die Leiterplatte mit den HF-Bauteilen der Schaltung bestückt wird, und
10 die ersten Lötungen mittels eines Reflow-Lötverfahrens, nämlich durch Vakuumlöten oder durch Dampfphasenlöten, erzeugt werden.

Eine erste Weiterbildung des Verfahrens zeichnet sich dadurch aus, dass das aufgeschmolzene erste Lot während des Reflow-Lötverfahrens über einen Zeitraum von
15 größer gleich 100 Sekunden oder einen Zeitraum von 100 Sekunden bis 150 Sekunden hinweg auf oberhalb von dessen Liquidus-Temperatur liegenden Temperaturen gehalten wird.

Eine zweite Weiterbildung des Verfahrens zur Herstellung einer Schaltung gemäß der
20 zweiten Weiterbildung zeichnet sich dadurch aus, dass die weiteren Bauteile auf der Leiterplatte verlötet werden bevor die HF-Bauteile auf der Leiterplatte verlötet werden.

Eine Weiterbildung der letztgenannten Weiterbildung zeichnet sich dadurch aus, dass
25 auf der Rückseite der Leiterplatte angeordnete, für auf der Rückseite aufzulötende weitere Bauteile der Schaltung vorgesehene Leiterplatten-Anschlüsse jeweils mit dem als Lotpaste bereitgestellten zweiten Lot bedruckt werden, die Rückseite der Leiterplatte mit den darauf aufzulötenden weiteren Bauteilen bestückt wird und die zugehörigen zweiten Lötungen mittels eines Reflow-Lötverfahrens erzeugt werden,
die Leiterplatte gewendet wird, und
30 auf der Vorderseite der Leiterplatte angeordnete, für auf der Vorderseite aufzulötende HF-Bauteile der Schaltung vorgesehene Leiterplatten-Anschlüsse jeweils mit dem als Lotpaste bereitgestellten ersten Lot bedruckt werden, die Vorderseite der Leiterplatte mit den darauf aufzulötenden HF-Bauteilen bestückt wird und die zugehörigen ersten Lötungen durch Vakuumlöten oder durch Dampfphasenlöten erzeugt werden.

35

Die Erfindung und weitere Vorteile werden nun anhand der Figur der Zeichnung, in der ein Ausführungsbeispiel dargestellt ist, näher erläutert.

Fig. 1 zeigt: einen Ausschnitt einer elektronische Schaltung.

40

Die Erfindung betrifft eine elektronische Schaltung zum Erzeugen, Aufbereiten und/oder Verarbeiten von Frequenzen von größer gleich 20 GHz umfassenden, hochfrequenten Signalen, die eine Leiterplatte 1 und mindestens ein für einen Frequenzbereich von größer gleich 20 GHz ausgelegtes HF-Bauteil 3 umfasst.

5

Fig. 1 zeigt exemplarisch einen Ausschnitt einer solchen elektronischen Schaltung, der einen Leiterplattenbereich einer Leiterplatte 1 zeigt, auf der mindestens ein HF-Bauteil 3 angeordnet ist. Selbstverständlich kann die Schaltung weitere auf der Leiterplatte 1 angeordnete HF-Bauteile 3 umfassen.

10

Als hochfrequente Signale werden vorliegend Signale bezeichnet, die Frequenzen von größer gleich 20 GHz umfassen. Diese hochfrequenten Signale können beispielsweise Frequenzen in einem Frequenzbereich von 20 GHz bis 100 GHz umfassen.

15

Als HF-Bauteile 3 werden vorliegend für einen Frequenzbereich von größer gleich 20 GHz ausgelegte Hochfrequenz-Bauteile bezeichnet. Hierzu zählen z.B. zur Erzeugung, Übertragung, Modulation, Filterung und/oder Verarbeitung von hochfrequenten Signalen dienende Bauteile, wie z.B. für diesen Frequenzbereich ausgelegte und/oder in diesem Frequenzbereich arbeitende Oszillatoren, Mischer, Verstärker, Filter und/oder Duplexer.

20

Die HF-Bauteile 3 der Schaltung sind jeweils als auf die Leiterplatte 1 aufgelötete Bauteile ausgebildet, deren HF-Bauteil-Anschlüsse 5 jeweils mittels einer ersten Lötung 7 mit einem zugehörigen auf der Leiterplatte 1 angeordneten Leiterplatten-Anschluss 9 verbunden sind. Erfindungsgemäß sind die ersten Lötungen 7 jeweils als mittels eines bleifreien, einen Wismut-Anteil von größer gleich 50 % aufweisenden ersten Lots mittels eines Reflow-Lötverfahrens, nämlich durch Vakuumlöten oder durch Dampfphasenlöten, erzeugte erste Lötung 7 ausgebildet.

25

30

Da als erstes Lot ein bleifreies Lot eingesetzt, das einen Wismut-Anteil von größer gleich 50 % aufweist, weisen auch die mittels des ersten Lots hergestellten ersten Lötungen 7 einen entsprechend hohen Wismut-Anteil auf.

35

Die vorliegend zur Quantifizierung von Anteilen einzelner in einem Lot enthaltener Lot-Komponenten verwendeten Prozentzahlen bezeichnen jeweils den Gewichtsanteil der jeweiligen Komponente am Gesamtgewicht des Lots.

Die Schaltung weist die zuvor genannten Vorteile auf.

Dabei können die ersten Lötungen z.B. als mittels eines Zinn, Wismut, und Silber umfassenden, bleifreien, ersten Lots hergestellte Lötungen ausgebildet sein.

Optional können die Signalübertragungseigenschaften erfindungsgemäßer Schaltungen für Frequenzen von größer gleich 20 GHz umfassende Signale noch weiter verbessert werden, indem die ersten Lötungen 7 als mittels eines Indium-Anteil von größer gleich 2% und/oder von 2 % bis 10% enthaltenden, bleifreien ersten Lots hergestellte erste Lötungen 7 ausgebildet sind. Ein Beispiel hierfür sind mittels eines Zinn, Wismut und Indium umfassenden, bleifreien, ersten Lots hergestellte erste Lötungen 7.

10

Die HF-Bauteile 3 der Schaltung sind vorzugsweise jeweils als SMD-Bauteile ausgebildet. Die unter der englischsprachigen Bezeichnung 'Surface Mounted Devices' bekannten SMD Bauteile bieten gegenüber bedrahteten Bauteilen den Vorteil, dass durch deren Verwendung die hochfrequenten Signale unter Umständen verändernde Induktivitäten, wie sie z.B. durch Anschlussdrähte von bedrahteten Bauteilen entstehen können, reduziert werden.

15

20

Alternativ oder zusätzlich hierzu sind die HF-Bauteile 3 der Schaltung vorzugsweise alle auf einer Vorderseite der Leiterplatte 1 angeordnet. Das bietet in fertigungstechnischer Hinsicht den Vorteil, dass die ersten Lötungen 7 der Schaltung alle in einem einzigen Reflow-Lötverfahren verlötet werden können. Alternativ besteht aber auch die Möglichkeit die HF-Bauteile 3 von Schaltungen, die mindestens ein auf der Vorderseite und/oder mindestens ein auf einer der Vorderseite gegenüberliegenden der Rückseite der Leiterplatte 1 angeordnetes HF-Bauteil 3 umfassenden, selektiv zu verlöten.

25

Optional können erfindungsgemäße Schaltung zusätzlich zu deren mindestens einem HF-Bauteil 3 mindestens ein weiteres Bauteil 11 umfassen. Fig. 1 zeigt als ein Beispiel hierzu exemplarisch drei auf der Leiterplatte 1 aufgelötete weitere Bauteile 11.

30

Bei diesen Schaltungen umfassen auch die weiteren Bauteile 11 jeweils Anschlüsse 13, die jeweils mittels einer mittels eines zweiten Lots erzeugten zweiten Lötung 15 mit einem zugehörigen Leiterplatten-Anschluss 17 verbunden sind. Dabei wird zur Erzeugung der zweiten Lötungen 15 als zweites Lot vorzugsweise ein bleifreies Lot eingesetzt, das eine höhere Schmelztemperatur aufweist, als das zur Herstellung der ersten Lötungen 7 verwendete erste Lot. Dabei ist für das erste Lots aufgrund des darin enthaltenen, den Schmelzpunkt senkenden, hohen Wismut-Anteils von größer gleich 50 % von einem Schmelzpunkt von kleiner gleich 140°C auszugehen. Entsprechend eignen sich als zweites Lot z.B. unter der Abkürzung SAC-Lot bekannte Zinn, Silber und Kupfer umfassende Lote.

35

Schaltungen, die zusätzlich zu deren mindestens einem HF-Bauteil 3 mindestens ein weiteres Bauteil 11 umfassen, sind vorzugsweise derart ausgebildet, dass deren HF-Bauteile 3 jeweils auf einer Vorderseite der Leiterplatte angeordnet sind, und deren weitere Bauteile 11 jeweils auf einer der Vorderseite der Leiterplatte 1 gegenüberliegenden Rückseite der Leiterplatte 1 angeordnet sind. Dabei sind auch die weiteren Bauteile 11 vorzugsweise als auf die Leiterplatte 1 aufgelötete SMD-Bauteile ausgebildet.

Erfindungsgemäße Schaltungen werden vorzugsweise hergestellt, indem die auf der Leiterplatte 1 angeordneten, für deren HF-Bauteile 3 vorgesehenen Leiterplatten-Anschlüsse 9 jeweils mit dem als Lotpaste bereitgestellten ersten Lot bedruckt werden. Anschließend wird die Leiterplatte 1 mit den HF-Bauteilen 3 der Schaltung bestückt und die ersten Lötungen 7 mittels eines Reflow-Lötverfahrens erzeugt.

Als Reflow-Lötverfahren wird vorzugsweise ein Dampfphasen-Lötverfahren oder ein Vakuum-Lötverfahren eingesetzt. Beim Dampfphasen-Löten wird die bestückte Leiterplatte einem zunächst gasförmigen Medium ausgesetzt, das auf der Oberfläche der bestückten Leiterplatte 1 kondensiert, wo dessen Kondensationswärme zur Erwärmung der Lötstelle beiträgt.

Beim Vakuum-Lötverfahren wird die bestückte Leiterplatte in einen Vakuumlötofen eingebracht, wo die Lötstellen durch Strahlungswärme erhitzt werden.

Diese Verfahren bieten gegenüber anderen Lötverfahren, wie z.B. dem Konvektionslöten, den Vorteil dass sich hierdurch vergleichsweise homogenere erste Lötungen 7 mit glatteren Oberflächen erzeugen lassen, die homogenere Übergänge zu den Fügepartnern ausbilden. Beides führt für Frequenzen von größer gleich 20 GHz umfassende Signale zu einer Verbesserung der Signalübertragungseigenschaften der ersten Lötungen 7, insb. zu einer Reduktion der durch die ersten Lötungen 7 verursachten frequenzabhängigen Dämpfung von über die ersten Lötungen 7 übertragenen Signalen.

Zusätzlich bietet die vergleichsweise geringe Schmelztemperatur des ersten Lots den Vorteil, dass das Reflow-Lötverfahren bei entsprechend geringeren Verfahrenstemperaturen ausgeführt werden kann. Letzteres bietet den Vorteil, dass sich beim Erstarren der ersten Lötungen 7 weniger Fehlstellen, wie z.B. Voids oder Schrumpfrisse, ausbilden, als das bei höheren Verfahrenstemperaturen der Fall wäre. Auch das trägt wiederum zur Ausbildung von für die Signalübertragungseigenschaften der Schaltung vorteilhaften glatten Oberflächen der ersten Lötungen 7 bei.

In diesem Zusammenhang bieten einen Indium-Anteil enthaltende erste Lote den zusätzlichen Vorteil, dass Indium die Duktilität des ersten Lots und/oder der ersten

Lötungen erhöht. Eine höhere Duktilität fördert die Ausbildung glatterer Oberflächen und wirkt der Ausbildung von Schrumpfrissen entgegen.

5 Darüber hinaus bieten niedrigere Verfahrenstemperaturen den Vorteil, dass die HF-Bauteile 3 sowohl beim Löten als auch beim nachfolgenden Erstarren der Lötstelle geringeren thermischen, sowie ggfs. auch geringeren thermomechanischen Belastungen ausgesetzt sind.

10 Bei der Ausführung des Reflow-Lötverfahrens wird vorzugsweise derart Verfahren, dass ein Temperaturprofil durchlaufen wird, bei dem das erste Lot aufgeschmolzen und anschließend über einen Zeitraum hinweg auf oberhalb von dessen Liquidus-Temperatur liegenden Temperaturen gehalten wird. Dabei wird in Verbindung mit hoch-wismuthaltigen Loten vorzugsweise ein vergleichsweise langer Zeitraum, wie z.B. ein Zeitraum von größer
15 100 Sekunden, z.B. ein Zeitraum von 100 Sekunden bis 150 Sekunden, angesetzt.

Dieser vergleichsweise lange Zeitraum bietet den Vorteil, dass dem aufgeschmolzenen ersten Lot vergleichsweise viel Zeit zur Benetzung der HF-Bauteil-Anschlüsse 5 und der zugehörigen Leiterplatten-Anschlüsse 9 zur Verfügung steht. Das führt zu einer im
20 Wesentlichen vollständigen oder zumindest nahezu vollständigen Benetzung der Oberflächen dieser Anschlüsse. Hierdurch werden nach Abschluss des Lötverfahrens frei liegende und somit die Signalübertragungseigenschaften der Schaltung nachteilig beeinflussende Anschlussflächen weitgehend vermieden.

25 Darüber hinaus fördert ein längerer Zeitraum, über den das erste Lot oberhalb dessen Liquidus-Temperatur gehalten wird, die Ausbildung homogenerer erster Lötungen 7 und reduziert die Ausbildung von in den ersten Lötungen 7 eingeschlossenen Voids.

Bei der Herstellung von mindestens ein HF-Bauteil 3 und mindestens ein weiteres Bauteil
30 11 umfassenden Schaltung wird vorzugsweise derart verfahren, in einem ersten Verfahrensschritt die weiteren Bauteile 11 auf der Rückseite der Leiterplatte 1 verlötet werden. Hierzu werden die auf der Rückseite der Leiterplatte 1 angeordneten, für die weiteren Bauteile 11 vorgesehenen Leiterplatten-Anschlüsse 17 jeweils mit dem als Lotpaste bereitgestellten zweiten Lot bedruckt. Anschließend wird die Rückseite der
35 Leiterplatte 1 mit den weiteren Bauteilen 11 der Schaltung bestückt und die zweiten Lötungen 7 mittels eines Reflow-Lötverfahrens erzeugt.

Auch hier wird vorzugsweise derart Verfahren, dass ein Temperaturprofil durchlaufen wird, bei dem das zweite Lot aufgeschmolzen und anschließend über einen Zeitraum hinweg auf
40 oberhalb von dessen Liquidus-Temperatur liegenden Temperaturen gehalten wird. Dabei

wird in Verbindung mit den zuvor genannten SAC-Loten vorzugsweise ein vergleichsweise kurzer Zeitraum, wie z.B. ein Zeitraum von kleiner gleich 50 Sekunden, z.B. ein Zeitraum von 10 Sekunden bis 50 Sekunden, angesetzt.

5 Anschließend wird die Leiterplatte 1 gewendet und in einem zweiten Verfahrensschritt die HF-Bauteile 3 auf die oben beschriebene Weise auf die Vorderseite der Leiterplatte 1 aufgelötet. Dabei verhindert die höhere Schmelztemperatur des zweiten Lots, dass die zuvor hergestellten zweiten Lötungen 15 beschädigt werden.

10 Wo eine Aufteilung der auf der Leiterplatte 1 anzuordnenden Bauteile in auf der Vorderseite angeordnete HF-Bauteile 3 und auf der Rückseite angeordnete weitere Bauteil 11 nicht oder nur unvollständig vorgenommen werden kann, können einzelne oder alle HF-Bauteile 3 im Anschluss an die Verlötung der weiteren Bauteile 11 bei Bedarf selektiv an den dafür vorgesehenen Positionen auf der Vorderseite und/oder der Rückseite der Leiterplatte 1 verlötet werden.

15 Erfindungsgemäße Schaltungen können z.B. als Bestandteil eines nach dem Laufzeitprinzip arbeitenden Füllstandsmessgeräts ausgebildet sein. Nach dem Laufzeitprinzip arbeitende Füllstandsmessgeräts, wie z.B. die in der Beschreibungseinleitung beschriebenen Füllstandsmessgeräte, die eine oder mehrere
20 erfindungsgemäße Schaltungen umfassen, bieten den Vorteil, dass sie aufgrund der durch die ersten Lötungen 7 verbesserten Signalübertragungseigenschaften der darin eingesetzten Schaltung bzw. der darin eingesetzten Schaltungen und/oder die vergleichsweise geringe Dämpfung von über deren erste Lötungen 7 übertragenen Signalen eine verbesserte Messgenauigkeit aufweisen.

25

Bezugszeichenliste

	1	Leiterplatte
	3	HF-Bauteil
5	5	HF-Bauteil-Anschluss
	7	erste Lötung
	9	Leiterplatten-Anschluss
	11	weiteres Bauteil
	13	Anschluss
10	15	zweite Lötung
	17	Leiterplatten-Anschluss

Patentansprüche

1. Elektronische Schaltung zum Erzeugen, Aufbereiten und/oder Verarbeiten von Frequenzen von größer gleich 20 GHz umfassenden, hochfrequenten Signalen, mit
5 einer Leiterplatte (1), und
einem oder mehreren jeweils für einen Frequenzbereich von größer gleich 20 GHz ausgelegten, auf der Leiterplatte (1) aufgelöteten HF-Bauteilen (3), deren HF-Bauteil-Anschlüsse (5) jeweils mittels einer ersten Lötung (7) mit einem zugehörigen auf der Leiterplatte (1) angeordneten Leiterplatten-Anschluss (9) verbunden sind,
10 dadurch gekennzeichnet, dass
die ersten Lötungen (7) jeweils als mittels eines bleifreien, einen Wismut-Anteil von größer gleich 50 % aufweisenden ersten Lots mittels eines Reflow-Lötverfahrens, nämlich durch Vakuumlöten oder durch Dampfphasenlöten, erzeugte erste Lötung (7) ausgebildet sind.
15
2. Elektronische Schaltung gemäß Anspruch 1, dadurch gekennzeichnet, dass die ersten Lötungen (7) als mittels eines einen Indium-Anteil von größer gleich 2 % und/oder einen Indium-Anteil von 2 % bis 10 % umfassenden ersten Lots hergestellte erste Lötungen (7) ausgebildet sind.
20
3. Elektronische Schaltung gemäß Anspruch 1 bis 2 , dadurch gekennzeichnet, dass das die ersten Lötungen (7)
als mittels eines Zinn, Wismut und Silber umfassenden bleifreien, ersten Lots hergestellte erste Lötungen (7) ausgebildet sind, oder
25 als mittels eines Zinn, Wismut und Indium umfassenden bleifreien, ersten Lots hergestellte erste Lötungen (7) ausgebildet sind.
4. Elektronische Schaltung gemäß Anspruch 1 bis 3, dadurch gekennzeichnet, dass die Schaltung mindestens ein weiteres Bauteil (11) umfasst, dessen Anschlüsse (13) jeweils
30 mittels einer durch ein mittels eines bleifreien zweiten Lots ausgeführten Lötverfahrens erzeugten zweiten Lötung (15) mit einem zugehörigen auf der Leiterplatte (1) angeordneten Leiterplatten-Anschluss (17) verbunden sind, wobei das zweite Lot eine Schmelztemperatur aufweist, die größer als eine Schmelztemperatur des ersten Lots ist.
- 35 5. Elektronische Schaltung gemäß Anspruch 4, dadurch gekennzeichnet, dass die weitere Bauteilen (11) mindestens ein mittels eines Reflow-Lötverfahrens aufgelötetes und/oder als SMD-Bauteil ausgebildetes Bauteil umfassen.

6. Elektronische Schaltung gemäß Anspruch 4 bis 5, dadurch gekennzeichnet, dass die zweiten Lötungen (15) als mittels eines Zinn, Silber und Kupfer umfassenden SAC-Lots hergestellte zweite Lötungen (15) ausgebildet sind.
- 5 7. Elektronische Schaltung gemäß Anspruch 4 bis 6, dadurch gekennzeichnet, dass deren HF-Bauteile (3) auf einer Vorderseite der Leiterplatte (1) und deren weitere Bauteile (11) auf einer der Vorderseite der Leiterplatte (1) gegenüberliegenden Rückseite der Leiterplatte (1) angeordnet sind.
- 10 8. Elektronische Schaltung gemäß Anspruch 1 bis 7, dadurch gekennzeichnet, dass die Schaltung als Bestandteil eines nach dem Laufzeitprinzip arbeitenden Füllstandsmessgeräts ausgebildet ist.
- 15 9. Verfahren zur Herstellung einer elektronischen Schaltung gemäß Anspruch 1 bis 8, dadurch gekennzeichnet, dass die ersten Lötungen (7) erzeugt werden, indem:
die auf der Leiterplatte (1) für die HF-Bauteile (3) vorgesehenen Leiterplatten-Anschlüsse (9) jeweils mit dem als Lotpaste bereitgestellten ersten Lot bedruckt werden,
die Leiterplatte (1) mit den HF-Bauteilen (3) der Schaltung bestückt wird, und
die ersten Lötungen (7) mittels eines Reflow-Lötverfahrens, nämlich durch
20 Vakuumlöten oder durch Dampfphasenlöten, erzeugt werden.
10. Verfahren gemäß Anspruch 9, dadurch gekennzeichnet, dass das aufgeschmolzene erste Lot während des Reflow-Lötverfahrens über einen Zeitraum von größer gleich 100 Sekunden oder einen Zeitraum von
25 100 Sekunden bis 150 Sekunden hinweg auf oberhalb von dessen Liquidus-Temperatur liegenden Temperaturen gehalten wird.
11. Verfahren gemäß Anspruch 9 bis 10 zur Herstellung einer Schaltung gemäß Anspruch 4 bis 7, dadurch gekennzeichnet, dass die weiteren Bauteile (11) auf der Leiterplatte (1)
30 verlötet werden bevor die HF-Bauteile (3) auf der Leiterplatte (1) verlötet werden.
12. Verfahren gemäß Anspruch 11, dadurch gekennzeichnet, dass
auf der Rückseite der Leiterplatte (1) angeordnete, für auf der Rückseite aufzulötende weitere Bauteile (11) der Schaltung vorgesehene Leiterplatten-Anschlüsse
35 (17) jeweils mit dem als Lotpaste bereitgestellten zweiten Lot bedruckt werden, die Rückseite der Leiterplatte (1) mit den darauf aufzulötenden weiteren Bauteilen (11) bestückt wird und die zugehörigen zweiten Lötungen (15) mittels eines Reflow-Lötverfahrens erzeugt werden,
die Leiterplatte (1) gewendet wird, und

5 auf der Vorderseite der Leiterplatte (1) angeordnete, für auf der Vorderseite aufzulötende HF-Bauteile (3) der Schaltung vorgesehene Leiterplatten-Anschlüsse (17) jeweils mit dem als Lotpaste bereitgestellten ersten Lot bedruckt werden, die Vorderseite der Leiterplatte (1) mit den darauf aufzulötenden HF-Bauteilen (3) bestückt wird und die zugehörigen ersten Lötungen (7) durch Vakuumlöten oder durch Dampfphasenlöten erzeugt werden.

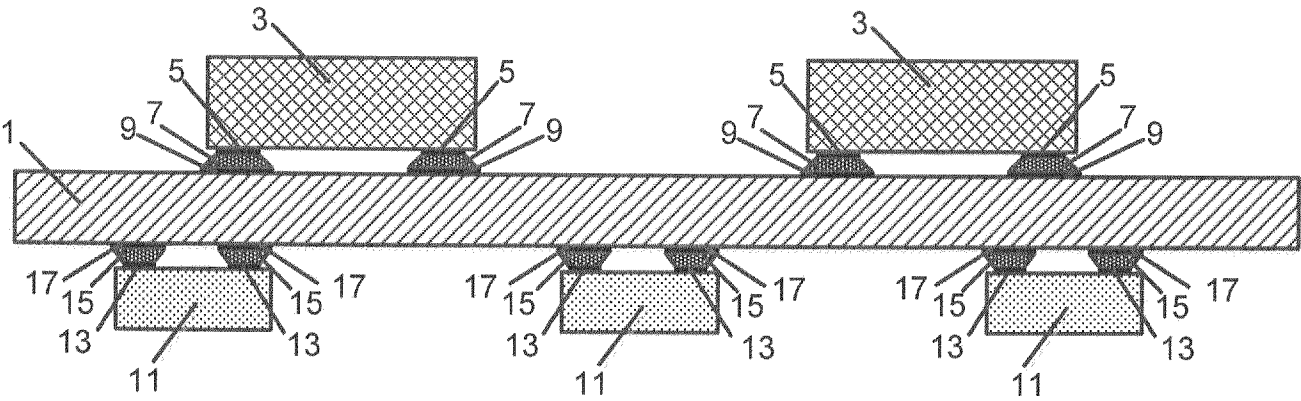


Fig. 1

INTERNATIONAL SEARCH REPORT

International application No.

PCT/EP2019/053702**A. CLASSIFICATION OF SUBJECT MATTER****H05K 3/34**(2006.01)i; **H05K 1/02**(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H05K

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

EPO-Internal, WPI Data

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2002171591 A1 (BEARD PAUL [US]) 21 November 2002 (2002-11-21) paragraphs [0003], [0050]; claims 7, 9,10	1-12
A	DE 102012112546 A1 (ENDRESS & HAUSER GMBH & CO KG [DE]) 18 June 2014 (2014-06-18) paragraphs [0001], [0035]	1-12
A	EP 2747531 A1 (ENDRESS & HAUSER GMBH & CO KG [DE]) 25 June 2014 (2014-06-25) paragraphs [0016], [0017], [0018], [0032], [0033], [0042]	1-12
A	US 6184475 B1 (KITAJIMA MASAYUKI [JP] ET AL) 06 February 2001 (2001-02-06) abstract; table 1 column 1	1-12

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

29 May 2019

Date of mailing of the international search report

06 June 2019

Name and mailing address of the ISA/EP

European Patent Office
p.b. 5818, Patentlaan 2, 2280 HV Rijswijk
Netherlands

Telephone No. (+31-70)340-2040

Facsimile No. (+31-70)340-3016

Authorized officer

Schweiger, Dietmar

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/EP2019/053702

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)		Publication date (day/month/year)
US	2002171591	A1	21 November 2002	EP	1413004 A1	28 April 2004
				JP	4121860 B2	23 July 2008
				JP	2004533166 A	28 October 2004
				JP	2008219897 A	18 September 2008
				KR	20040025680 A	24 March 2004
				US	2002171591 A1	21 November 2002
				WO	02093685 A1	21 November 2002
DE	102012112546	A1	18 June 2014	NONE		
EP	2747531	A1	25 June 2014	DE	102012112503 A1	18 June 2014
				EP	2747531 A1	25 June 2014
US	6184475	B1	06 February 2001	US	6184475 B1	06 February 2001
				US	2001001990 A1	31 May 2001
				US	2003095888 A1	22 May 2003
				US	2004052678 A1	18 March 2004

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
 INV. H05K3/34 H05K1/02
 ADD.

Nach der Internationalen Patentklassifikation (IPC) oder nach der nationalen Klassifikation und der IPC

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
 H05K

Recherchierte, aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal, WPI Data

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	US 2002/171591 A1 (BEARD PAUL [US]) 21. November 2002 (2002-11-21) Absätze [0003], [0050]; Ansprüche 7, 9, 10 -----	1-12
A	DE 10 2012 112546 A1 (ENDRESS & HAUSER GMBH & CO KG [DE]) 18. Juni 2014 (2014-06-18) Absätze [0001], [0035] -----	1-12
A	EP 2 747 531 A1 (ENDRESS & HAUSER GMBH & CO KG [DE]) 25. Juni 2014 (2014-06-25) Absätze [0016], [0017], [0018], [0032], [0033], [0042] -----	1-12
A	US 6 184 475 B1 (KITAJIMA MASAYUKI [JP] ET AL) 6. Februar 2001 (2001-02-06) Zusammenfassung; Tabelle 1 Spalte 1 -----	1-12



Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen



Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

"E" frühere Anmeldung oder Patent, die bzw. das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

"&" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

29. Mai 2019

Absendedatum des internationalen Recherchenberichts

06/06/2019

Name und Postanschrift der Internationalen Recherchenbehörde

Europäisches Patentamt, P.B. 5818 Patentlaan 2
 NL - 2280 HV Rijswijk
 Tel. (+31-70) 340-2040,
 Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Schweiger, Dietmar

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/EP2019/053702

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
US 2002171591 A1	21-11-2002	EP 1413004 A1	28-04-2004
		JP 4121860 B2	23-07-2008
		JP 2004533166 A	28-10-2004
		JP 2008219897 A	18-09-2008
		KR 20040025680 A	24-03-2004
		US 2002171591 A1	21-11-2002
		WO 02093685 A1	21-11-2002

DE 102012112546 A1	18-06-2014	KEINE	

EP 2747531 A1	25-06-2014	DE 102012112503 A1	18-06-2014
		EP 2747531 A1	25-06-2014

US 6184475 B1	06-02-2001	US 6184475 B1	06-02-2001
		US 2001001990 A1	31-05-2001
		US 2003095888 A1	22-05-2003
		US 2004052678 A1	18-03-2004
