



(12) 发明专利申请

(10) 申请公布号 CN 101952961 A

(43) 申请公布日 2011. 01. 19

(21) 申请号 200980106221. 4

H01L 23/50 (2006. 01)

(22) 申请日 2009. 02. 25

H01F 10/00 (2006. 01)

H01F 27/00 (2006. 01)

(30) 优先权数据

61/031, 212 2008. 02. 25 US

(85) PCT申请进入国家阶段日

2010. 08. 24

(86) PCT申请的申请数据

PCT/US2009/035151 2009. 02. 25

(87) PCT申请的公布数据

W02009/108707 EN 2009. 09. 03

(71) 申请人 飞兆半导体公司

地址 美国缅因州

(72) 发明人 弗朗西斯科·卡罗博兰特

道格拉斯·艾伦·霍克斯

(74) 专利代理机构 北京康信知识产权代理有限

责任公司 11240

代理人 余刚 吴孟秋

(51) Int. Cl.

H01L 23/48 (2006. 01)

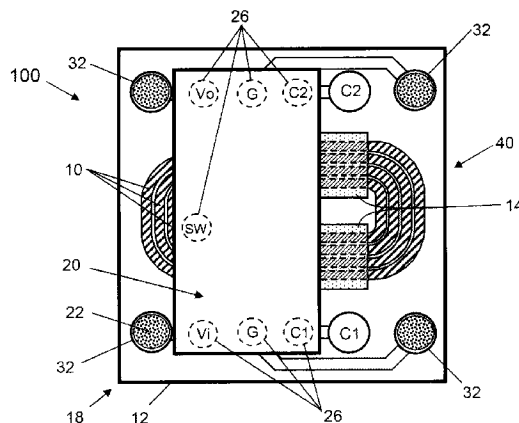
权利要求书 2 页 说明书 8 页 附图 4 页

(54) 发明名称

包括集成薄膜电感器的微模块及其制造方法

(57) 摘要

本发明公开了微模块及其制造方法。示例性微模块包括具有薄膜电感器的衬底, 以及安装在该衬底上并且在薄膜电感器之上的凸起的芯片。



1. 一种微模块,包括:  
部件衬底,包括薄膜电感器;以及  
凸起的半导体芯片,布置在所述部件衬底上并且在所述薄膜电感器之上。
2. 根据权利要求1所述的微模块,其中,所述凸起的芯片布置在所述部件衬底的第一区域,并且其中,所述微模块进一步包括布置在所述部件衬底上并在所述第一区域周围的多个互连焊盘。
3. 根据权利要求1所述的微模块,其中,所述部件衬底包含硅。
4. 根据权利要求1所述的微模块,其中,所述半导体芯片包括控制器芯片,用于对通过所述电感器的电流的流动进行控制。
5. 根据权利要求1所述的微模块,其中,所述凸起的芯片包括导电区域,所述导电区域通过导电互连凸块耦合至所述薄膜电感器的端子。
6. 根据权利要求1所述的微模块,其中,所述薄膜电感器包括螺旋电气线路以及与所述螺旋电气线路的至少一部分相邻布置的磁性材料层,其中,所述磁性材料的磁导率是自由空间的磁导率的10倍以上。
7. 根据权利要求1所述的微模块,其中,所述薄膜电感器布置在所述部件衬底的第一表面,其中,所述凸起的半导体芯片安装在所述部件衬底的所述第一表面,并且其中,所述部件衬底进一步包括至少一个电容器,所述至少一个电容器具有布置在所述部件衬底的第二表面的至少一部分上的至少一个端子。
8. 根据权利要求7所述的微模块,其中,所述部件衬底进一步包括掺杂的半导体衬底,其中,所述至少一个电容器包括形成于所述部件衬底的所述第二表面中的至少一个沟槽电容器。
9. 根据权利要求7所述的微模块,其中,所述部件衬底进一步包括布置在其第一表面和第二表面之间的通孔,其中,所述至少一个电容器的至少一个端子电耦合至所述通孔。
10. 根据权利要求1所述的微模块,其中,所述部件衬底包括:  
第一表面,具有第一区域;  
第一多个互连焊盘,布置在所述第一区域中并且所述凸起的芯片附接在所述第一多个互连焊盘;  
第二多个互连焊盘,布置在所述部件衬底的第一表面上并且在所述第一区域的周围;  
以及  
至少一个电气线路,将所述第一多个互连焊盘中的焊盘电耦合至所述第二多个互连焊盘中的焊盘。
11. 一种电气组件,包括:  
系统衬底,以及  
根据权利要求2所述的微模块,安装在所述系统衬底上,  
其中,所述凸起的半导体芯片布置在所述部件衬底和所述系统衬底之间。
12. 根据权利要求11所述的电气组件,其中,所述凸起的半导体芯片的表面电耦合至所述系统衬底的导电焊盘。
13. 一种微模块,包括:  
部件衬底,包括第一表面、第二表面、薄膜电感器、以及在所述第一表面和所述第二表

面之间延伸的多个通孔；

第一多个互连焊盘，布置在所述部件衬底的所述第一表面，所述第一多个互连焊盘中的至少两个电耦合至各自的通孔；

第二多个互连焊盘，布置在所述部件衬底的所述第二表面，所述第二多个互连焊盘中的至少两个电耦合至各自的通孔；以及

半导体芯片，布置在所述部件衬底的所述第一表面上并电耦合至所述第一多个互连焊盘。

14. 根据权利要求 13 所述的微模块，其中，所述电感器布置于所述部件衬底的所述第二表面。

15. 根据权利要求 13 所述的微模块，其中，所述部件衬底包含硅。

16. 根据权利要求 13 所述的微模块，其中，所述半导体芯片包括控制器芯片，用于对通过所述电感器的电流的流动进行控制。

17. 根据权利要求 13 所述的微模块，其中，所述半导体芯片包括耦合至所述薄膜电感器的端子的导电区域。

18. 根据权利要求 13 所述的微模块，其中，所述薄膜电感器包括螺旋电气线路以及与所述螺旋电气线路的至少一部分相邻布置的磁性材料层，其中，所述磁性材料的磁导率是自由空间的磁导率的 10 倍以上。

19. 根据权利要求 13 所述的微模块，其中，所述薄膜电感器设置于所述部件衬底的所述第二表面，并且其中，所述部件衬底进一步包括电容器，所述电容器具有布置在所述部件衬底的所述第一表面的至少一部分上的端子。

20. 根据权利要求 19 所述的微模块，其中，所述部件衬底进一步包括掺杂的半导体衬底，其中，所述电容器包括形成于所述部件衬底的所述第一表面中的至少一个沟槽电容器。

21. 根据权利要求 19 所述的微模块，其中，所述电容器的端子面向所述半导体芯片并电耦合至所述半导体芯片。

22. 一种电气组件，包括：

系统衬底，以及

根据权利要求 13 所述的微模块，安装至所述系统衬底，

其中，所述部件衬底布置在所述半导体芯片和所述系统衬底之间。

23. 一种制造微模块的方法，所述方法包括：

将包括薄膜电感器的部件衬底和半导体芯片组装在一起，从而所述半导体芯片布置在所述薄膜电感器之上；以及

在多个互连焊盘上组装多个导电互连凸块，所述多个互连焊盘布置在所述部件衬底上并位于与所述凸起的芯片的一侧或多侧相邻。

24. 一种制造微模块的方法，所述方法包括：

将包括薄膜电感器的部件衬底和半导体芯片组装在一起，从而所述半导体芯片布置在所述部件芯片的第一表面之上；以及

在多个互连焊盘上组装多个导电互连凸块，所述多个互连焊盘布置在所述部件衬底的第二表面上。

## 包括集成薄膜电感器的微模块及其制造方法

[0001] 相关申请的交叉引用

[0002] 本申请要求于 2008 年 2 月 25 日提交的美国临时专利申请第 61/031,212 号的权益,其公开的全部内容通过引用结合于此。

### 背景技术

[0003] 诸如蜂窝电话、个人数字助理、数字照相机、膝上型电脑等的个人电子产品通常包括组装在互连衬底或系统衬底(诸如印刷电路板和柔性衬底)上的表面安装部件和数个封装的半导体 IC 芯片。存在着对于将更多功能和特性加入个人电子产品等,而同时减小这些产品尺寸的日益增长的需求。通常,这些部件需要不同的供给电压和/或隔离的供给电压。在实现全部这些需求的同时还需要使电池消耗最小化。这些矛盾因素已经对于互连衬底和配电部件的组装、设计、以及尺寸提出日益增长的要求。某些人已经提议在单硅芯片上集成开关电源来作为解决以上矛盾因素的解决方案。然而,这种单片解决方案是昂贵的,并且经常不具有证明其成本是合理的足够高的功率转换效率。

### 发明内容

[0004] 本发明的实施例涉及微模块、制造微模块的方法、以及包括微模块的电气组件。这些实施例有助于解决上述矛盾因素。

[0005] 本发明的第一通用实施例涉及一种微模块,该微模块包括:部件衬底,具有布置在该部件衬底的第一表面上的薄膜电感器;以及半导体芯片,安装在部件衬底的第一表面上并位于薄膜电感器之上。薄膜电感器可以包括位于平面内的螺旋形状的线路。该半导体芯片可以电耦合至具有多个导电互连凸块的部件衬底。又一实施例可以包括布置在部件衬底的第一表面上并位于与凸起的芯片的一侧或多侧相邻的多个互连焊盘。半导体芯片可以包括用于控制通过电感器的电流的一个或多个开关以及控制电路。半导体芯片和电感器可以包括开关模式电源。再一实施例可以包括布置在互连焊盘上的多个导电互连凸块,以提供晶圆级芯片尺寸封装(WLCSP, wafer level ship scale package)。

[0006] 本发明的第二通用实施例涉及一种系统,该系统包括安装在系统衬底上的根据本发明的微模块,微模块的部件衬底的第一表面朝向系统衬底,并且导电互连凸块布置在部件衬底上的互连焊盘与系统衬底上的相应的互连焊盘之间。导电互连凸块的高度尺寸可以大于半导体芯片的厚度尺寸。该系统衬底可包括印刷电路板、母板、柔性电路等。

[0007] 利用上述示例性构造,可以在便宜的衬底上制造电感器,而可以在相对较小的半导体芯片上制造控制电路和开关。需要少量的工艺步骤以在部件衬底上进行制造,而通常需要大量的工艺步骤以在半导体芯片上制造控制电路及开关。因此,半导体芯片的每个区域的成本高于部件衬底的每个区域的成本。通过在芯片和部件衬底之间划分电路,与传统的单片解决方案相比,可以利用本发明实现较低的生产成本。这种传统的单片解决方案将具有控制器的电感器集成在相对昂贵的半导体芯片上,其中电感器占据了昂贵的芯片的大量面积。根据本发明的构造也使得磁性材料(一种具有大于自由空间的磁导率的材料)能

够布置在电感器部分的周围以增加每面积值的电感。这又使得使用本发明的开关模式电源的开关频率能够明显降低。其降低了开关对于相同量的功率转换的开关损耗,从而提高了转换器的效率。

[0008] 本发明的第三通用实施例涉及制造微模块的方法,该方法包括:将包括薄膜电感器的部件衬底和半导体芯片组装在一起,从而半导体芯片布置在该薄膜电感器之上;以及在多个互连焊盘上组装多个导电互连凸块,其中多个互连焊盘布置在部件衬底上并位于与凸起的芯片的一侧或多侧相邻。在又一实施例中,在将部件衬底和半导体芯片组装在一起之前,多个导电互连凸块布置在半导体芯片上。再一实施例包括:将多个导电互连凸块布置在部件衬底的导电互连焊盘上。在另一实施例中,将两个以上部件衬底一起设置在公共衬底或公共晶片上,并在它们与各自的半导体芯片组装之后将其分拣。

[0009] 利用上述的示例性方法,通过在单独的载体(例如,半导体芯片和部件衬底)上制造高成本和低成本部件,并在此之后将载体组装在一起(例如,共同封装载体)可以降低制造开关模式电源的成本。通过在组装之前测试载体并且只组装良好载体,能够增加总体产量。

[0010] 本发明的第四通用实施例涉及一种微模块,该微模块包括:部件衬底,包括第一表面、第二表面、薄膜电感器、以及在第一表面和第二表面之间延伸的多个通孔;第一多个互连焊盘,布置在部件衬底的第一表面,第一多个互连焊盘中的至少两个电耦合至各自的通孔;第二多个互连焊盘,布置在部件衬底的第二表面,第二多个互连焊盘中的至少两个电耦合至各自的通孔;以及半导体芯片,布置在部件衬底的第一表面上并电耦合至第一多个互连焊盘。利用这种构造,半导体芯片及部件衬底可以具有基本上相同的侧向尺寸,并可彼此堆叠成紧凑的微模块。

[0011] 本发明的第五通用实施例涉及一种制造微模块的方法,该方法包括:将包括薄膜电感器的部件衬底和半导体芯片组装在一起,从而半导体芯片布置在部件衬底的第一表面之上;以及在多个互连焊盘上组装多个导电互连凸块,其中多个互连焊盘布置在部件衬底的第二表面上。

[0012] 以下将参照附图更详细地描述本发明的这些和其他实施例。本文公开的每个实施例的特征和/或操作可以与本文公开的其他实施例的特征和/或操作相结合。

## 附图说明

[0013] 图 1 示出了可以在根据本发明的实施例中实施的示例性降压式转换器布局;

[0014] 图 2 示出了根据本发明的实施例的基底的俯视图;

[0015] 图 3 示出了根据本发明的实施例的微模块实施例的俯视图;

[0016] 图 4 示出了根据本发明的实施例的微模块实施例在其被形成时的侧视图;

[0017] 图 5 示出了根据本发明的实施例在图 3 中所示的微模块的侧视图;

[0018] 图 6 示出了根据本发明的另一实施例在图 3 中所示的微模块的侧视图;

[0019] 图 7 示出了根据本发明的实施例包括了图 3 和图 5 中所示的微模块的组件的侧视图;

[0020] 图 8 示出了根据本发明的实施例具有一不同的微模块的另一组件实施例的侧视图;以及

[0021] 图 9 示出了根据本发明的实施例的另一微模块实施例的侧视图。

[0022] 在图中,相同的标号表示相同的元件,并且可以不重复对某些元件的描述。在图中示出示意性尺寸。本发明的实施例并不局限于这些示意性尺寸。

### 具体实施方式

[0023] 下面将参照附图更加全面地描述本发明,在附图中示出了本发明的示例性实施例。然而,本发明可以多种不同的方式来实现而不应当认为其局限于在此描述的实施例。相反地,所提供的这些实施例,对本领域的技术人员来说,使得本发明充分公开并且完全覆盖本发明的范围。附图中,为清楚起见,扩大了层和区域的厚度。在整个说明书中,相同的参考标号用于表示相同的元件。对于不同的实施例,元件可具有不同的相互关系和不同的位置。

[0024] 还应理解,当层被指出“位于”另一层或衬底上时,则该层可直接位于另一层或衬底上,或者也可以存在中间层。还应理解,当诸如层、区域、或衬底的元件被指出“位于”、“连接至”、“电连接至”、“耦合至”或“电耦合至”另一元件上时,则该元件可以直接位于、直接连接至、或直接耦合至另一元件上,或者可以存在一个或多个中间元件。相反,当元件被指出“直接位于”、“直接连接至”或“直接耦合至”另一元件或层上时,则没有中间元件或层存在。本文所使用的术语“和 / 或”包括任何的以及所用的一个或多个相关所列术语的结合。

[0025] 本文中所使用的术语仅是为了本发明的说明性目的,并不应理解为限制本发明的含义或范围。正如本说明书中所使用的,除非上下文中明确指明特定情况,否则单数形式可包括复数形式。而且,在本说明书中使用以下表达“包括”和 / 或“包含”时,既不限定所声称的形状、数目、步骤、动作、操作、构件、元件、和 / 或组,也不排除还存在或附加一个或多个其它不同的形状、数目、步骤、操作、构件、元件、和 / 或其组、或这些的附加。为了便于描述如图中所示的一个元件或机构与另一元件或机构的关系,在此可能使用诸如“在... 之上”、“在... 上面”、“上面的”、“在... 之下”、“在... 下面”、“下面的”等空间关系术语。应当理解,除图中所示的方位之外,空间关系术语将包括使用或操作中的装置(例如,光耦合器、插件)的各种不同的方位。例如,如果翻转图中所示的装置,则被描述为在其他元件或机构“下面”或“之下”或“下方”的元件将被定位为在其他元件或机构的“上方”或“上面”。因此,示例性术语“在... 上面”包括在上面和在下面的方位。

[0026] 如本文所使用的,诸如“第一”、“第二”等术语用于描述各种构件、部件、区域、层和 / 或部分。然而,这些构件、部件、区域、层、和 / 或部分显然并不局限于这些术语。这些术语仅用于将一个构件、部件、区域、层、或部分与另一个构件、部件、区域、层、或部分相区分。因此,在不背离本发明宗旨范围的情况下,下文所述的第一构件、部件、区域、层、或部分可以称为第二构件、部件、区域、层、或部分。

[0027] 本发明的一些实施例包括使用硅基衬底(base-silicon substrate)来设计3D(三维)微模块的方法,该硅基衬底具有WLCSP(晶圆级芯片尺寸封装)导电凸块(bump)(例如,焊锡球(solder ball))、电路互连、和薄膜磁电感器,以及在与硅基衬底组装在一起的单独硅芯片上实现的DC/DC转换器。本发明的一些实施例还涉及设计高开关频率DC/DC降压式转换器的方法。本发明的另一些实施例涉及将包括制造的薄膜电感器的硅基衬底集成至微模块的方法。本发明的又一些实施例涉及包括倒装芯片组装工艺的方法。该组装

工艺可以包括将用于 DC/DC 转换器的控制器芯片与具有电感器的硅基衬底集成。该方法还可以包括将 WLCSP 焊球等应用于硅基衬底载体。

[0028] 本发明的一些实施例包括对于空间受限的便携式应用的具有集成的薄膜磁电感器的高开关频率 DC-DC 降压式转换器,非常薄的形成因数的构造。

[0029] 本发明的实施例具有许多优于现有单一芯片和微模块解决方案的优点。首先,根据本发明的实施例的微模块可以小于传统微模块(例如,与传统微模块的区域或占用面积相比小了 50%;与传统微模块的高度相比低了 50%)。第二,使得微模块与传统的单片解决方案和微模块相比更便宜(例如,降低了衬底和组件成本)。第三,本发明的一些实施例还可以提供 EMI(电磁干扰)屏蔽属性(例如,电流回路越小,屏蔽越容易)。

[0030] 本发明可用于现有技术公知的任何类型的开关模式电源(SMPS),诸如升压式转换器、降压式转换器、升降压式转换器等。不失普遍性,使用图 1 所示的示例性降压式转换器布局,在本文中示出本发明的实施例。示例性降压式转换器包括:输入端口  $V_i$ ,用于接收参考公共接地 G 的输入电压  $V_{IN}$ ;输出端口  $V_o$ ,用于提供参考公共接地 G 的输出电压  $V_{OUT}$ ;输入电容  $C_{IN}$ ,与输入端口  $V_{IN}$  并联地耦合以滤波输入电压;以及输出电容  $C_{OUT}$ ,与输出端口  $V_{OUT}$  并联地耦合以过滤输出的波纹电流。降压式转换器的输出电压  $V_{OUT}$  小于输入电压  $V_{IN}$ 。示例性降压式转换器进一步包括:开关节点 SW,耦合在开关节点 SW 和输出端口  $V_o$  之间的输出电感器  $L_{OUT}$ ,耦合在节点 SW 和输入端口  $V_i$  之间的初级开关 S1,耦合在节点 SW 和接地 G 之间的次级开关 S2,以及控制开关 S1 和 S2 的 ON/OFF 状态的控制器。该控制器周期性地在 OFF 和 ON 状态之间切换每个开关 S1 和 S2,每个开关处于其 OFF 状态时,另一开关则处于其 ON 状态。当初级开关 S1 切换为 ON 时,其将电压和功率耦合至电感器  $L_{OUT}$ ,该电感器存储一些电能并将一些电能传输至输出端口  $V_o$ 。当初级开关 S1 处于其 OFF 状态时,次级开关 S2 切换为 ON,并且输出电感器  $L_{OUT}$  利用次级开关 S2 作为至输出端口的放电路径而将其储存的一些或全部电能释放至输出端口  $V_o$ 。控制器可以包括 SMPS 技术已知的各种模拟和数字电路,其细节不构成本发明的部分。该控制器:(1) 从输入端口接收工作电源;(2) 监控相对于目标值的输出电压  $V_{OUT}$ ,以及(3) 连续调整初级开关 S1 的 ON 和 OFF 状态的相对持续时间以保持输出电压  $V_{OUT}$  接近于目标值。在开关节点 SW 周围的开关和电感器的相对布置中,其他转换器布局不同于降压式布局。例如,在升压式布局中,电感器耦合在输入节点和开关节点之间,初级开关耦合在开关节点和公共接地之间,以及次级开关耦合在开关节点和输出端口(并且通常实施为整流器)之间。

[0031] 在根据本发明的第一组实施例中,开关 S1 和开关 S2 以及控制器在半导体芯片上实现,电感器  $L_{OUT}$  在单独的部件衬底(其可以包括另外的半导体或硅芯片)上实现,并且开关/控制器芯片和部件衬底组装在一起。可以将多个可选的配置信号 C1、C2... 提供至半导体芯片。这种配置信号可以提供独立的控制信号,或者串行通信总线能够从主处理器提供许多配置信号。该配置信号可以设置用于输出电压的目标值。在根据本发明的另一组实施例中,电容  $C_{IN}$  和  $C_{OUT}$  中的至少一个连同电感器一起在部件衬底上实现,优选地在与电感器所位于的表面相对的衬底的表面上来实现。在又一实施例中,电容  $C_{IN}$  和  $C_{OUT}$  都在电感器的衬底上实现。在根据本发明的另一组实施例中,电容  $C_{IN}$  和  $C_{OUT}$  中的至少一个在第二部件衬底(其可以包括另一个半导体芯片)上实现,并与第一部件衬底组装,优选地在与控制器半导体芯片所安装的表面相对的表面上。在另一实施例中,电容  $C_{IN}$  和  $C_{OUT}$  都在第二部件衬底

上实现。每个开关 S1 和 S2 均可以包括任何类型的晶体管；此外，开关 S2 可以进一步包括任意类型的整流器器件，诸如 p-n 二极管或肖特基势垒整流器。对于以低功率（例如，小于 5W）的低压（例如，小于 3.5V）应用，开关 S1 可以包括 PMOS 晶体管，开关 S2 可以包括 NMOS 晶体管，其提供横跨开关的端子的低压降。由于压降浪费了较少的功率，这又提供更高的功率转换效率。NMOS 晶体管和 PMOS 晶体管连同控制器可按照传统的 CMOS 技术来实现。

[0032] 图 2 示出了支撑电感器的部件衬底 18 的俯视图。部件衬底 18 可包括基底半导体或硅衬底 12，和具有形成在衬底 12 的第一表面上的铜线圈 10 的薄膜磁电感器 40。线圈 10 可包括位于水平面内的螺旋线路。还示出了布置在铜线圈 10 的一些段之下或之上的薄膜磁性材料 14。材料 14 具有的磁导率显著大于自由空间的磁导率，并且通常大十倍以上。相反地，半导体、介电层、和用于制造半导体芯片和互连衬底的大多数金属具有的磁导率等于或略大于自由空间的磁导率。介电层可以布置在材料 14 和线圈 10 之间，用于电隔离。衬底 12 还包括第一组导电互连焊盘 30，该第一组导电互连焊盘布置在衬底的第一表面上，用于接纳将互连焊盘 30 电耦合至半导体芯片的相应的互连焊盘的导电互连凸块（在图 3～图 5 中示出）。衬底 12 还包括第二组导电互连焊盘 32，该第二组导电互连焊盘布置在衬底的第一表面上，用于接纳能够将互连焊盘 32 电耦合至系统衬底的相应的互连焊盘的 WLCSP 导电互连凸块（在图 3～图 5 中示出）。互连焊盘 32 标有各自的代表符号 Vi、Vo、G、C1、和 C2 以表明在示例性实施方式中它们对应于图 1 中所示的功率转换器的哪个信号。如图中所示，用于耦合至控制器芯片的许多互连焊盘 30 通过各自的导电路径耦合至相应的互连焊盘 32。互连焊盘 30 中的一个用于将电感器耦合至控制器芯片上的开关 S1 和 S2，并标有信号符号 SW。

[0033] 在典型的实施例中，可以按照晶片形式来设置部件衬底 18。可使用标准半导体工艺技术形成部件衬底 18 的互连焊盘和电感器。这显著地降低了制造成本。本领域的普通技术人员可以使用 Brunet 等的美国公布的专利申请 No. 2005-0233593 中公开的方法来形成该电感器，而无需不适当的实验。

[0034] 图 3 示出了包括安装在部件衬底 18 上的控制器芯片 20（或控制器 IC）的微模块 100 的俯视图。微模块 100 尤其适用于 DC/DC 转换器。如所示，第一组导电凸块 26（虚线所示）可以经由先前描述的第一组焊盘 30 将控制器芯片 20 电耦合至部件衬底 18。第二组导电凸块 22 可布置在衬底 12 上的导电互连焊盘 32 上，并可以围绕控制器芯片 20。第一组和第二组导电凸块 26、22 可以包括任何合适的导电材料（包括焊料、铜、银、和 / 或金）。

[0035] 图 4 示出正在与部件衬底 18 组装的预凸起的控制器芯片 28（其包括先前描述的控制芯片 20 和第一组导电凸块 26）。凸起的控制器芯片 28 可以是利用连接各个互连焊盘 30 的导电互连凸块 26 的暴露端而附接至部件衬底 18 的倒装晶片。图 4 还示出了布置在各自的互连焊盘 32 上而与部件衬底 18 正在组装的第二组互连凸块 22。如所示，第二组导电凸块 22 中的凸块比凸起的控制器芯片 28 高。第二组导电凸块 22 可以包括 Sn-Ag-Cu WLCSP 型焊料凸块或其它焊料合金（其为晶片形式时可应用于硅基衬底 12）。在这种情况下，形成的微模块可以平行地组装在单个晶片上，而后使用锯或其它切割装置将其分拆成独立的单元。在组装凸起的控制器芯片 28 与部件衬底 18 之前或之后，可以将凸块 22 与部件衬底 18 组装。

[0036] 图 5 示出在组装操作之后图 3 中所示的微模块 100 的侧视图。在图中，可以看出



第二组导电互连凸块 22 超出芯片 20 的高度。这使微模块 100 能够是作为芯片尺寸封装（例如，没有成型材料外壳芯片 200 的主体和部件衬底 18）而安装在系统衬底的倒装芯片，微模块 100 占据比传统单片解决方案或传统封装解决方案明显少的空间。与单片解决方案不同，由于芯片 20 在图 2- 图 3 中标有“SW”的互连焊盘 30 处直接连接至电感器，因此不需要在电感器线圈之上或之下穿过的导线。

[0037] 为了便于进行倒装晶片组装工艺，互连凸块 26 可以包括比互连凸块 22 的焊料熔点更高的焊料，或互连凸块 26 可包括超声焊接凸块（诸如超声焊接金凸块）。这防止了当微模块 100 在回流工艺（在倒装晶片安装之后）期间焊接至系统衬底时，芯片 20 在部件衬底 18 上移动其位置。为了将侵蚀和氧化减到最小，在将微模块 100 安装至系统衬底之后，可以在微模块 100 的侧面周围布置未充满材料体。参照图 6，可以在芯片 20 的一侧或多侧周围以及在线圈 10 以及磁性材料 14 的暴露部分上布置未充满材料体 50，以使在组装至系统衬底之前对互连焊盘和这些部件的侵蚀、氧化、以及机械损害减到最小。

[0038] 图 7 示出包括具有与图 3 和图 5 中所示的微模块类似构造（除了更紧密排列凸块 26 之外）的微模块 100' 实施例的电气组件（即，系统）。微模块 100' 安装在 PC 板 130 或其他电路衬底上。控制器芯片 20 使用诸如焊锡体 124 的导电粘合剂而可选地附接至 PC 板 130。控制器芯片 20 位于 PC 板 130 和硅衬底 12 之间，并具有电耦合至各自的互连凸块 26 的导电区域 24。该控制器芯片 20 还与电感器 40 的至少一部分堆叠，从而提供节省空间配置。这个实施例示出部件衬底 18 可以进一步包括：(1) 布置在基底半导体衬底 12 和电感器 40 之间的绝缘层 13，(2) 布置在线圈 10 的金属线路和磁性材料 14 之间以及在互连焊盘 30、32 和衬底 10 之间的多个电介质材料层 15，以及 (3) 布置在电感器 40 和将一些焊盘 30、32 耦合在一起的电气线路之上的顶部钝化层 16。该实施例还示出了部件衬底 18 的高度可以大约为 280 微米，芯片 20 和互连结构 26、124 的组合高度可以大约为 220 微米，以及微模块 100' 的整体安装高度可以大约为 500 微米 (0.5mm)。

[0039] 在上述微模块实施例中，电容器  $C_{IN}$  和  $C_{OUT}$ （图 1 中所示）未与部件衬底集成。可以通过布置在 PC 板 130（系统衬底）上的表面安装部件来设置这些电容器，或可以通过负载和输入电源的互连电容来固有地设置这些电容器。图 8 示出与图 7 所示的相类似（除了电容器被集成至微模块 200 的部件衬底 18' 以外）的电气组件（即，系统），包括安装在系统衬底 130 上的微模块 200。更具体地，部件衬底 18' 包括上述衬底 18 的元件，并加上下列元件：(1) 用于电容器  $C_{IN}$  和  $C_{OUT}$ （图 1 所示）的电容器 234A 和 234B，其分别形成于基底硅衬底 12 的顶侧下方；(2) 在硅基衬底 12 的顶面上方的电感器 40；(3) 分别穿过部件衬底 18' 的前和后表面而形成并电耦合至用于输出端口  $V_o$  和输入端口  $V_i$  的互连焊盘 32 的通孔 236A 和 236B，以及 (4) 电气线路 238A 和 238B，分别将通孔 236A 和 236B 电耦合至电容器 234A 和 234B。

[0040] 每个电容器 234A 和 234B 均可以包括并联耦合、以半导体衬底用作沟槽 MOS 电容器的接地电极的一组沟槽“MOS”（金属氧化物半导体）电容器。可以按照以下方式制造部件衬底 18'。首先掺杂 n 型硅晶片（通常每立方厘米掺杂  $1 \times 10^{18}$  或以上的掺杂剂原子），可以使用氧化步骤在晶片的顶部表面上创建氧化层。然后，氧化层被光刻地 (photo-lithiographically) 图样化，作为用于蚀刻晶片（其将设置衬底 12）的顶面中的沟槽的掩膜。通过从晶片的顶部至 50 微米到 100 微米的深度进行各向异性蚀刻（例如，使用

氟基的气体 and 侧壁钝化气体（诸如溴化氧或溴化氢）的等离子体蚀刻）来形成沟槽。使用水基的蚀刻剂清洗沟槽，通过在干燥的氧气环境中将晶片加热至超过 900℃ 的温度，在沟槽中生长薄的氧化层。然后将该氧化物涂敷的沟槽填充导电材料。在原处掺杂的多晶硅材料可用于填充沟槽。可将沟槽的宽度制造得相对宽（例如，高与宽的比率为 4 比 5）以允许沉积的多晶硅到达沟槽的底部。在沉积之后，可以对多晶硅进行退火以提高其电导率。一些填充的沟槽用于设置通孔 236A 和 236B（这些在电容器的远侧示出）。在退火多晶硅之后，多晶硅的覆盖层 (blanket layer) 保留在晶片的顶部表面，其可以被去除以与氧化层齐平，或通过化学蚀刻轻微地嵌入。可以通过在晶片的顶面沉积金属层，使用金属硅化物工艺处理该层，可选地沉积另一金属层，并图样化蚀刻金属层来形成电容器 234A 和 234B 的上（“正”）电极 17。这些步骤形成除了电容器接地端子和通孔 236 之间的后部线路 238A 和 238B 之外的电容器；如下面所述，在形成电感器 40 之后形成后部线路。虽然已经将多晶硅材料示为用于填充在沟槽内的导电材料，但应理解，一些金属可以无电镀地电镀到二氧化硅上，金属可以被电镀以填充沟槽并设置晶片上的顶部金属层。

[0041] 然后，本领域的普通技术人员使用 Brunet 等的美国公布的专利申请 No. 2005-0233593 中公开的方法，而无需不适当的实验便可以在顶部表面形成电感器 40，以及可以在晶片的顶部表面之上形成介电层 13。这些步骤包括形成导电冒口 (riser) 237 和互连焊盘 30 和 32。在这些部件的形成中，将氧化层 13 在通孔 236A 和 236B 的中心上方的部分蚀刻掉，使得金属冒口 237A 和 237B 可沉积在导电材料（其沉积在通孔 236A 和 236B 的沟槽内）的末端。这些冒口电耦合至接收地电势的互连焊盘 32。可以使用附加的金属冒口来将电容器的正电极 17 电耦合至接收输入电压和输出电压的互连焊盘 32。在形成电感器 40 之后，重叠衬底的后表面以使其接近沟槽的底部。然后，对覆盖在通孔 236A 和 236B 上的后表面的部分进行蚀刻以露出通孔沟槽内的导电材料（例如，多晶硅）。可以通过在晶片的底部表面之上沉积金属层，使用硅化物工艺处理金属，可选地在硅化物之上沉积另外的金属，并图样化蚀刻该金属层来形成线路 238A 和 238B。线路 238A 和 238B 电耦合至布置在 234A 和 234B 的沟槽周围的半导体材料。可在图样化的金属层之上旋转涂敷电绝缘层 19，并固化该电绝缘层。因此，可以使用大约十五个工艺步骤将电容器集成至衬底。

[0042] 虽然上述实施例示出输入电容器和输出电容器都可与部件衬底 18' 集成，但是可以理解，如果需要，可以仅有一个电容器被集成。该实施例示出部件衬底 18' 的高度可大约为 180 微米，芯片 20 和互连结构 26、124 的组合高度可大约为 220 微米，以及微模块 200 的整体安装高度可大约为 400 微米 (0.4mm)。

[0043] 图 9 示出根据本发明的实施例的另一微模块 300。在该实施例中，部件衬底 18'' 具有与控制器芯片 20 的平面尺寸基本相同的平面尺寸，并且芯片 20 堆叠在部件衬底 18'' 的顶部，并具有在与芯片 20 相对的表面处产生的至系统衬底的电连接。部件衬底 18'' 与上述的部件衬底 18' 相似，但具有以下差异：(1) 通孔 236A 提供输入电压或输出电压而非接地（通孔 236B 仍提供地电势）；(2) 互连焊盘 30 布置在衬底 18'' 的后表面处并将通孔 236A 和 236B 互连至半导体芯片 20 的各自电极 24；(3) 可省略线路 238A，并且线路 238B 可延伸以覆盖电容器体 234A；(4) 电容器 234A 的电极 17 向左延伸以覆盖冒口 237A；(5) 添加冒口 237C 以与通孔 236A 的沟槽的导电材料（例如，多晶硅）相接触；(6) 介电层 15 更厚并覆盖电感器；(7) 可省略钝化层 16；(8) 冒口 237 更高，以及 (9) 由于可以使用较小的互连

凸块 322,所以可以将焊盘 32 制造得较小。由于互连凸块 322 不必超过芯片 20 的高度,所以它们可制造得比互连凸块 22 小。按照以下方式,控制器芯片 20 可具有耦合至系统衬底 130 的输入和输出:通过直接金属焊接,芯片的导电区域 24 电耦合至衬底 18”的各自焊盘 30,其中,焊盘 30 电耦合至各自的通孔 236,通孔又电耦合至各自的冒口 237,冒口又电耦合至各自的焊盘 32,焊盘又电耦合至各自的互连凸块 322,互连凸块又电耦合至系统衬底 130 的各自焊盘 132。按照以下方式,该控制器芯片 20 可使其导电区域 24 的一部分耦合至电感器的端子:耦合至衬底 18”的各自焊盘 30,其中,焊盘 30 电耦合至各自的通孔 236,通孔又电耦合至各自的冒口 237,冒口又电耦合至线圈 10 的各个端。可使用上面的用于制造衬底 18’的工艺流程(考虑到以上变化,其具有一些改变)制造部件衬底 18”。这种变化主要包括在处理硅衬底 10 的后侧的层处的变化,包括焊盘 30 的焊接金属的沉积。

[0044] 该实施例示出部件衬底 18”的高度可大约为 200 微米,芯片 20 的高度可大约为 50 微米,以及微模块 300 的整体安装高度可大约为 250 微米(0.25m)。取代芯片 20 和部件衬底 18”之间的直接金属焊接,可使用焊料互连凸块,其可将封装的厚度增加至大约 300 微米。

[0045] 可通过将具有薄膜电感器 40 的部件衬底 18、18’与半导体芯片 20 组装在一起使得芯片 20 被布置在电感器 40 之上,以及将多个导电互连凸块 22 组装在多个互连焊盘 32(布置在部件衬底上并位于与凸起的芯片的一侧或多侧相邻)上来制成微模块 100、100’和 200。在将部件衬底和半导体芯片组装在一起之前,可以将导电互连凸块 26 布置在半导体芯片上或部件衬底 18、18’的焊盘 30 上。在将部件衬底和芯片组装在一起之前或之后,可以将导电互连凸块 22 布置在部件衬底的导电互连焊盘 32 上。可以在公共衬底或公共晶片上将两个或多个部件衬底设置在一起,并且可以在它们与各自的半导体芯片组装之后进行分拣(例如,分开)。

[0046] 可以通过将具有薄膜电感器 40 的部件衬底 18”和半导体芯片 20 组装在一起使得半导体芯片布置在部件芯片的第一表面之上,并且通过将多个导电互连凸块 322 组装在多个互连焊盘 32(布置在部件衬底的第二表面上)上来制成微模块 300。

[0047] 应理解,其中本文公开和声明的任何方法的操作的性能不基于另一操作的完成,该操作可以按照关于彼此的任何时间序列(例如,时间顺序)来执行,包括各种操作的同时执行和交错执行。(例如,在两个或多个操作的部分以混合方式执行时可以出现交错执行。)因此,应理解,虽然本申请的方法权利要求叙述了多组操作,但是方法权利要求不局限于在权利要求语言中列出的操作的顺序,而是包括了所有以上可能的顺序,包括操作的同步执行和交错执行和以上没有明确描述的其他可能顺序,除非权利要求语言另有规定(诸如明确陈述一个操作先于或跟随另一操作)。

[0048] 在没有背离本发明的范围的情况下,一个或多个实施例的任何一个或多个特征可与任何其它实施例的一个或多个特征相结合。

[0049] “一个”或“这个”的任何列举旨在表示“一个或多个”,除非特别指出相反的情况。

[0050] 上述描述是说明性的而不是限制性的。对于本领域的技术人员,基于阅读本公开,本发明的各种更改将变得显而易见。因此,不应参照以上描述来限定本发明的范围,而应参照所附权利要求和其全部范围或等价物来对其进行限定。

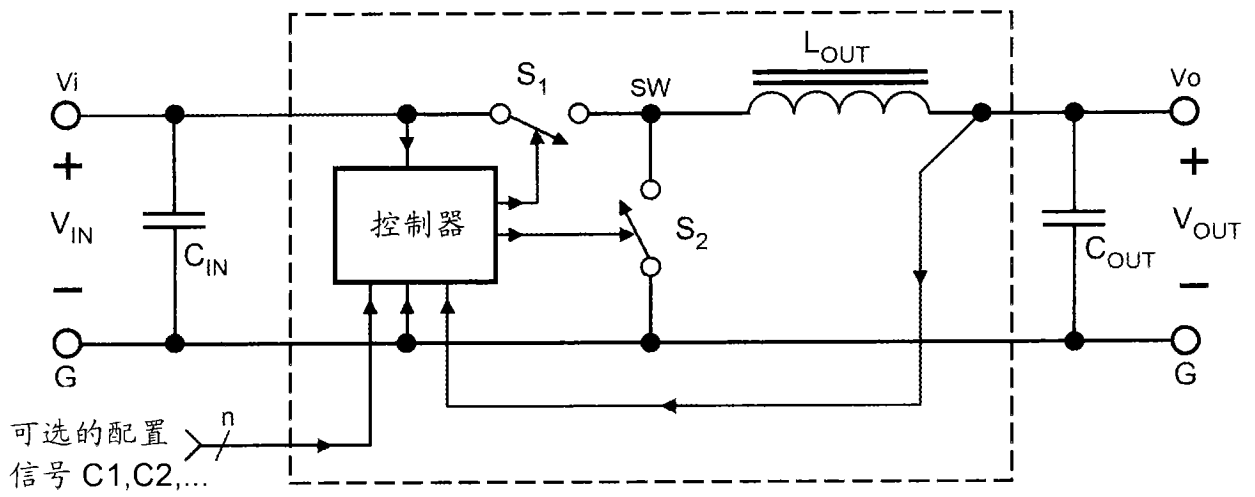


图 1

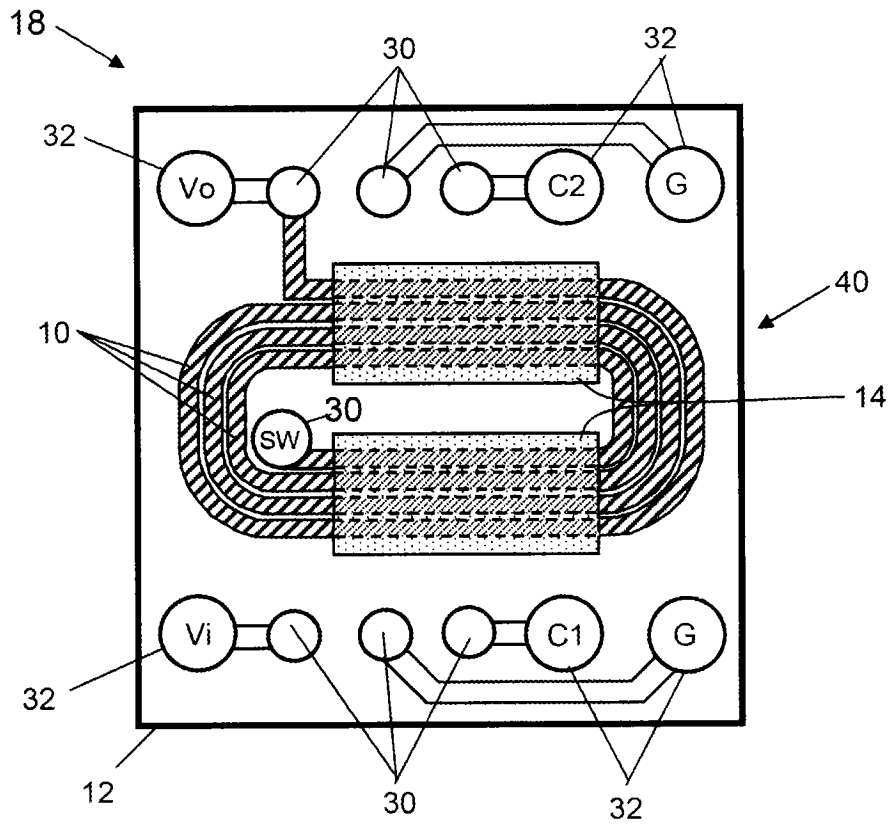


图 2

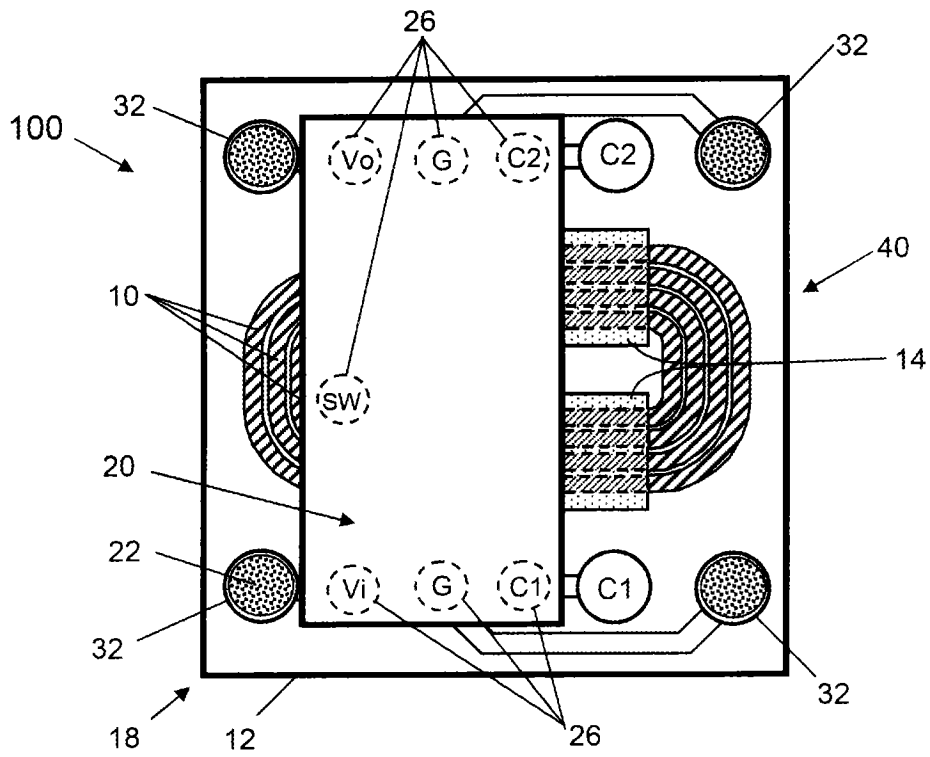


图 3

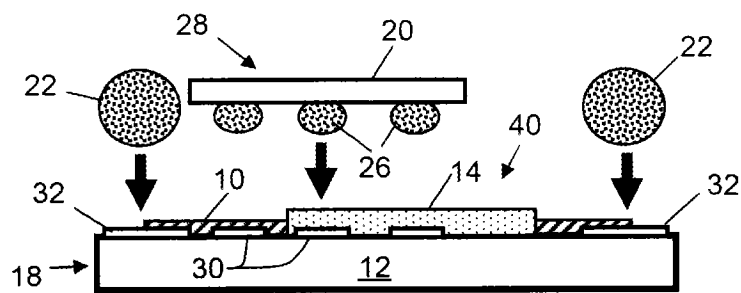


图 4

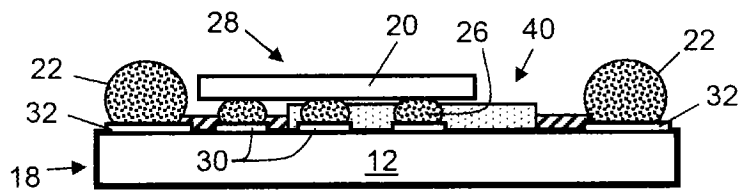


图 5

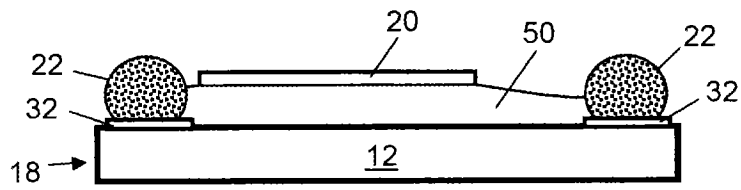


图 6

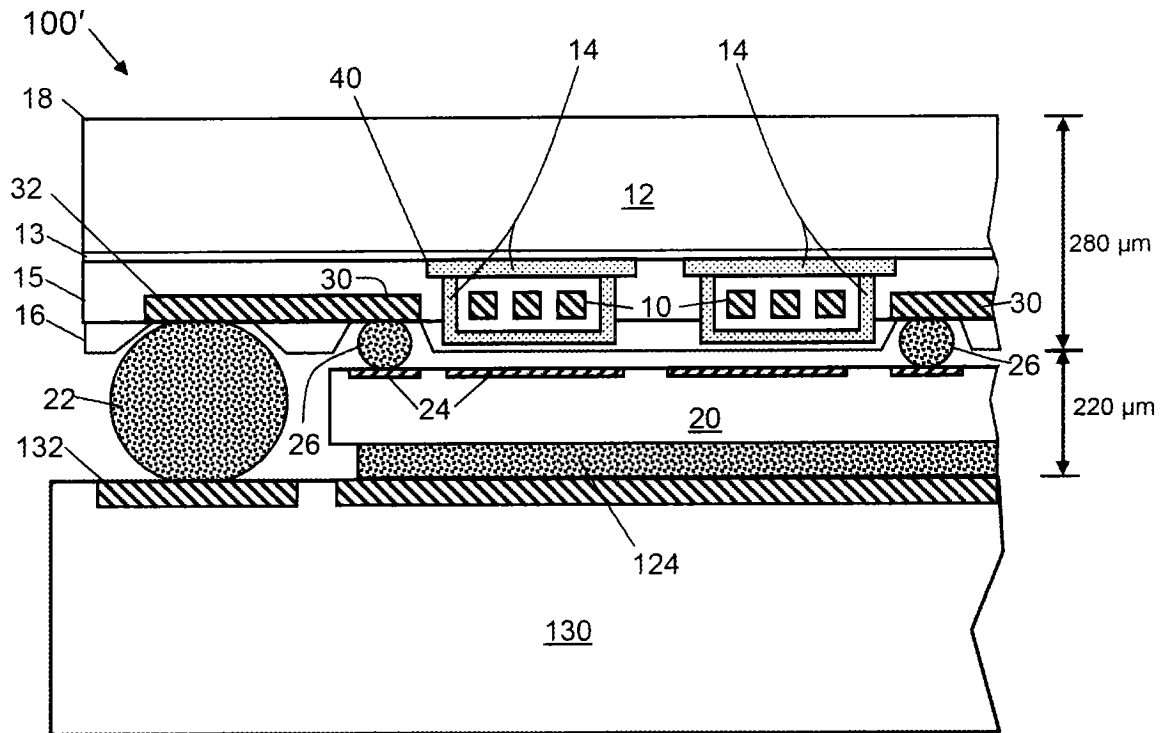


图 7

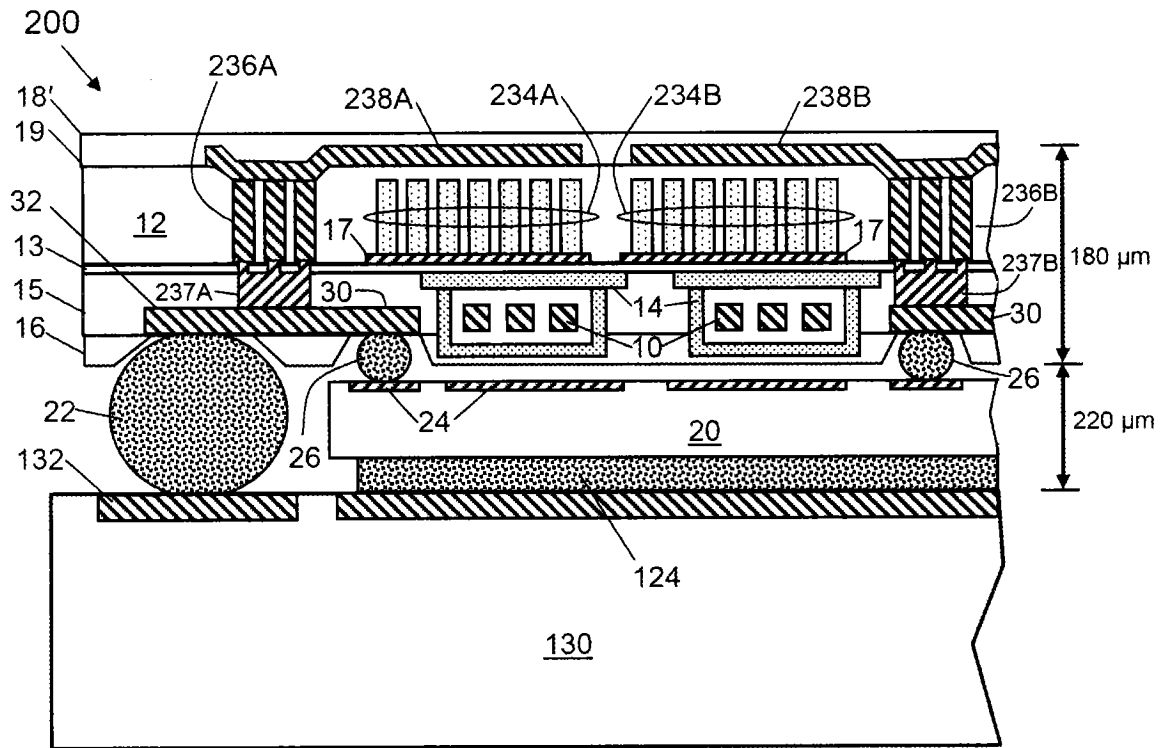


图 8

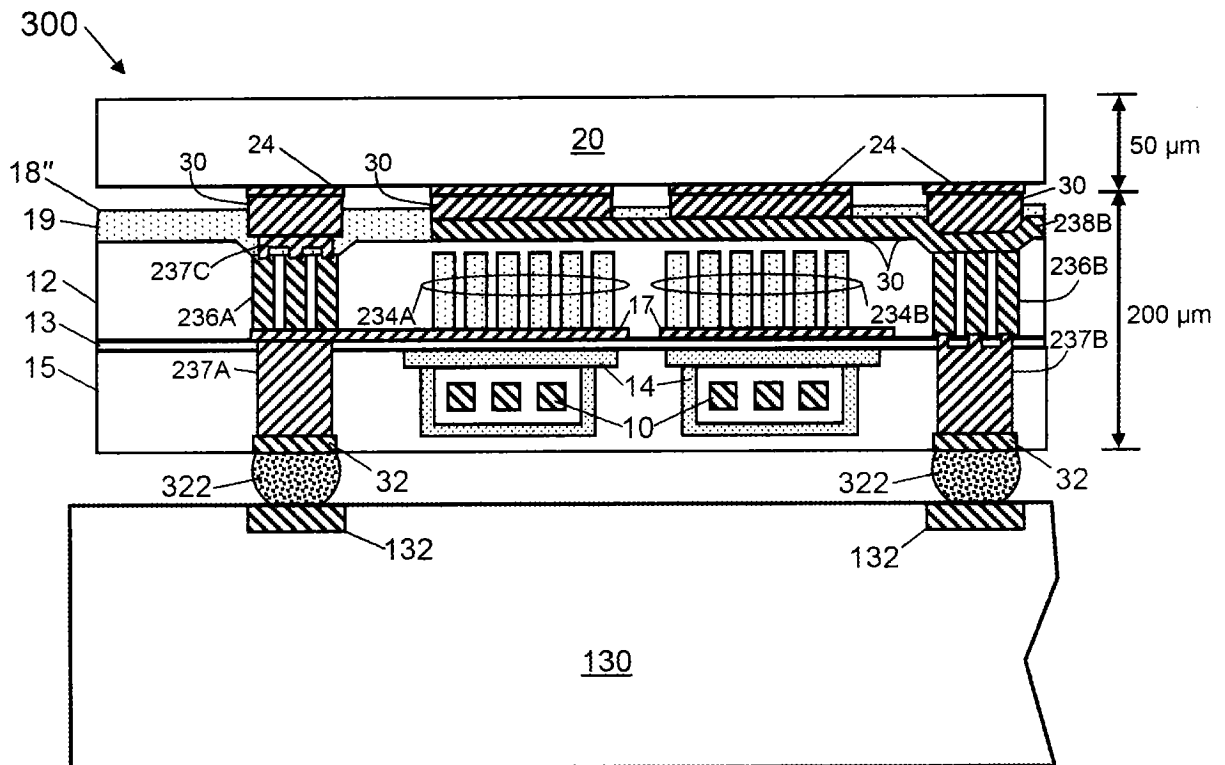


图 9