

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6509726号
(P6509726)

(45) 発行日 令和1年5月8日(2019.5.8)

(24) 登録日 平成31年4月12日(2019.4.12)

(51) Int. Cl. F I
 H03F 3/217 (2006.01) H03F 3/217
 H03F 1/02 (2006.01) H03F 1/02

請求項の数 21 (全 18 頁)

(21) 出願番号	特願2015-513035 (P2015-513035)	(73) 特許権者	514298461
(86) (22) 出願日	平成25年5月3日(2013.5.3)		ホーホシューレ、フューア、アンゲバント
(65) 公表番号	特表2015-519020 (P2015-519020A)		、ピッセンシャフテン、ミュンヘン
(43) 公表日	平成27年7月6日(2015.7.6)		HOCHSCHULE FUER ANG
(86) 国際出願番号	PCT/EP2013/001323		EWANDTE WISSENSCHAF
(87) 国際公開番号	W02013/174476		TEN MUENCHEN
(87) 国際公開日	平成25年11月28日(2013.11.28)		ドイツ連邦共和国ミュンヘン、ロートシュ
審査請求日	平成28年3月10日(2016.3.10)		トラーセ、34
(31) 優先権主張番号	102012104488.0	(74) 代理人	100107582
(32) 優先日	平成24年5月24日(2012.5.24)		弁理士 関根 毅
(33) 優先権主張国	ドイツ(DE)	(74) 代理人	100117787
			弁理士 勝沼 宏仁
		(74) 代理人	100082991
			弁理士 佐藤 泰和

最終頁に続く

(54) 【発明の名称】 可変の供給電圧のためのスイッチング増幅器

(57) 【特許請求の範囲】

【請求項1】

入力信号を出力信号(36)へと増幅するための増幅器(8)であって、
 信号経路(10)と負帰還接続(20)とを備えており、
 前記信号経路(10)が、
 前記入力信号を受信し、該受信した入力信号に応じたスイッチング信号を生成することに適した変調手段(14)と、
 供給電圧(30)に接続され、前記変調手段(14)によって生成された前記スイッチング信号に従って切り替えられるスイッチング手段を備えており、前記供給電圧(30)に依存した振幅の出力信号(36)を生成するスイッチング出力段(16)と

10

を備えており、
 前記負帰還接続(20)は、前記スイッチング出力段(16)の前記出力信号(36)を前記入力信号と合成するためにフィードバックすることに適しており、

前記信号経路(10)および前記負帰還接続(20)は、或るループ利得を有するループ(42)を形成している増幅器(8)であって、

前記スイッチング出力段(16)の前記供給電圧(30)または該供給電圧(30)から導出される信号を受信し、該供給電圧(30)の変動に起因する前記ループ利得の変化を少なくとも部分的に補償することに適した補償手段(52)を備え、

前記補償手段(52)が、前記供給電圧(30)の変動にもとづくループ利得の変化に対抗するように、前記供給電圧(30)に応じた前記ループ(42)の前記信号経路部分

20

における信号を増幅または縮小することに適しており、

前記増幅器(8)が、前記スイッチング信号を前記変調手段(14)の入力における信号と合成するために前記変調手段(14)の入力へとフィードバックすることに適した変調器負帰還接続(50)をさらに備え、

前記補償手段(52)が、前記供給電圧(30)の変動にもとづくループ利得の変化に対抗するように、前記供給電圧(30)に応じた前記変調器負帰還接続(50)における信号を増幅または縮小することに適しており、前記変調器負帰還接続(50)における雑音がこの点において前記負帰還接続(20)によって抑えられる増幅器(8)。

【請求項2】

前記入力信号に依存して前記供給電圧(30)を変化させるための手段をさらに備える請求項1に記載の増幅器(8)。

10

【請求項3】

前記補償手段(52)が、前記スイッチング出力段(16)の前記供給電圧(30)または該供給電圧(30)から導出される信号を、前記変調器負帰還接続(50)における信号と乗算することに適している請求項1または2に記載の増幅器(8)。

【請求項4】

前記補償手段(52)が、マルチプレクサ(52)を備え、前記スイッチング出力段(16)の前記供給電圧(30)または該供給電圧(30)から導出される信号が、前記マルチプレクサ(52)によって前記スイッチング信号と乗算され、前記供給電圧(30)の値または反転値を少なくともほぼ有する、あるいは前記供給電圧(30)から導出される信号の値または反転値を少なくともほぼ有する信号が形成される請求項3に記載の増幅器(8)。

20

【請求項5】

前記変調手段が、シグマデルタ変調器(14)を備え、該シグマデルタ変調器(14)が、好ましくは2つ以上の積分器を有するループフィルタ(44、46)を備える請求項4に記載の増幅器(8)。

【請求項6】

前記ループフィルタ(44、46)が、少なくとも1つの状態変数によって影響される状態をとることができ、前記ループフィルタ(44、46)は、前記少なくとも1つの状態変数について限界値(62)を有し、前記補償手段が、前記供給電圧(30)の変動に応じて前記限界値(62)を相応に調節することに適している請求項5に記載の増幅器(8)。

30

【請求項7】

前記シグマデルタ変調器(14)が、ハードウェアプログラマブルコンポーネント(38)上に実装され、とくにはFPGA上に実装されている請求項5に記載の増幅器(8)。

【請求項8】

前記信号経路(10)において前記シグマデルタ変調器(14)の上流に配置され、前記負帰還接続(20)によってフィードバックされた前記出力信号(36)と合成された後の前記入力信号を受信して増幅することに適したデジタルループフィルタ(12)をさらに備え、

40

前記デジタルループフィルタ(12)が、ハードウェアプログラマブルコンポーネント(38)上に実装され、とくにはFPGA上に実装されている請求項7に記載の増幅器(8)。

【請求項9】

前記負帰還接続が、
アナログループフィルタ(22)、および
入力が前記アナログループフィルタ(22)の出力に接続された二次の第1のアナログ-デジタル変換器(24)
をさらに備えている請求項7に記載の増幅器(8)。

50

【請求項 10】

前記スイッチング出力段(16)のフィードバックされた前記出力信号(36)と合成するために前記第1のアナログ-デジタル変換器(24)の出力信号をフィードバックすることに適したデジタル-アナログ負帰還接続(26)と、

前記第1のアナログ-デジタル変換器(24)のフィードバックされた前記出力信号をアナログ信号へと変換することに適したデジタル-アナログ変換器(28)と

をさらに備える請求項9に記載の増幅器(8)。

【請求項 11】

入力が前記第1のアナログ-デジタル変換器(24)の出力に接続されたデジタルフィルタ(25)をさらに備え、

前記デジタル-アナログ負帰還接続(26)が、前記スイッチング出力段(16)のフィードバックされた前記出力信号(36)と合成するために前記デジタルフィルタ(25)の出力信号をフィードバックすることに適している請求項10に記載の増幅器(8)。

【請求項 12】

入力が前記スイッチング出力段(16)の出力に接続されたフィルタ(18)をさらに備えており、

前記負帰還接続(20)が、前記フィルタ(18)の上流または下流で前記スイッチング出力段(16)の前記出力信号(36)をフィードバックすることに適している請求項1または2のいずれか一項に記載の増幅器(8)。

【請求項 13】

前記供給電圧(30)をデジタル信号へと変換して前記補償手段(52)へと送ることに適した第2のアナログデジタル変換器(32)

をさらに備える請求項7に記載の増幅器(8)。

【請求項 14】

外部に接続される供給電圧(30)にて動作するように構成された請求項1または2に記載の増幅器(8)。

【請求項 15】

前記スイッチング出力段(16)が、Hブリッジによって形成され、さらにノあるいは前記スイッチング手段が、パワーMOSFETトランジスタによって形成されている請求項1または2に記載の増幅器(8)。

【請求項 16】

デジタル信号処理およびノまたはデジタル信号生成のためのクロック源(40)をさらに備え、

前記第1のアナログ-デジタル変換器(24)が、100kHz以上、好ましくは1MHz以上、とくに好ましくは10MHz以上のサンプリング周波数で動作するように構成されている請求項9に記載の増幅器(8)。

【請求項 17】

入力信号を出力信号(36)へと増幅するための増幅器(8)であって、

信号経路(10)と負帰還接続(20)とを備えており、

前記信号経路(10)が、

前記入力信号を受信し、該受信した入力信号に応じたスイッチング信号を生成することに適した変調手段(14)と、

供給電圧(30)に接続され、前記変調手段(14)によって生成された前記スイッチング信号に従って切り替えられるスイッチング手段を備えており、前記供給電圧(30)に依存した振幅の出力信号(36)を生成するスイッチング出力段(16)と

を備えており、

前記負帰還接続(20)は、前記スイッチング出力段(16)の前記出力信号(36)を前記入力信号と合成するためにフィードバックすることに適しており、

前記信号経路(10)および前記負帰還接続(20)は、或るループ利得を有するループ(42)を形成し、かつ負帰還を用いて雑音を効果的に抑制できるよう、増幅すべき周

10

20

30

40

50

波数について高いループ利得をもたらすデジタルループフィルタ(12)が前記信号経路(10)の上流に配置されている増幅器(8)であって、

前記スイッチング出力段(16)の前記供給電圧(30)または該供給電圧(30)から導出される信号を受信し、該供給電圧(30)の変動に起因する前記ループ利得の変化を少なくとも部分的に補償することに適した補償手段(52)を備え、

前記補償手段(52)が、前記供給電圧(30)の変動にもとづくループ利得の変化に対抗するように、前記供給電圧(30)に応じた前記ループ(42)の前記信号経路部分における信号を増幅または縮小することに適しており、

前記補償手段が、前記信号経路(10)上の信号を前記スイッチング出力段(16)の前記供給電圧(30)または該供給電圧(30)から導出される信号で除算すること

10

【請求項18】

ループ利得を有するループ(42)を形成する信号経路(10)および負帰還接続(20)を備えている増幅器(8)を用いて入力信号を出力信号(36)へと増幅する方法であって、

入力信号を受信するステップと、

変調手段(14)を用いてスイッチング信号を生成するステップと、

供給電圧(30)に接続され、前記変調手段(14)によって生成される前記スイッチング信号に従って切り替わるスイッチング手段を備えているスイッチング出力段(16)を用いて、前記供給電圧(30)に依存する振幅の出力信号(36)を生成するステップ

20

と、
前記スイッチング出力段(16)の前記出力信号(36)を、前記負帰還接続(20)を用いてフィードバックするステップと、

前記フィードバックされる出力信号(36)を前記入力信号と合成するステップと
を含み、

前記供給電圧(30)の変動に起因する前記ループ利得の変化を、前記スイッチング出力段(16)の前記供給電圧または該供給電圧から導出される信号を受信する補償手段(52)を使用することによって、少なくとも部分的に補償するステップ

を含み、

前記補償手段(52)が、前記供給電圧(30)の変動にもとづくループ利得の変化に対抗するように、前記供給電圧(30)に応じた前記ループ(42)の前記信号経路部分における信号を増幅または縮小し、

30

前記増幅器(8)が、変調器負帰還接続(50)をさらに備え、前記スイッチング信号が前記変調手段(14)の入力における信号と合成するために前記変調手段(14)の入力へとフィードバックされ、

前記補償手段(52)が、前記供給電圧(30)の変動にもとづくループ利得の変化に対抗するように、前記供給電圧(30)に応じた前記変調器負帰還接続(50)における信号を増幅または縮小し、前記変調器負帰還接続(50)における雑音がこの点において前記負帰還接続(20)によって抑えられる方法。

【請求項19】

請求項1または2に記載の増幅器(8)を使用する請求項18に記載の方法。

40

【請求項20】

ループ利得を有するループ(42)を形成する信号経路(10)および負帰還接続(20)を備えている増幅器(8)を用いて入力信号を出力信号(36)へと増幅し、負帰還を用いて雑音を効果的に抑制できるよう、増幅すべき周波数について高いループ利得をもたらすデジタルループフィルタ(12)が前記信号経路(10)の上流に配置される方法であって、

入力信号を受信するステップと、

変調手段(14)を用いてスイッチング信号を生成するステップと、

供給電圧(30)に接続され、前記変調手段(14)によって生成される前記スイッチ

50

ング信号に従って切り替わるスイッチング手段を備えているスイッチング出力段(16)を用いて、前記供給電圧(30)に依存する振幅の出力信号(36)を生成するステップと、

前記スイッチング出力段(16)の前記出力信号(36)を前記負帰還接続(20)を用いてフィードバックするステップと、

前記フィードバックされる出力信号(36)を前記入力信号と合成するステップとを含み、

前記供給電圧(30)の変動に起因する前記ループ利得の変化を、前記スイッチング出力段(16)の前記供給電圧または該供給電圧から導出される信号を受信する補償手段(52)を使用することによって、少なくとも部分的に補償するステップ

10

を含み、

前記補償手段(52)が、前記供給電圧(30)の変動にもとづくループ利得の変化に対抗するように、前記供給電圧(30)に応じた前記ループ(42)の前記信号経路部分における信号を増幅または縮小し、

前記補償手段(52)が、前記信号経路(10)上の信号を前記スイッチング出力段(16)の前記供給電圧(30)または該供給電圧(30)から導出される信号で除算する方法。

【請求項21】

請求項17に記載の増幅器(8)を使用する請求項20に記載の方法。

【発明の詳細な説明】

20

【技術分野】

【0001】

本発明は、オーディオ工学の分野に関する。具体的には、本発明は、エネルギー効率に優れた動作に適したスイッチング増幅器、およびオーディオ信号のエネルギー効率に優れた増幅のための方法に関する。

【背景技術】

【0002】

オーディオ工学におけるオーディオ信号の増幅は、電子電力増幅器にもとづく。増幅されたオーディオ信号が、ユーザにとって知覚可能な音声信号へと変換される。そのような電子電力増幅器は、CDプレーヤおよびテレビ受像機などの一般的に知られた家庭電化製品の装置において使用される。

30

【0003】

広く使用されている増幅器の種類は、変調器とスイッチング出力段とを備えるいわゆるD級増幅器である。そのようなD級増幅器は、スイッチング出力段が、2つの異なる切り替え状態だけをとるスイッチを備え、そのようなスイッチが、他の増幅器の場合と同様に、正しい記録レベル(right recording level)へと継続的に設定されることを特徴とする。結果として、これらのスイッチング増幅器は、比較的高度の効率性を備える。その高い効率性ゆえに、スイッチング増幅器は、とくにはより高い性能が必要とされることが多い業務用の分野において使用される。一例として、スピーカによる告知のために空港またはショッピングセンターのスピーカシステムに使用される電子システムなどの電子システムが挙げられるであろう。

40

【0004】

スイッチング出力段のスイッチの制御は、増幅すべきオーディオ信号に応答して変調器によってもたらされるスイッチング信号によって達成される。そのようなD級増幅器に使用される変調プロセスは、多くの場合、例えば2値または3値信号であってよいスイッチング信号がアナログまたはデジタル入力信号から生成されるシグマデルタ変調である。

【0005】

そのようなD級増幅器の例が、米国特許出願公開第2008/0042746号明細書に記載されている。この例は、シグマデルタ変調器と、スイッチング出力段と、信号経路における雑音の抑制を可能にする負帰還接続とを備えている。スイッチング出力段の出力

50

信号は、スイッチング出力段におけるスイッチング動作にもとづいて生成される。スイッチング出力段に起因するスイッチング損失は、スイッチング出力段に印加される供給電圧の平方に比例する。印加電圧のレベルに応じて、スイッチング損失が相応に高くなる。これは、とくには弱い入力信号において、増幅器のエネルギー効率に悪影響を有する。

【0006】

D級増幅器のさらなる例が、米国特許出願公開第2006/0091945号明細書に記載されている。このD級増幅器は、誤差補正の原理に従って動作する。供給電圧の誤差の結果としてスイッチング出力段において生じる誤差が、負帰還接続の外部の信号経路における信号をデジタル供給電圧の値によって除算することによって最小化される。

【発明の概要】

【発明が解決しようとする課題】

【0007】

本発明の根本的な課題は、技術水準における通常よりもエネルギー効率に優れた様相で働くことができる増幅器を提供することにある。さらに、オーディオ信号のエネルギー効率に優れた増幅を可能にする方法を提供することにある。

【課題を解決するための手段】

【0008】

この課題が、請求項1に記載の増幅器および請求項21に記載の方法によって解決される。好都合なさらなる発展が、従属請求項に記載される。

【0009】

本発明による増幅器は、入力信号を出力信号へと増幅するように機能し、信号経路と負帰還接続とを備えている。信号経路は、

入力信号を受信し、該受信した入力信号に応じたスイッチング信号を生成することに適した変調手段と、

供給電圧に接続され、前記変調手段によって生成されたスイッチング信号に従って切り替えられるスイッチング手段を含んでおり、前記供給電圧に依存した振幅の出力信号を生成するスイッチング出力段と

を備えている。

【0010】

負帰還接続は、前記スイッチング出力段の出力信号を前記入力信号と合成するべくフィードバックすることに適している。信号経路と負帰還接続とが、或るループ利得を有するループを形成している。

【0011】

最後に、この増幅器が、前記スイッチング出力段の前記供給電圧または該供給電圧から導出される信号を受信し、該供給電圧の変動に起因する前記ループ利得の変化を少なくとも部分的に補償することに適した補償手段を備える。

【0012】

スイッチング出力段、変調手段、および負帰還接続を備える公知の増幅器は、一定または基本的に一定の供給電圧で動作する。たとえ入力信号の振幅が小さくても、供給電圧の全体がスイッチング出力段へと印加され、スイッチング出力段のスイッチング手段が、特定のスイッチング周波数で切り替えられる。出力信号の平均振幅は、出力信号におけるパルスの列および符号によって決定される。出力信号におけるパルスの振幅は、基本的に一定であり、供給電圧に依存し、入力信号の振幅とは無関係である。スイッチング手段のスイッチングに起因し、供給電圧の平方にて増大するスイッチング損失が、公知の増幅器においては、基本的に入力信号の振幅と無関係である。したがって、たとえ休止または待機モードにあり、すなわち入力信号が存在せず、あるいは振幅が実質的にゼロの入力信号が存在しない場合でも、最大振幅の入力信号において生じるスイッチング損失に相当するスイッチング損失が生じる。したがって、小さい振幅の入力信号において、これらの増幅器の効率の損失は比較的大きい。

【0013】

10

20

30

40

50

負帰還接続を備え、したがって或るループ利得のループを備える公知のスイッチング増幅器において、供給電圧が変化する場合、全体としての利得を、負帰還接続ゆえに特定の状況下で基本的に一定に保つことができる。しかしながら、供給電圧の変化は明らかにループ利得の変化にもつながり、これが結果として、増幅器の動作状態によっては、不安定につながる可能性がある。したがって、公知のスイッチング増幅器は、基本的に一定の供給電圧においてのみ安定に動作することができる。

【0014】

これと対照的に、本発明による増幅器は、可変の供給電圧における動作に適し、とくには技術水準における通常よりもエネルギー効率に優れた動作に適する。本発明による増幅器は、スイッチング出力段の供給電圧またはこの供給電圧から導出される信号を受信し、供給電圧の変動に起因するループ利得の変化を少なくとも部分的に補償することに適した補償手段を用いて、上述の課題を解決する。

10

【0015】

補償手段ゆえに、本発明による増幅器においては、たとえ供給電圧が変化する場合でも、ループ利得が基本的に一定に保たれる。結果として、増幅器を、スイッチング出力段へと印加される供給電圧とは無関係に、高いループ利得で安定な様相で動作させることができる。

【0016】

したがって、本発明による増幅器は、入力信号の振幅に応じて調節される供給電圧における使用に適する。例えば、最大の入力信号においては、やはり最大の供給電圧をスイッチング出力段へと印加することができ、最小の入力信号または待機モードにおいては、最小限の供給電圧またはゼロの供給電圧を印加することができる。ここで、出力信号の平均振幅の調節は、出力信号におけるパルスの並びおよび/または符号の調節にあるのではなく、あるいは出力信号におけるパルスの並びおよび/または符号の調節だけにあるのではなく、主として出力信号におけるパルスの振幅の調節にある。入力信号の振幅が小さい場合、出力信号におけるパルスの振幅も小さく、その逆も然りである。スイッチング損失は、供給電圧の平方または出力信号におけるパルスの振幅の平方にて増大するため、スイッチング損失を大幅に減らすことができる。したがって、入力信号の振幅が小さいときの不必要に大きい効率損失を、本発明による増幅器を用いて回避することができる。

20

【0017】

しかしながら、本発明による増幅器の動作に、入力信号の振幅に合わせた供給電圧の調節は必要でない。むしろ、本発明による増幅器を、補償手段によって増幅器の安定な動作が保証されるがゆえに、幅広い範囲の供給電圧にて、さらなる調節を実行する必要なく動作させることができる。この方法で、本発明の増幅器を普遍的に使用することができる。

30

【0018】

この増幅器の好都合なさらなる発展は、入力信号に依存して供給電圧を変化させるための手段を備える。変化は、小さい振幅の入力信号においては供給電圧を下げ、比較的大きい振幅の入力信号においては供給電圧を相応に高めることによって達成される。

【0019】

好ましくは、補償手段は、供給電圧の変動によって引き起こされるループ利得の変化を打ち消す方法で、供給電圧に応じてループの信号経路部分における信号を増幅または縮小することに適する。ループの信号経路部分において実行される信号の増幅は、ループ利得およびフォワード利得の両方に同程度の影響を及ぼすため、この変化に起因する全体としての利得の変化は、皆無または無視できる程度にすぎない。

40

【0020】

原理的に、この補償の目的で信号経路における増幅を技術的に実現する種々の可能性が存在する。一特定の好都合な実施の形態においては、増幅器が、スイッチング信号を変調手段の入力へとフィードバックし、このフィードバック信号を変調手段の入力における信号と合成するためのさらなる変調器負帰還接続を備える。この場合、変調器負帰還接続における信号を、供給電圧に応じて、供給電圧の変動にもとづくループ利得の変化に対抗す

50

るような方法で、補償手段を用いて増幅または縮小することができる。

【0021】

変調器負帰還接続における信号の増幅または縮小は、好ましくは供給電圧または供給電圧から導出される信号による乗算からなる。変調器負帰還接続における信号の乗算は、機能的には、信号経路の順方向における信号分割に相当する。順方向は、信号が負帰還接続においてフィードバックされることなく増幅器の入力から増幅器の出力へと進む方向である。信号の乗算は、信号の分割と比べて、技術的に容易に実現できるという利点を有する。

【0022】

好ましくは、補償手段は、変調器負帰還接続における信号の乗算のためのマルチプレクサを備える。マルチプレクサは、スイッチング信号のための第1の入力と、供給電圧または供給電圧から導出される信号のための第2の入力とを有する。マルチプレクサは、フィードバック信号によって制御され、スイッチング信号に応じた出力信号を生成する。例えば、スイッチング信号は、第1の値および第2の値を含む2値信号であってよく、第1の値における出力信号が、供給電圧の値または供給電圧から導出される値に相当する。スイッチング信号の第2の値においては、出力信号が、例えば対応する反転値に相当する。

10

【0023】

スイッチング信号は、3値信号であってもよい。この場合、マルチプレクサの出力信号が、3つの値を含む。例えば、マルチプレクサの出力信号が、供給電圧の値または供給電圧から導出された値と、対応する反転値と、ゼロという値とを含む。

20

【0024】

増幅器の変調手段は、好ましくは二次のシグマデルタ変調器を備える。シグマデルタ変調器が高次であるほど、変調器において生じる雑音をより良好に抑制することができる。他方で、高次になるほど、シグマデルタ変調器の安定化が難しくなる。高次のシグマデルタ変調器におけるフィードバック信号の位相ずれは、一次のシグマデルタ変調器と比べ、シグマデルタ変調器の次数に対応した係数にて大きくなる。二次のシグマデルタ変調器が、位相のずれと雑音の抑制との間の良好な妥協を呈することが、明らかになっている。

【0025】

シグマデルタ変調器のループフィルタは、例えば積分器および/または共振器を備えることができ、0~20kHzの間のオーディオ範囲の増幅対象の周波数について大きな増幅を有し、この範囲の外側の周波数について1以下の増幅を有する。例えば積分器の出力信号など、このループフィルタの状態変数は、変調器負帰還接続にてフィードバックされる信号の値に依存する飽和の挙動を有する。シグマデルタ変調器があらゆる動作状態において安定なままであるように保証するために、ループフィルタの状態変数は、所定の飽和挙動を備えなければならない。これは、好ましくは、状態変数の限界値または飽和値を供給電圧の変動に応じて保証手段を用いて相応に調節することで達成される。ループフィルタの状態変数の数は、ループフィルタの次数に対応し、ループフィルタの次数は、ループフィルタの積分器の数に一致する。

30

【0026】

好ましくは、シグマデルタ変調器は、ハードウェアプログラマブルコンポーネント上に実装され、とくにはFPGA(フィールドプログラマブルゲートアレイ)上に実装されるデジタルシグマデルタ変調器である。ここに記載の発明は、とくにはFPGAにて実現されるときに利点を提供する。しかしながら、本発明を、集積回路、とくにはASIC(特定用途向け集積回路)を用いて実現することも可能である。

40

【0027】

さらには、負帰還接続からフィードバックされた信号と合成された後の入力信号を受信することに適したデジタルループフィルタが、好ましくは信号経路において本発明による増幅器のシグマデルタ変調器の上流に配置される。好ましくは、デジタルループフィルタは、シグマデルタ変調器と同じ方法で、ハードウェアプログラマブルコンポーネント上に実装され、とくにはFPGA上に実装される。デジタルループフィルタは、負帰還を用い

50

て雑音を効果的に抑制できるよう、増幅すべき周波数について高いループ利得をもたらす。

【0028】

好ましくは、増幅器の負帰還接続は、アナログループフィルタと、入力がこのアナログループフィルタの出力に接続された第1のアナログ-デジタル変換器(とくには、二次のアナログ-デジタル変換器)とをさらに備える。アナログ-デジタル変換器を用いて、アナログループフィルタの出力信号がデジタル化され、FPGAへと送られる。

【0029】

さらに、第1のアナログ-デジタル変換器の出力信号が、好ましくはデジタル-アナログ負帰還接続によってフィードバックされ、フィードバックされたスイッチング出力段の出力信号と合成される。デジタル-アナログ負帰還接続には、フィードバックされる第1のアナログ-デジタル変換器の出力信号を、負帰還接続を介してフィードバックされたスイッチング出力段のアナログ出力信号との合成に先立ってアナログ信号へと変換することに適したデジタル-アナログ変換器が配置されている。

10

【0030】

好ましくは、第1のアナログ-デジタル変換器およびデジタル-アナログ変換器について、1ビットの変換器が使用される。オーディオ範囲に高いループ利得を典型的に有するアナログループフィルタの使用ゆえ、第1のアナログ-デジタル変換器は、単純な低コストの1ビットのアナログ-デジタル変換器であってよい。

【0031】

あるいは、例えばより高い品質が要求される場合に、第1のアナログ-デジタル変換器およびデジタル-アナログ変換器は、2ビット以上のワード幅の変換器であってよい。この場合、デジタルフィルタが、好ましくは第1のアナログ-デジタル変換器の下流に配置され、その出力信号が、デジタル-アナログ負帰還接続によってフィードバックされる。デジタルフィルタは、高周波数の信号成分の低減に役立つことができる。アナログループフィルタ、第1のアナログ-デジタル変換器、デジタルフィルタ、デジタル-アナログ変換器、およびデジタル-アナログ負帰還接続が協働し、フィードバックされるスイッチング出力段の出力信号のための低コストな変換器を形成する。

20

【0032】

スイッチング出力段の出力信号の平滑化のために、増幅器は、好ましくはスイッチング出力段の下流の方向の信号経路に配置されるフィルタを備える。出力側において、負帰還接続が、スイッチング出力段の出力の後かつフィルタの入力の前の信号経路に接続される。あるいは、負帰還接続を、フィルタの出力の後の信号経路に接続することができる。このようにして、負帰還接続は、フィルタの上流または下流でスイッチング出力段の出力信号をフィードバックすることに適する。

30

【0033】

好ましくは、増幅器は、供給電圧をデジタル信号へと変換して補償手段へと送ることに適した第2のアナログ-デジタル変換器を備える。このようにして、供給電圧の変動に起因するループ利得の変化の少なくとも部分的な補償を、FPGA上でデジタル的に達成することができる。この信号は、冒頭において供給電圧から「導出される」と述べた信号の一例である。

40

【0034】

好ましくは、増幅器は、本発明の一実施の形態においては増幅器そのものの一部ではないネットワーク構成要素を介して利用可能にされる供給電圧のための接続を含む。供給電圧が、外部から増幅器へもたらされ、この目的のために設けられる増幅器の接続部へと接続される。

【0035】

増幅器のスイッチング出力段は、好ましくはHブリッジによって形成される。増幅器のスイッチング手段は、好ましくはスイッチング信号によって切り替えられるパワーMOSFETトランジスタで構成される。

50

【0036】

デジタル信号処理およびデジタル信号生成のために、増幅器は、好ましくはクロック源を備える。第1のアナログ-デジタル変換器の動作のために、このクロック源は、100kHz以上、好ましくは1MHz以上、より好ましくは10MHz以上のサンプリング周波数を好ましくは供給する。必要とされる種々のクロック周波数を、クロック源によって直接もたらすことができ、あるいはFPGAにおいてクロック源から導出することができる。

【0037】

本発明による増幅器の別の実施の形態においては、補償手段が、供給電圧の変動にもとづくループ利得の変化に対抗するような方法で供給電圧に応じて負帰還接続上の信号を増加または減少させることに適している。負帰還接続に干渉する場合、変化はループ利得にのみ影響を及ぼし、フォワード利得には影響を及ぼさない。結果として生じる全体としての利得の変化に対抗するために、前記ループの外部の部位における信号経路上の信号が、フォワード利得だけを変化させてループ利得を変化させない補償手段を用いて、さらに適切に増やされ、あるいは減らされる。この方法で、最初に述べた全体としての利得の変化を適切に補償することが可能である。

10

【0038】

別の実施の形態においては、負帰還接続における信号の増加または減少が、好ましくは補償手段を用いて、スイッチング出力段の供給電圧またはこの供給電圧から導出される信号による乗算によって達成される。

20

【0039】

本発明による増幅器の第2の代案の実施の形態においては、補償手段が、ループの信号経路上の信号をスイッチング出力段の供給電圧またはこの供給電圧から導出される信号で除算することに適している。ループの信号経路における除算は、フォワード利得をループ利得と同じ程度に変化させるため、全体としての利得は基本的に変わらないままである。

【0040】

さらに、本発明は、ループ利得を有するループを形成する信号経路および負帰還接続を備えている増幅器を用いて入力信号を出力信号へと増幅するための方法であって、

入力信号を受信するステップと、

変調手段を用いてスイッチング信号を生成するステップと、

供給電圧に接続され、前記変調手段によって生成されるスイッチング信号に対応して切り替わるスイッチング手段を含んでいるスイッチング出力段を用いて、前記供給電圧に依存する振幅の出力信号を生成するステップと、

30

前記スイッチング出力段の出力信号を前記負帰還接続を用いてフィードバックするステップと、

前記フィードバックされる出力信号を前記入力信号と合成するステップと、

前記供給電圧の変動に起因するループ利得の変化を、前記スイッチング出力段の前記供給電圧またはこの供給電圧から導出される信号を受信する補償手段を使用することによって、少なくとも部分的に補償するステップと

を含む方法に関する。

40

【0041】

好ましくは、この方法は、上述の実施の形態のうちの1つによる増幅器によって実行される。

【0042】

本発明のさらなる利点および特徴が、本発明を好ましい典型的な実施の形態によって添付の図面を参照しつつ詳しく説明する以下の説明において、明らかにされる。

【図面の簡単な説明】

【0043】

【図1】デジタルループフィルタおよびデジタルシグマデルタ変調器を備える本発明による増幅器のブロック回路図を示している。

50

【図2】内部シグマデルタ変調器のブロック回路図を示している。

【図3】適応的な飽和を備えるデジタル積分器のブロック回路図を示している。

【発明を実施するための形態】

【0044】

図1が、本発明による増幅器8の典型的な実施の形態を示している。これは、デジタルループフィルタ12と、デジタルシグマデルタ変調器14と、スイッチング出力段16と、フィルタ18とが前方または下流方向に連続して配置された信号経路10を備える。スイッチング出力段16は、Hブリッジによって形成されている。さらに、負帰還接続20が示されており、負帰還接続20の入力が、スイッチング出力段16とフィルタ18との間の信号経路10に接続され、あるいはフィルタ18の後方の信号経路10に接続されている。さらに、アナログループフィルタ22、第1のアナログ-デジタル変換器24、およびデジタルフィルタ25が、負帰還接続20の信号方向に連続して配置されている。デジタル-アナログ負帰還接続26の入力が、デジタルフィルタ25の出力に接続され、出力が、アナログループフィルタ22の入力に接続されている。デジタル-アナログ負帰還接続26は、デジタル-アナログ変換器28をさらに備える。増幅器8は、可変であってよい供給電圧30によって動作し、供給電圧30を、スイッチング出力段16に接続でき、第2のアナログ-デジタル変換器32を介してデジタルシグマデルタ変調器14に接続できる。デジタル入力が、信号経路10の入力を形成し、スイッチング出力段16の後で、信号経路10上に出力信号36がもたらされる。デジタルループフィルタ12、シグマデルタ変調器14、およびデジタルフィルタ25は、FPGAで構成されてクロック源40に接続されるハードウェアプログラマブルコンポーネント38上に実装される。負帰還接続20および信号経路10が協働して、ループ42を形成する。

【0045】

スイッチング出力段16のアナログ出力信号36、あるいは出力信号が、フィルタ18の下流において負帰還接続20によってフィードバックされ、入力信号と合成される。合成は、典型的には、入力信号に対して位相が180°だけずらされたフィードバック信号が入力信号へと加えられることで実行される。これは、信号の引き算に相当する。ループ42内の信号経路10に生じる雑音の影響が、負帰還を用いて取り除かれ、あるいは少なくとも抑制される。そのような雑音の影響の例は、音のひずみにつながるスイッチング出力段16における非線形な挙動である。

【0046】

フィードバック信号は、入力信号と合成される前に、アナログループフィルタ22を用いて増幅され、その後第1のアナログ-デジタル変換器24を用いてデジタル化される。さらに、デジタル化された信号内の高周波信号部分が、第1のアナログ-デジタル変換器24の後にデジタルフィルタ25を用いて減らされる。好ましくは、第1のアナログ-デジタル変換器24は、好ましくは10MHz超のクロック周波数で動作する二次のシグマデルタ変調器である。

【0047】

フィードバック出力信号と合成された入力信号は、必要とされる周波数範囲についてデジタルループフィルタ12によって増幅され、この周波数範囲を上回るより高い周波数については、増幅されず、あるいは減衰させられてデジタルシグマデルタ変調器14へと送られる。

【0048】

デジタルフィルタ25の出力信号が、デジタル-アナログ負帰還接続26を用いてフィードバックされ、スイッチング出力段16のフィードバック出力信号36と合成される。合成される前に、デジタルフィルタ25のデジタル出力信号は、デジタル-アナログ変換器28を用いてアナログ信号へと変換される。第1のアナログ-デジタル変換器24と同じ方法で、デジタル-アナログ変換器28も、10MHz超のクロック周波数で動作する。10MHz超のクロック周波数の使用ゆえに、デジタルおよびアナログ信号の間の変換の際に誤差が生じず、あるいはきわめてわずかしき生じず、したがってデジタルおよびア

10

20

30

40

50

ナログ信号の間の変換の際に不十分なクロック周波数に起因して生じる影響（いわゆる、エイリアス効果）を軽減するために通常使用されるエイリアシングフィルタ処理が不要、またはきわめて単純なエイリアシングフィルタ処理しか必要でない。

【 0 0 4 9 】

デジタルループフィルタ 1 2 の出力信号にตอบสนองし、シグマデルタ変調器 1 4 は、例えば値「 0 」および「 1 」をとることができるデジタル信号であるスイッチング信号を生成する。

【 0 0 5 0 】

スイッチング信号が、スイッチング出力段 1 6 によって受信され、スイッチング出力段 1 6 が、スイッチング信号に応じた出力信号 3 6 を生成する。スイッチング出力段 1 6 は、スイッチング信号に依存して切り替わって 2 つの別個の切り替え状態のうち的一方をとるスイッチング手段を含んでいる。スイッチング出力段 1 6 のスイッチング手段は、例えばパワー MOSFET トランジスタの形態をとることができる。スイッチング手段の制御においては、該当のそれぞれのスイッチング手段に応じて、スイッチング信号の信号値「 0 」が「閉」の切り替え状態に対応し、スイッチング信号の信号値「 1 」が「開」の切り替え状態に対応し、あるいはその反対である。したがって、スイッチング出力段 1 6 のスイッチング手段は、スイッチング信号にตอบสนองして切り替わり、切り替わりの動作にตอบสนองして、個々のパルスが出力信号に生成される。出力信号 3 6 におけるパルスの振幅および符号は、印加される供給電圧 3 0 の値およびスイッチング信号の値に依存する。例えば、供給電圧 3 0 に対応するパルスまたはパルス寄与分が、スイッチング信号の値「 1 」について、出力信号 3 6 中に生成される。したがって、例えば相応に反転させられたパルスまたはパルス寄与分が、スイッチング信号の値「 0 」について、出力信号 3 6 中に生成される。このようにして、出力信号 3 6 も、スイッチング信号の 2 つの信号の値に対応して 2 つの別個の値を含み、その大きさは、スイッチング出力段 1 6 へと印加される供給電圧 3 0 に依存する。

【 0 0 5 1 】

増幅器 8 による入力信号の出力信号 3 6 への増幅は、出力信号 3 6 の平均振幅が、特定の係数によって増幅された入力信号の平均振幅に基本的に対応するように達成される。出力信号 3 6 が、或る長さの時間部分において正のパルスだけまたは負のパルスだけを含む場合、この時間部分についての出力信号 3 6 の平均振幅は、印加される供給電圧 3 0 に関してその最大または最小の値をそれぞれとる。これが、それぞれ 1 0 0 % 正または 1 0 0 % 負の出力結合と呼ばれる。出力信号 3 6 が、或る長さの時間部分においてほぼ同じ数の正および負のパルスを含む場合、この時間部分についての出力信号 3 6 の平均振幅は、ゼロという値をとる。この場合、出力結合は 0 % になる。このように、出力信号 3 6 の平均振幅は、出力結合の程度および印加される供給電圧 3 0 によって決定される。出力結合の程度は、入力信号に応じてデジタルシグマデルタ変調器 1 4 を用いて生成されるスイッチング信号によって決定される。

【 0 0 5 2 】

弱い入力信号において、対応する比較的小さい平均振幅の出力信号 3 6 を生じさせるために、出力結合が比較的弱くなることを、理解できるであろう。しかしながら、これは、この場合においてスイッチング出力段 1 6 の供給電圧 3 0 が実際に必要であるよりも高いことを意味する。同時に、弱い入力信号における高い供給電圧 3 6 は、スイッチング出力段 1 6 のスイッチング損失が供給電圧 3 0 の平方に対して増加 / 減少するがゆえに、エネルギー効率に関する問題を呈する。

【 0 0 5 3 】

本発明の発明者は、弱い入力信号について不必要に高い供給電圧 3 0 を避けることができるように、不変の全体としての利得において供給電圧 3 0 を入力信号に合わせて調節できれば、エネルギー効率の改善が可能であることに気が付いた。

【 0 0 5 4 】

図示の構成は、負帰還接続 2 0 に起因する全体としての利得が基本的に供給電圧 3 0 と

10

20

30

40

50

無関係であるがゆえに、そのような機能に好都合である。実際のところ、以下で詳しく説明される供給電圧30の変化は、ループ利得の変化につながり、結果として負帰還の不安定につながる。したがって、本発明は、本発明に関して可能である供給電圧30の変化に起因するループ利得の変化を適切な方法で補償し、それによって負帰還の安定性を保証することを提案する。次に、これを詳しく説明する。

【0055】

入力信号を出力信号へと増幅する全体としての利得 A_G は、フォワード利得 A_V およびループ利得 A_S から以下の式にもとづいてもたらされる。

【0056】

【数1】

$$A_G = \frac{A_V}{1 + A_S}$$

【0057】

ループ利得 A_S は、ループ42を巡る1回の循環における信号の増幅の利得であり、フォワード利得 A_V は、負帰還がない場合の入力信号の出力信号36への増幅の利得である。好ましくは、0~10kHzのオーディオ範囲について、本発明による増幅器は、30dB以上、好ましくは40dB以上、とくに好ましくは50dB以上のループ利得を備える。

【0058】

負帰還ゆえに、負帰還が存在しなければフォワード利得 A_V に相当するであろう全体としての利得 A_G が、係数 $(1 + A_S)^{-1}$ にて減少することで、増幅の挙動が全体としての利得 A_G を犠牲にして線形化および安定化される。

【0059】

スイッチング出力段16がループ42内の単一の経路10に位置しているため、ループ利得 A_S およびフォワード利得 A_V の両方が、印加される供給電圧に比例する。すなわち、 $A_S = K_U \cdot A_{SU}$ および $A_V = K_U \cdot A_{VU}$ であり、ここで K_U は、供給電圧30に依存する比例係数であり、 A_{SU} および A_{VU} は、供給電圧30によって変化することがないループまたはフォワード利得の百分率である。

【0060】

増幅されるべき入力信号についてフォワード利得 A_V およびループ利得 A_S の両方が本質的に1よりも大きく、すなわち $(A_V, A_S) \gg 1$ であるため、全体としての利得 A_G は、フォワード利得 A_V およびループ利得 A_S からの商 g にほぼ相当し、この商は、印加される供給電圧30に無関係である。

【0061】

【数2】

$$A_G = \frac{A_V}{1 + A_S} = \frac{K_U \cdot A_{VU}}{1 + K_U \cdot A_{SU}} \approx g$$

【0062】

したがって、負帰還接続20に起因する供給電圧30の変動の場合にも、入力信号を出力信号36へと増幅する全体としての利得 A_G は、基本的に変わらないままである。低い供給電圧30においては、ループ利得 A_S およびフォワード利得 A_V も小さくなるため、全体としての利得 A_G が基本的に維持される。出力結合の程度が、結果的に、自動的に高くなる。

【0063】

したがって、エネルギー効率に優れた動作のために、供給電圧30を弱い入力信号に合わせて調節することによって、出力結合の程度を維持することができる。

10

20

30

40

50

【 0 0 6 4 】

負帰還を有する公知のスイッチング増幅器においては、ループ利得 A_{S} が、供給電圧 30 の変動につれて変化すると考えられる。しかしながら、特定の信号周波数に関して、これが、フィードバックされる出力信号の位相のずれにつながり、したがって増幅器の不安定につながると考えられる。

【 0 0 6 5 】

この不安定に対抗するために、本発明による増幅器 8 は、供給電圧 30 の変動に起因するループ利得の変化を少なくとも部分的に補償することに適した補償手段であって、スイッチング出力段 16 へと印加される供給電圧 30 またはそこから導出される信号を受信する補償手段を備える。

10

【 0 0 6 6 】

本発明による増幅器 8 の好ましい実施の形態においては、ループ利得 A_{S} の変化の少なくとも部分的な補償が、シグマデルタ変調器 14 において達成される。これが、図 2 に示されている。

【 0 0 6 7 】

図 2 は、信号経路 10 が通過するシグマデルタ変調器 14 を示している。シグマデルタ変調器 14 における信号経路 10 は、シグマデルタ変調器 14 内に順に配置された第 1 の積分器 44、第 2 の積分器 46、および量子化器 48 を有している。さらに、シグマデルタ変調器 14 は、この説明においては信号経路の一部であると考えられ、マルチプレクサ 52 が配置されている変調器負帰還接続 50 を備えている。さらに図 2 は、供給電圧 30 を受け取り、第 1 および第 2 の積分器 44 および 46 に接続され、さらにマルチプレクサ 52 に接続された第 2 のアナログ - デジタル変換器 32 を示している。

20

【 0 0 6 8 】

変調器負帰還接続 50 を用いて、スイッチング信号が、シグマデルタ変調器 14 の出力からフィードバックされ、次いで第 2 のアナログ - デジタル変換器 32 を用いて生成された供給電圧 30 から導出されたデジタル信号で乗算される。マルチプレクサ 52 を用いた信号の乗算は、マルチプレクサ 52 が例えば値「0」または「1」を含むスイッチング信号を用いて切り替えられ、したがってスイッチング信号にตอบสนองして供給電圧 30 から導出されたデジタル信号の値または反転値をもたらすように達成される。このようにしてマルチプレクサ 52 によってもたらされる信号が、変調器負帰還接続 50 を介してフィードバックされ、デジタルループフィルタ 12 の出力信号と合成される。供給電圧 30 から導出された信号による変調器負帰還接続 50 における信号の乗算は、信号経路 10 の順方向における信号分割に実質的に相当する。変調器負帰還接続 50 の信号方向は、信号経路 10 の逆方向に相当する。この分割により、供給電圧 30 の変化につれてスイッチング出力段 16 に生じる供給電圧 30 に比例したループ利得の変化が、少なくとも部分的に補償される。したがって、高価につく信号分割が、はるかに単純に実行できるだけでなく、2 値または 3 値のスイッチング信号ゆえにマルチプレクサ 52 を用いた多重化で構成されるにすぎない信号の乗算によって置き換えられる。

30

【 0 0 6 9 】

シグマデルタ変調器 14 が安定であり続けることを保証するために、第 1 および第 2 の積分器 44 および 46 の状態変数が調節される。これを、図 3 によって以下で説明する。

40

【 0 0 7 0 】

図 3 が、例えば第 1 および第 2 の積分器 44 および 46 として使用することができ、ハードウェアプログラマブルコンポーネント 38 上に実装され、とくには FPG A 上に実装されるデジタル積分器のブロック回路図を示している。図 3 は、第 2 のアナログ - デジタル変換器 32 に接続された供給電圧 30 を示しており、さらに遅延素子 54 と、積分器飽和 56 と、加算器 57 と、積分器帰還 58 とを備えるデジタル積分器を示している。積分係数 60 が、デジタル積分器の入力に存在する。積分器飽和 56 は、飽和値 62 によって決定される。

【 0 0 7 1 】

50

積分器は、各々のクロックサイクルにおいて、積分器の入力値を積分係数60で乗算したもので、積分器帰還58を介して加算器57へとフィードバックされる出力値を増加させる。積分器飽和56が、積分器の出力値が飽和値62を超えないように保証する。シグマデルタ変調器14の安定性を保証するために、第1および第2の積分器44および46の状態変数が、供給電圧30とは無関係に所定の飽和挙動を備えることが必要である。変調器負帰還接続50にてフィードバックされる信号は、供給電圧30に依存して変化するため、積分器の入力値も、供給電圧30に依存して変化し、したがって供給電圧30に依存して飽和が生じる。第1および第2の積分器44および46の飽和挙動が、供給電圧30の変動においても規定されたままであるように保証するために、第1および第2の積分器44および46の飽和値62は、供給電圧30の変動に応じて調節される。このようにして、シグマデルタ変調器14の安定性が、供給電圧30の変動においても保証される。

10

【0072】

図1において説明され、とくには図2および3において説明された増幅器は、信号の調節がわずか1ビットのワード幅でしかないスイッチング信号による信号の乗算によって実行され、したがってハードウェアの費用が最小限で済み、単純なマルチプレクサ52を用いて実現可能であるため、本発明のとくに好都合な実施の形態を呈する。さらに、供給電圧30からデジタル信号をもたらす第2のアナログ-デジタル変換器32の分解能が、変調器負帰還50における雑音がこの点において負帰還接続20によって抑えられるがゆえに、必ずしもきわめて高い必要がない。

【0073】

20

FPGAの代わりに、本発明による増幅器を、ASICを用いて実現することも可能であり、その場合には、以上の説明においてFPGAに割り当てられたスイッチングの構成要素が、ASICにおいてデジタル的に実現される。

【0074】

しかしながら、本発明による増幅器は、上述の典型的な実施の形態に限られない。ループ利得 A_s を調節するさらなる可能性は、負帰還接続20における信号の乗算からなる。しかしながら、これは全体としての利得 A_g を変化させ、したがってフォワード利得 A_v にのみ影響を及ぼし、ループ利得 A_s には影響を及ぼさない対応する追加の信号の調節が、ループ42の外部の信号経路10において必要になると考えられる。このように、増幅器の異なる地点において2つの調節を使用することで、ループ利得 A_s および全体としての利得 A_g の両方を、スイッチング出力段16へと印加される供給電圧30の変動においても、少なくとももほぼ一定に保つことができる。

30

【0075】

他の可能性は、ループ42内の信号経路10の順方向における信号分割にある。しかしながら、分割される信号のワード幅が比較的大きいため、好ましい実施の形態と比べた必要なハードウェアの費用が高くなる。

【0076】

好ましい実施の形態を図面および以上の説明において開示および説明したが、これはあくまでも例として考えられるべきであり、本発明を限定するものとして考えられるべきではない。好ましい実施の形態だけを詳しく図示および説明したが、現時点および将来において本発明の技術的範囲に位置する変更および改良も保護されなければならないことが指摘される。示された特徴は、任意の組み合わせにて重要であってよい。

40

【符号の説明】

【0077】

8 増幅器

10 信号経路

12 デジタルループフィルタ

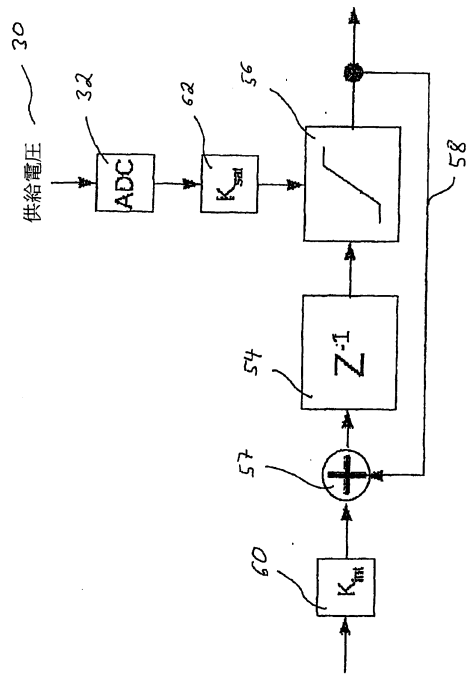
14 デジタルシグマデルタ変調器

16 スwitching出力段

18 フィルタ

50

【図3】



フロントページの続き

(74)代理人 100103263

弁理士 川崎 康

(74)代理人 100192577

弁理士 梶 大樹

(72)発明者 ヨーゼフ、クルーグバウアー - ハイルマイヤー

ドイツ連邦共和国フライジング、プラチケベルク、13

審査官 白井 亮

(56)参考文献 国際公開第2011/161911(WO, A1)

特開2007-110646(JP, A)

米国特許出願公開第2009/179697(US, A1)

米国特許第05559467(US, A)

特開平10-039886(JP, A)

(58)調査した分野(Int.Cl., DB名)

H03F 3/217

H03F 1/02