

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2013年8月8日(08.08.2013)

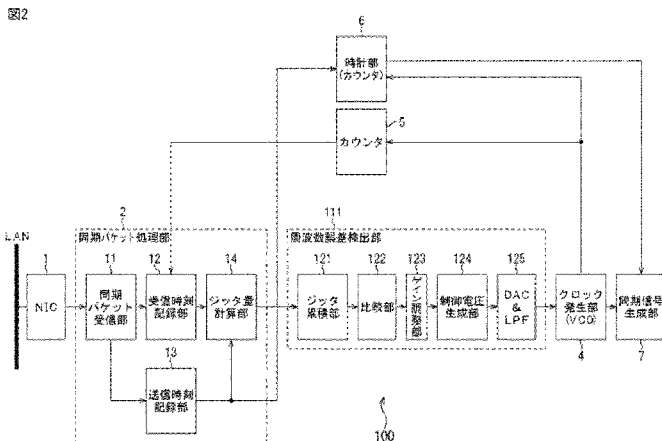


(10) 国際公開番号
WO 2013/115016 A1

- (51) 国際特許分類:
H04L 7/033 (2006.01) H04L 7/00 (2006.01)
- (21) 国際出願番号: PCT/JP2013/051237
- (22) 国際出願日: 2013年1月23日(23.01.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2012-016548 2012年1月30日(30.01.2012) JP
- (71) 出願人: ソニー株式会社 (SONY CORPORATION)
[JP/JP]; 〒1080075 東京都港区港南1丁目7番1号 Tokyo (JP).
- (72) 発明者: 松永 修 (MATSUNAGA Osamu); 〒1080075 東京都港区港南1丁目7番1号 ソニー株式会社内 Tokyo (JP). 猪俣 直樹 (INO-MATA Naoki); 〒1080075 東京都港区港南1丁目7番1号 ソニー株式会社内 Tokyo (JP). 金田 瑞規 (KANADA Mizuki); 〒1080075 東京都港区港南1丁目7番1号 ソニー株式会社内 Tokyo (JP).
- (74) 代理人: 稲本 義雄, 外 (INAMOTO Yoshio et al.); 〒1600023 東京都新宿区西新宿7丁目5番25号 西新宿木村屋ビルディング9階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI

[続葉有]

- (54) Title: SYNCHRONIZATION PROCESSING DEVICE, SYNCHRONIZATION PROCESSING METHOD, AND PROGRAM
- (54) 発明の名称: 同期処理装置、同期処理方法、およびプログラム



- 1 NIC
- 2 SYNCHRONIZATION PACKET PROCESSING UNIT
- 4 CLOCK GENERATION UNIT (VCO)
- 5 COUNTER
- 6 CLOCK UNIT (COUNTER)
- 7 SYNCHRONIZATION SIGNAL GENERATION UNIT
- 11 SYNCHRONIZATION PACKET RECEIVER UNIT
- 12 RECEPTION TIME RECORDING UNIT
- 13 TRANSMISSION TIME RECORDING UNIT
- 14 JITTER AMOUNT CALCULATION UNIT
- 111 FREQUENCY ERROR DETECTION UNIT
- 121 JITTER ACCUMULATION UNIT
- 122 COMPARISON UNIT
- 123 GAIN ADJUSTMENT UNIT
- 124 CONTROL VOLTAGE GENERATION UNIT
- 125 DAC & LPF

(57) Abstract: The present technology pertains to a synchronization processing device, a synchronization processing method, and a program, which make it possible to achieve frequency synchronization in a shorter period of time. A jitter amount calculation unit calculates a jitter amount on the basis of a synchronization packet comprising time information. A jitter accumulation unit calculates a cumulative value of the jitter amount calculated by the jitter amount calculation unit. A comparison unit outputs a frequency error correction value from the calculated cumulative value of the jitter amount. A control voltage generation unit outputs a frequency control voltage that is based on the frequency error correction value. The present technology can be applied to, for example, a receiver device that is time-synchronized with a transmission device.

(57) 要約: 本技術は、周波数同期をより短時間で実現することができるようにする同期処理装置、同期処理方法、およびプログラムに関する。ジッタ量計算部は、時刻情報を含む同期パケットに基づいて、ジッタ量を計算する。ジッタ累積部は、ジッタ量計算部で計算されたジッタ量の累積値を計算する。比較部は、計算されたジッタ量の累積値から周波数誤差補正値を出力する。制御電圧生成部は、周波数誤差補正値に基づく周波数制御電圧を出力する。本技術は、例えば、送信装置と時刻同期をとる受信装置に適用できる。

(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG). 添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：同期処理装置、同期処理方法、およびプログラム 技術分野

[0001] 本技術は、同期処理装置、同期処理方法、およびプログラムに関し、特に、周波数同期をより短時間で実現することができるようにする同期処理装置、同期処理方法、およびプログラムに関する。

背景技術

[0002] 送信装置から送られてくる、送信側の時刻情報が含まれた同期パケットを利用して、送信装置と時刻同期をとる受信装置が知られている（特許文献1，2）。

[0003] 図1は、送信装置と時刻同期をとる受信装置の従来構成例を示している。なお、図1の受信装置は、その全構成のうち、同期処理に関する部分の構成を示したものであり、いわば同期処理装置の構成ともいえる。

[0004] 図1の受信装置は、NIC（ネットワークインタフェースカード）1、同期パケット処理部2、周波数誤差検出部3、クロック発生部4、カウンタ5、時計部6、および同期信号生成部7により構成される。

[0005] NIC1は、非同期ネットワークであるLAN（Local Area Network）に接続され、自装置宛てのパケットを受信し、後段に出力する。NIC1は、送信装置からの同期パケットを受信した場合、受信した同期パケットを同期パケット処理部2に出力する。同期パケットには、その同期パケットを送信装置が出力した時刻（送信時刻）を示す送信時刻情報が含まれている。

[0006] 同期パケット処理部2は、同期パケット受信部11、受信時刻記録部12、送信時刻記録部13、およびジッタ量計算部14により構成される。

[0007] 同期パケット受信部11は、NIC1から供給される同期パケットを取得（受信）し、受信時刻記録部12と送信時刻記録部13に出力する。

[0008] 受信時刻記録部12は、同期パケット受信部11で同期パケットが受信された時点における、カウンタ5のカウント値を受信時刻として記録する。送

信時刻記録部 13 は、同期パケット受信部 11 から供給された同期パケットに含まれる送信時刻を抽出して記録する。受信時刻記録部 12 は、直近の 2 つの同期パケットを受信したときの受信時刻を記録（保持）し、送信時刻記録部 13 は、直近の 2 つの同期パケットの送信時刻を記録（保持）している。

[0009] ジッタ量計算部 14 は、受信時刻記録部 12 と送信時刻記録部 13 に記録されている、隣接する 2 つの同期パケットの受信時刻および送信時刻に基づいて、ジッタ量を計算する。つまり、ジッタ量計算部 14 は、隣接する 2 つの同期パケットの、受信時刻間の差分である第 1 の差分と、送信時刻間の差分である第 2 の差分との差分を、ジッタ量として算出する。

[0010] 具体的には、ある同期パケットに係る受信時刻を $t(a)$ 、送信時刻を $s(a)$ とし、その次の同期パケットの受信時刻を $t(b)$ 、送信時刻を $s(b)$ とすると、ジッタ量計算部 14 は、以下の式 (1) により、ジッタ量を算出する。

$$\text{ジッタ量} = (t(b) - t(a)) - (s(b) - s(a)) \cdots (1)$$

[0011] 式 (1) において、() 内の a 及び b は同期パケットのサンプル番号を表す。ここで求められるジッタ量は、ネットワーク上での同期パケットの遅延時間変動の影響を受けない状況下では、送信側と受信側のクロック周波数誤差に相当する。また、ネットワーク上での同期パケットの遅延時間変動の影響を受ける状況下では、ジッタ量は、送信側と受信側のクロック周波数誤差と、遅延時間変動の影響が、合成されたものに相当する。

[0012] 周波数誤差検出部 3 は、フィルタ部 21、累積部 22、量子化部 23、および DAC&LPF 24 により構成される。

[0013] フィルタ部 21 には、ジッタ量計算部 14 で計算されたジッタ量が供給される。フィルタ部 21 は、供給されるジッタ量のノイズを除去する平滑化フィルタ等のフィルタ処理を実行する。フィルタ部 21 は、ノイズ除去後のジッタ量を累積部 22 に出力する。

[0014] 累積部 22 は、フィルタ部 21 の出力を累積し、累積結果を量子化部 23

に出力する。累積部 2 2 はジッタ = 0 時点の制御電圧を保持する機能を有する。

- [0015] 量子化部 2 3 は、累積部 2 2 の出力を量子化する。DAC&LPF 2 4 は、量子化部 2 3 による量子結果である量子化値をD/A変換し、さらにローパスフィルタ処理を施す。DAC&LPF 2 4 の出力は、周波数誤差を補正する制御を行うVCO制御電圧（信号）となっている。
- [0016] クロック発生部 4 は、周波数誤差検出部 3 からのVCO制御電圧に基づいて、所定周波数（クロック周波数）のクロックCLKを発生（生成）し、カウンタ 5、時計部 6、同期信号生成部 7 等に出力する。クロック発生部 4 は、例えば、VCX0等の電圧可変型の水晶発振器で構成される。
- [0017] カウンタ 5 は、クロック発生部 4 で発生されるクロックCLKに基づいてクロック値をカウントする。カウンタ 5 のカウント値は、同期パケット処理部 2 の受信時刻記録部 1 2 に供給される。
- [0018] 時計部 6 は、クロック発生部 4 で発生されるクロックCLKに基づいてクロック値をカウントする。時計部 6 のカウント値は、周波数同期後に、送信時刻記録部 1 3 から供給される送信時刻に書き換えられ、時刻情報として、同期信号生成部 7 に供給される。
- [0019] 同期信号生成部 7 は、クロック発生部 4 から供給されるクロックCLKに基づいて同期信号を生成し、受信装置内の各部に供給する。時計部 6 からの時刻情報は、受信側と送信側の同期信号を同位相にするために利用される。
- [0020] 図 1 の受信装置による同期処理について簡単に説明する。
- [0021] まず、同期パケット処理部 2 において、式（1）によりジッタ量が計算される。そして、周波数誤差検出部 3 において、計算されたジッタ量のノイズが除去され、周波数誤差を補正するVCO制御電圧が生成されて、クロック発生部 4 に供給される。クロック発生部 4 では、VCO制御電圧に基づいてクロックCLKを発生することで、クロック周波数の周波数誤差が補正される。補正されたクロック周波数のクロックCLKはカウンタ 5 に供給され、受信時刻記録部 1 2 で受信時刻を記録するときのカウント値の基準とされる。したがって、受

信時刻記録部 1 2、ジッタ量計算部 1 4、周波数誤差検出部 3、クロック発生部 4、及びカウンタ 5 により、周波数ロックループ回路が構成されている。

[0022] 受信装置の図示せぬ同期判定部は、周波数の同期が確立したか否かを判定する。上述した周波数ロックループ制御が所定時間実行されることにより、周波数同期が確立したと判定された場合、同期判定部は、送信時刻記録部 1 3 から供給される同期パケットの送信時刻に基づくカウント値の書き換えを、時計部 6 に許可する。時計部 6 は、書き換え許可が出た場合、カウント値の書き換えを開始し、書き換え後のカウント値を同期信号生成部 7 に出力する。

先行技術文献

特許文献

[0023] 特許文献1：特開 2 0 0 4 - 3 0 4 8 0 9 号公報

特許文献2：特開 2 0 1 0 - 2 3 2 8 4 5 号公報

発明の概要

発明が解決しようとする課題

[0024] 上述したような周波数同期制御処理において、周波数同期の精度と引込時間は、ジッタ量のノイズを除去するフィルタ部 2 1 のフィルタ特性に大きく依存する。ジッタ量は、LANで発生する同期パケットの到達遅延時間のばらつきによって発生するので、ネットワークのトポロジー、ネットワークを構成するスイッチ性能、トラフィック状態により大きく変化する。ノイズが除去しきれなかった場合、周波数誤差が残ってしまうことになるため、ノイズをできるだけ除去することを考えると、フィルタ部 2 1 のフィルタ段数は多くした方がよい。しかし、フィルタ段数を多くすると引込時間が長くなるため、規格等で引込時間に制約がある場合には、その制約を満たせないこともあり得る。

[0025] 本技術は、このような状況に鑑みてなされたものであり、周波数同期をよ

り短時間で実現することができるようにするものである。

課題を解決するための手段

- [0026] 本技術の一側面の同期処理装置は、時刻情報を含む同期パケットに基づいて、ジッタ量を計算するジッタ量計算部と、前記ジッタ量計算部で計算された前記ジッタ量の累積値を計算する累積部と、前記累積部で計算された前記ジッタ量の累積値から周波数誤差補正值を出力する周波数誤差補正部と、前記周波数誤差補正值に基づく周波数制御電圧を出力する制御電圧出力部とを備える。
- [0027] 本技術の一側面の同期処理方法は、同期処理装置が、時刻情報を含む同期パケットに基づいて、ジッタ量を計算し、計算された前記ジッタ量の累積値を計算し、計算された前記ジッタ量の累積値から周波数誤差補正值を出力し、前記周波数誤差補正值に基づく周波数制御電圧を出力するステップを含む。
- [0028] 本技術の一側面のプログラムは、コンピュータを、時刻情報を含む同期パケットに基づいて、ジッタ量を計算するジッタ量計算部と、前記ジッタ量計算部で計算された前記ジッタ量の累積値を計算する累積部と、前記累積部で計算された前記ジッタ量の累積値から周波数誤差補正值を出力する周波数誤差補正部と、前記周波数誤差補正值に基づく周波数制御電圧を出力する制御電圧出力部として機能させるためのものである。
- [0029] 本技術の一側面においては、時刻情報を含む同期パケットに基づいて、ジッタ量が計算され、計算されたジッタ量の累積値が計算され、計算されたジッタ量の累積値から周波数誤差補正值が出力され、周波数誤差補正值に基づく周波数制御電圧が出力される。
- [0030] 同期処理装置は、独立した装置であっても良いし、1つの装置を構成している内部ブロックであっても良い。

発明の効果

- [0031] 本技術の一側面によれば、周波数同期をより短時間で実現することができる。

図面の簡単な説明

- [0032] [図1]従来の受信装置の構成を示すブロック図である。
- [図2]本技術が適用された受信装置の第1の実施の形態の構成例を示すブロック図である。
- [図3]ジッタ累積値と到達遅延時間の関係について説明する図である。
- [図4]ジッタ累積値と到達遅延時間の関係について説明する図である。
- [図5]第1の実施の形態の周波数誤差検出部の動作例を示す図である。
- [図6]第1の実施の形態による周波数同期制御処理を説明するフローチャートである。
- [図7]本技術が適用された受信装置の第2の実施の形態の構成例を示すブロック図である。
- [図8]第2の実施の形態の周波数誤差検出部の動作例を示す図である。
- [図9]第1の実施の形態と第2の実施の形態の上限値DHと下限値DLの設定値の違いについて説明する図である。
- [図10]第2の実施の形態による周波数同期制御処理を説明するフローチャートである。
- [図11]本技術が適用された受信装置の第3の実施の形態の構成例を示すブロック図である。
- [図12]第3の実施の形態の周波数誤差検出部の動作例を示す図である。
- [図13]第3の実施の形態の周波数誤差検出部の動作例を示す図である。
- [図14]第3の実施の形態による周波数同期制御処理を説明するフローチャートである。
- [図15]本技術が適用されたコンピュータの一実施の形態の構成例を示すブロック図である。

発明を実施するための形態

- [0033] 以下、本技術を実施するための形態（以下、実施の形態という）について説明する。なお、説明は以下の順序で行う。

1. 受信装置の第1の実施の形態

2. 受信装置の第2の実施の形態

3. 受信装置の第3の実施の形態

[0034] <1. 第1の実施の形態>

[受信装置の構成ブロック図]

図2は、受信装置の第1の実施の形態を示すブロック図である。

[0035] 図2の受信装置100は、図1と同様に、全構成のうち、同期処理に関する部分の構成を示したものであり、図2において図1と対応する部分については同一の符号を付してあり、重複する説明については適宜省略する。

[0036] 図2の受信装置100は、NIC1、同期パケット処理部2、周波数誤差検出部111、クロック発生部4、カウンタ5、時計部6、および同期信号生成部7により構成される。すなわち、受信装置100は、周波数誤差検出部111を除いては、図1の受信装置と同様に構成されている。

[0037] 周波数誤差検出部111は、ジッタ累積部121、比較部122、ゲイン調整部123、制御電圧生成部124、およびDAC&LPF125により構成される。

[0038] ジッタ累積部121は、ジッタ量計算部14から順次供給されるジッタ量を累積し、累積結果であるジッタ累積値を比較部122に出力する。

[0039] 比較部122は、ジッタ累積部121からのジッタ累積値を、上限の閾値DH（以下、上限値DHという。）、および、下限の閾値DL（以下、下限値DLという。）と比較することで、ジッタ累積値が上限値DHまたは下限値DLのいずれかに到達しているかを判定する。ここで、上限値DHまたは下限値DLのいずれかに到達しているとは、ジッタ累積値が上限値DHまたは下限値DLと同一かそれを超えていることを表す。上限値DH及び下限値DLは、比較部122の内部に予め設定されている。

[0040] 比較部122は、ジッタ累積値が上限値DHに到達している場合には、上限値DHに対応する制御値をゲイン調整部123に出力し、ジッタ累積値が下限値DLに到達している場合には、下限値DLに対応する制御値をゲイン調整部123に出力する。この制御値は、周波数誤差を補正する補正值となるもので

あり、上限値DHに対応する制御値と、下限値DLに対応する制御値とは、符号が異なる。例えば、上限値DHに対応する制御値が「-1」であるとする、下限値DLに対応する制御値は「+1」となる。

[0041] ゲイン調整部123は、比較部122の出力である制御値に対して所定のゲインをかける処理であるゲイン調整を行う。上限値DHまたは下限値DLへの一度の到達でVCO制御電圧を大きく変化させたい場合、ゲインは大きく設定され、小さく変化させたい場合には、ゲインが小さく設定される。ゲイン調整部123のゲインの値は、ユーザが、入力により、所望の値に設定することができる。

[0042] 制御電圧生成部124は、ゲイン調整部123の出力である、ゲイン調整後の制御値を累積することにより、周波数誤差を補正するVCO制御電圧を生成し、DAC&LPF125に出力する。

[0043] DAC&LPF125は、図1のDAC&LPF24と同様に、制御電圧生成部124からのデジタルのVCO制御電圧をアナログ信号に変換(D/A変換)し、さらにローパスフィルタ処理を施して出力する。

[0044] ジッタ累積値が上限値DHまたは下限値DLのいずれにも到達していない場合、換言すれば、ジッタ累積値が上限値DHと下限値DLの間の値である場合、比較部122からゲイン調整部123には、何も出力されない。したがって、ジッタ累積値が上限値DHまたは下限値DLのいずれにも到達していない場合には、ゲイン調整部123ないしDAC&LPF125の動作に変化はなく、クロック発生部4には、直前と同じVCO制御電圧が継続して出力される。

[0045] [ジッタ累積値と到達遅延時間の関係]

図2の受信装置100では、周波数誤差検出部111において、ジッタ累積値を算出し、算出されたジッタ累積値が上限値DHまたは下限値DLのいずれかに到達しているかどうかを検出している。

[0046] ここで、図3および図4を参照して、ジッタ累積値と、ネットワーク上で発生する到達の遅延時間(以下、到達遅延時間という。)の関係について説明する。なお、到達遅延時間はLANケーブル長、スイッチ等のネットワーク構

成、同期パケットサイズに依存するが、以下では、全てスイッチによるものとして簡略化してある。

[0047] 同期パケットの到達遅延時間 $\Delta(1)$ 、 $\Delta(2)$ 、 \dots の性質について、図3を参照して説明する。ただし、()内の数字は、同期パケットのサンプル番号を表している。

[0048] 同期パケットとそれ以外のパケット、例えば映像信号パケットがスイッチの同一出力ポートから送信されるように構成されたネットワークでは、同期パケットの送出は、他のパケットの送出と重ならない場合にはそのまますぐに実行される。しかし、他のパケットの送出と重なる場合には同期パケットの送出が先送りされ、その出力待ち時間は他のパケットの送出に要する時間に依存し、一定ではない。そのため、一定の通過遅延だけでなく、以下の式(2)で表される遅延変動が受信側で観測されることになる。

$$[0049] \quad t(1) - s(1) = \Delta(1) + \text{offset}(1)$$

$$t(2) - s(2) = \Delta(2) + \text{offset}(2)$$

$$t(3) - s(3) = \Delta(3) + \text{offset}(3)$$

$$t(4) - s(4) = \Delta(4) + \text{offset}(4)$$

\dots

$\dots (2)$

[0050] 送信側と受信側の時計はそのカウント値(=時刻)も進み方(=1秒の長さ)も違うため、 $\text{offset}(1)$ 、 $\text{offset}(2)$ 、 $\text{offset}(3)$ 、 $\text{offset}(4)$ 、 \dots は異なる値をとる。しかし、一定の条件のもとで $\text{offset}(1) \doteq \text{offset}(2) \doteq \text{offset}(3) \doteq \text{offset}(4) \doteq \dots$ が満足されたとすれば、以下の式(3)で表されるジッタ量が受信側で観測されることになる。一定の条件とは、クロック周波数の周波数ロックが時刻同期に先行して達成される、または、サンプル毎の offset の違いが十分に小さくなる程度に短い時間間隔で同期パケットが生成されるなどの条件である。

$$[0051] \quad t(2) - s(2) - (t(1) - s(1)) = \Delta(2) - \Delta(1)$$

$$t(3) - s(3) - (t(2) - s(2)) = \Delta(3) - \Delta(2)$$

$$t(4) - s(4) - (t(3) - s(3)) = \Delta(4) - \Delta(3)$$

...

$$\dots (3)$$

[0052] 上述の式(3)で表されるジッタ量を累積加算すると、以下の(4)式となる。

$$\{t(2) - s(2) - (t(1) - s(1))\} + \{t(3) - s(3) - (t(2) - s(2))\}$$

$$= \{\Delta(2) - \Delta(1)\} + \{\Delta(3) - \Delta(2)\}$$

$$= \Delta(3) - \Delta(1)$$

$$\{t(2) - s(2) - (t(1) - s(1))\} + \{t(3) - s(3) - (t(2) - s(2))\}$$

$$+ \{t(4) - s(4) - (t(3) - s(3))\}$$

$$= \{\Delta(2) - \Delta(1)\} + \{\Delta(3) - \Delta(2)\} + \{\Delta(4) - \Delta(3)\}$$

$$= \Delta(4) - \Delta(1)$$

...

$$\dots (4)$$

[0053] 式(4)から明らかのように、ジッタ量の累積加算により、以下の式(5)で表すように、 $\Delta(1)$ だけシフトしたサンプル毎の到達遅延時間の変動が得られることになる。

[数1]

$$\sum_{i=2}^n \{t(i) - s(i) - (t(i-1) - s(i-1))\}$$

$$= \Delta(n) - \Delta(1) \quad \dots (5)$$

[0054] 図4は、送信側と受信側の時計のオフセット(offset)が0になった状態におけるジッタ量、ジッタ累積値、および到達遅延時間の計測例を示している。

[0055] 受信側で計測可能なジッタ量は、 $A = 0$ マイクロ秒を中心に同期パケットのサンプル毎に変動している。このジッタ量を累積したジッタ累積値は最小

値Bをとり、最小値Cをとる到達遅延時間と同じように変動している。この例では、 $B = -5$ マイクロ秒、 $C = +4$ マイクロ秒程度であるため、全サンプルにおいてジッタ累積値を $+9$ マイクロ秒だけ補正（シフト）したものが、サンプル毎の到達遅延時間となっている。

[0056] 図1の説明で上述したように、ジッタ量計算部14で算出されるジッタ量は、ネットワーク上での同期パケットの到達遅延時間変動の影響を受ける状況下では、送信側と受信側のクロック周波数誤差と到達遅延時間変動の影響が合成されたものに相当する。

[0057] 換言すれば、ジッタ量の累積であるジッタ累積値は、送信側と受信側のクロック周波数誤差の累積相当分と、到達遅延時間の累積相当分とに分けられる。そして、到達遅延時間の累積相当分は、図4からわかるように、ある一定範囲内の値に留まる性質を有している。

[0058] したがって、到達遅延時間の累積相当分が留まる範囲に対応した上限値DHおよび下限値DLを設定しているにもかかわらず、ジッタ累積値が上限値DHまたは下限値DLを超える状態が発生した場合には、それは、送信側と受信側のクロック周波数誤差の累積相当分によるものである。

[0059] 以上より、送信側と受信側でクロック周波数誤差がある場合には、ジッタ累積部121で算出されたジッタ累積値が上限値DHおよび下限値DLの範囲内を超える状態が発生する。一方、送信側と受信側でクロック周波数誤差がない場合、ジッタ累積部121で算出されたジッタ累積値が上限値DHおよび下限値DLの範囲内を超えることはない。

[0060] 換言すれば、送信側と受信側でクロック周波数誤差がない場合、送信側と受信側の時計のオフセット（offset）は、 $\text{offset}(1) = \text{offset}(2) = \text{offset}(3) = \text{offset}(4) = \dots$ の状況に到達している。

[0061] しかし、送信側と受信側でクロック周波数誤差がある場合、 $\text{offset}(1) < \text{offset}(2) < \text{offset}(3) < \text{offset}(4) < \dots$ となるか、あるいは $\text{offset}(1) > \text{offset}(2) > \text{offset}(3) > \text{offset}(4) > \dots$ となる。offset(1) < offset(2) < offset(3) < offset(4) < ... の状況が発生すると、ジッタ累積部121で算出

されたジッタ累積値は、所定時間経過後、上限値DHに到達する。また、 $offset(1) > offset(2) > offset(3) > offset(4) > \dots$ の状況が発生すると、ジッタ累積部 1 2 1 で算出されたジッタ累積値は、所定時間経過後、下限値DLに到達する。

[0062] 以上より、ジッタ累積部 1 2 1 で算出されたジッタ累積値が、所定の上限値DHおよび下限値DLの範囲内を超えない状態となるようにVCO制御電圧を調整することで、クロック周波数誤差を除去することができる。すなわち、ネットワークのトポロジー、ネットワークを構成するスイッチ性能、トラフィック状態により大きく変化するジッタの影響を除去した高精度な周波数同期を実現することができる。

[0063] [第 1 の実施の形態の動作説明]

図 5 は、受信装置 1 0 0 の周波数誤差検出部 1 1 1 の動作例を示している。

[0064] 受信時刻記録部 1 2、ジッタ量計算部 1 4、周波数誤差検出部 1 1 1、クロック発生部 4、及びカウンタ 5 により、周波数ロックループ回路が構成されている。

[0065] 周波数誤差検出部 1 1 1 の比較部 1 2 2 には、上述したように、上限値DH及び下限値DLが予め設定されている。この上限値DH及び下限値DLは、受信装置 1 0 0 (の同期処理装置) が、どれくらいの遅延時間および遅延ゆらぎを保証するかによって決定されている。なお、上限値DH及び下限値DLは、比較部 1 2 2 内に予め所定の値を設定する以外に、ジッタ量を用いた計測結果から設定することも可能である。例えば、ジッタ累積部 1 2 1 において、ジッタ量計算部 1 4 から供給される所定サンプル数のジッタ量から、ジッタ量の最大値と最小値を求めてジッタ幅 J (=最大値 - 最小値) を計算し、計算されたジッタ幅 J に基づいて上限値DH及び下限値DLを設定することができる。

[0066] 比較部 1 2 2 は、ジッタ累積値が上限値DHに到達した場合、クロック周波数を低下させる制御値を出力し、ジッタ累積値が下限値DLに到達した場合、クロック周波数を増加させる制御値を出力する。したがって、ジッタ累積値

が上限値DHまたは下限値DLに到達した時点で、クロック周波数を逆方向に変移させるVCO制御電圧を供給する周波数ロックループ制御が実行される。

[0067] ジッタ累積値は、上限値DHまたは下限値DLへの到達時点で反転を繰り返し、ある時間経過後に安定化する。受信装置100の周波数誤差は、この反転を繰り返す毎に小さくなるため、VCO制御電圧が一定の値を保持している期間は次第に長くなっていく。

[0068] [第1の実施の形態の周波数同期制御処理フロー]

図6は、受信装置100の第1の実施の形態による周波数同期制御処理を説明するフローチャートである。この処理は、例えば、受信装置100の同期パケット受信部11で、同期パケットが受信される毎に実行される。

[0069] 同期パケット受信部11において同期パケットが受信されると、ステップS1において、受信時刻記録部12と送信時刻記録部13が、受信時刻と送信時刻を記録する。すなわち、受信時刻記録部12は、同期パケットが受信された時点における、カウンタ5のカウント値を受信時刻として記録する。送信時刻記録部13は、同期パケット受信部11から供給された同期パケットに含まれる送信時刻を抽出し、記録する。

[0070] ステップS2において、ジッタ量計算部14は、受信時刻記録部12と送信時刻記録部13に記録されている、隣接する直近の2つの同期パケットの受信時刻および送信時刻に基づいて、式(1)により、ジッタ量を計算する。計算されたジッタ量は、ジッタ累積部121に出力される。

[0071] ステップS3において、ジッタ累積部121は、ジッタ量計算部14から供給されたジッタ量を累積し、累積結果であるジッタ累積値を比較部122に出力する。

[0072] ステップS4において、比較部122は、ジッタ累積部121からのジッタ累積値が、上限値DHまたは下限値DLのいずれかに到達しているかを判定する。

[0073] ステップS4で、ジッタ累積値が上限値DHおよび下限値DLのいずれにも到達していないと判定された場合、処理は終了する。

- [0074] 一方、ステップS 4で、ジッタ累積値が、上限値DHまたは下限値DLのいずれかに到達していると判定された場合、処理はステップS 5に進む。
- [0075] ステップS 5では、比較部1 2 2は、上限値DHまたは下限値DLに対応する制御値をゲイン調整部1 2 3に出力する。すなわち、ジッタ累積値が上限値DHに到達している場合、比較部1 2 2は、上限値DHに対応する制御値をゲイン調整部1 2 3に出力する。一方、ジッタ累積値が下限値DLに到達している場合、比較部1 2 2は、下限値DLに対応する制御値をゲイン調整部1 2 3に出力する。
- [0076] ステップS 6において、ゲイン調整部1 2 3は、比較部1 2 2からの出力である制御値に対して所定のゲインをかけるゲイン調整を行う。
- [0077] ステップS 7において、制御電圧生成部1 2 4は、ゲイン調整部1 2 3の出力である、ゲイン調整後の制御値を累積することにより、周波数誤差を補正するVCO制御電圧を生成し、DAC&LPF 1 2 5に出力する。
- [0078] ステップS 8において、DAC&LPF 1 2 5は、制御電圧生成部1 2 4で生成されたデジタルのVCO制御電圧をアナログ信号に変換するD/A変換処理、および、D/A変換処理後のVCO制御電圧のローパスフィルタ処理を行う。
- [0079] ステップS 9において、クロック発生部4は、DAC&LPF 1 2 5からのVCO制御電圧に基づいてクロック周波数を調整したクロックCLKを発生する。調整後のクロック周波数は、カウンタ5、時計部6、同期信号生成部7等に出力され、処理が終了する。
- [0080] 以上の処理が、図2の受信装置1 0 0で同期パケットが受信される毎に実行される。
- [0081] この受信装置1 0 0では、従来の受信装置のようにノイズ除去フィルタを有しておらず、算出されたジッタ量を累積したジッタ累積値を上限値DH及び下限値DLと比較することで、VCO制御電圧を生成することができる。したがって、受信装置1 0 0では、従来の受信装置において、ネットワークのノイズが大きく、多数のフィルタ段数を設けなければノイズ除去が難しく、引込時間が長くなるような場合において、効果的に周波数同期を確立させることが

できる。すなわち、受信装置100によれば、より短時間かつ高精度に、周波数同期を実現することができる。

[0082] <2. 第2の実施の形態>

[受信装置の構成ブロック図]

図7は、受信装置の第2の実施の形態を示すブロック図である。なお、図7において、図2と対応する部分については同一の符号を付してあり、重複する説明については適宜省略する。

[0083] 図7の受信装置100は、上述した図2の受信装置100の構成と比較すると、周波数誤差検出部141の構成のみが異なる。また、周波数誤差検出部141は、図2の周波数誤差検出部111と比較すると、ジッタ累積部161と比較部162のみが異なる。

[0084] ジッタ累積部161は、図2のジッタ累積部121と同様に、ジッタ量計算部14から順次供給されるジッタ量を累積し、累積結果であるジッタ累積値を比較部122に出力する。

[0085] また、ジッタ累積部161は、比較部162からDL制御信号が供給された場合、内部に記憶しているジッタ累積値をゼロにリセットする（ジッタ累積値をゼロになるまでシフトする）。

[0086] 比較部162は、図2の比較部122と同様に、ジッタ累積値を上限値DH及び下限値DLと比較し、ジッタ累積値が上限値DHまたは下限値DLのいずれかに到達している場合に、対応する制御値をゲイン調整部123に出力する。

[0087] また、比較部162は、ジッタ累積値が下限値DLに到達した際、ジッタ累積部161にDL制御信号を出力する。

[0088] 図4を参照して説明したように、ジッタ累積値は、真の到達遅延時間から、ある定数だけシフトしたものとなる。また、受信側の周波数誤差の符号（誤差方向）、ジッタ累積値の計算開始タイミング等により、ジッタ累積値は、真の到達遅延時間から、マイナス側にシフトしている場合がある。しかし、真の到達遅延時間は、正の符号となるべきものであるから、ジッタ累積値がマイナス側にシフトしている場合には、正側にシフトさせることができる

。

[0089] そこで、図7の受信装置100では、比較部162は、下限値DL=0に設定し、ジッタ累積値が下限値DLに到達した際、下限値DLに対応する制御値をゲイン調整部123に出力するとともに、DL制御信号をジッタ累積部161に供給する。

[0090] ジッタ累積部161は、比較部162からDL制御信号が供給された場合、内部に記憶しているジッタ累積値をゼロにリセットする。ジッタ累積部161でゼロリセット動作を行うようにしたことにより、マイナス側を考慮しなくてもよいので、比較部162で設定される上限値DHから下限値DLまでの幅を、上述した第1の実施の形態よりも小さく設定することができる。上限値DHから下限値DLまでの幅を小さく設定することができれば、周波数同期制御にとっては不感帯となる時間を短縮することができるので、第1の実施の形態よりもさらに、周波数引込にかかる時間を短縮することができる。

[0091] [第2の実施の形態の動作説明]

図8は、第2の実施の形態の周波数誤差検出部141の動作例を示している。

[0092] 第2の実施の形態では、下限値DLはゼロに設定することができ、上限値DHは、ネットワークにおける到達ジッタJの α 倍、すなわち、 $J \times \alpha$ に設定することができる。ここで、 α は、動作余裕を表す $\alpha > 0$ の係数であり、例えば、 $\alpha = 1.2$ や 1.3 などとすることができる。

[0093] 図9を参照して、第1の実施の形態と第2の実施の形態の上限値DHと下限値DLの設定値の違いについて説明する。

[0094] 図9は、受信側のクロック周波数が送信側と周波数同期した後の、ジッタ累積値と真の到達遅延時間との関係を示している。

[0095] 図9において、灰色で示される領域は、図4の到達遅延時間またはジッタ累積値の折れ線の範囲に相当するものであり、到達遅延時間またはジッタ累積値の動作範囲を示す。また、図9では、真の到達遅延時間が既知であると仮定している。

[0096] 図9では、真の到達遅延時間の最大値が delay_max 、真の到達遅延時間の最小値が delay_min とされている。この場合、サンプル毎のジッタ累積値は、真の到達遅延時間のプロフィールを保ったまま、 $(\text{delay_min} - \text{delay_max})$ から delay_max の範囲内のどこかにシフトしている。したがって、ゼロリセット処理を行わない第1の実施の形態では、この範囲をカバーして周波数ロックループを制御するために、上限値 DH と下限値 DL を、それぞれ、上限値 $\text{DH} = (\text{delay_max}) \times \alpha$ 、下限値 $\text{DL} = (\text{delay_min} - \text{delay_max}) = -J$ に設定する必要がある。

[0097] 例えば、ジッタ幅 J が $70[\text{ns}]$ であり、真の到達遅延時間の最大値 $\text{delay_max} = 100[\text{ns}]$ 、真の到達遅延時間の最小値 $\text{delay_min} = 30[\text{ns}]$ の場合を想定する。第1の実施の形態の場合、上述の式より、上限値 $\text{DH} = 100[\text{ns}] \times \alpha$ 、下限値 $\text{DL} = -70[\text{ns}]$ の範囲設定が必要となり、 $\alpha = 1$ とすると、不感帯は $170[\text{ns}]$ 幅となる。

[0098] これに対して、第2の実施の形態の場合、上限値 $\text{DH} = J \times \alpha = 70[\text{ns}] \times \alpha$ 、下限値 $\text{DL} = 0$ の範囲設定が可能であり、 $\alpha = 1$ とすると、不感帯は $70[\text{ns}]$ となる。すなわち、下限値 DL は、ゼロリセットに対応してゼロ、上限値 DH は、ジッタ幅 J に対応して $70[\text{ns}] \times \alpha$ とすることができるので、上限値 DH から下限値 DL までの幅を、上述した第1の実施の形態よりも、小さく設定することができる。

[0099] [第2の実施の形態の周波数同期制御処理フロー]

図10は、受信装置100の第2の実施の形態による周波数同期制御処理を説明するフローチャートである。この処理は、例えば、受信装置100の同期パケット受信部11で、同期パケットが受信される毎に実行される。

[0100] ステップS21乃至S24は、上述した図6のステップS1乃至S4と、それぞれ同様の処理であるため、その説明は省略する。

[0101] 図10のステップS24で、ジッタ累積値が上限値 DH または下限値 DL のいずれかに到達していると判定された場合、処理はステップS25に進み、比較部162は、下限値 DL に到達しているかを判定する。

- [0102] ステップS 2 5 で、ジッタ累積値が下限値DLに到達していると判定された場合、処理はステップS 2 6 に進み、比較部 1 6 2 は、ジッタ累積部 1 6 1 にDL制御信号を出力する。そして、ステップS 2 7 において、ジッタ累積部 1 6 1 は、供給されたDL制御信号に基づいて、内部に記憶しているジッタ累積値をゼロにリセットする。
- [0103] 一方、ステップS 2 5 で、ジッタ累積値が下限値DLに到達していない、すなわち、上限値DHに到達していると判定された場合には、ステップS 2 6 とステップS 2 7 の処理がスキップされる。
- [0104] ステップS 2 8 乃至S 3 2 は、上述した図 6 のステップS 5 乃至S 9 と、それぞれ同様の処理であるため、その説明は省略する。
- [0105] 以上の処理が、図 7 の受信装置 1 0 0 で同期パケットが受信される毎に実行される。
- [0106] 図 7 の受信装置 1 0 0 では、第 1 の実施の形態と同様に、より短時間かつ高精度に、周波数同期を実現することができる。また、図 2 の受信装置 1 0 0 よりも上限値DHから下限値DLまでの幅（不感帯）を小さく設定することができるので、第 1 の実施の形態よりもさらに、周波数引込にかかる時間を短縮することができる。
- [0107] なお、第 2 の実施の形態の上述した例では、ジッタ累積値が下限値DLに到達し、DL制御信号が供給された場合、ジッタ累積部 1 6 1 は、内部で保持しているジッタ累積値をゼロにセットするようにした。
- [0108] しかし、DL制御信号が供給されたときにセットする値は、ゼロ以外の所定の値とすることができる。例えば、図 9 のジッタ幅Jが70[ns]の例で、DL制御信号が供給されたときにセットする値を「20」としてもよい。この場合、下限値DL=20[ns]、上限値DH=90[ns]× α の範囲設定が必要となり、 $\alpha = 1$ としたときの不感帯は、ゼロリセットのときの同様の70[ns]幅となる。
- [0109] しかし、ジッタ累積値を所定の値にセットする場合には、保持しているジッタ累積値を所定の値となるまで加算する加算器をジッタ累積部 1 6 1 にさらに備える必要がある。これに対して、ジッタ累積値をゼロにセットする場

合には、ジッタ累積値を保持する内部メモリのリセット動作を利用することができる。したがって、ゼロリセットを採用した方がより簡単な構成で実現できる。

[0110] <3. 第3の実施の形態>

[受信装置の構成ブロック図]

図11は、受信装置の第3の実施の形態を示すブロック図である。図11においても、図2及び図7と対応する部分については同一の符号を付しており、重複する説明については適宜省略する。

[0111] 図11の受信装置100は、上述した図7の受信装置100の構成と比較すると、周波数誤差検出部181の構成のみが異なる。また、周波数誤差検出部181は、図7の周波数誤差検出部141と比較すると、ジッタ累積部201と比較部203が異なる他、最小値側サンプル検出部202およびサンプル数カウンタ204が新たに設けられている。

[0112] ジッタ累積部201は、図7のジッタ累積部161と同様に、供給されるジッタ量を累積する処理を行う。また、ジッタ累積部201は、比較部203からDL制御信号が供給された場合、内部に記憶しているジッタ累積値を第1の値にセットする。ここで、第1の値は、例えば、上述した第2の実施の形態と同様、ゼロとすることができる。

[0113] 第3の実施の形態では、比較部203からジッタ累積部201に、DL制御信号以外に、DH制御信号が供給されることがある。ジッタ累積部201は、比較部203からDH制御信号が供給された場合、内部に記憶しているジッタ累積値を、第2の値にセットする。ここで、第2の値は、上限値DHと下限値DLの間の値であればよく、例えば、上限値DHと下限値DLの中間値とすることができる。

[0114] ジッタ累積部201により演算されたジッタ累積値は、最小値側サンプル検出部202に供給される。最小値側サンプル検出部202は、ジッタ累積部201から供給されるジッタ幅Jのジッタ累積値のうち、最小値側のジッタ累積値を検出して、比較部203に出力する処理を行う。

- [0115] 比較部203は、図7の比較部162と同様に、供給されるジッタ累積値を上限值DH及び下限値DLと比較し、ジッタ累積値が上限値DHまたは下限値DLのいずれかに到達している場合に、対応する制御値をゲイン調整部123に出力する。
- [0116] また、比較部203は、ジッタ累積値が下限値DLに到達した際、DL制御信号をジッタ累積部201に供給する。
- [0117] さらに、比較部203は、ジッタ累積値の上限値DHへの到達が連続して発生した回数（連続到達回数）を、サンプル数カウンタ204を用いてカウントする。そして、上限値DHへの連続到達回数が所定の閾値 N_{TH} 以上となった場合、比較部203は、DH制御信号をジッタ累積部201に供給する。
- [0118] 例えば、図9に示した、第2の実施の形態で $\alpha = 1$ としたとき下限値 $DL = 0$ 、上限値 $DH = 70[ns]$ 、ジッタ幅 $J = 70[ns]$ の例で説明する。最小値側サンプル検出部202は、最小値側のサンプルとして、例えば、 $-10[ns]$ から $20[ns]$ の範囲内のジッタ累積値のみを比較部203に出力する。比較部203には、例えば、下限値 $DL = -5[ns]$ 、上限値 $DH = 15[ns]$ 、連続到達回数の閾値 $N_{TH} = 10$ が設定されているとする。この場合、比較部203は、ジッタ累積値が下限値 $DL = -5$ に到達した場合、DL制御信号をジッタ累積部201に供給し、10回連続して上限値 $DH = 15$ に到達した場合、DH制御信号をジッタ累積部201に供給する。
- [0119] サンプル数カウンタ204は、比較部203の制御の下、比較部203におけるジッタ累積値の連続到達回数（同期パケットのサンプル数）をカウントし記憶する。サンプル数カウンタ204は、時間を計測するタイマでもよく、ジッタ累積値が連続して上限値DHに到達した回数に代えて、ジッタ累積値が上限値DHに到達している状態が継続している時間を計算するものでもよい。この場合、比較部203は、ジッタ累積値が上限値DHに到達している状態が一定時間以上継続している場合、DH制御信号をジッタ累積部201に供給する。
- [0120] 第3の実施の形態において、ジッタ累積部201から供給されるジッタ累

積値のうち、最小値側のジッタ累積値のみを利用する理由について説明する。

[0121] ジッタ累積値が最小値となるのは、ネットワーク上において、同期パケットが、他のパケットの送出と重ならず、そのまますぐに伝送される場合である。したがって、ジッタ累積値が最小値となる状態（条件）は固定であり、最小値は安定している。このことは、図4のジッタ累積値の最小値B、到達遅延時間の最小値Cを見ても明らかである。

[0122] これに対して、同期パケットの送出が他のパケットの送出と重なる場合には同期パケットの送出が先送りされ、その出力待ち時間は他のパケットの送出に要する時間に依存し、一定ではない。そのため、ジッタ累積値の最大値側の値は、そのときの状況に依存し、不確定な要素が多く含まれる。そこで、第3の実施の形態では、より安定している最小値側のジッタ累積値を用いるため、最小値側サンプル検出部202が設けられている。この場合、比較部203で設定される下限値DLと上限値DHは、最小値側サンプル検出部202の出力である最小値側のサンプルに合わせて、より狭い範囲（不感帯）となるように設定することができる。

[0123] [第3の実施の形態の動作説明]

図12および図13を参照して、第3の実施の形態の周波数誤差検出部181の動作について説明する。

[0124] 図12は、ジッタ累積値が下限値DLに到達する場合の動作例を示している。

[0125] ジッタ累積部201から供給されるジッタ幅Jの範囲内のジッタ累積値のうち、破線で示される側に近いジッタ累積値が最小値側のサンプル、実線で示される側に近いジッタ累積値が最大値側のサンプルを示している。最小値側サンプル検出部202から比較部203に出力されるジッタ累積値は、ジッタ幅Jのうち破線から一定高さの範囲内のサンプルである。

[0126] 図12において、算出されたジッタ累積値は、ジッタ幅Jの範囲で徐々に減少している。そして、ジッタ累積値が下限値DLに到達した場合、DL制御信号

がジッタ累積部201に供給され、ジッタ累積部201に保持されているジッタ累積値がリセット（ゼロにシフト）される。

[0127] また、ジッタ累積値が下限値DLに到達した場合、比較部203は、下限値DLに対応する制御値をゲイン調整部123に出力するので、その制御値によって、VCO制御電圧が、クロック周波数を上げるように変更される。

[0128] なお、図12に示されるように、ジッタ累積値が下限値DLに最初に到達した場合には、ジッタ累積値のリセット動作のみが行われ、VCO制御電圧は変更されない。そして、2回目以降にジッタ累積値が下限値DLに到達した場合には、ジッタ累積値のリセット動作と、クロック周波数を上げるVCO制御電圧の変更が実行される。これは、1回目の下限値DLへの到達では、下限値DLに対応する制御値を出力しないように比較部203が設計されているためである。ジッタ累積値は、上述したように、ジッタ累積値の計算開始タイミング等により、真の到達遅延時間からシフトした値となるが、そのシフト量やシフト方向は不明である。そこで、比較部203は、1回目の下限値DLへの到達では、ジッタ累積値を、下限値DLと上限値DHの範囲内に補正する処理のみ実行する。これにより、周波数の引込時間をより短縮することができる。

[0129] なお、第3の実施の形態において、第2の実施の形態のように、最初に下限値DLに到達したときから、VCO制御電圧を変更するようにしてもよいし、第2の実施の形態を、第3の実施の形態のように、1回目の下限値DL到達の検出の際には、下限値DLに対応する制御値を出力しないようにしてもよい。すなわち、1回目の下限値DL到達の検出に対して、制御値を出力するか否かは適宜設定することができる。

[0130] 図13は、ジッタ累積値が上限値DHに到達する場合の動作例を示している。

[0131] 図13において、算出されたジッタ累積値は、ジッタ幅Jの範囲で徐々に上昇している。そして、上限値DH以上のジッタ累積値が N_{TH} 回連続した場合、時間に換算すると、上限値DH以上のジッタ累積値がTH時間継続した場合、比較部203は、DH制御信号をジッタ累積部201に供給する。DH制御信号がジ

ジッタ累積部201に供給されると、ジッタ累積部201に保持されているジッタ累積値が、下限値DLと上限値DHの中間値にシフトされる。図13の例では、下限値DLがゼロであるとして、ジッタ累積部201に保持されているジッタ累積値がDH/2にシフトされている。

[0132] 上限値DH以上のジッタ累積値がTH時間継続した場合、比較部203は、上限値DHに対応する制御値をゲイン調整部123に出力するので、その制御値によって、VCO制御電圧が、クロック周波数を下げるように変更される。ただし、この場合も図12で説明した下限値DL到達時と同様に、1回目の検出ではVCO制御電圧を変更するための制御値を出力せず、2回目以降の検出から、上限値DHに対応する制御値をゲイン調整部123に出力する。

[0133] 第3の実施の形態では、最小値側のサンプルのみを検出して比較部203に出力するので、上限値DH、および、下限値DLと上限値DHの幅（不感帯幅）を、ジッタ幅Jに依存せずに設定することができる。これに対して、上述した第1及び第2の実施の形態では、上限値DH、および、下限値DLと上限値DHの幅を、ジッタ幅Jに見合った設定にする必要がある。したがって、第3の実施の形態によれば、第1及び第2の実施の形態と比較して、さらに周波数引込時間を短縮させることができる。

[0134] [第3の実施の形態の周波数同期制御処理フロー]

図14は、受信装置100の第3の実施の形態による周波数同期制御処理を説明するフローチャートである。この処理は、例えば、受信装置100の同期パケット受信部11で、同期パケットが受信される毎に実行される。

[0135] 図14のステップS41乃至S43は、上述した図6のステップS1乃至S3と、それぞれ同様の処理である。すなわち、ジッタ量計算部14において、受信した同期パケットと、その前に受信した同期パケットの2つの同期パケットの受信時刻および送信時刻に基づいてジッタ量が計算される。そして、ジッタ累積部201において、ジッタ累積値が算出され、最小値側サンプル検出部202に供給される。

[0136] 次に、ステップS44において、最小値側サンプル検出部202は、ジッ

タ累積部201から供給されたジッタ累積値が、最小値から一定範囲内の最小値側のサンプルであるかを判定する。

[0137] ステップS44で、供給されたジッタ累積値が最小値側のサンプルではないと判定された場合、処理は終了する。

[0138] 一方、ステップS44で、供給されたジッタ累積値が最小値側のサンプルであると判定された場合、処理はステップS45に進み、最小値側サンプル検出部202は、ジッタ累積値を比較部203に出力する。

[0139] ステップS46において、比較部203は、最小値側サンプル検出部202からのジッタ累積値が、上限値DHまたは下限値DLのいずれかに到達しているかを判定する。

[0140] ステップS46で、ジッタ累積値が上限値DHおよび下限値DLのいずれにも到達していないと判定された場合、処理は終了する。

[0141] 一方、ステップS46で、ジッタ累積値が、上限値DHまたは下限値DLのいずれかに到達していると判定された場合、処理はステップS47に進み、比較部203は、下限値DLへの到達が検出されたかを判定する。

[0142] ステップS47で、下限値DLへの到達が検出されたと判定された場合、処理はステップS48に進み、比較部203は、DL制御信号をジッタ累積部201に供給する。そして、ステップS49において、ジッタ累積部201は、供給されたDL制御信号に基づいて、内部に記憶しているジッタ累積値をゼロにリセットする。

[0143] 一方、ステップS47で、下限値DLへの到達ではないと判定された場合、すなわち、上限値DHへの到達が検出された場合、処理はステップS50に進み、比較部203は、上限値DH以上の状態がTH時間継続して発生しているかを判定する。

[0144] 上限値DH以上のジッタ累積値が少なくとも N_{TH} 回連続しており、ステップS50で、上限値DH以上の状態がTH時間は継続して発生していると判定された場合、処理はステップS51に進む。ステップS51において、比較部203は、サンプル数カウンタ204のカウント値である、上限値DHへの連続到

達回数をリセットし、DH制御信号をジッタ累積部201に出力する。

- [0145] ステップS52において、ジッタ累積部201は、供給されたDH制御信号に基づいて、内部に記憶しているジッタ累積値を、上限値DHと下限値DLの間の所定の値（例えば、DH/2）にセットする。
- [0146] 一方、ステップS50で、上限値DH以上の状態がTH時間継続して発生しないと判定された場合、処理はステップS53に進む。ステップS53において、比較部203は、上限値DHへの連続到達回数をカウントしているサンプル数カウンタ204のカウント値を1だけインクリメントし、処理を終了する。
- [0147] ステップS49またはステップS52の処理後、ステップS54において、比較部203は、下限値DLへの到達または上限値DH以上の継続状態の検出が、2回目以降の検出であるかを判定する。ステップS54で、2回目以降の検出ではない、すなわち、1回目の検出であると判定された場合、処理は終了する。
- [0148] 一方、ステップS54で、2回目以降の検出であると判定された場合、処理はステップS55に進み、受信装置100は、ステップS55乃至ステップS59の処理を順次実行する。ステップS55乃至ステップS59の処理は、図6のステップS5乃至ステップS9と同様であるので、説明は省略する。
- [0149] 以上の処理が、図11の受信装置100で同期パケットが受信される毎に実行される。
- [0150] 図11の受信装置100では、図2や図7の受信装置100よりも上限値DHから下限値DLまでの幅を小さく設定することができるので、第1および第2の実施の形態よりもさらに、周波数引込にかかる時間を短縮することができる。
- [0151] [コンピュータの構成例]
- 上述した一連の処理は、ハードウェアにより実行することもできるし、ソフトウェアにより実行することもできる。一連の処理をソフトウェアにより

実行する場合には、そのソフトウェアを構成するプログラムが、コンピュータにインストールされる。ここで、コンピュータには、専用のハードウェアに組み込まれているコンピュータや、各種のプログラムをインストールすることで、各種の機能を実行することが可能な、例えば汎用のパーソナルコンピュータなどが含まれる。

[0152] 図15は、上述した一連の処理をプログラムにより実行するコンピュータのハードウェアの構成例を示すブロック図である。

[0153] コンピュータにおいて、CPU (Central Processing Unit) 301, ROM (Read Only Memory) 302, RAM (Random Access Memory) 303は、バス304により相互に接続されている。

[0154] バス304には、さらに、入出力インタフェース305が接続されている。入出力インタフェース305には、入力部306、出力部307、記憶部308、通信部309、及びドライブ310が接続されている。

[0155] 入力部306は、キーボード、マウス、マイクロホンなどよりなる。出力部307は、ディスプレイ、スピーカなどよりなる。記憶部308は、ハードディスクや不揮発性のメモリなどよりなる。通信部309は、ネットワークインタフェースなどよりなる。ドライブ310は、磁気ディスク、光ディスク、光磁気ディスク、或いは半導体メモリなどのリムーバブル記録媒体311を駆動する。

[0156] 以上のように構成されるコンピュータでは、CPU301が、例えば、記憶部308に記憶されているプログラムを、入出力インタフェース305及びバス304を介して、RAM303にロードして実行することにより、上述した一連の処理が行われる。

[0157] コンピュータでは、プログラムは、リムーバブル記録媒体311をドライブ310に装着することにより、入出力インタフェース305を介して、記憶部308にインストールすることができる。また、プログラムは、ローカルエリアネットワーク、インターネット、デジタル衛星放送といった、有線または無線の伝送媒体を介して、通信部309で受信し、記憶部308にイ

インストールすることができる。その他、プログラムは、ROM 302や記憶部308に、あらかじめインストールしておくことができる。

[0158] なお、本明細書において、フローチャートに記述されたステップは、記載された順序に沿って時系列的に行われる場合はもちろん、必ずしも時系列的に処理されなくとも、並列に、あるいは呼び出しが行われたとき等の必要なタイミングで実行されてもよい。

[0159] 本技術の実施の形態は、上述した実施の形態に限定されるものではなく、本技術の要旨を逸脱しない範囲において種々の変更が可能である。

[0160] なお、本技術は以下のような構成も取ることができる。

(1)

時刻情報を含む同期パケットに基づいて、ジッタ量を計算するジッタ量計算部と、

前記ジッタ量計算部で計算された前記ジッタ量の累積値を計算する累積部と、

前記累積部で計算された前記ジッタ量の累積値から周波数誤差補正值を出力する周波数誤差補正部と、

前記周波数誤差補正值に基づく周波数制御電圧を出力する制御電圧出力部と

を備える同期処理装置。

(2)

前記周波数誤差補正部は、前記累積部で計算された前記ジッタ量の累積値を、上限の閾値および下限の閾値と比較し、前記累積部で計算された前記ジッタ量の累積値が前記上限または下限の閾値を超えたとき、前記周波数誤差補正值を出力する

前記(1)に記載の同期処理装置。

(3)

前記周波数誤差補正部は、前記ジッタ量の累積値が前記上限の閾値を超えたとき、周波数を低下させる前記周波数誤差補正值を出力し、前記ジッタ量

の累積値が前記下限の閾値を超えたとき、周波数を増加させる前記周波数誤差補正值を出力する

前記（２）に記載の同期処理装置。

（４）

前記累積部は、前記ジッタ量の累積値が前記下限の閾値を超えたとき、前記ジッタ量の累積値を、所定の値にセットする

前記（２）または（３）に記載の同期処理装置。

（５）

前記下限の閾値および前記所定の値はゼロである

前記（４）に記載の同期処理装置。

（６）

前記累積部でとり得る前記ジッタ量の累積値のうち、最小値側のサンプルのみ検出して出力する最小値側サンプル検出部をさらに備え、

前記累積部は、前記ジッタ量の累積値が前記上限の閾値を超えている状態が所定時間継続していることが検出されたとき、前記ジッタ量の累積値を、前記上限の閾値と前記下限の閾値の間にセットする

前記（４）または（５）に記載の同期処理装置。

（７）

前記周波数誤差補正部は、前記累積部で計算された前記ジッタ量の累積値が前記下限の閾値を超えた状態または前記上限の閾値を超えている状態が所定時間継続している状態の検出が２回目以降の検出である場合に、前記周波数誤差補正值を出力する

前記（４）乃至（６）のいずれかに記載の同期処理装置。

（８）

前記周波数誤差補正部が出力する前記周波数誤差補正值に対し、ゲインを調整するゲイン調整部をさらに備える

前記（１）乃至（７）のいずれかに記載の同期処理装置。

（９）

同期処理装置が、
時刻情報を含む同期パケットに基づいて、ジッタ量を計算し、
計算された前記ジッタ量の累積値を計算し、
計算された前記ジッタ量の累積値から周波数誤差補正值を出力し、
前記周波数誤差補正值に基づく周波数制御電圧を出力する
ステップを含む同期処理方法。

(10)

コンピュータを、
時刻情報を含む同期パケットに基づいて、ジッタ量を計算するジッタ量計算部と、
前記ジッタ量計算部で計算された前記ジッタ量の累積値を計算する累積部と、
前記累積部で計算された前記ジッタ量の累積値から周波数誤差補正值を出力する周波数誤差補正部と、
前記周波数誤差補正值に基づく周波数制御電圧を出力する制御電圧出力部として機能させるためのプログラム。

符号の説明

[0161] 2 同期パケット処理部, 14 ジッタ量計算部, 100 受信装置
, 111 周波数誤差検出部, 121 ジッタ累積部, 122 比較部,
123 ゲイン調整部, 124 制御電圧生成部, 141 周波数誤差検出部,
161 ジッタ累積部, 162 比較部, 181 ジッタ累積部,
201 ジッタ累積部, 202 最小値側サンプル検出部,
203 比較部, 204 サンプル数カウンタ

請求の範囲

- [請求項1] 時刻情報を含む同期パケットに基づいて、ジッタ量を計算するジッタ量計算部と、
前記ジッタ量計算部で計算された前記ジッタ量の累積値を計算する累積部と、
前記累積部で計算された前記ジッタ量の累積値から周波数誤差補正値を出力する周波数誤差補正部と、
前記周波数誤差補正値に基づく周波数制御電圧を出力する制御電圧出力部と
を備える同期処理装置。
- [請求項2] 前記周波数誤差補正部は、前記累積部で計算された前記ジッタ量の累積値を、上限の閾値および下限の閾値と比較し、前記累積部で計算された前記ジッタ量の累積値が前記上限または下限の閾値を超えたとき、前記周波数誤差補正値を出力する
請求項1に記載の同期処理装置。
- [請求項3] 前記周波数誤差補正部は、前記ジッタ量の累積値が前記上限の閾値を超えたとき、周波数を低下させる前記周波数誤差補正値を出力し、前記ジッタ量の累積値が前記下限の閾値を超えたとき、周波数を増加させる前記周波数誤差補正値を出力する
請求項2に記載の同期処理装置。
- [請求項4] 前記累積部は、前記ジッタ量の累積値が前記下限の閾値を超えたとき、前記ジッタ量の累積値を、所定の値にセットする
請求項2に記載の同期処理装置。
- [請求項5] 前記下限の閾値および前記所定の値はゼロである
請求項4に記載の同期処理装置。
- [請求項6] 前記累積部でとり得る前記ジッタ量の累積値のうち、最小値側のサンプルのみ検出して出力する最小値側サンプル検出部をさらに備え、
前記累積部は、前記ジッタ量の累積値が前記上限の閾値を超えてい

る状態が所定時間継続していることが検出されたとき、前記ジッタ量の累積値を、前記上限の閾値と前記下限の閾値の間にセットする

請求項4に記載の同期処理装置。

[請求項7] 前記周波数誤差補正部は、前記累積部で計算された前記ジッタ量の累積値が前記下限の閾値を超えた状態または前記上限の閾値を超えている状態が所定時間継続している状態の検出が2回目以降の検出である場合に、前記周波数誤差補正值を出力する

請求項6に記載の同期処理装置。

[請求項8] 前記周波数誤差補正部が出力する前記周波数誤差補正值に対し、ゲインを調整するゲイン調整部をさらに備える

請求項1に記載の同期処理装置。

[請求項9] 同期処理装置が、時刻情報を含む同期パケットに基づいて、ジッタ量を計算し、計算された前記ジッタ量の累積値を計算し、計算された前記ジッタ量の累積値から周波数誤差補正值を出力し、前記周波数誤差補正值に基づく周波数制御電圧を出力するステップを含む同期処理方法。

[請求項10] コンピュータを、時刻情報を含む同期パケットに基づいて、ジッタ量を計算するジッタ量計算部と、

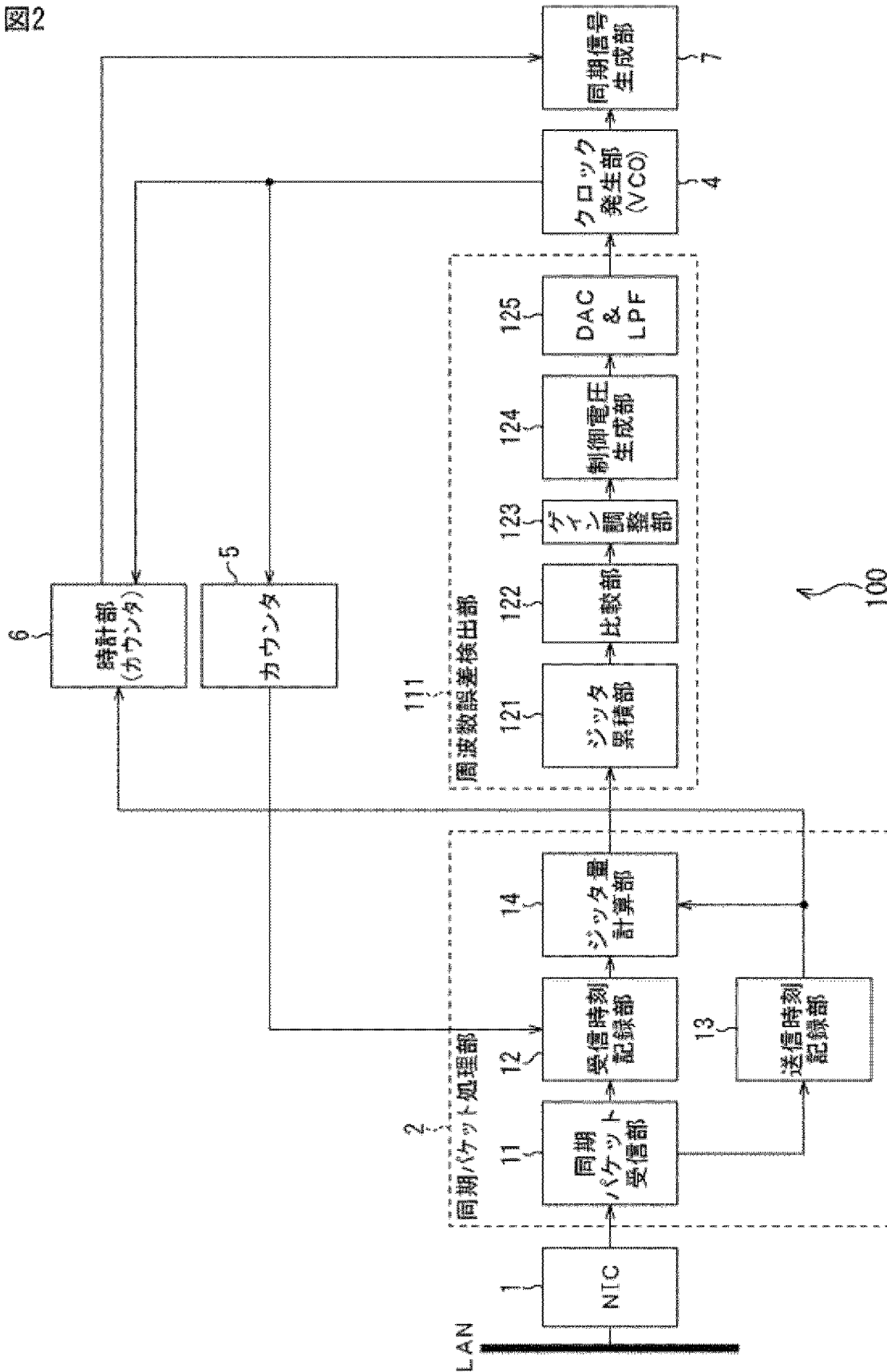
前記ジッタ量計算部で計算された前記ジッタ量の累積値を計算する累積部と、

前記累積部で計算された前記ジッタ量の累積値から周波数誤差補正值を出力する周波数誤差補正部と、

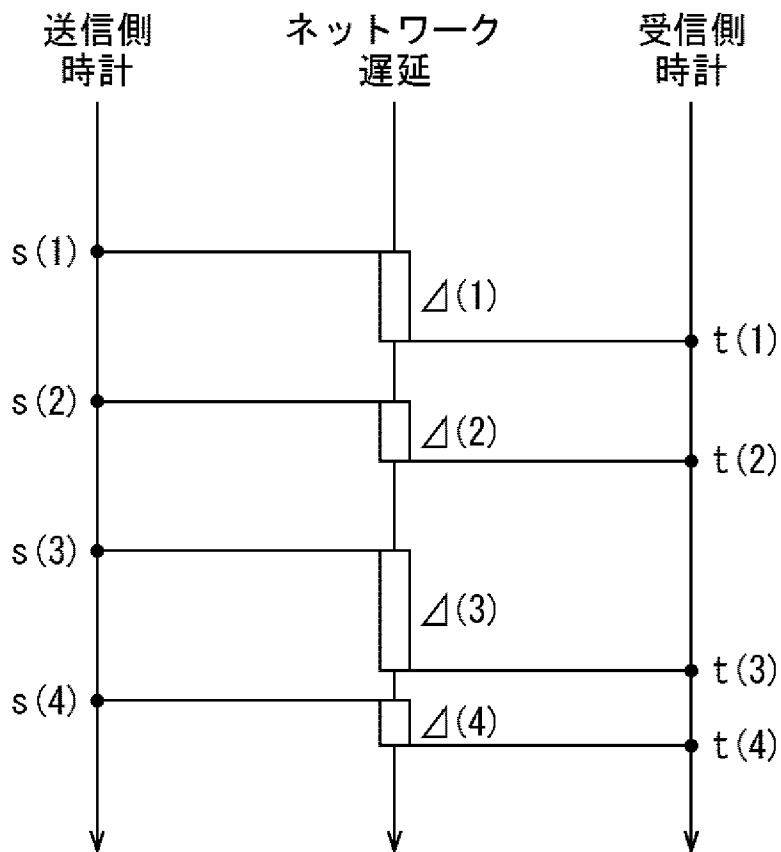
前記周波数誤差補正值に基づく周波数制御電圧を出力する制御電圧出力部

として機能させるためのプログラム。

[図2]
図2

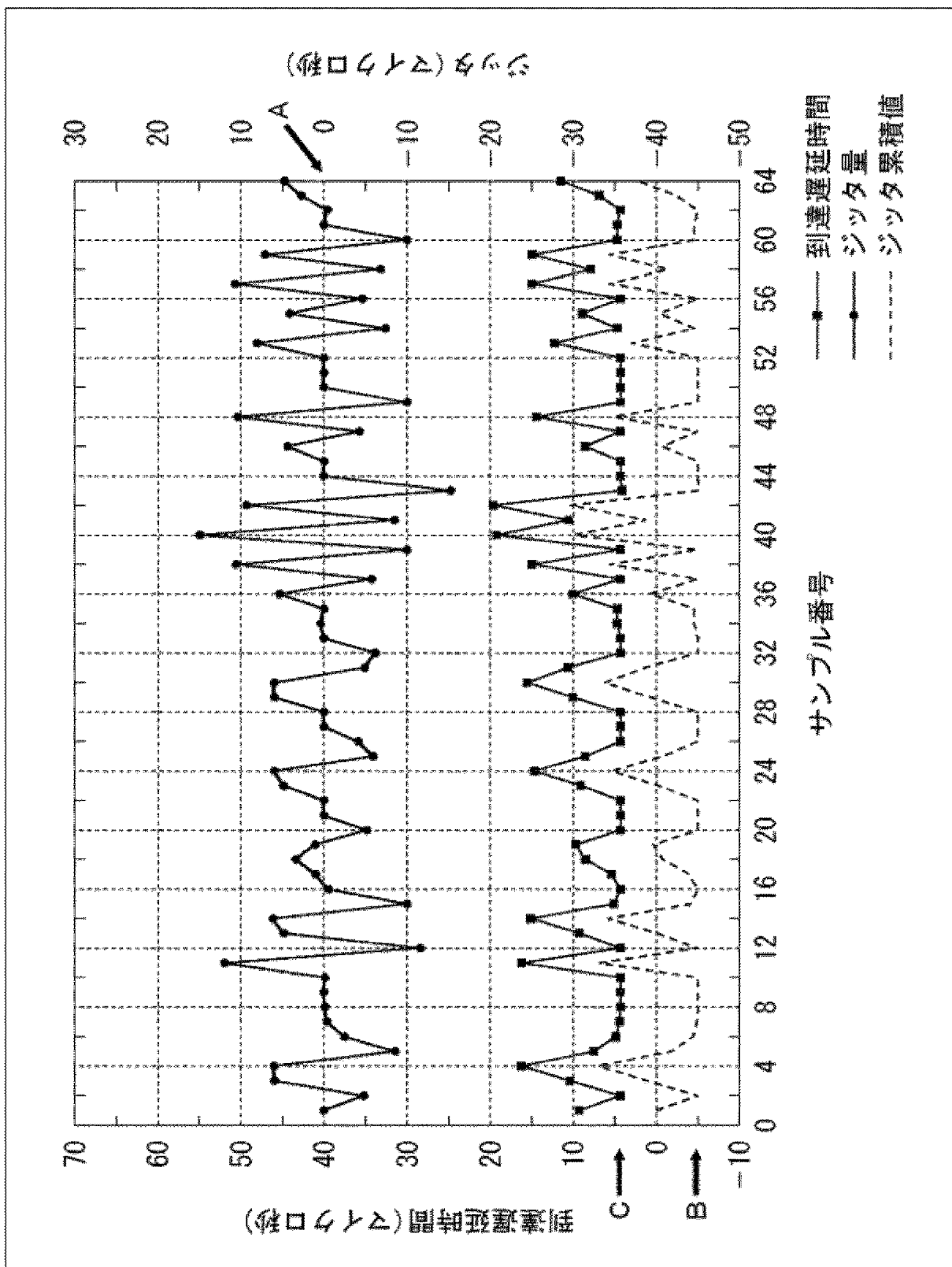


[図3]
図3



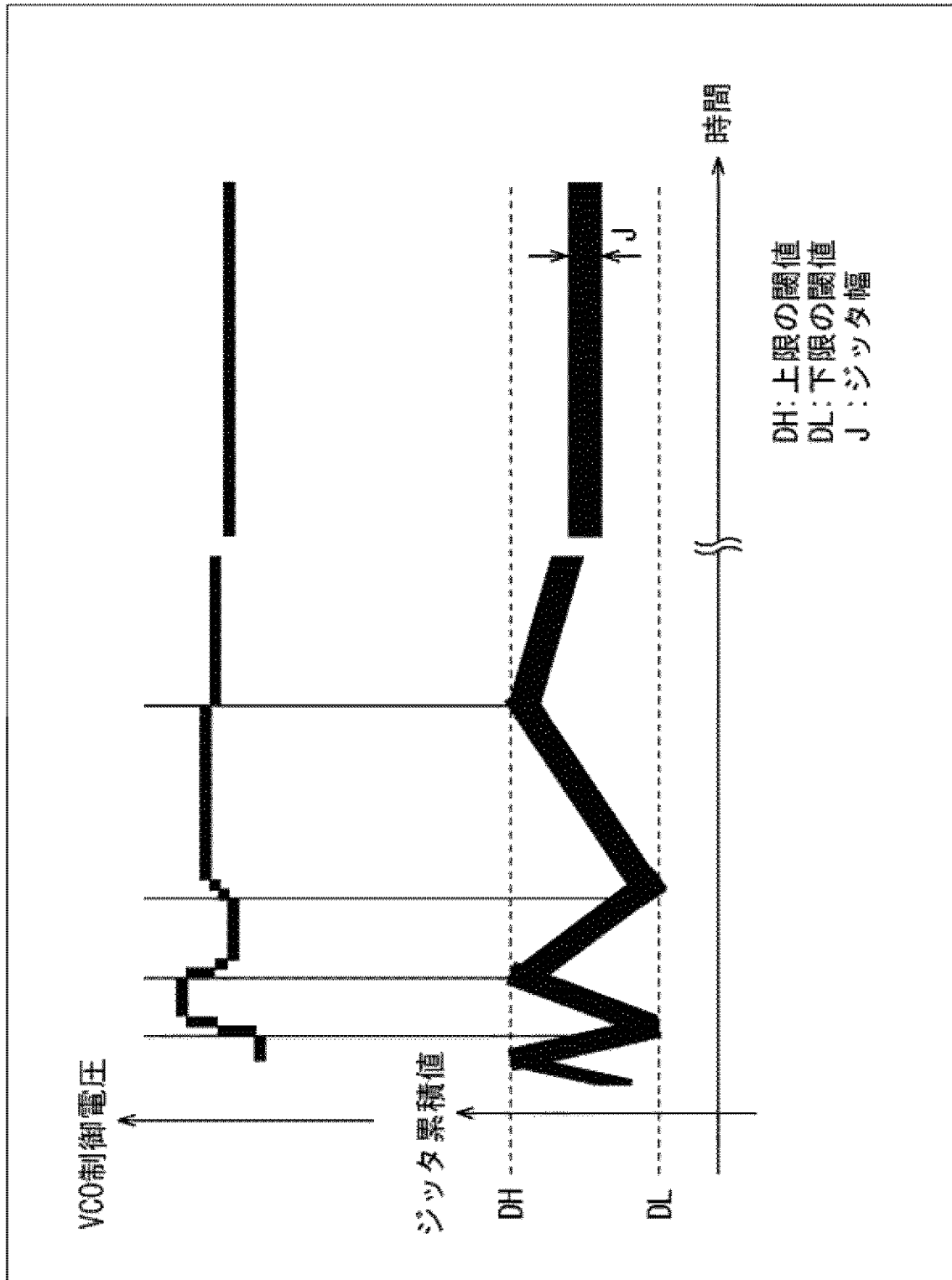
[図4]

図4



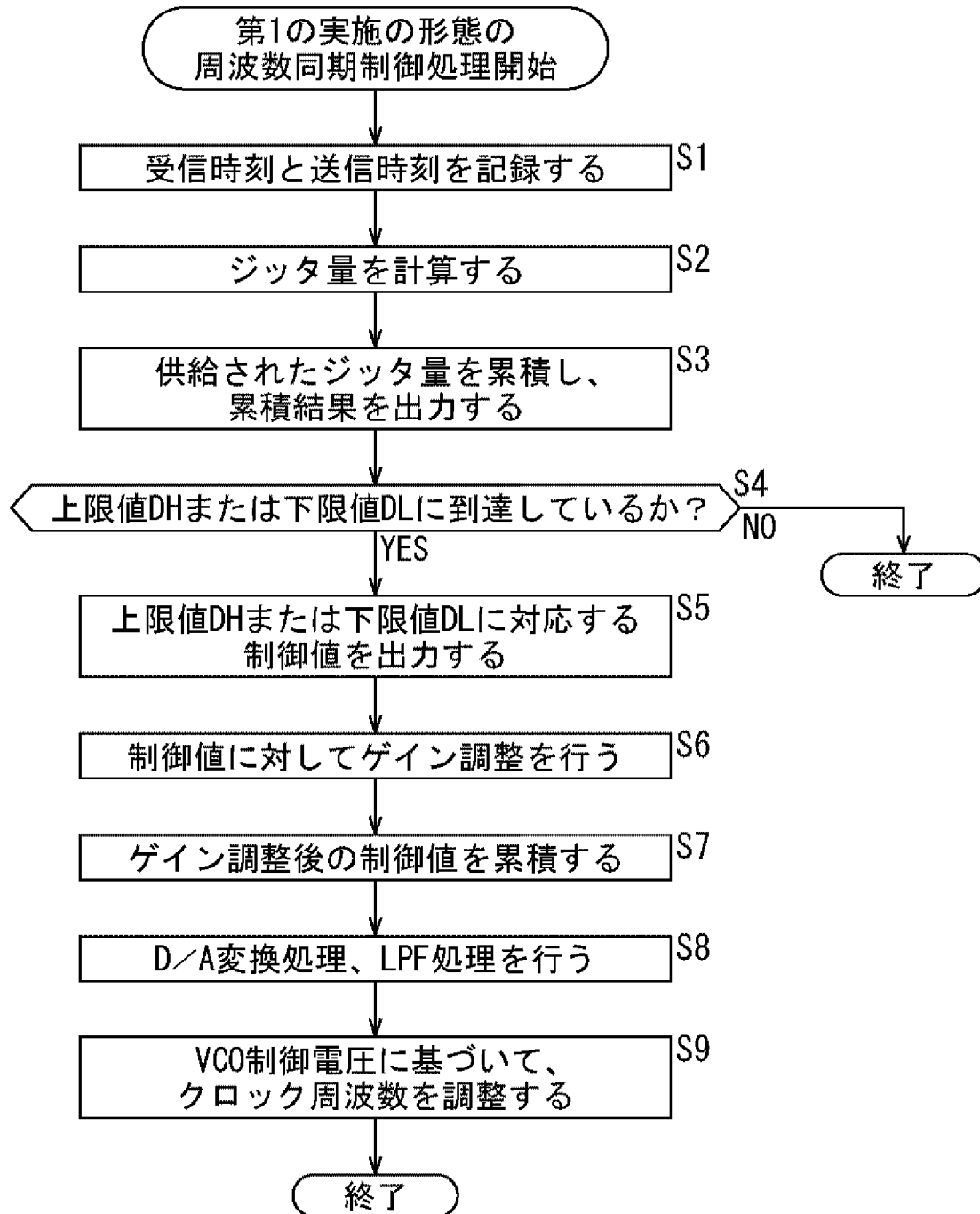
[図5]

図5

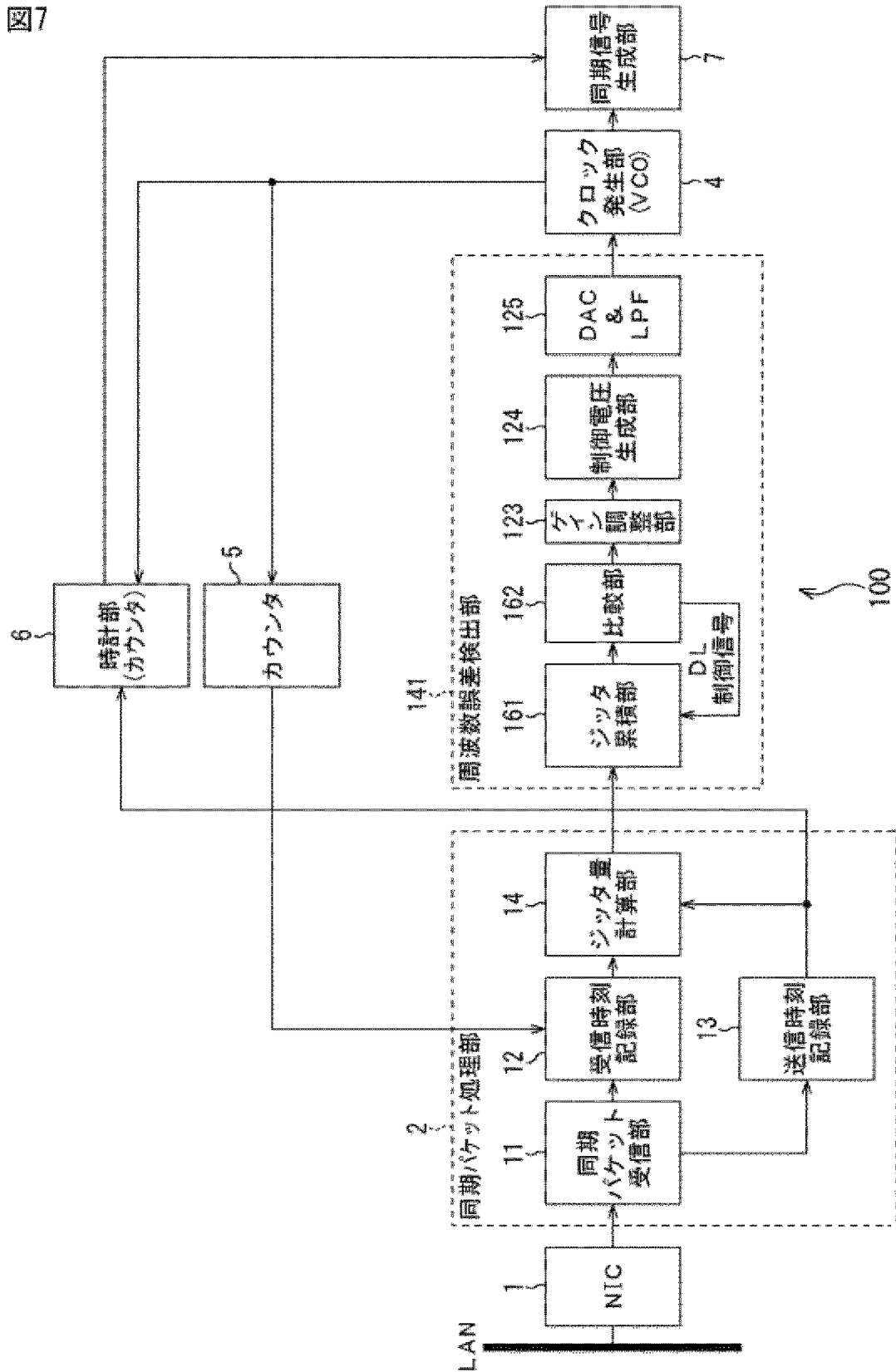


[図6]

図6

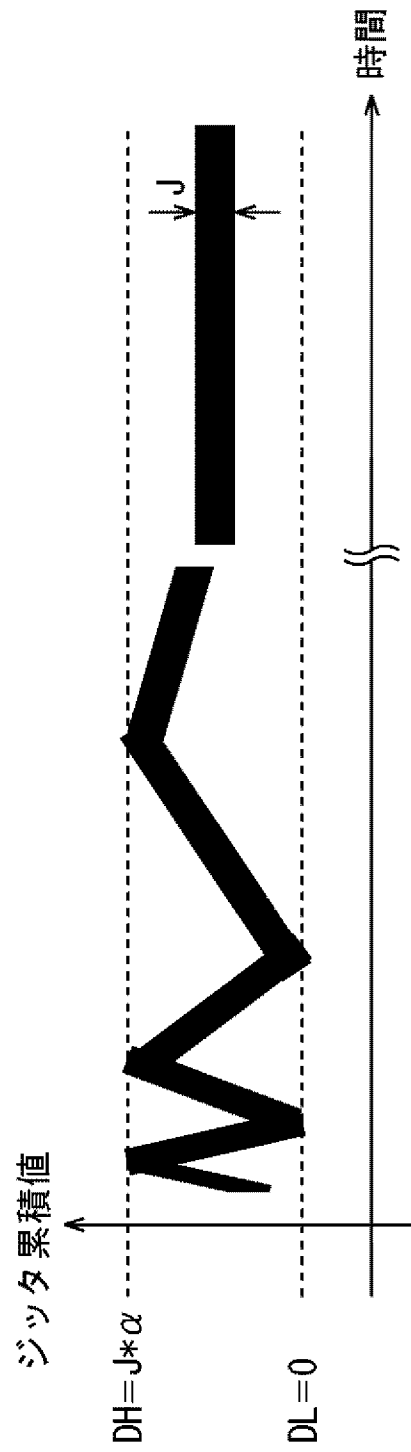


[図7]
図7

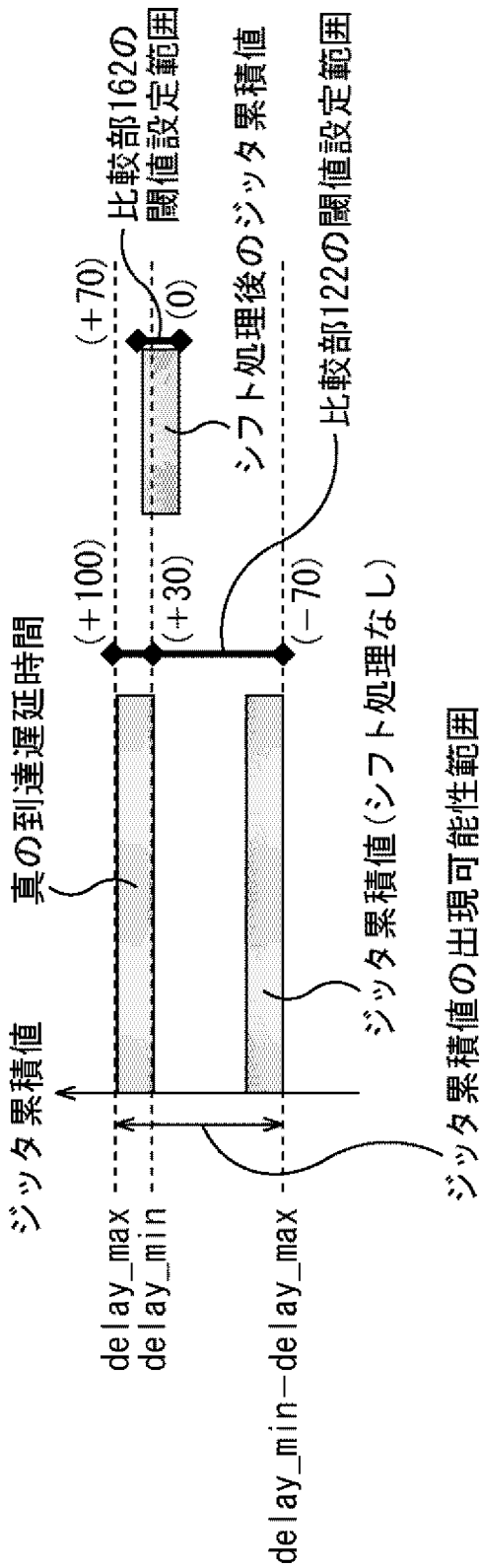


[図8]

図8

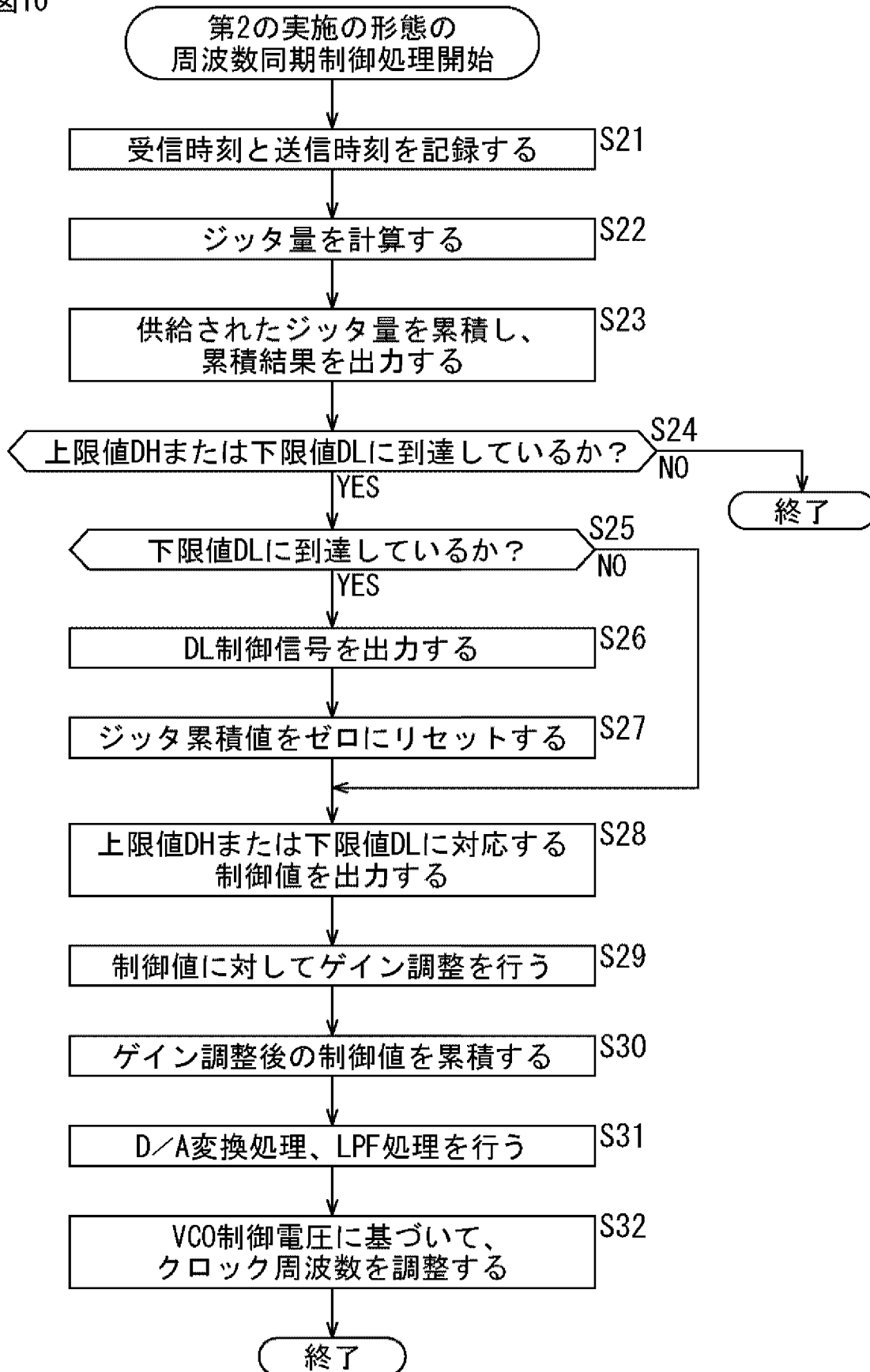


[図9]
図9

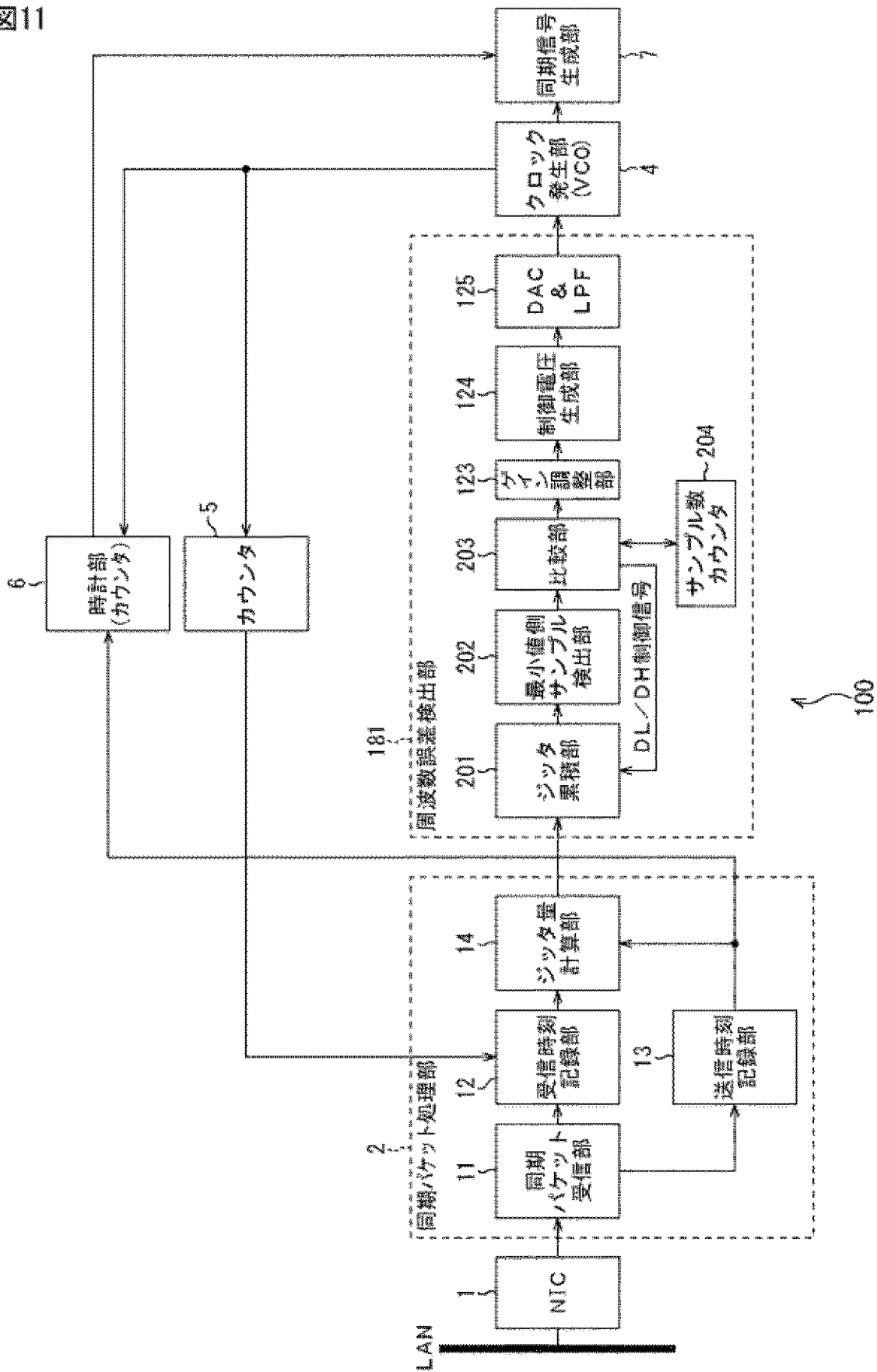


[図10]

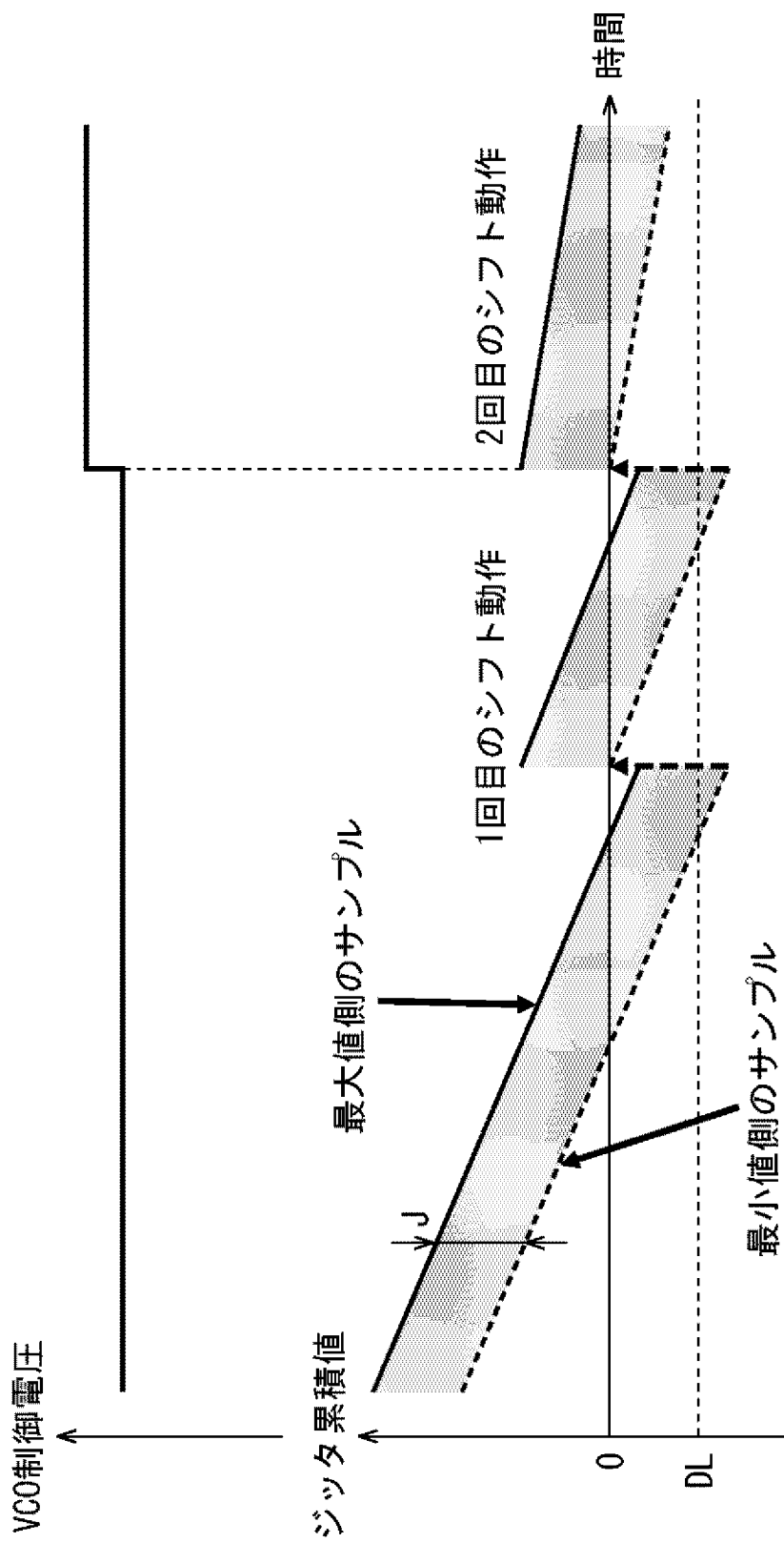
図10



[図11]
図11

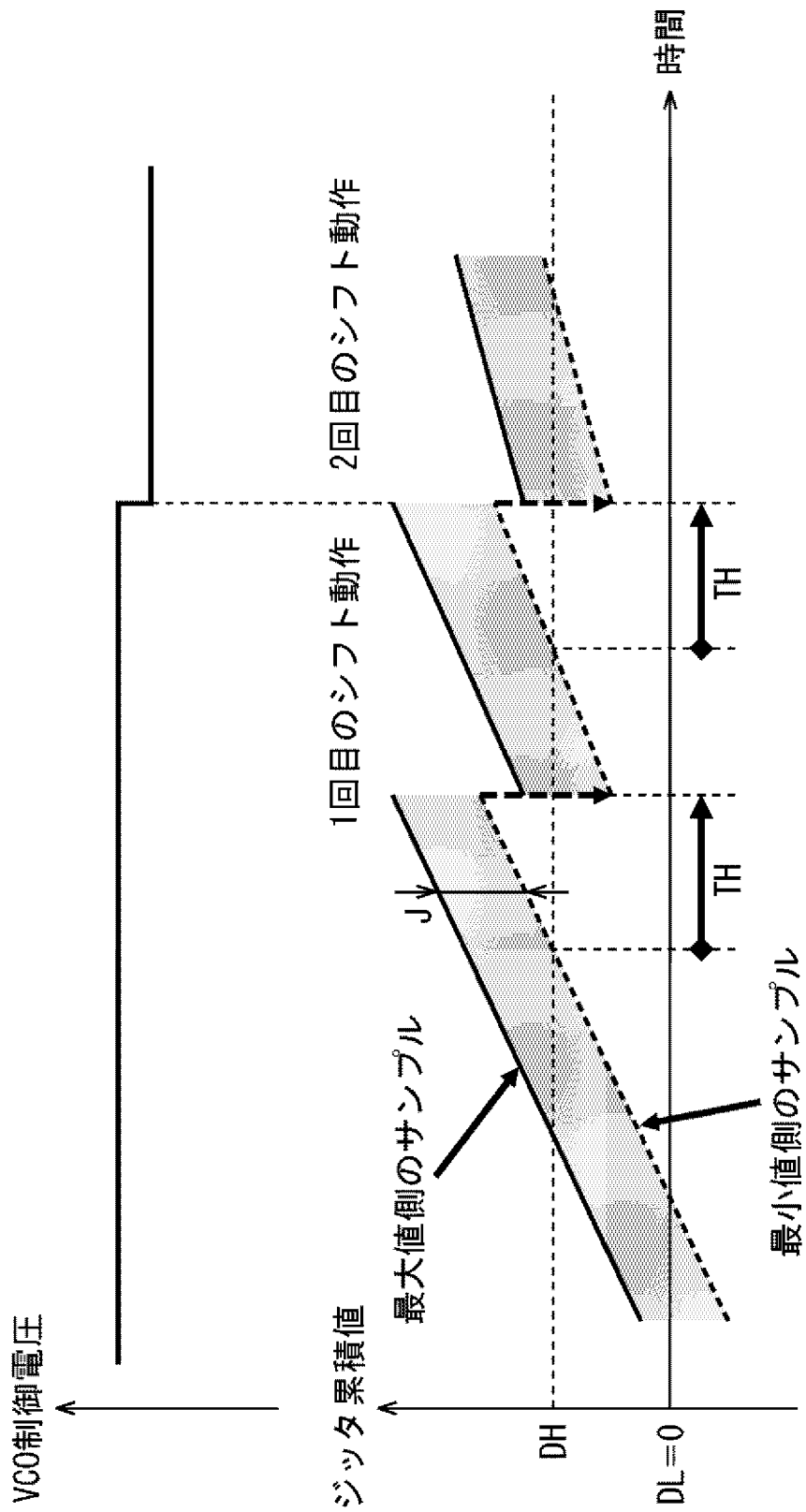


[図12]
図12



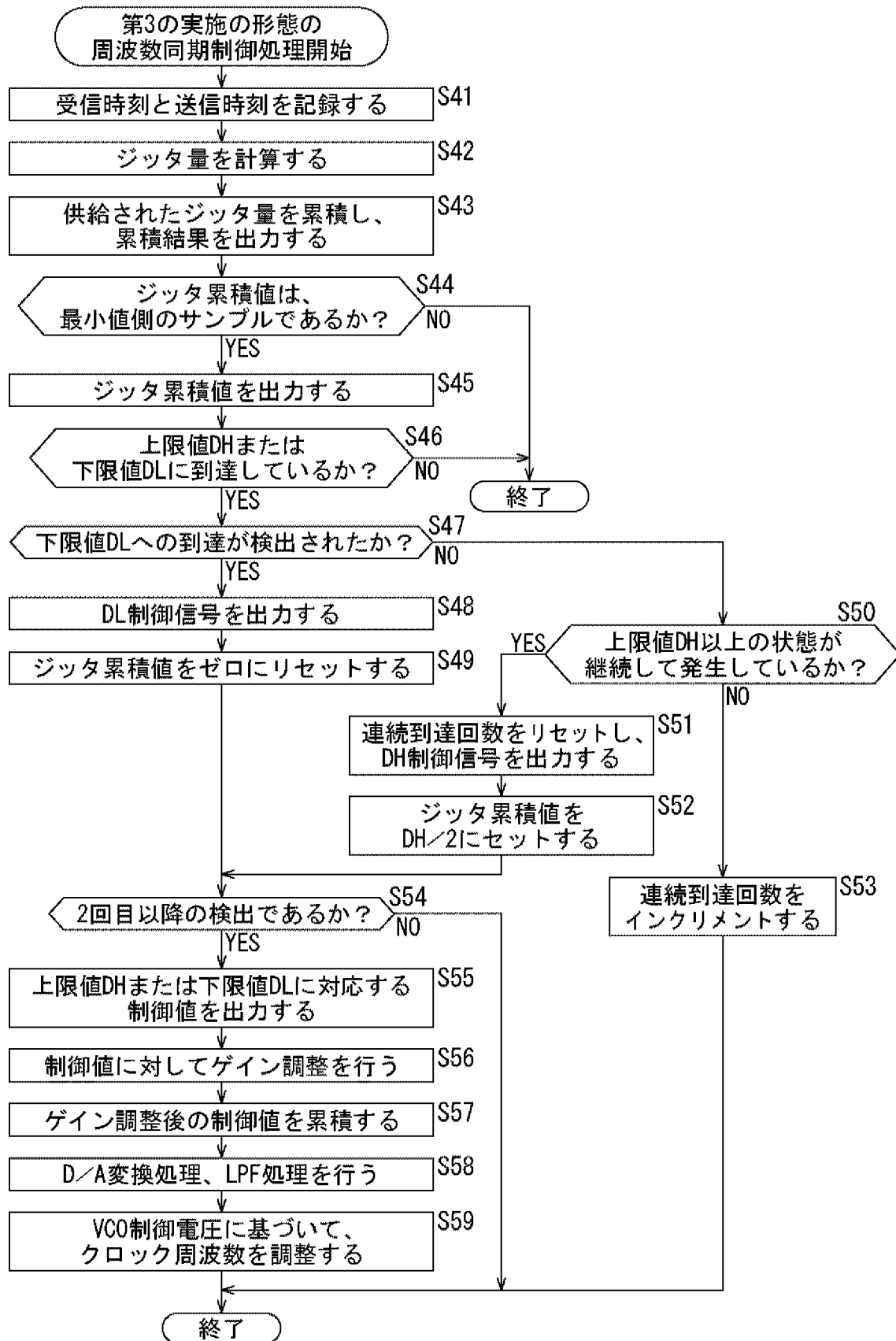
[図13]

図13

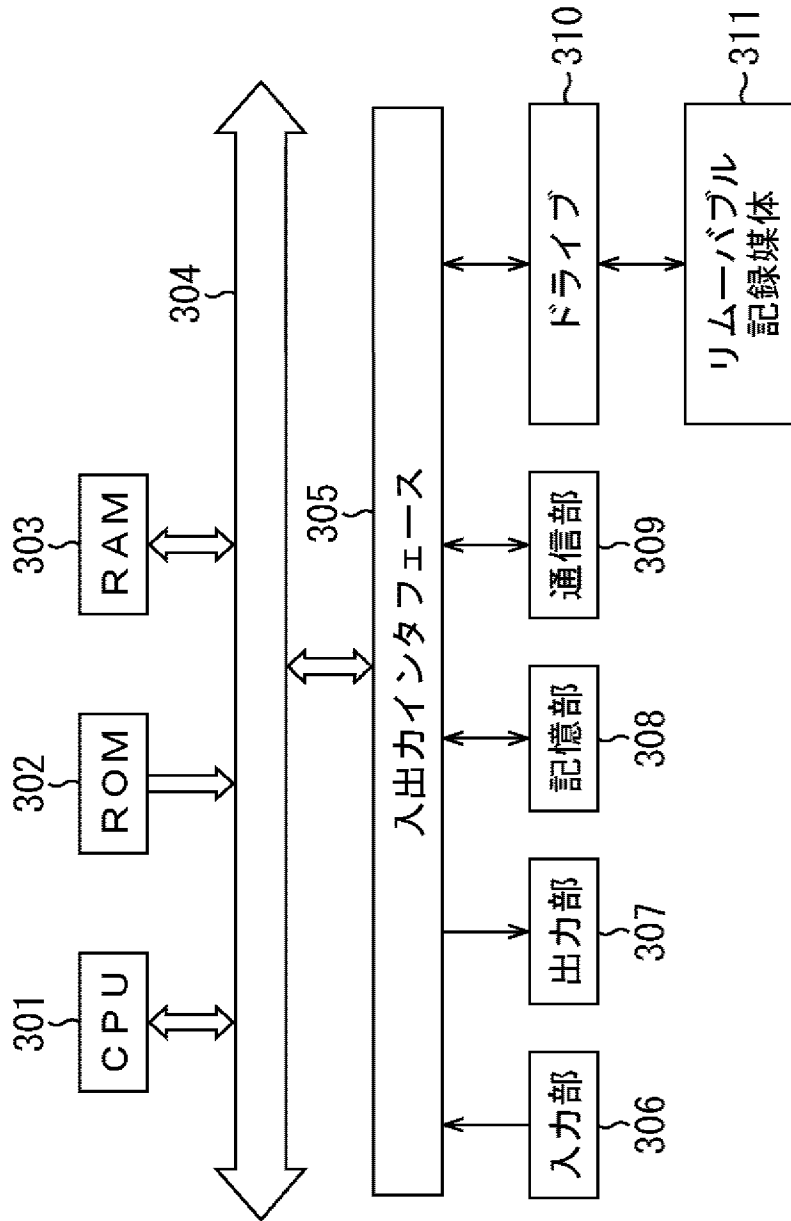


[図14]

図14



[図15]
図15



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/051237

A. CLASSIFICATION OF SUBJECT MATTER

H04L7/033 (2006.01) i, H04L7/00 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04L7/033, H04L7/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2013
Kokai Jitsuyo Shinan Koho	1971-2013	Toroku Jitsuyo Shinan Koho	1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2007-282093 A (Oki Electric Industry Co., Ltd.), 25 October 2007 (25.10.2007), paragraphs [0025], [0026]; fig. 3 (Family: none)	1, 8-10 2-7
A	JP 2010-109586 A (OKI Networks Co., Ltd.), 13 May 2010 (13.05.2010), entire text (Family: none)	1-10
A	JP 2010-232845 A (Sony Corp.), 14 October 2010 (14.10.2010), entire text & US 2010/0250781 A1 & CN 101848075 A	1-10

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
26 February, 2013 (26.02.13)

Date of mailing of the international search report
05 March, 2013 (05.03.13)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))
 Int.Cl. H04L7/033(2006.01)i, H04L7/00(2006.01)i

B. 調査を行った分野
 調査を行った最小限資料 (国際特許分類 (IPC))
 Int.Cl. H04L7/033, H04L7/00

最小限資料以外の資料で調査を行った分野に含まれるもの
 日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2013年
 日本国実用新案登録公報 1996-2013年
 日本国登録実用新案公報 1994-2013年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2007-282093 A (沖電気工業株式会社) 2007. 10. 25, [0025], [0026], 第3図	1, 8-10
A	(ファミリーなし)	2-7
A	JP 2010-109586 A (株式会社OKI ネットワークス) 2010. 05. 13, 全文 (ファミリーなし)	1-10

C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
 「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献
 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日 26. 02. 2013	国際調査報告の発送日 05. 03. 2013
----------------------------	----------------------------

国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 阿部 弘	5 K	9 3 8 2
	電話番号 03-3581-1101 内線 3556		

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2010-232845 A (ソニー株式会社) 2010. 10. 14, 全文 & US 2010/0250781 A1 & CN 101848075 A	1-10