

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6231279号  
(P6231279)

(45) 発行日 平成29年11月15日(2017.11.15)

(24) 登録日 平成29年10月27日(2017.10.27)

(51) Int.Cl. F I  
 HO 1 L 21/60 (2006.01) HO 1 L 21/60 3 O 1 P  
 HO 1 L 21/3205 (2006.01) HO 1 L 21/88 T  
 HO 1 L 21/768 (2006.01)  
 HO 1 L 23/522 (2006.01)

請求項の数 3 (全 9 頁)

(21) 出願番号	特願2013-9217 (P2013-9217)	(73) 特許権者	000004260
(22) 出願日	平成25年1月22日 (2013.1.22)		株式会社デンソー
(65) 公開番号	特開2014-143236 (P2014-143236A)		愛知県刈谷市昭和町1丁目1番地
(43) 公開日	平成26年8月7日 (2014.8.7)	(74) 代理人	110000567
審査請求日	平成27年5月15日 (2015.5.15)		特許業務法人 サトー国際特許事務所
審判番号	不服2016-15146 (P2016-15146/J1)	(72) 発明者	小島 章夫
審判請求日	平成28年10月7日 (2016.10.7)		愛知県刈谷市昭和町1丁目1番地 株式会 社デンソー内
		合議体	
		審判長	飯田 清司
		審判官	鈴木 匡明
		審判官	加藤 浩一

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

半導体基板(2)と、前記半導体基板上に形成された回路素子とを有する半導体装置であって、

それぞれが独立して設けられ、相互に電氣的に接続されたプローブ用パッド領域(6)と複数のボンディング用パッド領域(7)とを有し、

前記複数のボンディング用パッド領域は銅ワイヤによるボンディングの接続が可能な領域であり、

前記プローブ用パッド領域の下部には、前記半導体装置の組立後の電子回路動作に寄与する回路素子(13)が形成されており、前記複数のボンディング用パッド領域の下部には、前記半導体装置の組立後の電子回路動作に寄与する回路素子が形成されておらず、

前記プローブ用パッド領域と前記複数のボンディング用パッド領域は、前記半導体基板上方に設けられた同一でひと続きの配線(5)上に設けられており、前記配線に設けられた絶縁膜(15)に形成された開口窓(17)によって区画されており、

前記同一の配線(5)上に銅ワイヤによるボンディングの接続がされることを特徴とする半導体装置。

【請求項2】

前記プローブ用パッド領域は複数設けられており、かつ、前記半導体基板上方に設けられた同一でひと続きの配線(5)上に設けられていることを特徴とする、請求項1に記載の半導体装置。

## 【請求項3】

複数設けられた前記プローブ用パッド領域は、4端子測定法におけるセンス端子又はフォース端子であることを特徴とする、請求項1又は2に記載の半導体装置。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、ワイヤボンディング用パッド領域を備えた半導体装置に関する。

## 【背景技術】

## 【0002】

IC(Integrated Circuit)等の半導体装置は、外部から信号を入出力するための電極パッドを備えている。この電極パッドは、ワイヤボンディングによる配線接続のための用途に加えて、半導体装置の動作確認等の検査を行う際にテストプローブを接触させるための用途に使用されることがある。

## 【0003】

しかし、上記のように、電極パッドをテストプローブの接触用パッドとワイヤボンディング用パッドとに兼用すると、プローブによる針跡が形成されるためにボンディングの信頼性が低下するという問題があった。そこで、このような形態で使用する電極パッドでは、テストプローブの接触用パッドと、ワイヤボンディング用パッドのそれぞれに分けて形成することが行われていた。

## 【先行技術文献】

## 【特許文献】

## 【0004】

【特許文献1】特開平5-121501号公報

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【0005】

ところで、ボンディングワイヤとしては、コストの高い金系の材料に代えて、銅系の材料を適用したいという要求がある。しかし、銅は金に比較して硬度が高いため、銅ワイヤを用いてワイヤボンディングを行う際には電極パッドに強い荷重をかけて行う必要がある。このため、銅ワイヤをボンディングする際に、ボンディング用パッド下部の回路素子にダメージが与えられる可能性が大きくなるという問題がある。従って、ボンディング用パッドを回路形成領域に配置することができず、またプローブ用パッドと兼用することもできないため、チップ面積が増大するという問題があった。

## 【0006】

本発明は上記事情に鑑みてなされたものであり、その目的は、ICチップの面積増大を回避し、回路素子にダメージが与えられることがない銅ワイヤボンディングに適用可能な半導体装置を提供することにある。

## 【課題を解決するための手段】

## 【0007】

請求項1に記載の発明による半導体装置は、半導体基板と、前記半導体基板上に形成された回路素子とを有する。また、それぞれが独立して設けられ、相互に電気的に接続されたプローブ用パッド領域と複数のボンディング用パッド領域とを有している。複数のボンディング用パッド領域は銅ワイヤによるボンディングの接続が可能な領域である。プローブ用パッド領域の下部には、半導体装置の組立後の電子回路動作に寄与する回路素子が形成されており、複数のボンディング用パッド領域の下部には、半導体装置の組立後の電子回路動作に寄与する回路素子が形成されていない。プローブ用パッド領域と複数のボンディング用パッド領域は、半導体基板上方に設けられた同一でひと続きの配線上に設けられており、配線上に設けられた絶縁膜に形成された開口窓によって区画されており、同一の配線上に銅ワイヤによるボンディングの接続がされる。

10

20

30

40

50

## 【0008】

この構成によれば、プローブ用パッド領域とボンディング用パッド領域が別々に設けられることにより、ボンディング用パッド領域にプローブの針跡が形成されることを回避できる。これにより、銅ボンディングワイヤとボンディング用パッド領域との密着性を向上させることができる。また、プローブ用パッド領域については、プローブ時の針当ての接触圧や接触回数を調整することによりプローブ用パッド領域の下に形成された回路素子へのダメージを回避できる。さらに、ボンディング用パッド領域の下にはIC製品の電子回路に使用される回路素子が形成されないため、銅ワイヤによるボンディング時にボンディング用パッド領域下部にダメージが与えられたとしても、IC製品としての動作に変動をきたすことがなく、IC製品の歩留に与える影響を小さくできる。

10

## 【図面の簡単な説明】

## 【0009】

【図1】半導体装置上に形成された電極パッド領域のレイアウトを模式的に示す平面図

【図2】素子配置領域と素子配置禁止領域のレイアウトを模式的に示す平面図

【図3】電極パッド領域の模式的な平面図及び断面図

【図4】スクライプ領域周辺のレイアウトを模式的に示す平面図

## 【発明を実施するための形態】

## 【0010】

(第1の実施形態)

以下、本発明の実施形態について図1から図4を参照しながら説明する。なお、以下の説明において、例えば回路素子配置禁止領域4と記述する場合は、回路素子配置禁止領域4a、4b、4cを含み、回路素子配置禁止領域4a、4b、4cと記述する場合は、個々の回路素子配置禁止領域を示すものとする。金属配線5、プローブ用パッド領域6、ボンディング用パッド領域7においても同様である。

20

## 【0011】

図1において、ICチップ(半導体装置)1を構成する半導体基板2上に、回路素子配置領域3、回路素子配置禁止領域4がレイアウトされている。回路素子配置領域3はICチップ1の回路を構成する複数の回路素子13(図3(b)参照)が形成される領域である。回路素子13には、各種トランジスタ、抵抗素子、容量素子などが含まれる。また、各種トランジスタには、CMOS(Complementary Metal Oxide Semiconductor)回路や、DMOS(Double-Diffused MOSFET)、LDMOS(Laterally Diffused MOSFET)等のパワー素子も含まれる。プローブ用パッド領域6は回路素子配置領域3上に設けられている。

30

## 【0012】

回路素子配置禁止領域4はICチップ1の回路を構成する回路素子が配置されていない領域である。ボンディング用パッド領域7は回路素子配置禁止領域4上に設けられている。同電位が与えられる一組のプローブ用パッド領域6及びボンディング用パッド領域7は、同一の金属配線5上に形成されている。例えば、4つのプローブ用パッド領域6a1、6a2、6a3、6a4及び一つのボンディング用パッド領域7aを有する電極パッド領域群Aの電極パッド領域は何れも同一の金属配線5a上に形成されている。従って、プローブ用パッド領域6a1、6a2、6a3、6a4とボンディング用パッド領域7aは電氣的に接続されている。

40

## 【0013】

図2を参照すると、半導体基板2上に、回路素子配置領域3及び回路素子配置禁止領域4がレイアウトされている。回路素子配置領域3は、ICチップ1端から所定幅を除いて全面に広がって形成されている。回路素子配置禁止領域4は、回路素子配置領域3のパターンに対して、ボンディング用パッド領域7の形状に対応して矩形の切り欠き形状若しくは矩形の穴を設けるような形状にレイアウトされている。

## 【0014】

図1は、図2に示した回路素子配置領域3及び回路素子配置禁止領域4のレイアウトパ

50

ターンに、プローブ用パッド領域 6、ボンディング用パッド領域 7 及び金属配線 5 等のレイアウトパターンを重ね合わせたものである。

【 0 0 1 5 】

図 3 ( a ) はプローブ用パッド領域 6 とボンディング用パッド領域 7 とをそれぞれ 1 個ずつ模式的に並べて配置した基本構成に相当する平面図である。図 3 ( b ) は、図 3 ( a ) の A A 線における断面図である。図 3 ( b ) においては、ボンディングワイヤ 1 0 及びプローブ針 1 1 を配置したときの状態をイメージ的に示している。

【 0 0 1 6 】

図 3 ( a ) において、半導体基板 2 上に回路素子配置領域 3 及び回路素子配置禁止領域 4 が配置されている。回路素子配置禁止領域 4 は、回路素子配置領域 3 に対して矩形状の穴を設けるようにレイアウトされている。プローブ用パッド領域 6 は回路素子配置領域 3 上に配置されている。ボンディング用パッド領域 7 は回路素子配置禁止領域 4 上に配置されている。

【 0 0 1 7 】

図 3 ( b ) において、半導体基板 2 は、回路素子配置領域 3 と回路素子配置禁止領域 4 に区画されている。半導体基板 2 上であって回路素子配置領域 3 には、回路素子 1 3 が形成されている。回路素子 1 3 は層間絶縁膜 1 2 によって覆われており、層間絶縁膜 1 2 上には保護膜 1 4 が設けられている。保護膜 1 4 上には例えばアルミニウムによって形成された金属配線 5 が形成されている。ここで、回路素子 1 3 とは、I C チップ 1 の回路を構成するもので、組立後の電子回路動作に寄与する回路素子に相当する。回路素子 1 3 がダメージを受けると I C チップ 1 の動作に影響を及ぼすことになる。

【 0 0 1 8 】

一方、回路素子配置禁止領域 4 は、回路素子 1 3 を形成しない領域として設定されているが、I C チップ 1 の動作に寄与しないテスト素子 1 6 であれば配置可能である。テスト素子 1 6 とは、例えば I C チップ 1 の製造の途中工程における加工の出来栄チェックのために設置される素子である。例として M O S F E T のゲート電極の線幅測定用パターン等が挙げられる。このようなテスト素子 1 6 であれば、ボンディング時にダメージを受けても、I C チップ 1 の電気的な回路動作に影響を及ぼさない。

【 0 0 1 9 】

金属配線 5 上であって、回路素子配置領域 3 の上方にはプローブ用パッド領域 6 が設けられている。回路素子配置禁止領域 4 の上方にはボンディング用パッド領域 7 が設けられている。プローブ用パッド領域 6 及びボンディング用パッド領域 7 は、金属配線 5 上を覆うように形成された絶縁膜 1 5 に開口窓 1 7 を設け、金属配線 5 の表面の一部を露出せしめるように区画された領域によって構成されている。プローブ用パッド領域 6 にはプローブ針 1 1 を接触させて電気的に導通させる。また、ボンディング用パッド領域 7 にボンディングワイヤ 1 0 が接続される。ボンディングワイヤ 1 0 は銅により形成されている。

【 0 0 2 0 】

また、プロービング時には、プロービングにおける針当ての接触圧や接触回数を最適となるように調整する。また、さらに金属配線 5 の膜厚は、プロービング時の荷重で下層に悪影響を与えないように、通常よりも厚くしている。これによりプローブ用パッド領域 6 の下に形成された回路素子 1 3 への悪影響を及ぼすことがないようにできる。

【 0 0 2 1 】

次に、図 1 において示した様々な電極パッド領域の配置について説明する。電極パッド領域群 A は、上述のように、複数のプローブ用パッド領域 6 a 1、6 a 2、6 a 3、6 a 4 と、一つのボンディング用パッド領域 7 a を有している。これら複数のプローブ用パッド領域 6 a 1、6 a 2、6 a 3、6 a 4 と、一つのボンディング用パッド領域 7 a は同一の金属配線 5 a 上に設けられた絶縁膜 1 5 にそれぞれの電極パッド領域に対応して開口窓 1 7 を形成することによって金属配線 5 a の表面を露出せしめて区画した領域である。これらは I C チップ 1 端から中ほどに向かって、ボンディング用パッド領域 7 a、プローブ用パッド領域 6 a 1、6 a 2、6 a 3、6 a 4 の順に隣接して並んでいる。

10

20

30

40

50

## 【 0 0 2 2 】

プローブ用パッド領域 6 a 1、6 a 2、6 a 3、6 a 4 は回路素子配置領域 3 上に配置されている。ボンディング用パッド領域 7 a は回路素子配置禁止領域 4 上に配置されている。複数のプローブ用パッド領域 6 a 1、6 a 2、6 a 3、6 a 4 は例えば四端子測定法におけるセンス電極、フォース電極として使用することができる。あるいは、予備のプローブ用パッド領域 6 として使用することができる。プローブ用パッド領域 6 にプロービングを行うと、プローブ用パッド領域 6 表面にプローブ針 1 1 の針跡が形成される。ここに再度プロービングを行うと、プローブ針 1 1 とプローブ用パッド領域 6 表面との間の接触抵抗が変化する可能性がある。また、プローブ針 1 1 がプローブ用パッド領域 6 に繰り返して接触することで、回路素子 1 3 にも繰り返し荷重がかかる。複数のプローブ用パッド領域 6 を設けると、再度プロービングする場合に、一度プロービングしたプローブ用パッド領域 6 を使用せず、未だプロービングされておらず針跡が形成されていない予備のプローブ用パッド領域 6 を使用することができる。これにより、プローブ用パッド領域 6 の下部に位置する回路素子 1 3 への繰り返し荷重を防止しつつ、電気的測定の精度を向上させることができる。

10

## 【 0 0 2 3 】

電極パッド領域群 B は、複数のプローブ用パッド領域 6 b 1、6 b 2 と、複数のボンディング用パッド領域 7 b 1、7 b 2 を有している。IC チップ 1 端に沿ってボンディング用パッド領域 7 b 1、7 b 2 が配置され、これに隣接してプローブ用パッド領域 6 b 1、6 b 2 が配置されている。プローブ用パッド領域 6 b 1、6 b 2 は回路素子配置領域 3 上に配置されている。ボンディング用パッド領域 7 b 1、7 b 2 は回路素子配置禁止領域 4 上に配置されている。プローブ用パッド領域 6 b 1、6 b 2 及びボンディング用パッド領域 7 b 1、7 b 2 は同一の金属配線 5 b 上に設けられている。

20

## 【 0 0 2 4 】

複数のプローブ用パッド領域 6 b 1、6 b 2 を有する理由は上述の場合と同じである。複数のボンディング用パッド領域 7 b 1、7 b 2 は、ボンディング用パッド領域 7 b 1、7 b 2 が接続される素子に対して、複数のボンディングワイヤを形成したい場合に利用することができる。例えば、当該ボンディング用パッド領域 7 b 1、7 b 2 に接続される回路素子 1 3 が、大電流を必要とするパワー素子である場合は、必要な電流を供給するために 1 本のワイヤボンディングでは不足である場合がある。このような場合に複数本のワイヤボンディングを形成できる。あるいは、ボンディング用パッド領域 7 b 1、7 b 2 を、例えばそれぞれ異なる外部端子に接続し、外部端子毎に制御を行い、IC チップ 1 に異なるファンクションをさせたい場合などに利用することができる。

30

## 【 0 0 2 5 】

次に、電極パッド領域群 C は、回路素子配置禁止領域 4 が、回路素子配置領域 3 に囲まれるように配置されたレイアウトの場合を示している。電極パッド領域群 C の回路素子配置領域 3 c 上には、プローブ用パッド領域 6 c が設けられている。回路素子配置禁止領域 4 c 上にはボンディング用パッド領域 7 c 1、7 c 2 が設けられている。プローブ用パッド領域 6 c 及びボンディング用パッド領域 7 c 1、7 c 2 は同一の金属配線 5 b 上に設けられている。複数のボンディング用パッド領域 7 c 1、7 c 2 を有するのは上述の場合と同じである。プローブ用パッド領域 6 c が一つであるのは、例えば四端子測定法におけるセンス電極、フォース電極を必要としない場合である。

40

## 【 0 0 2 6 】

上記のように、プローブ用パッド領域 6 と、ボンディング用パッド領域 7 を複数設けるレイアウトの例として、電極パッド領域群 A、B、C について説明したが、これらは一例であって、電極パッド領域を設ける数や配置する位置は、目的や状況に応じて適宜選択することができる。

## 【 0 0 2 7 】

この構成によれば、プローブ用パッド領域 6 を回路素子配置領域 3 上に配置するため、この領域分だけ IC チップ 1 の面積増大を回避することができる。また、ボンディング用

50

パッド領域 7 は回路素子配置禁止領域 4 上に配置され、この下部にテスト素子 16 を配置することが可能なため、この領域分だけ IC チップ 1 の面積増大を回避することができる。従って、ウェハあたりの有効チップ数を増加させることができる。

【0028】

また、プローブ用パッド領域 6 とボンディング用パッド領域 7 が別々に設けられることにより、ボンディング用パッド領域 7 にプローブ針 11 の針跡が形成されることを回避できる。これによりボンディングワイヤ 10 とボンディング用パッド領域 7 との密着性を向上させることができる。また、プローブ用パッド領域 6 については、プロービングにおける針当ての接触圧や接触回数を調整することによりプローブ用パッド領域 6 の下に形成された回路素子 13 へのダメージを回避できる。さらに、ボンディング用パッド領域 7 の下には IC チップ 1 の電子回路に使用される回路素子 13 が形成されないため、ボンディングワイヤ 10 のボンディング時にボンディング用パッド領域 7 の下部にダメージが与えられたとしても、IC 製品としての動作に変動をきたすことがなく、IC 製品の歩留に与える影響を小さくできる。

10

【0029】

また、一つの電極パッド領域群 A、B、C についてプローブ用パッド領域 6 が複数設けられているため、複数回測定を行う場合に、一度プロービングされてプローブ針 11 の針跡が形成されたプローブ用パッド領域 6 を再度使用することなくプロービングすることが可能となる。これにより、プローブ用パッド領域 6 の下部に位置する回路素子 13 への繰り返し荷重を防止しつつ、電氣的測定の精度を向上させることができる。

20

【0030】

また、一つの電極パッド領域群 A、B、C についてボンディング用パッド領域 7 が複数個設けられているため、複数のボンディングワイヤ 10 が必要な場合や、それぞれ異なる外部端子に接続したい場合に利用することができる。

【0031】

(第 2 の実施形態)

次に図 4 を参照して、第 2 の実施形態について説明する。第 1 の実施形態と異なる点は、ウェハ状態の IC チップ 1 間のスクライプ領域 18 の近傍に設けられたボンディング用パッド領域 7 の構成である。図 4 に示すように、スクライプ領域 18 は、ウェハ状態の半導体基板 2 上で隣接する IC チップ 1 の回路素子配置領域 3 間にレイアウトされる。テスト素子領域 19 はスクライプ領域 18 を含むようにレイアウトされる。テスト素子領域 19 にはテスト素子 16 が配置される。ボンディング用パッド領域 7 は、その一部、若しくは、可能であれば全部がテスト素子領域 19 上に配置される。図 4 では、一例としてボンディング用パッド領域 7 の一部がテスト素子領域 19 上に配置されている状況を示している。スクライプ領域 18 とボンディング用パッド領域 7 との間の距離は、ダイシング時のダイシングブレード(図示せず)の位置合わせ精度を考慮して設定している。

30

【0032】

この構成により、ボンディング用パッド領域 7 をスクライプ領域 18 周辺に設けられたテスト素子領域 19 上に配置することができるため、ボンディング用パッド領域 7 のうちテスト素子領域 19 上に配置された面積分だけ回路素子配置領域 3 の面積を増加させることができる。これによりチップ面積を縮小することができ、またウェハあたりの有効チップ数を増加させることができる。

40

【0033】

(その他の実施形態)

以上、本発明の好適な実施形態について説明したが、本発明は上述した実施形態に限定されるものではなく、発明の要旨を逸脱しない範囲内で種々の変形、拡張を行うことができる。

【0034】

半導体基板は、シリコン基板、化合物半導体基板、SiC 基板、あるいは、SOI (Silicon on Insulator) 基板等、様々な半導体基板を用いることができる。

50

半導体装置としては、マイコン、メモリ、車載用LSI、その他の半導体装置に適用することができる。

【0035】

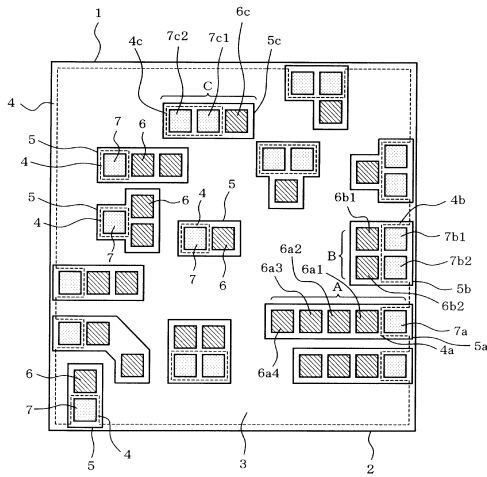
テスト素子として、ICチップの製造の途中工程における加工の出来栄チェックのために設置される素子を例示して説明したが、これに限定される必要はなく、例えば、単体のMOSトランジスタ、リングオシレータ等、ダイシングを行う前の半導体ウェハ状態での電気的な特性チェックのために設けられたテスト素子であっても良い。

【符号の説明】

【0036】

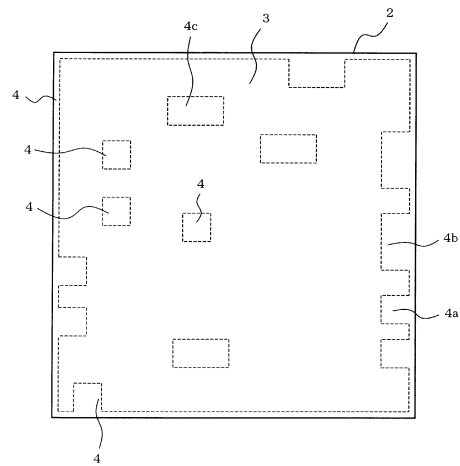
図面中、2は半導体基板、5、5a、5b、5cは金属配線、6、6a1、6a2、6a3、6a4、6b1、6b2、6cはプローブ用パッド領域、7、7a、7b1、7b2、7c1、7c2はボンディング用パッド領域、13は回路素子、15は絶縁膜、17は開口窓である。

【図1】

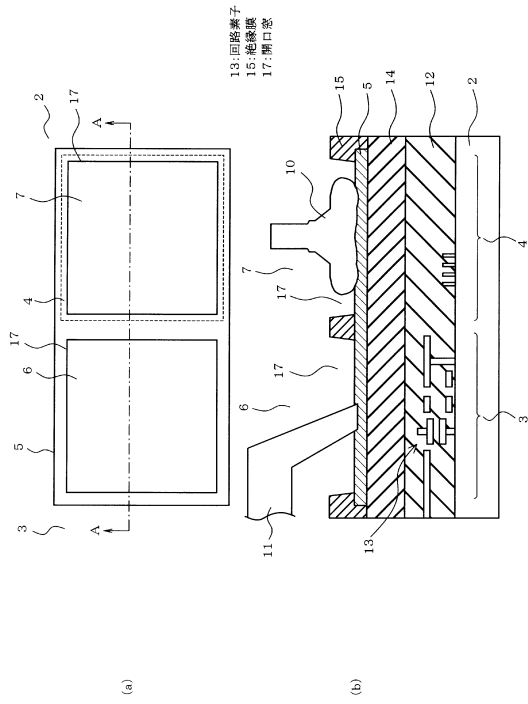


2:半導体基板  
 5, 5a, 5b, 5c:配線  
 6, 6a1~6a4, 6b1, 6b2, 6c:プローブ用パッド領域  
 7, 7a, 7b1, 7b2, 7c1, 7c2:ボンディング用パッド領域

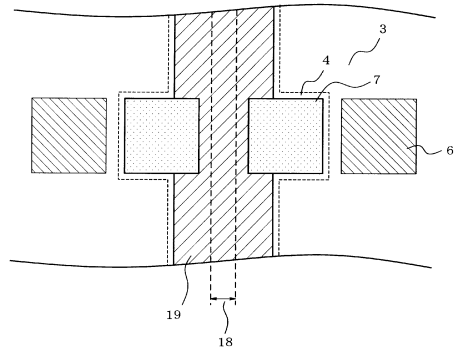
【図2】



【 図 3 】



【 図 4 】



---

フロントページの続き

- (56)参考文献 特開2006-351588(JP,A)  
国際公開第2004/093191(WO,A1)  
特開2005-159195(JP,A)  
特開2005-252230(JP,A)  
特開2011-034999(JP,A)  
特開2005-064218(JP,A)  
特開平07-037929(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/60-/607

H01L 23/52