

(19) 대한민국특허청(KR)  
(12) 특허공보(B1)

(51) Int. Cl.<sup>6</sup>  
H01L 29/78

(45) 공고일자 1997년04월04일

(11) 공고번호 특1997-0004844

(24) 등록일자 1997년04월04일

(21) 출원번호	특1993-0002385	(65) 공개번호	특1993-0018754
(22) 출원일자	1993년02월20일	(43) 공개일자	1993년09월22일
(30) 우선권 주장	92-75921 1992년02월28일 일본(JP)		

(73) 특허권자 가시오 게이상기 가부시끼가이샤 가시오 가즈오  
일본국 도쿄도 신주구구 니시신주구 2초메 6반 1고  
(72) 발명자 야마구찌 미찌야  
일본국 도쿄도 아끼시마시 마쯔바라초 2-3-24-404  
(74) 대리인 손은진

**심사관 : 홍성표 (책자공보 제4929호)**

**(54) 반도체 장치**

**요약**

내용 없음.

**대표도**

**도1**

**명세서**

[발명의 명칭]

반도체 장치

[도면의 간단한 설명]

제1도~제6도는 본 발명의 반도체 장치의 일예로서의, 전계효과형 박막트랜지스터를 제조할 경우의 각 공정에 있어서의 확대단면도.

제7도는 입자크기의 정의를 설명하기 위한 도면.

제8도는 XD에 의한 결정구조해석을 설명하기 위한 도면.

제9a도는 제6도에 도시한 박막트랜지스터의 입자크기 전계효과 이동도 특성을 표시하는 도면.

제9b도는 제6도에 도시한 박막트랜지스터의 결정크기 전계효과 이동도 특성을 표시하는 도면.

제10도는 제6도에 도시한 박막트랜지스터의 입자크기 결정크기 특성을 표시하는 도면.

\* 도면의 주요 부분에 대한 부호의 설명

1 : 절연기판 3 : 다결정 실리콘박막

3b : 소스, 드레인영역 7 : 게이트절연막

8 : 게이트전극 10 : 소스, 드레인전극

[발명의 상세한 설명]

본 발명은 캐리어를 전도하기 위한 다결정 실리콘막을 주요부에 갖는, 예를들면 박막트랜지스터등의 반도체 장치에 관한 것이다.

절연기판상에 박막트랜지스터를 형성하는 기술은 예를들면 액티브 매트릭스 LCD에서 공지되었다. 박막트랜지스터 기술은 유리기판과 같은 투명 절연기판상 또는 단결정 반도체 기판에서는 얻을 수 없는 대형의 절연기판상에 반도체 집적회로를 형성하는 것을 가능하게 한다. 현 시점에서는 박막트랜지스터로서는 아모퍼스 실리콘을 활성층으로 하는 것과 다결정 실리콘을 활성층으로 하는 것이 주류이다. 아모퍼스 실리콘은 저온에서 형성하는 것이 가능하기 때문에 융점이 낮은 유리기판상에 형성할 필요가 있는 액티브 매트릭스 LCD에 적용되고 있다.

그러나, 아모퍼스 실리콘은 전기이동도가 낮기 때문에 액정에 전계를 인가하는 화소용량 전극의 스위치용으로서만 사용되고 있다. 드라이버회로나 ROM, RAM 또는 CPU 등의 고속동작이 필요하게 되는 회로소자로서는 다결정 실리콘을 활성층으로 할 필요성이 있다. 예를들면 고휘질 대화면 액정 TV 나 고정밀 OA 용 액정표시패널의 드라이버 회로는 10MHz정도의 클럭주파수로 구동된다. 이러한 구동회로를 반도체 장치에서 구성하는 경우 전계효과 이동도  $\mu_{FE}$ 로서  $50\text{cm}^2/\text{V} \cdot \text{sec}$  이상, 바람직하게는  $80\text{cm}^2/\text{V} \cdot \text{sec}$ 정도 이상이 요

구된다. 그러나, 현재 공표되어 있는 다결정 실리콘 박막트랜지스터의 전계효과 이동도  $\mu_{FE}$ 는,  $30\text{cm}^2/\text{V} \cdot \text{sec}$  정도가 최대이다.

그러므로, 본 발명은 캐리어의 이동도의 대폭적 향상을 가능하게 한 반도체 장치를 제공함을 목적으로 하는 것이다.

종래 다결정 실리콘 박막트랜지스터의 전계효과 이동도  $\mu_{FE}$ 를 규정하는 것은 활성층인 다결정 실리콘박막을 구성하는 실리콘 결정의 입자크기이다 라고 되었다. 게이트 절연막과의 계면상태에 기준한 캐리어의 트랩등 다른 요인도 있지만 결정구조에 관한 한 입자크기를 크게하고 균일하게 하는 것이 중요하다고 되어 이 조건을 충족시키므로써 이동도의 향상을 도모하는 것이 검토되고 있었다. 그러나, 본 발명자의 연구에 의하면 실리콘의 입자크기의 대경화에 의하여서만 이동도의 향상을 도모하는 것은 어렵다는 것을 판명하였다. 본 발명자의 검토로서는 입자크기를 여하하게 크게 하여도 이동도는 소정의 값보다도 커지지는 않았다. 반대로, 입자크기가 작더라도 이동도는 충분히 크게하는 것이 가능하였다.

본 발명자의 연구에서는 활성층을 다결정 실리콘박막으로 하는 박막트랜지스터의 전계효과 이동도  $\mu_{FE}$ 는, 입자크기와 함께 결정크기도 크게 하지 않으면 그 향상을 도모할 수 없음이 판명되었다. 이 경우, 입자크기와 결정크기는 거의 같은 크기로 되도록 하는 것이 바람직하다. 또, 입자크기 및 결정크기가 다결정 실리콘박막의 막두께 보다도 크게 하는 것도 이동도의 향상에 효과가 있었다. 이것은 대략 완전한 단결정 영역이라고 보여지는 결정크기가 입자내의 주요한 영역을 점유하는 것에 의한 단결정화 효과와, 입자내에 존재하는 결정결함의 감소라는 이유에 의한 것으로 볼 수가 있다.

이하, 본 발명의 구체적인 실시예를 설명한다.

제1도 내지 제6도는 각각 본 발명의 1실시예에 의한 박막트랜지스터의 각 제조공정을 도시한 것이다. 그리하여 이 도면들은 차례로 참조하면서 반도체 장치의 구조에 대하여 그 제조방법도 함께 설명한다.

제1도에 도시한 바와 같이 석영 기판등으로 된 절연기판(1)의 상면에 기판온도  $550^\circ\text{C}$  정도에서 LPCVD에 의하여 아모퍼스 실리콘박막(2)을 퇴적한다. 다음에 제2도에 도시한 바와 같이 XeCl 엑시머레이저를 조사하고, 아모퍼스 실리콘박막(2)을 액상 성장에 의하여 다결정화시켜서 다결정 실리콘박막(3)으로 한다. 이 상태에서의 다결정 실리콘박막(3)의 결정구조에 대하여서는 후에 설명한다. 다음에 제3도에 도시한 바와 같이 다결정 실리콘박막(3)의 소스·드레인 형성영역(4) 이외의 영역에 대응하는 부분의 상면에 포토레지스트막(5)을 패턴 형성한다. 다음에 이 포토레지스트막(5)을 마스크로 하여 다결정 실리콘박막(3)의 소스·드레인 형성영역(4)에 인 이온이나 붕소이온 등의 불순물을 고농도로 주입하여 불순물 주입영역(6)을 형성한다. 이후 포토레지스트막(5)을 제거한다. 다음에 제4도에 도시한 바와 같이 XeCl 엑시머, 레이저를 재차 조사하고, 불순물 주입영역(6)을 활성화 시킨다. 다음에 제5도에 도시한 바와 같이, 소자분리에 의하여 불필요한 부분의 다결정 실리콘박막(3)을 제거한다. 이 상태에서는 다결정 실리콘박막(3)의 중앙부는 채널영역(3a)이 되고, 그 양측은 활성화 불순물 영역으로 된 소스·드레인 영역(3b)이 된다. 다음에 제6도에 도시한 바와 같이 전 표면에 산화실리콘막등으로 된 게이트절연막(7)을 형성한다. 다음에 채널영역(3a)에 대응한 부분의 게이트절연막(7)의 상면에 크롬등으로 된 게이트전극(8)을 패턴 형성한다. 다음에 전 표면에 질화실리콘등으로 된 층간절연막(9)을 형성한다. 다음에 소스·드레인영역(3b)에 대응하는 부분의 층간절연막(9) 및 게이트절연막(7)에 접촉구멍(10)을 형성한다. 다음에 접촉구멍(10)을 통하여 소스·드레인영역(3b)과 접속되는 알루미늄등으로 된 소스·드레인전극(11)을 층간절연막(9)의 상면에 패턴 형성한다. 이렇게 하여 동일평면형의 전계효과형 박막트랜지스터가 제조된다.

다음에 제2도에 도시한 상태에 있어서의 다결정 실리콘박막(3)의 결정구조에 대하여 다음에 표 1을 참조하면서 설명한다.

[표 1]

시료 : LPCVD 실리콘박막두께 500 Å					
구 분	다결정화 방식	이동도( $\mu\text{m}^2/\text{V} \cdot \text{sec}$ )	입자크기(C)	(hkl) 결정크기	
본 실시예품	레이저 어닐 XeCl 엑시머 레이저 250°C, 300mJ/cm <sup>2</sup> [액상성장]	90cm <sup>2</sup> /V·sec	246nm	(111) 202nm (220) 144nm (311) 103nm	
종래품	열처리 600°C, 48시간[고상 성장]	30cm <sup>2</sup> /V·sec	1.2μm	(111) 37nm (220) 23nm (311) 36nm	

표 1에 표시한 바와 같이 본 실시예품으로서, 석영기판의 상면에 LPCVD에 의하여 아모퍼스 실리콘박막을 막두께 500 Å 정도로 퇴적하고, 기판온도  $250^\circ\text{C}$  정도로 XeCl 엑시머 레이저를 에너지밀도 300mJ/cm<sup>2</sup> 정도로 2회 조사하고 아모퍼스 실리콘박막을 액상 성장에 의하여 다결정화시켜 다결정 실리콘박막으로 한 것을 준비하였다. 또, 본 실시예품과 비교하기 위하여 종래품으로서 석영기판의 상면에 LPCVD에 의하여 아모퍼스 실리콘박막을 막두께 500 Å 정도로 퇴적하고, 질소분위기중에 있어서  $600^\circ\text{C}$  정도의 온도하에서 48시간 열처리를 하고, 아모퍼스 실리콘박막을 고상(固相) 성장에 의하여 다결정화시켜서 다결정 실리콘박막으로 한 것을 준비한다.

그리고, TEM(투과전자현미경법) 및 XD(X선 해석법)에 의한 결정구조해석을 하였다. 우선, TEM로서 JEOL제의 JEM-2010(가속전압 200kV, 배율 50만배~150만배)을 사용하여 입자크기를 관찰한바, 본 실시예품에서는 246nm인데 대하여 종래품에서는 1.2μm와 약 5배 정도 크다. 여기에서 입자크기라 함은 다결정실리콘박막을 위에서 보았을때의 크기로서, 예를들면 제7도에 도시한 바와 같이 입자의 장축방향의 길이 a와 단축

방향의 길이  $b$ 의 평균치  $c=(a+b)/2$ 의 전평균치를 말한다. 표 1에 기재된 입자크기  $C$ 는 30개소의 측정치의 평균치이다.

한편, XD에 의한 결정크기의 측정은 제8도에 도시한 바와 같이  $\theta-1$ 의 저각도입사법에 의한 회절(回折)강도검출에 의하여 하였다. 사용한 장치는 이학전기제인 RU-200형(선원  $\text{CuK}\alpha$ , 최대출력 12kW)이다. 이 경우 입사 X선 강도 50kV, 180mA에서 각 피크면 즉 (111)면, (220)면 및 (311)면을 중심으로  $\pm 1.5^\circ$ 의 범위내에 있어서  $0.01^\circ$ 의 스텝에서 2초간씩의 스텝스캔에 의하여 3회(합계 30분)씩의 측정을 하였다. 결정크기는 피크의 반가폭(半價幅)에서 다음의 식을 사용하여 구했다.

$$D_{hk1} = \lambda / (B \cdot \cos \theta B)$$

단,  $D_{hk1}$ 은 (hk1)면에 수직인 방향의 결정크기,  $\lambda$ 은 X선 파장,  $B$ 는 반가폭,  $\theta B$ 는 브래그각이다. 이 결과, 3회씩의 측정에 의한 결정크기의 평균치는 표 1에 표시한 바와 같이 종래품의 경우 (111)면에서 37nm, (220)면에서 23nm, (311)면에서 35nm인 것인데 대하여, 본 실시예품의 경우 (111)면에서 202nm, (220)면에서 144nm, (311)면에서 103nm로 상당히 큰 것이다.

그리고, 본 실시예품 및 종래품에 의하여 제6도에 도시한 동일평면형의 전계효과형 박막트랜지스터를 작성하고 전계효과 이동도  $\mu_{FE}$ 를 측정한 바, 표에 표시한 바와 같이 종래품형 박막트랜지스터에서는  $30\text{cm}^2/\text{V} \cdot \text{sec}$ 정도인데 대하여, 본 실시예품형 박막트랜지스터에서는  $90\text{cm}^2/\text{V} \cdot \text{sec}$ 정도로 약 3배라는 것이 확인되었다. 이것은 전계효과 이동도  $\mu_{FE}$ 가 입자 크기보다도 결정 크기에 강한 상관을 갖는 것을 표시하는 것이다. 그 이유는 입자 크기가 크지만 결정 크기가 작으면 입자내에 많은 결정결함이 존재함에 대하여 입자 크기가 작아도 결정 크기가 크고, 양자가 대략 같은 크기가 되면 입자내에 존재하는 결정결함이 적어지므로, 완전한 단결정영역의 크기라고 보여진다. 결정크기가 입자내의 주요한 영역을 점하는 것에 의하는 것으로 생각된다.

이것을 확인하기 위하여 본 실시예품으로서 다수의 시료에 대하여 동일한 측정을 하였던 바, 제9(a)(b)도 및 제10도에 도시한 바와 같은 결과가 얻어졌다. 이 경우 표 1에 표시한 시료는 LPCVD에 의하여  $500\text{\AA}$ 의 두께로 퇴적한 아모퍼스 실리콘을 사용한 것이지만 제9(a)(b)도 및 제10도에 도시한 것 중에는 플라즈마 CVD를 사용하거나 두께를 변경한 ( $500\sim 3000\text{\AA}$ )시료가 혼재하고 있다. 제9(a)도는 입자 크기  $C$ 와 전계효과 이동도  $\mu_{FE}$ 와의 관계를 표시한 것이고, 제9(b)도는 (111)면에 있어서 결정 크기와 전계효과 이동도( $\mu_{FE}$ )와의 관계를 표시한 것이다. 제10도는 입자 크기와 (111)면에 있어서의 결정 크기와의 관계를 표시한 것이다. 저각도입사법으로 측정한 결정크기는 보정을 할 필요가 있지만, 각 도면에 있어서의 결정 크기는 세라식으로 산출한 수치이고 보정전의 수치이다. 제9(a)도에 의하면 입자크기  $C$ 와 전계효과 이동도  $\mu_{FE}$ 와의 사이에는 상관 관계가 성립하는 것이 인정된다. 또 제9(b)도에 의하면 (111)면에 있어서의 결정크기와 전계효과 이동도  $\mu_{FE}$ 와의 사이에는 상관관계가 성립하는 것이 인정된다. 이들의 상관관계가 성립하는 조건은 제10도에 의하여 이해된다. 제10도에 있어서  $45^\circ$ 로 경사하여 도시된 파선은 결정크기와 입자크기가 1대 1이라는 특성을 표시한 것이지만 이 도면에 있어서 양자는 대단히 근사한 값이라는 것이 인정된다.

특히 입자크기가 100nm 이하인 경우에는 결정크기는 실질적으로 동일크기이다. 입자크기가 100nm 이상이면, 결정크기는 1대 1보다 약간 작아지고, 입자크기가 300nm 정도에서는 결정크기는 입자크기의 60~70%의 크기로 되어있다. 제조방법의 개선에 의하여 입자크기가 200~300nm, 또는 그 이상의 경우에도, 결정크기가 입자크기와 동일하게 할수 있으면 전계효과 이동도  $\mu_{FE}$ 는 더욱 향상할 것이다.

제9(a)도 및 제9(b)도에서 전계효과 이동도  $\mu_{FE}$ 를  $80\text{cm}^2/\text{V} \cdot \text{sec}$ 정도로 하려면 입자크기  $C$ 를 200nm정도 이상으로 하고, (111)면에 있어서의 결정크기를 180nm(측정치)정도 이상으로 하면 된다는 것이 명백하다. 이러한 조건을 만족시키므로써 전계효과 이동도  $\mu_{FE}$ 가  $80\text{cm}^2/\text{V} \cdot \text{sec}$ 정도의 전계효과형 박막트랜지스터를 얻을 수 있고 따라서 10MHz 정도의 클럭 주파수로 동작하는 구동회로를 반도체 장치로 작성할 수 있다. 그런데, 종래부터 전계효과 이동도  $\mu_{FE}$ 는 입자크기  $C$ 의 크기에 비례하여 커진다고 되어 있지만 표 1을 참조하면 결정크기를 고려하지 않는 이 종래의 사고방식은 정당한 것이 되지 못함이 명확하게 되었다.

더욱이 표 1에 의하면, 본 실시예품의 경우 (111)면, (220)면 및 (311)면의 각 결정크기가 202nm, 144nm 및 103nm 이어서 모든 다결정 실리콘박막의 막두께  $500\text{\AA}$ 보다도 크게 되어 있다. 이에 대하여 종래품에서는 결정크기는 최대피크면인 (111)면에서도 37nm와 다결정 실리콘박막의 막두께  $500\text{\AA}$ 보다도 작다. 이로 인하여 다결정 실리콘박막의 결정크기를 이 다결정 실리콘박막의 막두께 보다도 크게 하면, 전계효과 이동도  $\mu_{FE}$ 를 종래보다도 대폭으로 향상할 수 있음이 명확해졌다. 본 실시예의 경우, 다결정 실리콘박막의 막두께를  $500\sim 3000\text{\AA}$ 로 하였으므로 전계효과 이동도  $\mu_{FE}$ 는 최저라도  $50\text{cm}^2/\text{V} \cdot \text{sec}$ 이 보증되게 된다.

더욱이, 본 발명은 전계효과를 박막트랜지스터에 한정되지 않고 캐리어를 전도하기 위한 다결정 실리콘박막을 주요부로 하는 반도체 장치의 전체에 대하여 적용시킬 수 있는 것이다.

이상 설명한 바와 같이 다결정 실리콘박막의 입자크기와 결정크기를 대략 동일한 크기로 하므로써 전계효과 이동도  $\mu_{FE}$ 를 대폭으로 향상할 수 있고, 나아가서는 10MHz 정도의 클럭 주파수로 동작하는 구동회로를 반도체 장치로 작성할 수가 있다. 상기에 있어서 입자크기와 결정크기가 대략 같은 크기라 함은 제10도에 도시된 바와 같이 결정크기가 입자크기의 60~70% 이상이라는 것이 표준이 된다.

## (57) 청구의 범위

### 청구항 1

입자크기와 (1,1,1)면에 있어서의 결정크기가 대략 동일크기이되, 막두께보다도 큰 다결정 실리콘박막(3)을 주요부로 갖는 것을 특징으로 하는 반도체 장치.

**청구항 2**

제1항에 있어서, 상기 입자크기 및 (1,1,1)면에 있어서의 결정크기는, 모두 그 평균치가 180nm이상일 것을 특징으로 하는 반도체 장치.

**청구항 3**

제2항에 있어서, 상기 입자크기는 그 평균치가 200nm 이상일 것을 특징으로 하는 반도체 장치.

**청구항 4**

제1항에 있어서, 상기 다결정 실리콘박막(3)은, 막두께 500~1500Å인 것을 특징으로 하는 반도체 장치.

**청구항 5**

소스영역(3b) 및 드레인영역(3b)을 가지며, 입자크기와 (1,1,1)면에 있어서의 결정크기가 대략 동일한 크기이되, 막두께 보다도 큰 다결정 실리콘박막(3)과 상기 다결정 실리콘박막(3)의 일면상에 형성된 게이트 절연막(7)과, 상기 다결정 실리콘박막(3)의 소스영역(3b) 및 드레인영역(3b)에 각각 접속된 소스전극(10) 및 드레인전극(10)과, 상기 게이트절연막(7)상에 형성된 게이트전극(8)에 의하여 구성된 것을 특징으로 하는 반도체 장치.

**청구항 6**

결정크기의 평균치가 180nm 이상의 다결정 실리콘박막(3)을 주요부에 가진 반도체 장치.

**청구항 7**

제6항에 있어서, 상기 결정크기는, 상기 다결정 실리콘박막(3)의 막두께보다도 큰 것을 특징으로 하는 반도체 장치.

**청구항 8**

소스영역(3b) 및 드레인영역(3b)을 가지며, (1,1,1)면에 있어서의 결정크기의 평균치가 180nm 이상인 다결정 실리콘박막(3)과, 상기 다결정 실리콘박막(3)의 일면상에 형성된 게이트절연막(7)과, 상기 다결정 실리콘박막(3)의 소스영역(3b) 및 드레인영역(3b)에 각각 접속된 소스전극(10) 및 드레인전극(10)과, 상기 게이트절연막(7)상에 형성된 게이트전극(8)에 의하여 구성된 것을 특징으로 하는 반도체 장치.

**청구항 9**

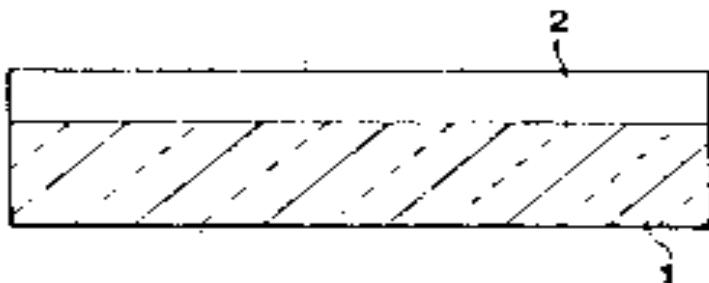
제8항에 있어서, 상기 소스영역(3b) 및 상기 드레인영역(3b)에는 도펀트가 확산되어 있는 것을 특징으로 한 반도체 장치.

**청구항 10**

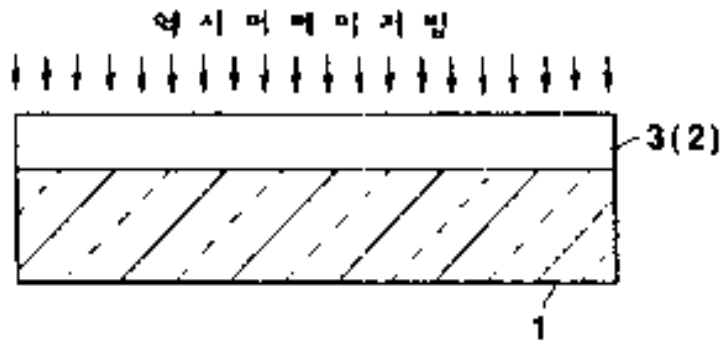
각각이 그 평균치가 180nm 이상의 크기로 되었으며, 대략 동일 크기의 입자크기와 결정크기를 보유하고, 도펀트가 확산된 불순물 영역과(3b) 도펀트가 실질적으로 함유되지 아니한 진정영역(3a)으로 된 다결정 실리콘박막(3)을 주요부에 갖는 것을 특징으로 하는 반도체 장치.

**청구항 11**

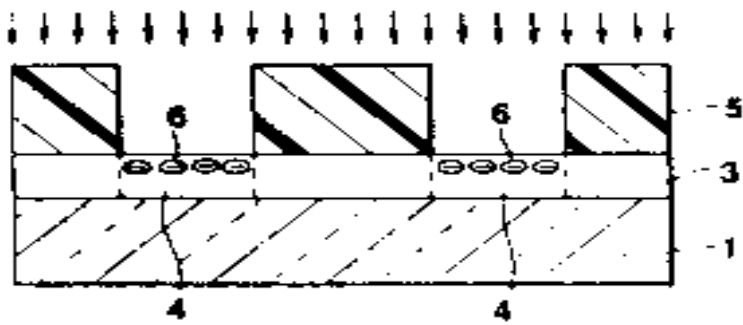
제10항에 있어서, 상기 결정크기는 상기 다결정 실리콘박막(3)의 막두께 보다도 큰 것을 특징으로 하는 반도체 장치.

**도면****도면1**

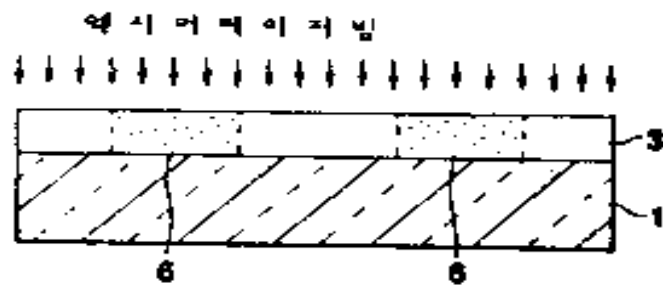
도면2



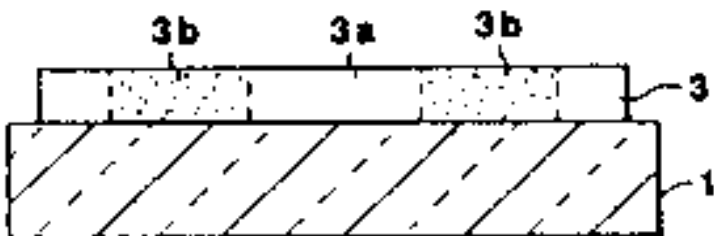
도면3



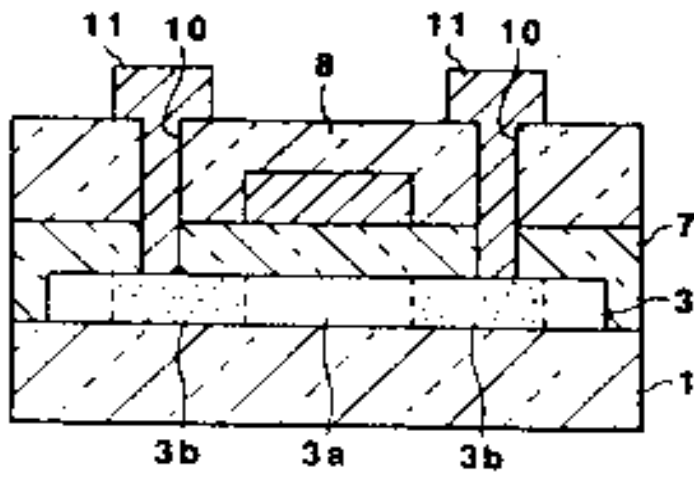
도면4



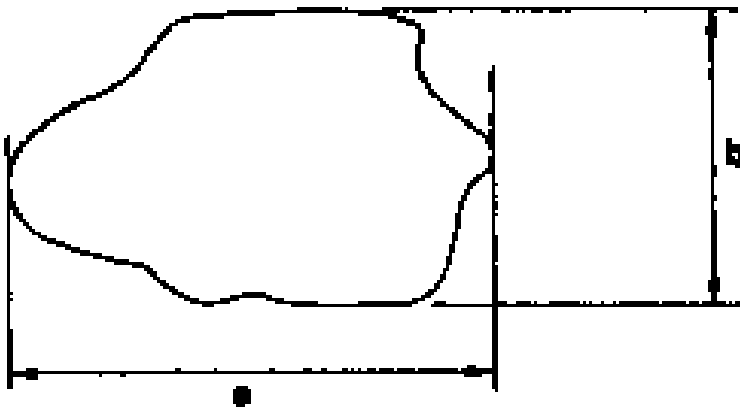
도면5



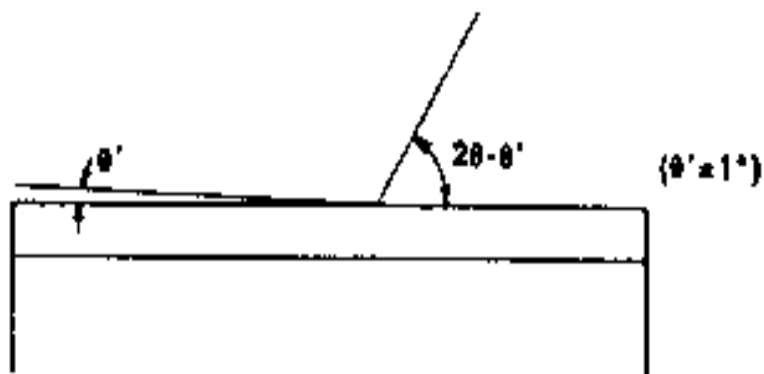
도면6



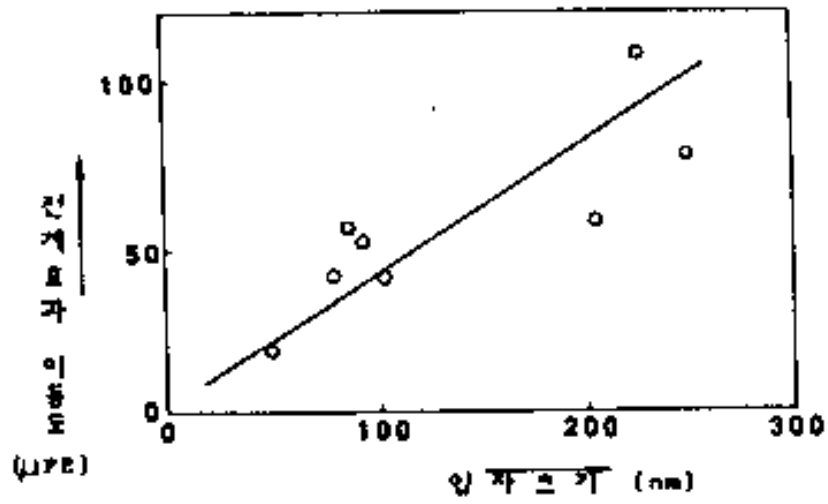
도면7



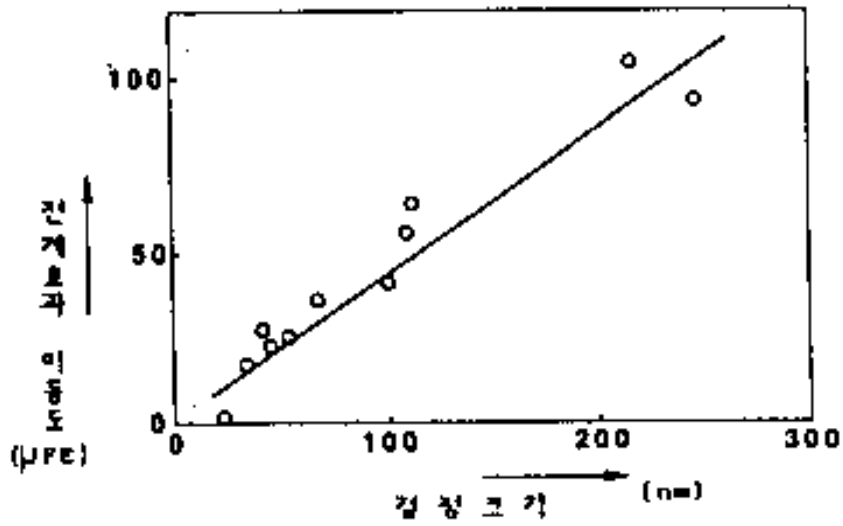
도면8



도면9a



도면9b



도면 10

