



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0017673
(43) 공개일자 2020년02월19일

(51) 국제특허분류(Int. Cl.)
H04B 10/69 (2013.01) H04B 10/67 (2013.01)
(52) CPC특허분류
H04B 10/69 (2013.01)
H04B 10/671 (2013.01)
(21) 출원번호 10-2018-0092845
(22) 출원일자 2018년08월09일
심사청구일자 없음

(71) 출원인
에스케이하이닉스 주식회사
경기도 이천시 부발읍 경충대로 2091
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암
동5가)
(72) 발명자
김철우
서울특별시 성북구 안암로 145 고려대학교 자연계
캠퍼스 공학관 418호
박현수
서울특별시 동대문구 제기로2길 28, 301호 (제기
동)
(뒷면에 계속)
(74) 대리인
이철희

전체 청구항 수 : 총 21 항

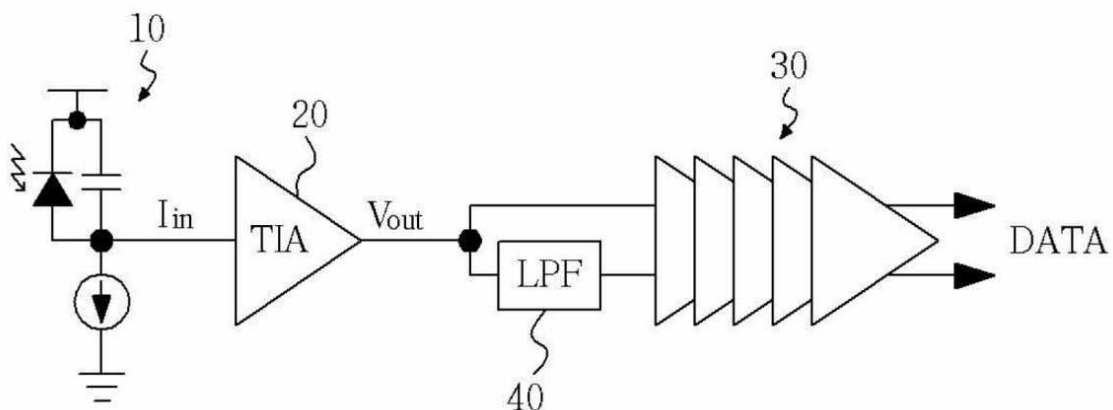
(54) 발명의 명칭 광 수신기

(57) 요약

본 발명은 광 수신기를 개시한다. 상기 광 수신기는, 수신되는 광 신호에 대응하는 전류 신호를 출력하는 광 검출기; 및 상기 광 검출기의 상기 전류 신호를 전압 신호로 변환하는 트랜스임피던스 증폭기;를 포함하고, 상기 트랜스임피던스 증폭기는, 상기 전압 신호를 풀업 구동하는 풀업 소자와 상기 전압 신호를 풀다운 구동하는 풀다운 소자를 포함하는 인버터; 상기 인버터의 입력 및 출력 단자 사이에 연결되는 피드백 저항; 상기 입력 단자와 상기 풀업 소자의 게이트 사이에 연결되는 제1 게이트 저항; 및 상기 입력 단자와 상기 풀다운 소자의 게이트 사이에 연결되는 제2 게이트 저항;을 포함한다.

대표도 - 도1

100



(72) 발명자

심진철

서울특별시 성북구 인촌로30길 7-9, 305호 (안암동5가)

이충환

서울특별시 성북구 인촌로26길 45-9, 303호 (안암동5가)

명세서

청구범위

청구항 1

수신되는 광 신호에 대응하는 전류 신호를 출력하는 광 검출기; 및
 상기 광 검출기의 상기 전류 신호를 전압 신호로 변환하는 트랜스임피던스 증폭기;를 포함하고,
 상기 트랜스임피던스 증폭기는,
 상기 전압 신호를 풀업 구동하는 풀업 소자와 상기 전압 신호를 풀다운 구동하는 풀다운 소자를 포함하는 인버터;
 상기 인버터의 입력 및 출력 단자 사이에 연결되는 피드백 저항;
 상기 입력 단자와 상기 풀업 소자의 게이트 사이에 연결되는 제1 게이트 저항; 및
 상기 입력 단자와 상기 풀다운 소자의 게이트 사이에 연결되는 제2 게이트 저항;을 포함하는 광 수신기.

청구항 2

제 1 항에 있어서,
 상기 트랜스임피던스 증폭기는 상기 피드백 저항과 상기 제1 및 제2 게이트 저항의 저항 비율을 조절하여 게인 및 대역폭이 설정되는 광 수신기.

청구항 3

제 2 항에 있어서,
 상기 피드백 저항은 상기 제1 및 제2 게이트 저항보다 큰 저항 값을 갖도록 설정되는 광 수신기.

청구항 4

제 1 항에 있어서, 상기 인버터는
 제1 구동 신호에 응답하여 상기 전압 신호를 풀업 전압으로 구동하는 상기 풀업 소자; 및
 제2 구동 신호에 응답하여 상기 전압 신호를 풀다운 전압으로 구동하는 상기 풀다운 소자;를 포함하는 광 수신기.

청구항 5

제 4 항에 있어서,
 상기 제1 및 제2 구동 신호는 상기 입력 단자에 인가되는 상기 전류 신호의 크기, 상기 제1 및 제2 게이트 저항의 저항 값, 및 상기 풀업 소자 및 상기 풀다운 소자에 인가되는 바이어스 전압에 의해 레벨이 결정되는 광 수신기.

청구항 6

제 5 항에 있어서,
 상기 피드백 저항은 상기 풀업 소자 및 상기 풀다운 소자에 상기 바이어스 전압을 인가하는 역할을 하는 광 수신기.

청구항 7

제 1 항에 있어서,
 상기 제1 게이트 저항은 일단이 상기 입력 단자와 상기 피드백 저항에 연결되고 타단이 상기 풀업 소자의 게이

트에 연결되며, 상기 제2 게이트 저항은 일단이 상기 입력 단자와 상기 피드백 저항에 연결되고 타단이 상기 풀다운 소자의 게이트에 연결되는 광 수신기.

청구항 8

입력 단자에 인가되는 전류 신호에 따라 출력 단자의 전압 신호를 풀업 구동하는 풀업 소자와 상기 출력 단자의 상기 전압 신호를 풀다운 구동하는 풀다운 소자;

상기 입력 단자 및 상기 출력 단자 사이에 연결되는 피드백 저항;

상기 입력 단자와 상기 풀업 소자의 게이트 사이에 연결되는 제1 게이트 저항; 및

상기 입력 단자와 상기 풀다운 소자의 게이트 사이에 연결되는 제2 게이트 저항;을 포함하는 트랜스임피던스 증폭기를 포함하는 광 수신기.

청구항 9

제 8 항에 있어서,

상기 풀업 소자는 소스에 전원전압이 인가되고 드레인에 상기 출력 단자가 연결되며 게이트에 상기 제1 게이트 저항이 연결되고, 상기 풀다운 소자는 소스에 접지전압이 인가되고 드레인에 상기 출력 단자가 연결되며 게이트에 상기 제2 게이트 저항이 연결되는 광 수신기.

청구항 10

제 9 항에 있어서,

상기 제1 게이트 저항은 일단이 상기 입력 단자와 상기 피드백 저항 사이에 연결되고 타단이 상기 풀업 소자의 게이트에 연결되고, 상기 제2 게이트 저항은 일단이 상기 입력 단자와 상기 피드백 저항 사이에 연결되고 타단이 상기 풀다운 소자의 게이트에 연결되는 광 수신기.

청구항 11

제 8 항에 있어서,

상기 풀업 소자는 상기 제1 게이트 저항에 의해 인가되는 제1 구동 신호에 응답하여 상기 출력 단자를 풀업 구동하고, 상기 풀다운 소자는 상기 제2 게이트 저항에 의해 인가되는 제2 구동 신호에 응답하여 상기 출력 단자를 풀다운 구동하는 광 수신기.

청구항 12

제 11 항에 있어서,

상기 제1 및 제2 구동 신호는 상기 입력 단자에 인가되는 상기 전류 신호의 크기, 상기 제1 및 제2 게이트 저항의 저항 값, 및 상기 풀업 소자 및 상기 풀다운 소자에 인가되는 바이어스 전압에 의해 레벨이 결정되는 광 수신기.

청구항 13

제 12 항에 있어서,

상기 피드백 저항은 상기 풀업 소자 및 상기 풀다운 소자에 바이어스 전압을 인가하는 역할을 하는 광 수신기.

청구항 14

수신되는 광 신호에 대응하는 전류 신호를 출력하는 광 검출기;

상기 광 검출기의 상기 전류 신호를 전압 신호로 변환하는 트랜스임피던스 증폭기; 및

캐스케이드(cascade)로 연결되는 다단의 증폭기를 이용하여 상기 트랜스임피던스 증폭기의 상기 전압 신호를 일정한 진폭을 가지는 데이터 신호로 출력하는 제한 증폭기;를 포함하고,

상기 다단의 증폭기 중 하나인 제1 증폭기는 차동의 입력단의 신호에 응답하여 차동의 출력단을 구동하는 제1

및 제2 트랜지스터; 및

전원전압을 분배하여 상기 제1 및 제2 트랜지스터에 제공하는 저항들;을 포함하며,

상기 제1 증폭기는 상기 다단의 증폭기 중 하나인 제2 증폭기와 상기 저항들 중 적어도 하나를 공유하는 광 수신기.

청구항 15

제 14 항에 있어서,

상기 제한 증폭기는 인접한 상기 다단 증폭기 간에 상기 저항들 중 적어도 하나를 공유하는 광 수신기.

청구항 16

제 14 항에 있어서,

상기 제한 증폭기는 일정 시간 지연을 가지는 상기 다단의 증폭기 간에 상기 저항들 중 적어도 하나를 공유하는 광 수신기.

청구항 17

제 14 항에 있어서,

상기 제한 증폭기는 상기 저항을 공유하는 상기 다단의 증폭기 간의 시간 지연 값과 일정 비율로 공유되는 저항 값에 따라 게인 및 대역폭이 설정되는 광 수신기.

청구항 18

제 13 항에 있어서, 상기 다단 증폭기 중 하나인 제1 증폭기는,

상기 전원전압이 인가되는 제1 공유저항;

상기 제1 공유저항과 연결되는 제1 부하저항;

상기 다단 증폭기 중 하나인 제2 증폭기에 포함된 제2 공유저항과 연결되는 제2 부하저항;

상기 제1 부하저항과 드레인이 연결되고 상기 전압 신호가 게이트에 인가되며 접지전압이 소스에 인가되는 상기 제1 트랜지스터; 및

상기 제2 부하저항과 드레인이 연결되고 상기 전압 신호가 게이트에 인가되며 접지전압이 소스에 인가되는 상기 제2 트랜지스터;

를 포함하는 광 수신기.

청구항 19

제 18 항에 있어서, 상기 다단 증폭기 중 하나인 상기 제2 증폭기는,

상기 전원전압이 인가되는 제2 공유저항;

상기 제1 증폭기에 포함된 상기 제1 공유저항과 연결되는 제3 부하저항;

상기 제2 공유저항과 연결되는 제4 부하저항;

상기 제3 부하저항과 드레인이 연결되고 상기 제1 증폭기의 출력 신호가 게이트에 인가되며 접지전압이 소스에 인가되는 제3 트랜지스터; 및

상기 제4 부하저항과 드레인이 연결되고 상기 제1 증폭기의 출력 신호가 게이트에 인가되며 접지전압이 소스에 인가되는 제4 트랜지스터;

를 포함하는 광 수신기.

청구항 20

캐스케이드로 연결되는 다단의 증폭기를 이용하여 입력 신호를 일정한 진폭을 가지는 출력 신호를 출력하는 제

한 증폭기;를 포함하고, 상기 다단의 증폭기 중 하나인 제1 증폭기는,
 차동의 입력단의 신호에 응답하여 차동의 출력단의 신호를 구동하는 제1 및 제2 트랜지스터;
 상기 제1 트랜지스터에 분배된 전원전압을 공급하는 제1 및 제2 부하저항 브랜치; 및
 상기 제2 트랜지스터에 분배된 전원전압을 공급하는 제3 및 제4 부하저항 브랜치;를 포함하고,
 상기 제1 내지 제4 부하저항 브랜치는 상기 전원전압을 분배하는 제1 내지 제4노드들을 형성하며, 상기 제1 내지 제4 노드들 중 적어도 하나는 상기 다단의 증폭기 중 하나인 제2 증폭기와 공유되는 광 수신기.

청구항 21

제 20 항에 있어서,

상기 제1 및 제2 증폭기는 일정 시간 지연을 가지며, 상기 일정 시간 지연을가지는 상기 제1 및 제2 증폭기 간에 상기 제1 내지 제4 노드들 중 적어도 하나를 공유하는 광 수신기.

발명의 설명

기술 분야

[0001] 본 발명은 광 통신 기술에 관한 것으로, 더 상세하게는 광 수신기의 대역폭을 향상시키는 기술에 관한 것이다.

배경 기술

[0002] 최근 데이터 통신망의 트래픽이 지속적으로 증가함에 따라 이를 수용할 수 있는 대용량의 광 수신기가 요구되고 있다. 이에 부족한 전송 용량을 확대하기 위한 다양한 노력이 진행되고 있으며, 더 많은 데이터를 처리하기 위해서는 더 넓은 대역폭을 가지는 광 수신기의 소자 개발이 필요하다.

[0003] 광 수신기는 수신되는 광 신호를 전기 신호로 변환하는 장치로, 트랜스임피던스 증폭기(transimpedance amplifier) 및 제한 증폭기(limiting amplifier)를 포함할 수 있다.

[0004] 종래 기술에 따른 광 수신기는 대역폭을 증가시키기 위해 트랜스임피던스 증폭기 및 제한 증폭기에 인덕터를 채용하는 인덕티브 피킹(Inductive peaking) 기술을 이용하고 있다. 이때 이용되는 수동 소자인 인덕터는 칩 면적을 대부분 차지하기 때문에 칩 면적을 크게 증가시키는 문제점이 있다.

[0005] 특히 제한 증폭기는 다단(Multi-stage)으로 설계되기 때문에 각각의 단에 모두 인덕터가 사용된다면 칩 면적 효율이 크게 떨어지는 문제점이 있다. 따라서, 데이터 트래픽이 지속적으로 증가함에 따라 대역폭을 향상시키고 칩 면적을 줄일 수 있는 광 수신기의 소자 개발이 요구되고 있다.

선행기술문헌

특허문헌

[0006] (특허문헌 0001) 특허문헌 1: 대한민국 공개번호 KR 2014-0118599(2014.10.08)
 (특허문헌 0002) 특허문헌 2: 대한민국 공개번호 KR 2016-0095556(2016.08.11)
 (특허문헌 0003) 특허문헌 3: 대한민국 공개번호 KR 2016-0011751(2016.02.02)

발명의 내용

해결하려는 과제

[0007] 본 발명이 해결하고자 하는 기술적 과제는 대역폭을 향상시키고 칩 면적을 줄일 수 있는 광 수신기를 제공하는 데 있다.

과제의 해결 수단

- [0008] 본 발명의 일 실시예에 따른 광 수신기는 수신되는 광 신호에 대응하는 전류 신호를 출력하는 광 검출기; 및 상기 광 검출기의 상기 전류 신호를 전압 신호로 변환하는 트랜스임피던스 증폭기;를 포함하고, 상기 트랜스임피던스 증폭기는, 상기 전압 신호를 풀업 구동하는 풀업 소자와 상기 전압 신호를 풀다운 구동하는 풀다운 소자를 포함하는 인버터; 상기 인버터의 입력 및 출력 단자 사이에 연결되는 피드백 저항; 상기 입력 단자와 상기 풀업 소자의 게이트 사이에 연결되는 제1 게이트 저항; 및 상기 입력 단자와 상기 풀다운 소자의 게이트 사이에 연결되는 제2 게이트 저항;을 포함한다.
- [0009] 본 발명의 일 실시예에 따른 광 수신기는, 입력 단자에 인가되는 전류 신호에 따라 출력 단자의 전압 신호를 풀업 구동하는 풀업 소자와 상기 출력 단자의 상기 전압 신호를 풀다운 구동하는 풀다운 소자; 상기 입력 단자 및 상기 출력 단자 사이에 연결되는 피드백 저항; 상기 입력 단자와 상기 풀업 소자의 게이트 사이에 연결되는 제1 게이트 저항; 및 상기 입력 단자와 상기 풀다운 소자의 게이트 사이에 연결되는 제2 게이트 저항;을 포함하는 트랜스임피던스 증폭기를 포함한다.
- [0010] 본 발명의 일 실시예에 따른 광 수신기는, 수신되는 광 신호에 대응하는 전류 신호를 출력하는 광 검출기; 상기 광 검출기의 상기 전류 신호를 전압 신호로 변환하는 트랜스임피던스 증폭기; 및 캐스케이드(cascade)로 연결되는 다단의 증폭기를 이용하여 상기 트랜스임피던스 증폭기의 상기 전압 신호를 일정한 진폭을 가지는 데이터 신호로 출력하는 제한 증폭기;를 포함하고, 상기 다단의 증폭기 중 하나인 제1 증폭기는 차동의 입력단의 신호에 응답하여 차동의 출력단을 구동하는 제1 및 제2 트랜지스터; 및 전원전압을 분배하여 상기 제1 및 제2 트랜지스터에 제공하는 저항들;을 포함하며, 상기 제1 증폭기는 상기 다단의 증폭기 중 하나인 제2 증폭기와 상기 저항들 중 적어도 하나를 공유한다.
- [0011] 본 발명의 일 실시예에 따른 광 수신기는, 캐스케이드로 연결되는 다단의 증폭기를 이용하여 입력 신호를 일정한 진폭을 가지는 출력 신호를 출력하는 제한 증폭기;를 포함하고, 상기 다단의 증폭기 중 하나인 제1 증폭기는, 차동의 입력단의 신호에 응답하여 차동의 출력단의 신호를 구동하는 제1 및 제2 트랜지스터; 상기 제1 트랜지스터에 분배된 전원전압을 공급하는 제1 및 제2 부하저항 브랜치; 및 상기 제2 트랜지스터에 분배된 전원전압을 공급하는 제3 및 제4 부하저항 브랜치;를 포함하고, 상기 제1 내지 제4 부하저항 브랜치는 상기 전원전압을 분배하는 제1 내지 제4노드들을 형성하며, 상기 제1 내지 제4 노드들 중 적어도 하나는 상기 다단의 증폭기 중 하나인 제2 증폭기에 공유된다.

발명의 효과

- [0012] 본 발명의 실시예에 따르면, 본 발명은 트랜스임피던스 증폭기와 제한 증폭기에 칩 면적을 대부분 차지하는 인덕터를 배제할 수 있으므로 칩 면적을 대폭 줄일 수 있다.
- [0013] 또한, 본 발명은 트랜스임피던스 증폭기의 피드백 저항과 게이트 저항의 비율로 영점의 위치 및 이득을 조절할 수 있으므로 트랜스임피던스 증폭기의 대역폭을 향상시킬 수 있다.
- [0014] 또한, 본 발명은 제한 증폭기의 다단 증폭기 사이의 시간 지연 값과 저항의 분배 비율을 통해 필터의 특성을 조절할 수 있으므로 제한 증폭기의 대역폭을 향상시킬 수 있다.

도면의 간단한 설명

- [0015] 도 1은 본 발명의 일 실시예에 따른 광 수신기의 블록도이다.
- 도 2는 도 1에 도시된 트랜스임피던스 증폭기의 회로도이다.
- 도 3은 도 2에 도시된 트랜스임피던스 증폭기를 소신호로 모델링한 회로도이다.
- 도 4는 도 1에 도시된 제한 증폭기의 회로도이다.
- 도 5는 도 4에 도시된 제한 증폭기의 회로를 모델링한 블록도이다
- 도 6은 도 5에 도시된 제한 증폭기의 모델링을 분석한 그래프이다.
- 도 7은 도 1에 도시된 제한 증폭기의 다단 증폭기 중 하나를 도시한 회로도이다.
- 도 8은 도 7의 증폭기를 이용한 제한 증폭기의 회로도이다.

도 9는 도 8에 도시된 제한 증폭기의 회로를 모델링한 블록도이다.

발명을 실시하기 위한 구체적인 내용

- [0016] 이하, 첨부한 도면들을 참고하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 본 발명의 실시예에 대하여 상세히 설명하기로 한다. 각 도면에 제시된 참조부호들 중 동일한 참조부호는 동일한 부재를 나타낸다.
- [0017] 본 발명을 설명함에 있어서 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우 그 상세한 설명을 생략한다.
- [0018] 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되는 것은 아니며, 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다.
- [0019] 도 1은 본 발명의 일 실시예에 따른 광 수신기(100)의 블록도이다.
- [0020] 도 1을 참고하면, 광 수신기(100)는 광 검출기(Photodetector, 10), 트랜스임피던스 증폭기(transimpedance amplifier, 20), 저역통과필터(low pass filter, 40) 및 제한 증폭기(limiting amplifier, 30)를 포함한다.
- [0021] 광 검출기(10)는 광 송신기(도시되지 않음)로부터 전송되는 광 신호를 검출하고, 검출된 광 신호를 전류 신호(I_{in})로 변환하며, 변환된 전류 신호(I_{in})를 트랜스임피던스 증폭기(20)에 전송한다. 일례로, 광 검출기(10)는 포토다이오드 또는 레이저 다이오드로 구성할 수 있다.
- [0022] 트랜스임피던스 증폭기(20)는 광 검출기(10)로부터 전송되는 전류 신호(I_{in})를 전압 신호(V_{out})로 변환하고, 변환된 전압 신호(V_{out})를 제한 증폭기(30)에 전송한다. 이러한 트랜스임피던스 증폭기(20)는 고속 동작을 위해 인버터를 기반으로 설계될 수 있다.
- [0023] 제한 증폭기(30)는 작은 전압 신호를 큰 스윙(swing)을 가지는 전압 신호로 변환하는 회로로, 트랜스임피던스 증폭기(20)의 전압 신호(V_{out})를 일정한 진폭을 가지는 차동의 데이터 신호(DATA)로 변환하고, 이를 데이터 복원 회로(도시되지 않음)에 제공한다. 이러한 제한 증폭기는 작은 전압 이득을 가지는 다단(Multi-stage)의 증폭기를 직렬 연결하여 설계될 수 있다.
- [0024] 저역통과필터(40)는 트랜스임피던스 증폭기(20)의 전압 신호(V_{out})에서 고주파 성분 및 잡음을 필터링하고 필터링된 전압 신호를 제한 증폭기(30)의 차동 입력단 중 하나에 제공한다. 필터링된 전압 신호는 차동의 데이터 신호(DATA) 간의 DC 오프셋 에러를 제거하는데 이용될 수 있다.
- [0025] 도 2는 도 1에 도시된 트랜스임피던스 증폭기(20)의 회로도이다. 설명의 편의를 위해 트랜지스터를 MOSFET(Metal Oxide Semiconductor Field Effect Transistor)로 예시한다. 여기서, 상기의 트랜지스터는 단지 하나의 실시예에 불과한 것으로서 BJT(Bipolar Junction Transistor) 등의 다른 트랜지스터를 이용하여 설계될 수 있다.
- [0026] 도 2를 참고하면, 트랜스임피던스 증폭기(20)는 고속 동작을 위해 인버터 기반으로 설계된다. 이러한 트랜스임피던스 증폭기(20)는 인버터(22), 피드백 저항(RF), 제1 및 제2 게이트 저항(RG1, RG2)을 포함한다.
- [0027] 인버터(22)는 풀업 소자(P1) 및 풀다운 소자(N1)를 포함한다. 풀업 소자(P1)는 PMOS 트랜지스터를 포함하고 풀다운 소자(N1)는 NMOS 트랜지스터를 포함할 수 있다. 풀업 소자(P1)는 출력 단자(OT)의 전압 신호(V_{out})를 풀업 구동하고, 풀다운 소자(N1)는 출력 단자(OT)의 전압 신호(V_{out})를 풀다운 구동한다. 여기서, 풀업 소자(P1)는 소스에 전원전압(VDD) 단자가 연결되고 게이트에 제1 게이트 저항(RG1)이 연결되며, 드레인에 출력 단자(OT)가 연결된다. 그리고 풀다운 소자(N1)는 소스에 접지전압(GND) 단자가 연결되고 게이트에 제2 게이트 저항(RG2)이 연결되며 드레인에 출력 단자(OT)가 연결된다.
- [0028] 피드백 저항(RF)은 트랜스임피던스 증폭기(20)의 입력 단자(IT)와 출력 단자(OT) 사이에 연결되고, 제1 및 제2 게이트 저항(RG1, RG2)보다 큰 저항 값을 갖도록 설계될 수 있다. 이러한 피드백 저항(RF)은 AC 전압을 억제하고 DC 전압을 전달하여 풀업 소자(P1) 및 풀다운 소자(N1)에 바이어스 전압을 인가하는 역할을 할 수 있다. 일례로, 풀업 소자(P1)와 풀다운 소자(N1)의 성능이 같은 경우 바이어스 전압은 전원전압(VDD)의 하프가 될 수 있다.
- [0029] 제1 게이트 저항(RG1)은 입력 단자(IT)와 풀업 소자(P1)의 게이트 사이에 연결된다. 제2 게이트 저항(RG2)은 입

력 단자(IT)와 풀다운 소자(N1)의 게이트 사이에 연결된다. 이러한 제1 게이트 저항(RG1)은 제1 구동 신호(DR1)를 풀업 소자(P1)의 게이트에 전달하고, 제2 게이트 저항(RG2)은 제2 구동 신호(DR2)를 풀다운 소자(N1)의 게이트에 전달한다.

[0030] 풀업 소자(P1)는 제1 구동 신호(DR1)에 응답하여 출력 단자(OT)의 전압 신호(Vout)를 전원전압(VDD)으로 구동하고, 풀다운 소자(N1)는 제2 구동 신호(DR2)에 응답하여 출력 단자(OT)의 전압 신호(Vout)를 접지전압(GND)으로 구동한다. 여기서, 제1 및 제2 구동 신호(DR1, DR2)는 입력 단자(IT)에 인가되는 전류 신호(Iin), 피드백 저항(RF)에 의해 인가되는 바이어스 전압, 및 제1 및 제2 게이트 저항(RG1, RG2)의 저항 값에 의해 레벨이 결정될 수 있다.

[0031] 풀업 소자(P1) 및 풀다운 소자(N1)는 제1 및 제2 구동 신호(DR1, DR2)에 응답하여 턴온 또는 턴오프되므로, 제1 및 제2 구동 신호(DR1, DR2)의 레벨을 결정하는 전류 신호(Iin)의 크기, 피드백 저항(RF)과 제1 및 제2 게이트 저항(RG1, RG2)의 저항 값에 따라 전류 신호에 대한 전압 신호의 비율이 결정될 수 있다. 결과적으로, 트랜스임피던스 증폭기(20)의 게인 및 대역폭은 피드백 저항(RF)과 게이트 저항(RG)의 저항 비율을 조절하여 설정할 수 있다.

[0032] 도 3은 도 2에 도시된 트랜스임피던스 증폭기의 회로를 소신호로 모델링한 회로도이다.

[0033] 도 3과 같이 트랜스임피던스 증폭기(20)의 회로를 소신호 모델링을 통해 분석해보면 게이트 저항(RG)에 의해 극점 앞에 영점이 새롭게 생성되고 이는 인덕터의 효과와도 비슷한 역할을 한다고 볼 수 있다. 피드백 저항(RF)과 게이트 저항(RG)의 저항 비율로 영점의 위치를 조절할 수 있고 인덕터 없이 트랜스임피던스 증폭기(20)의 대역폭을 늘릴 수 있다.

[0034] 하기의 <수학식 1> 내지 <수학식 3>는 트랜스임피던스 증폭기(20)의 소신호 모델을 해석한 것으로써, 트랜스임피던스 증폭기(20)의 게인을 구하는 과정을 나타내고 게이트 저항을 추가함으로써 능동 인덕터를 구성하였다는 것을 증명함을 나타낸다

수학식 1

$$\begin{aligned} sC_{gs}V_X &= I_{in} - g_m V_X \\ V_X &= \frac{1}{sC_{gs} + g_m} I_{in} \\ V_{out} &= V_X + R_G(sC_{gs}V_X) - R_F g_m V_X \\ &= V_X(1 + sC_{gs}R_G - R_F g_m) \\ &= \frac{1}{sC_{gs} + g_m} I_{in}(1 + sC_{gs}R_G - R_F g_m) \end{aligned}$$

[0035]

수학식 2

$$\begin{aligned} \frac{I_{in}}{V_{out}} &= \frac{1}{R_T} = \frac{sC_{gs} + g_m}{1 + sC_{gs}R_G - R_F g_m} \\ &= \frac{sC_{gs} + \frac{1}{R_G} - \frac{R_F}{R_G} g_m + g_m - \frac{1}{R_G} + \frac{R_F}{R_G} g_m}{1 + sC_{gs}R_G - R_F g_m} \\ &= \frac{1}{R_G} + \frac{s g_m - \frac{1}{R_G} + \frac{R_F}{R_G} g_m}{1 + sC_{gs}R_G - R_F g_m} \\ &= \frac{1}{R_G} + \frac{1}{s \frac{C_{gs}R_G^2}{g_m(R_F + R_G) - 1} + \frac{R_G - R_F R_G g_m}{g_m(R_F + R_G) - 1}} \end{aligned}$$

[0036]

수학식 3

$$R_P = \frac{1}{R_G}$$

$$L_S = s \frac{C_{gs} R_G^2}{g_m(R_F + R_G) - 1}$$

$$R_S = \frac{R_G - R_F R_G g_m}{g_m(R_F + R_G) - 1}$$

[0037]

[0038] <수학식 1> 및 <수학식 2>에 나타낸 바와 같이 트랜스임피던스 증폭기(20)의 게인 및 대역폭은 피드백 저항(R_F)과 게이트 저항(R_G)의 저항 비율을 조절하여 설정할 수 있다.

[0039] 도 4는 도 1에 도시된 제한 증폭기(30)의 회로도이다.

[0040] 도 4를 참고하면, 제한 증폭기(30)는 캐스케이드(cascade)로 연결된 다단의 증폭기들(32, 34, 36, 38)을 포함한다. 도 4는 설명의 편의를 위해 다단의 증폭기들 중 제1 내지 제4 증폭기(32, 34, 36, 38)만을 도시한다.

[0041] 제한 증폭기(30)는 캐스케이드로 연결된 제1 내지 제4 증폭기들(32, 34, 36, 38)을 이용하여 트랜스임피던스(20)의 전압 신호(V_{out})를 일정한 진폭을 가지는 차동의 데이터 신호(DATA)로 변환한다.

[0042] 제한 증폭기(30)는 인접한 제1 및 제2 증폭기(32, 34) 간에 제1 및 제2 공유저항(R_{S1}, R_{S2})을 공유하고, 인접한 제3 및 제4 증폭기(36, 38) 간에 제3 및 제4 공유저항(R_{S3}, R_{S4})을 공유한다. 상기와 같은 구성으로, 인접한 제1 및 제2 증폭기(32, 34)는 일정 비율로 분배된 저항 값을 동일 노드(Pre_P, Post_N)에서 공유하고, 인접한 제3 및 제4 증폭기(36, 38)는 일정 비율로 분배된 저항 값을 동일 노드(Pre_P, Post_N)에서 공유한다.

[0043] 여기서, 제1 내지 제4 공유저항(R_{S1}, R_{S2}, R_{S3}, R_{S4})은 α의 저항 값을 가질 수 있으며, 제1 내지 제8 부하저항(R_{L1}, R_{L2}, R_{L3}, R_{L4}, R_{L5}, R_{L6}, R_{L7}, R_{L8})은 1-α의 저항 값을 가질 수 있다. 여기서, α는 미리 설정된 저항 분배 비율로 정의될 수 있다.

[0044] 이와 같이 본 실시예는 인덕터 사용을 대체하기 위해 인접한 증폭기들의 저항을 일정 비율로 공유하고 다단의 증폭기들을 지나면서 시간 지연이 발생한다는 점을 이용하여 제한 증폭기를 구성한다.

[0045] 도 4를 참고하여, 제한 증폭기(30)의 제1 내지 제4 증폭기(32, 34, 36, 38)의 구성을 설명하면 다음과 같다.

[0046] 제1 증폭기(32)는 전원전압 단자와 연결되는 제1 공유저항(R_{S1}), 제1 공유저항(R_{S1})과 연결되는 제1 부하저항(R_{L1}), 및 제2 증폭기(34)에 포함된 제2 공유저항(R_{S2})과 연결되는 제2 부하저항(R_{L2})을 포함한다. 그리고, 제1 증폭기(32)는 제1 공유저항(R_{S1}) 및 제1 부하저항에 의해 분배되는 전원전압을 공급받고 정입력단(INP)의 신호에 응답하여 제1 정출력단(OUTP1)을 구동하는 제1 트랜지스터(TR1), 및 제2 증폭기(34)에 포함된 제2 공유저항(R_{S2})과 제2 부하저항(R_{L2})에 의해 분배되는 전원전압을 공급받고 부입력단(INN)의 신호에 응답하여 제1 부출력단(OUTN1)의 신호를 구동하는 제2 트랜지스터(TR2)를 포함한다.

[0047] 제2 증폭기(34)는 제1 증폭기(32)에 포함된 제1 공유저항(R_{S1})과 연결되는 제3 부하저항(R_{L3}), 전원전압이 인가되는 제2 공유저항(R_{S2}), 제2 공유저항(R_{S2})과 연결되는 제4 부하저항(R_{L4})을 포함한다. 그리고, 제2 증폭기(34)는 제1 증폭기(32)에 포함된 제1 공유저항(R_{S1})과 제3 부하저항(R_{L3})에 의해 분배되는 전원전압을 공급받고 제1 증폭기(32)의 제1 정출력단(OUTP1)의 신호에 응답하여 제2 정출력단(OUTP2)을 구동하는 제3 트랜지스터(TR3), 및 제2 공유저항(R_{S2})과 제4 부하저항(R_{L4})에 의해 분배되는 전원전압을 공급받고 제1 증폭기(32)의 제1 부출력단(OUTN1)의 신호에 응답하여 제2 부출력단(OUTN2)의 신호를 구동하는 제4 트랜지스터(TR4)를 포함한다.

[0048] 제3 증폭기(36)는 전원전압 단자와 연결되는 제3 공유저항(R_{S3}), 제3 공유저항(R_{S3})과 연결되는 제5 부하저항(R_{L5}), 및 제4 증폭기(38)에 포함된 제4 공유저항(R_{S4})과 연결되는 제6 부하저항(R_{L6})을 포함한다. 그리고, 제3 증폭기(36)는 제3 공유저항(R_{S3}) 및 제5 부하저항(R_{L5})에 의해 분배되는 전원전압을 공급받고 제2 정출력단(OUTP2)의 신호에 응답하여 제3 정출력(OUTP3)의 신호를 구동하는 제5 트랜지스터(TR5), 및 제4 증폭기(38)에

포함된 제4 공유저항(RS4)과 제6 부하저항(RL6)에 의해 분배되는 전압전압을 공급받고 제2 부출력단(OUTN2)의 신호에 응답하여 제3 부출력단(OUTN1)의 신호를 구동하는 제6 트랜지스터(TR6)를 포함한다.

[0049] 제4 증폭기(38)는 제3 증폭기(36)에 포함된 제3 공유저항(RS1)과 연결되는 제7 부하저항(RL7), 전원전압이 인가되는 제4 공유저항(RS4), 제4 공유저항(RS4)과 연결되는 제8 부하저항(RL8)을 포함한다. 그리고, 제4 증폭기(38)는 제3 증폭기(36)에 포함된 제3 공유저항(RS3)과 제7 부하저항(RL7)에 의해 분배되는 전원전압을 공급받고 제3 증폭기(36)의 제3 정출력단(OUTP3)의 신호에 응답하여 제4 정출력단(OUTP4)의 신호 구동하는 제7 트랜지스터(TR7), 및 제4 공유저항(RS2)과 제8 부하저항(RL8)에 의해 분배되는 전원전압을 공급받고 제3 증폭기(36)의 제3 부출력단(OUTN3)의 신호에 응답하여 제4 부출력단(OUTN4)의 신호를 구동하는 제8 트랜지스터(TR8)를 포함한다.

[0050] 이러한 제한 증폭기(30)는 제1 내지 제4 증폭기들(32, 34, 36, 38) 사이의 시간 지연 값(td)과 저항 분배 비율(α)에 따라 이득과 대역폭 등의 특성을 설정할 수 있다.

[0051] 도 5는 도 4에 도시된 제한 증폭기(30)의 회로를 모델링한 블록도이다

[0052] 도 5를 참고하면, 다단의 증폭기들 중 두 개의 증폭기를 묶은 유닛 셀(Unit Cell)을 기본으로 해석할 때 프리 커서 캔슬레이션(Pre cursor cancelation)과 포스트 커서 캔슬레이션(Post cursor cancellation)이 각각 한번씩 발생한다.

[0053] 하기의 <수학식 4>는 모델링한 IIR(Infinite Impulse Response) 필터를 해석한 것이다.

수학식 4

$$\begin{aligned} y(t) &= A_0[A_0x(t-2td) - \alpha y(t-td)] - \alpha x(t) \\ Y(z) &= A_0^2 X(z)e^{-i4\pi ftd} - A_0\alpha Y(z)e^{-i2\pi ftd} - \alpha X(z) \\ Y(z)(1 + A_0\alpha e^{-i2\pi ftd}) &= X(z)(A_0^2 e^{-i4\pi ftd} - \alpha) \\ \frac{Y(z)}{X(z)} &= H(z) = \frac{(A_0^2 e^{-i4\pi ftd} - \alpha)}{(1 + A_0\alpha e^{-i2\pi ftd})} \end{aligned}$$

[0054]

[0055] 여기서, td는 하나의 증폭기 단의 시간 지연 값을 나타내고, A_0 는 하나의 증폭기 단의 게인을 나타내며, α 는 저항 분배 비율을 나타낸다.

[0056] 본 실시예는 각 증폭기 단 사이의 시간 지연 값과 저항 분배 비율을 통해 필터의 특성을 조절할 수 있으며, 인덕터를 사용하지 않아 면적의 측면에서 매우 효율적이며 다른 복잡한 이퀄라이징 회로에 비해 간단한 구조로 제한 증폭기를 설계할 수 있다.

[0057] 도 6은 도 5에 도시된 제한 증폭기의 모델링을 분석한 그래프이다.

[0058] 일례로, 도 6은 하나의 증폭기 단의 시간 지연 값(td)이 10ps, 하나의 증폭기 단의 게인(A_0)이 1.5, 저항 분배 비율(α)가 0.2인 경우에서 시뮬레이션 툴을 이용하여 분석한 것이다. 제한 증폭기가 16Ghz에서 설계되었다고 가정했을 때 인접한 증폭기 간에 저항을 공유하는 경우 0.9725 dB/stage의 이퀄라이징(Equalizing) 효과가 있음을 나타낸다.

[0059] 이와 같이 본 실시예는 다단 증폭기들 사이의 시간 지연 값(td)과 저항 분배 비율(α)을 조절하여 제한 증폭기의 게인과 대역폭 등을 조절할 수 있다.

[0060] 도 7은 도 1에 도시된 제한 증폭기(30)의 다단 증폭기 중 하나의 증폭기(32A)를 도시한 회로도이다.

[0061] 도 7을 참고하면, 하나의 증폭기(32A) 단은 각각의 차동의 입력단(INP, INN)의 신호에 응답하여 차동의 출력단(OUTP, OUTN)의 신호를 구동하는 제1 및 제2 트랜지스터(TR1, TR2)를 포함하고, 제1 및 제2 트랜지스터(TR1, TR2)에 분배된 전원전압을 공급하는 전류모드 부하 저항들을 포함한다. 여기서, 전류모드 부하 저항들은 제1 및 제2 트랜지스터(TR1, TR2)의 각각에 대하여 두 개의 부하저항 브랜치(RB1, RB2)로 나누어진다.

[0062] 각각의 부하저항 브랜치(RB1, RB2)는 전원전압을 분배하는 제1 내지 제4 노드들(Pre_P, Post_P, Pre_N,

Post_N)을 형성하고, 제1 내지 제4 노드들(Pre_P, Post_P, Pre_N, Post_N) 중 적어도 하나는 일정 시간 지연을 가지는 다른 증폭기 단과 공유된다. 일례로, 부하저항 브랜치(RB1, RB2)의 저항 값은 전체 임피던스 값을 유지하기 위해 도 4의 제한 증폭기보다 두 배로 설계될 수 있다.

[0063] 이러한 실시예는 도 4 및 도 5의 구조와는 달리 한 개의 증폭기 단마다 프리 커서 및 포스트 커서 캔슬레이션(Pre cursor & Post cursor cancellation)이 발생하고, 인접한 증폭기 단의 부하 저항을 공유하는 구조뿐만 아니라 인접하지 않은 증폭기 단과도 저항을 공유하는 구조로 설계될 수 있다. 그리고, 지연시간은 몇 개의 증폭기 단을 건너 부하 저항을 공유하는지에 따라 조절될 수 있다.

[0064] 도 8은 도 7의 증폭기를 이용한 제한 증폭기의 회로도이고, 도 9는 도 8에 도시된 제한 증폭기의 회로를 모델링한 블록도이다.

[0065] 도 8 및 도 9를 참고하면, 제한 증폭기(30)는 하나의 증폭기 단의 시간차를 두고 저항을 공유하도록 설계될 수 있다. 이러한 실시예는 한 개의 증폭기 단마다 프리 커서 및 포스트 커서 캔슬레이션이 발생하므로 이퀄라이징 빈도가 도 4의 실시예보다 높아 이퀄라이징을 향상시킬 수 있다.

[0066] 한편, 실시예는 하나의 증폭기 단의 지연 시간차를 두고 전원전압을 분배하는 부하저항 브랜치를 공유하는 것을 예시하고 있으나, 도 7에 도시된 증폭기(32A) 단을 이용하여 두 개의 증폭기 단의 시간차를 두고 부하저항 브랜치를 공유하는 제한 증폭기(30)로 설계하거나 세 개의 증폭기 단의 시간차를 두고 부하저항 브랜치를 공유하는 제한 증폭기(30)로 설계할 수 있다.

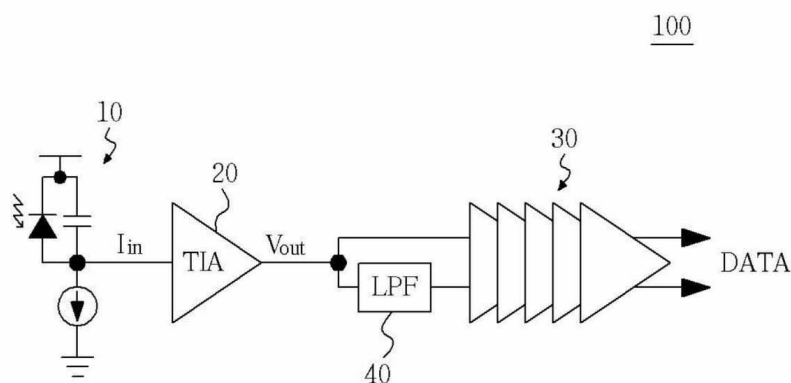
[0067] 본 발명은 도면들에 도시된 실시예들을 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이들로부터 다양한 변형 및 균등한 다른 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

부호의 설명

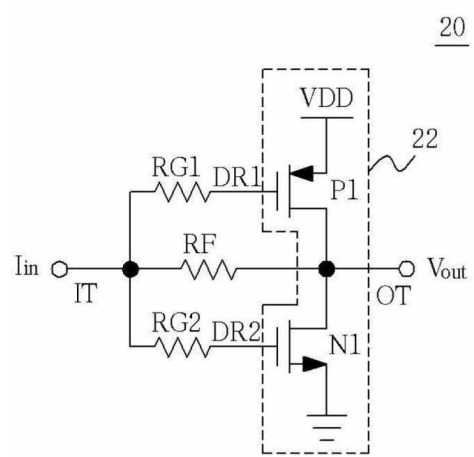
[0068] 10: 광 검출기 20: 트랜스임피던스 증폭기
22: 인버터 30: 제한 증폭기
40: 저역 통과 필터

도면

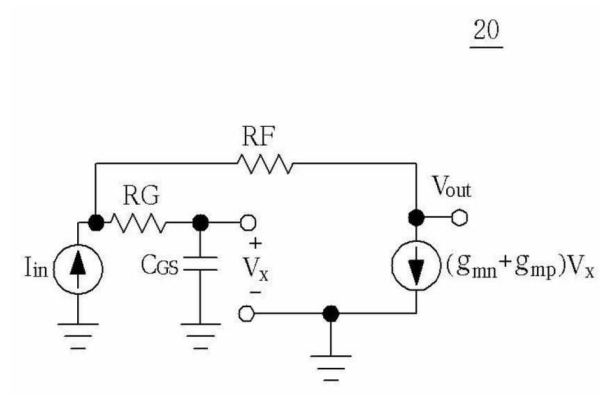
도면1



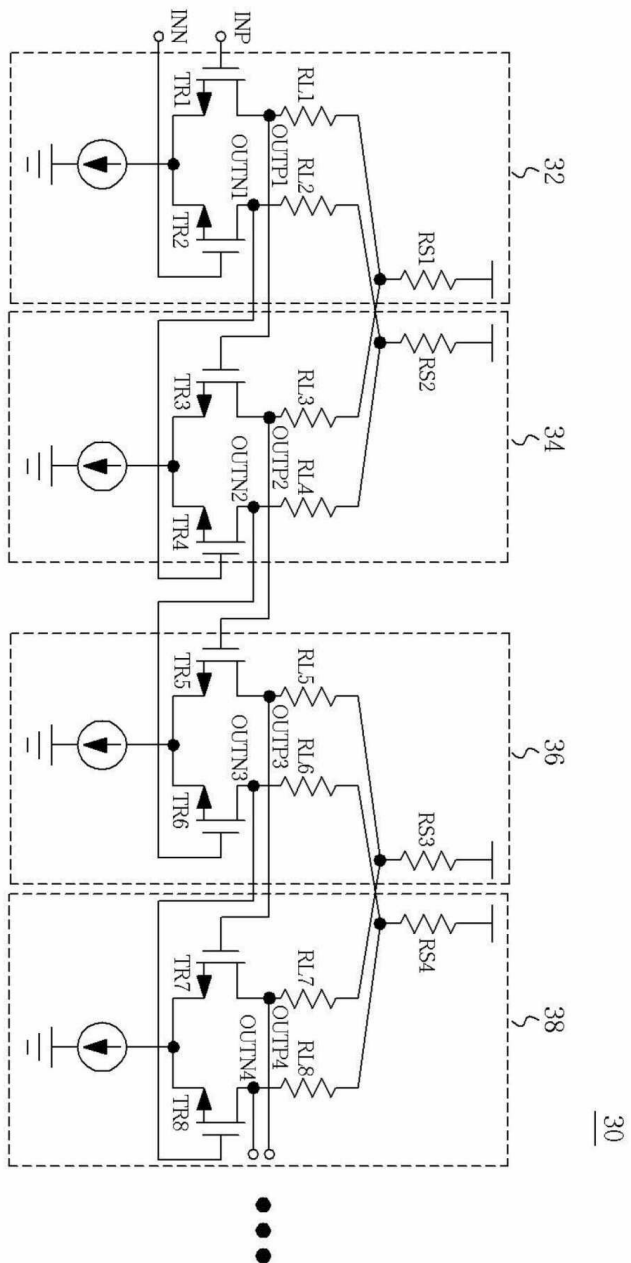
도면2



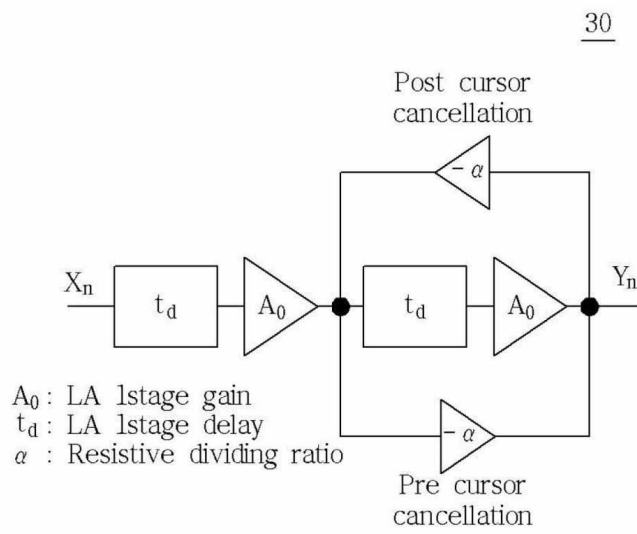
도면3



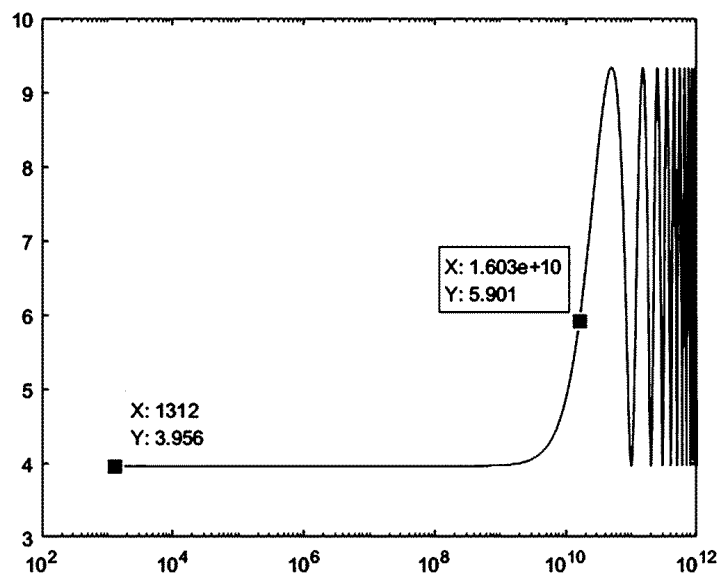
도면4



도면5

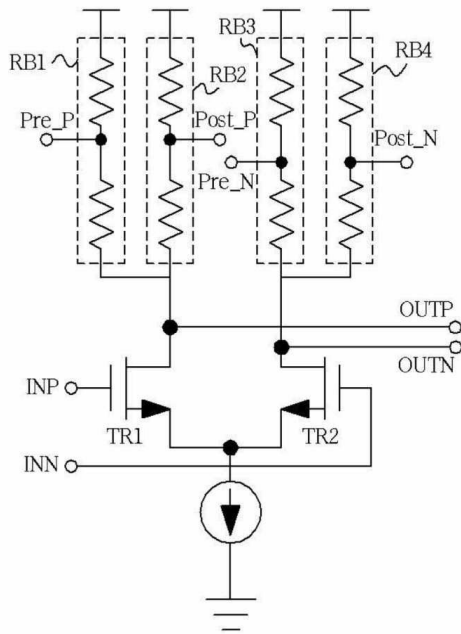


도면6

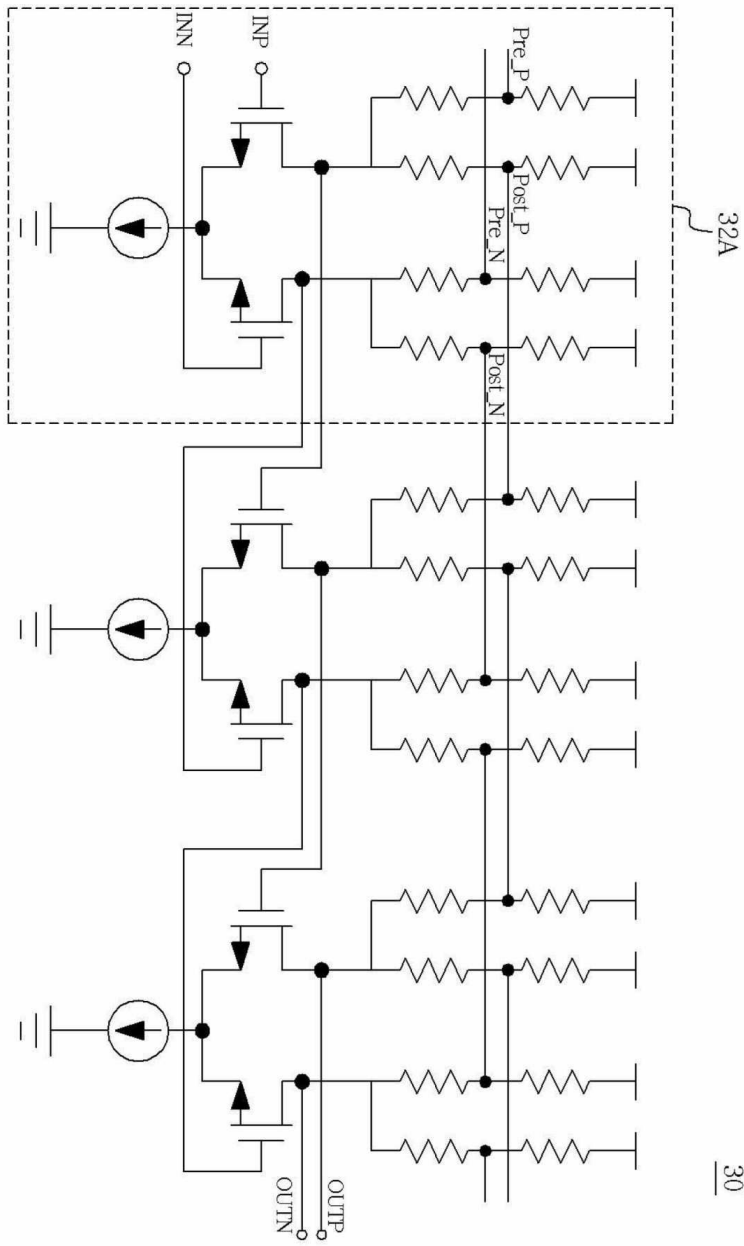


도면7

32A

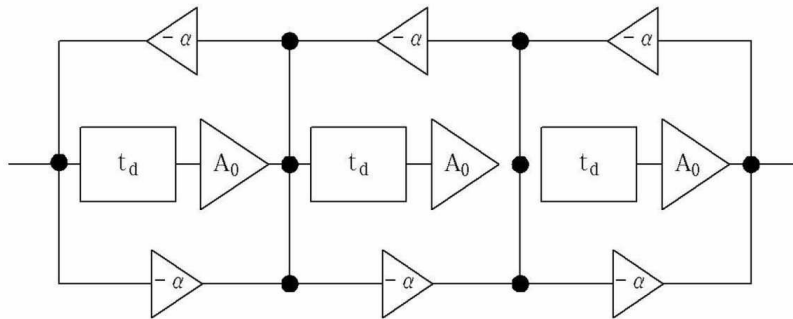


도면8



도면9

30



A_0 : LA 1stage gain
 t_d : LA 1stage delay
 α : Resistive dividing ratio