

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2007 年 11 月 1 日 (01.11.2007)

PCT

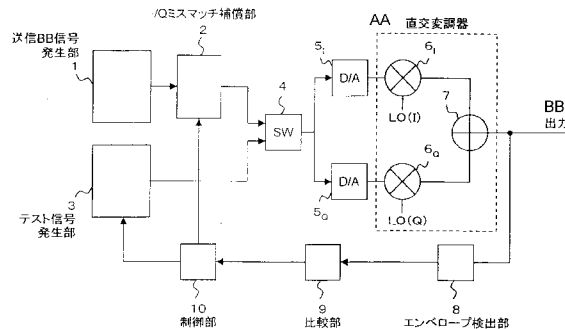
(10) 国際公開番号
WO 2007/122880 A1

- (51) 国際特許分類:
H04L 27/20 (2006.01) H04L 27/00 (2006.01)
- (21) 国際出願番号: PCT/JP2007/054324
- (22) 国際出願日: 2007 年 3 月 6 日 (06.03.2007)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2006-117899 2006 年 4 月 21 日 (21.04.2006) JP
- (71) 出願人 (米国を除く全ての指定国について): 日本電気株式会社 (NEC CORPORATION) [JP/JP]; 〒1088001 東京都港区芝五丁目 7 番 1 号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 松野 典朗 (MAT-SUNO, Noriaki) [JP/JP]; 〒1088001 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内 Tokyo (JP). 柳澤 潔 (YANAGISAWA, Kiyoshi) [JP/JP]; 〒1088001 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内 Tokyo (JP).
- (74) 代理人: 宮崎 昭夫, 外 (MIYAZAKI, Teruo et al.); 〒1070052 東京都港区赤坂 1 丁目 9 番 2 0 号 第 1 6 興和ビル 8 階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, MG,

[続葉有]

(54) Title: SIGNAL PROCESSING CIRCUIT

(54) 発明の名称: 信号処理回路



- 1 TRANSPORT BB SIGNAL GENERATING PART
2 I/Q MISMATCH COMPENSATING PART
AA QUADRATURE MODULATOR
BB OUTPUT
3 TEST SIGNAL GENERATING PART
10 CONTROL PART
9 COMPARING PART
8 ENVELOPE DETERMINING PART

(57) Abstract: A test signal generating part (3) generates test signals of four points where two pairs of points each consist of two points that are point symmetric about the origin point on an I/Q rectangular coordinate system. An envelope determining part (8) determines the amplitudes of output signals of a quadrature modulator at the generation of the four-point test signals, and outputs signals that are proportional to the respective squares of those amplitudes. A comparing part (9) calculates the average value of the output signals from the envelope determining part (8) for each pair of test signals when that pair of test signals are generated. A control part (10) adjusts the amplitudes and/or phases of the test signals in such a manner that the average values are equal to each other at the generation of two pairs of test signals, and calculates, based on the adjustment result, an I/Q mismatch amount.

(57) 要約: テスト信号発生部 (3) は、I/Q 直交座標上で原点に対して互いに点対称な位置にある 2 点からなる組を 2 組とした計 4 点のテスト信号を発生する。エンベロープ検出部 (8) は、4 点のテスト信号を発生した時の直交変調器の出力信号の振幅を検出し、その振幅の 2 乗に比例した信号を出力する。比較部 (9) は、2 組のテスト信号の各組ごとに、その組の 2 点のテスト信号を発生した時のエン

[続葉有]



WO 2007/122880 A1



MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM,
PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL,
SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ,
VC, VN, ZA, ZM, ZW.

IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK,
TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW,
ML, MR, NE, SN, TD, TG).

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE,

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

信号処理回路

技術分野

[0001] 本発明は、送信装置に設けられ、I(同相)成分／Q(直交)成分を含む送信ベースバンド信号を直交変調する信号処理回路に関し、特に、直交変調の変調精度の改善を図る技術に関する。

背景技術

[0002] この種の信号処理回路においては、直交変調器におけるキャリアリークの抑圧と変調精度の劣化防止は、通信品質を確保し、法規制を遵守する上で必須の性能である。

[0003] ここで、キャリアリークは、直交変調器の入力換算でのI／O成分の直流オフセット(DCオフセット)に相当する。直交変調器の変調精度に影響を与える要素としては、キャリアリークと、直交変調器の入力換算でのI／O成分間のレベルのばらつき(後述のI／Qミスマッチの一要因)と、直交変調器に入力されるローカル信号の直交性すなわちI／O成分間の振幅と位相差のばらつき(後述のI／Qミスマッチの一要因)と、がある。

[0004] しかしながら、近年、通信の高速化に伴い、より高い性能が要求されているにもかかわらず、アーキテクチャのダイレクトコンバージョン化およびプロセスの低電圧化に起因する回路構成上の制約から、上記の性能はむしろ劣化している傾向にある。

[0005] 従って、信号処理回路においては、直交変調器の直流オフセットとI／Qミスマッチ(I／Q振幅ミスマッチとI／Q位相ミスマッチ)を補償する手段を設けることが必須になっている。

[0006] ここで、I／Q振幅ミスマッチとは、直交変調器の出力信号のI／O成分の振幅が不一致になることをいう。I／Q振幅ミスマッチの発生要因としては、(1)直交変調器に入力されるローカル信号のI／O成分の振幅が不一致であること、(2)直交変調器に入力される送信ベースバンド信号のI／O成分の振幅が不一致であること、(3)直交変調器内のI成分側とQ成分側の経路の利得が不一致であること、の3つの要因が考

えられる。

[0007] また、I/Q位相ミスマッチとは、直交変調器の出力信号のI/O成分の位相差が90度からずれることをいう。I/Q位相ミスマッチの発生要因としては、(1)直交変調器に入力されるローカル信号のI/O成分の位相差が90度からずれること、(2)直交変調器に入力される送信ベースバンド信号のI/O成分の位相差が90度からずれること、(3)直交変調器内のI成分側とQ成分側の経路で位相がずれること、の3つの要因が考えられる。

[0008] 従来から、直交変調器の直流オフセットとI/Qミスマッチを補償する手段を設けた信号処理回路が数多く提案されているが、補償のために追加するハードウェアはゼロに近いのが理想である。その点で、従来の信号処理回路には未だ改善の余地がある。

[0009] 図1は、従来の信号処理回路の一構成例を示す図である。

[0010] 図1を参照すると、本従来例の信号処理回路は、送信BB(ベースバンド)信号発生部101と、テスト信号発生部103と、スイッチ104と、直流オフセット・I/Qミスマッチ補償部102と、D/A変換器 105_I 、 105_Q と、ミキサ 106_I 、 106_Q と、加算器107と、エンベロープ検出部108と、A/D変換器109と、補償量生成部110とを有する。

[0011] 送信BB信号発生部101は、送信動作時に、送信ベースバンド信号を発生する。

[0012] テスト信号発生部103は、補償動作時に、テスト信号を発生する。

[0013] スwitch104は、補償動作時に、テスト信号発生部103で発生したテスト信号を選択し、送信動作時に、送信BB信号発生部101で発生した送信ベースバンド信号を選択する。

[0014] 直流オフセット・I/Qミスマッチ補償部102は、補償動作時に、直交変調器の直流オフセットとI/Qミスマッチを補償するための補償量が補償量生成部110により設定され、送信動作時に、補償量生成部110により設定された補償量に基づいて送信BB信号発生部101で発生した送信ベースバンド信号を補正する。

[0015] D/A変換器 105_I は、直流オフセット・I/Qミスマッチ補償部102から出力された信号のI成分をデジタル信号からアナログ信号にD/A変換し、D/A変換器 105_Q は、直流オフセット・I/Qミスマッチ補償部102から出力された信号のQ成分をディジ

タル信号からアナログ信号にD/A変換する。

[0016] ミキサ106_Iは、D/A変換器105_IによりD/A変換された信号のI成分をローカル信号のI成分とミキシングしてアップコンバートし、ミキサ106_Qは、D/A変換器105_QによりD/A変換された信号のQ成分をローカル信号のQ成分とミキシングしてアップコンバートする。

[0017] 加算器107は、ミキサ106_Iでミキシングされた信号のI成分とミキサ106_Qでミキシングされた信号のQ成分とを加算する。このように直交変調された信号が本信号処理回路の出力信号となる。

[0018] エンベロープ検出部108は、直交変調器の出力信号の包絡線(エンベロープ)の振幅を検出する。

[0019] A/D変換器109は、エンベロープ検出部108の出力信号をアナログ信号からデジタル信号にA/D変換する。

[0020] 補償量生成部110は、A/D変換器109によりA/D変換されたデジタル信号に基づいて、直交変調器の直流オフセット量とI/Qミスマッチ量を算出し、直流オフセットとI/Qミスマッチを補償するための補償量を生成して直流オフセット・I/Qミスマッチ補償部102に設定する。

[0021] 以下、本従来例の信号処理回路の動作について説明する。

[0022] 補償動作時には、スイッチ104によりテスト信号発生部103で発生したテスト信号が選択される。このテスト信号は、直流オフセット・I/Qミスマッチ補償部102およびD/A変換器105_I、105_Qを経て、直交変調器のベースバンドポートに入力され、直交変調が行われる。このように直交変調された信号の振幅がエンベロープ検出部108で検出され、検出された振幅がA/D変換器109でデジタル信号に変換される。このデジタル信号に基づいて、補償量生成部110にて補償量が生成される。

[0023] 図2は、直交変調器を補償するために用いられる典型的なテスト信号を示す図である。テスト信号は、典型的には、I成分が余弦波で、Q成分が正弦波である。

[0024] 図3は、理想的な状態にある直交変調器の出力信号のコンスタレーションを示す図である。直交変調器が理想的な状態とは、I成分およびQ成分のいずれにも直流オフセットがなく、さらに、I/Q振幅ミスマッチやI/Q位相ミスマッチがない状態のことで

ある。この場合、コンスタレーションは中心が原点にある真円を描く。このため、直交変調器の出力信号の包絡線は定包絡線の正弦波となる。

[0025] 図4は、直流オフセットがある直交変調器の出力信号のコンスタレーションを示す図である。この場合、コンスタレーションは円の中心が原点からシフトしている。このため、直交変調器の出力信号の包絡線は時間と共に増減する。

[0026] 図5は、I/Q振幅ミスマッチがある直交変調器の出力信号のコンスタレーションを示す図であり、図6は、I/Q位相ミスマッチがある直交変調器の出力信号のコンスタレーションを示す図である。いずれの場合も、直交変調器の出力信号の包絡線は時間と共に増減する。

[0027] 補償量生成部110は、直交変調器の出力信号の包絡線が増減する周期および位相を、テスト信号の位相および周波数と照らし合わせることで、直交変調器に直流オフセット、I/Q振幅ミスマッチ、I/Q位相ミスマッチがどれだけ存在するかを確認し、直流オフセット・I/Qミスマッチ補償部102に設定する補償量を生成する。

[0028] 送信動作時には、スイッチ104により送信BB信号発生部101で発生した送信ベースバンド信号が選択される。この送信ベースバンド信号は、直流オフセット・I/Qミスマッチ補償部102に入力され、すでに設定されている補償量に基づき補正される。この補正後の信号は、D/A変換器105_I, 105_Qを経て、直交変調器のベースバンドポートに入力され、直交変調が行われる。このように直交変調された信号が本信号処理回路の出力信号となる。

[0029] 上記と同様の技術が開示されている文献として、特許文献1が挙げられる。この特許文献1には、テスト信号として、I/Q直交座標上の第1象限から第4象限のうちの2点のみを用いて、直交変調器のI/Q位相ミスマッチを補償する方法が開示されている。この方法によれば、テスト信号が簡略化される。

[0030] 上記と同様の技術が開示されている別の文献として、特許文献2が挙げられる。特許文献2には、正弦波のテスト信号を直交変調器のベースバンドポートに入力し、補償動作を行う方法が開示されている。

[0031] 上記と同様の技術が開示されている別の文献として、特許文献3が挙げられる。この特許文献3には、送信データをI/Q直交ダウンコンバータで周波数変換して得ら

れた信号を元に、直交変調器の精度改善を図る方法が開示されている。

[0032] その他、上記と同様の技術が開示されている別の文献として、特許文献4～9が挙げられる。

[0033] しかしながら、上述した従来技術においては、以下に述べるような課題がある。

[0034] 図1から図6を用いて説明した従来技術においては、テスト信号が正弦波であるためにテスト信号の波形データを格納するROMが必要である、なめらかなテスト信号を発生するために相応のクロックスピードで動作を行うことが必要である、エンベロープ検出部の出力をA/D変換するA/D変換器が必要である、といった課題がある。

[0035] 特許文献1に開示されている従来技術においては、I/Q直交座標上の2点のみをテスト信号に用いるため、テスト信号が簡略化される。しかしながら、特許文献1に開示されているのは、I/Q位相ミスマッチを補償する方法のみで、I/Q振幅ミスマッチを補償する方法は開示されていない。また、特許文献1に開示されている方法でI/Q位相ミスマッチの補償動作を行うには、直交変調器の入力換算での直流オフセット、すなわち直交変調器の出力換算でのキャリアリークが充分低く抑圧されていて、かつI/Q振幅ミスマッチが充分低く抑圧されている必要がある。

[0036] ここで、特許文献1に開示されている方法について、図7および図8を参照して詳細に説明する。ここでは、テスト信号として、I/Q直交座標上の第1象限と第2象限の2点を用いて、直交変調器のI/Q位相ミスマッチを補償する場合を例に挙げて考える。

[0037] 図7は、直交変調器の補償動作に用いる2点のテスト信号の例を示す図である。ここでは、直交変調器には、直流オフセット、I/Q位相ミスマッチ、およびI/Q振幅ミスマッチは全くない場合を想定している。図7において、点5が第1象限の点、点6が第2象限の点である。

[0038] 特許文献1に開示されている方法によれば、原点から点5までの距離と、原点から点6までの距離とを、直交変調器の出力信号の包括線の振幅を検出することにより求め、これらの距離が等しくなる条件をI/Q位相ミスマッチの存在しない条件として求める。よって、直交変調器が理想的な状態にある場合、特許文献1に開示されている方法は、明らかに正しく機能する。

[0039] しかしながら、直交変調器には、その製造精度の問題から、必ず入力換算の直流オフセットが存在する。

[0040] 図8は、直交変調器に直流オフセットが存在する場合に、その直交変調器の補償動作に用いる2点のテスト信号の例を示す図である。ここでも、直交変調器には、I/Q位相ミスマッチおよびI/Q振幅ミスマッチが全くない場合を想定している。

[0041] 図8の例では、I成分に正の直流オフセットが発生し、Q成分に負の直流オフセットが発生している点が図7の例とは異なる。よって、直交変調器への入力がない場合でも、点0'に相当するキャリアリークが発生している。この直流オフセットのため、点5、点6は、それぞれ右下方向の点5'、点6'にシフトする。

[0042] 特許文献1に開示されている方法によれば、原点から点5'までの距離と、原点から点6'までの距離を、直交変調器の出力信号のエンベロープを検出することにより求め、これらの距離が等しくなる条件をI/Q位相ミスマッチの存在しない条件として求める。

[0043] しかしながら、図8の例によれば、I/Q位相ミスマッチがないにも関わらず、明らかに原点から点5'までの距離の方が、原点から点6'までの距離よりも長くなっている。すなわち、直交変調器に直流オフセットが存在する場合、特許文献1に開示されている方法は、正しく機能しない。

[0044] また、仮に図7の例で、原点から点5までの距離と、原点から点6までの距離が等しくなる条件が求まった場合でも、その時のテスト信号のI成分とQ成分の振幅に基づいて、角度またはその正弦波関数値としてI/Q位相ミスマッチ量を求めるには、I/Q振幅ミスマッチ量が既知である必要がある。すなわち、I/Q振幅ミスマッチ量およびI/Q位相ミスマッチ量という2つの既知でない量を知るには、原点から点5までの距離と、原点から点6までの距離が等しいという1つの方程式だけでは不十分であり、もう1つ別の方程式が必要である。実際、特許文献1に開示されている数式には、I/Q振幅ミスマッチの影響は考慮されていない。

[0045] ここで、テスト信号として、 $(I, Q) = (1.05, 1.00)$ 、 $(-0.95, 1.00)$ の2つの点を直交変調器に入力したときに、直交変調器の出力信号の信号強度が等しく、かつ、直交変調器において、I成分の振幅の方がQ成分の振幅よりもk倍高くなるI/Q振

幅ミスマッチが発生している状況を想定する。このとき、I/O位相ミスマッチ量をXとおくと、次の数式1が成り立つ。

[0046] [数1]

$$(1.00 \cos X)^2 + (1.05k + 1.00 \sin X)^2 = (1.00 \cos X)^2 + (0.95k + 1.00 \sin X)^2$$

よって、明らかに、kが事前に分かっている限り、I/O位相ミスマッチ量Xを求めることができないことがわかる。

[0047] この問題を回避する方法として、特許文献1に開示されている方法を実行する前に、直交変調器の直流オフセットとI/Q振幅ミスマッチを、別の従来技術を用いて補償する方法も考えられる。

[0048] しかしながら、現実には、直流オフセットを補償するにはD/A変換器を用いる必要がある。また、D/A変換器を用いる場合、D/A変換器の分解能の問題から、一定量の直流オフセットが残留することは避けられない。加えて、通常の無線通信方式で許容されるキャリアリークの量、すなわち直交変調器の入力換算での直流オフセットの値は、送信総電力に対して−15〜−20dB程度と、比較的大きな値が許容されている。それにもかかわらず、特許文献1に開示されている方法を用いるには、無線通信方式で許容されている直流オフセットの量と比較すると、格段に厳しい精度で直流オフセットを取り除く必要があり、実装の複雑化を招く。

[0049] 特許文献2に開示されている従来技術においては、正弦波のテスト信号を発生するテスト信号発生部や、A/D変換器が必要になるなど、構成が複雑化するという課題がある。

[0050] 特許文献3に開示されている従来技術においては、構成が複雑化するという課題に加え、補償動作に用いるI/Q直交ダウンコンバータのI/Q精度などが、補償動作の誤差要因になるという課題がある。すなわち、精度の高い補償動作を行うには、I/Q精度などが高いI/Q直交ダウンコンバータが必要となる。しかしながら、変調精度の高い直交変調器が実現できないが故に、補償動作を行うのであるのに、そのための手段としてI/Q精度の高いI/Q直交ダウンコンバータを必要とするのは矛盾するといえる。

- [0051] 特許文献4, 5に開示されている従来技術においても、上述したようにテスト信号発生部やA/D変換器などが必要になるなど、構成が複雑化するという課題があるが、この課題を解決する手段は特許文献4, 5には開示されていない。
- [0052] 特許文献6に開示されている従来技術においては、直交変調器の出力信号の信号強度が等しくなる位相平面上の4点を求めて、I/Q位相ミスマッチと直流オフセットの補償量を同時に求めている。しかしながら、この技術においても、A/D変換器が必要になる。また、A/D変換器の限られた分解能の範囲で得られたデータから、特許文献6の式(6)の12変数の4連立方程式を解いて補償量を求める必要がある。このため、4連立方程式を解くためにハードウェアを追加しなければならないという課題と、補償量の精度が悪くなる場合があるという課題がある。また、事前にI/Q振幅ミスマッチ量を求めておく必要があるという課題の解決方法については、特許文献6には開示されていない。
- [0053] 特許文献7に開示されている従来技術においては、直交変調器の入力信号の各々の信号強度と、直交変調器の出力信号の信号強度との3つの情報から、I/Q振幅ミスマッチの補償量を求めている。しかしながら、この技術においても、A/D変換器が必要である。また、直流オフセットやI/Q位相ミスマッチが、直交変調器の出力信号の信号強度に与える影響が考慮されていない。そのため、この技術は、直流オフセットやI/Q振幅ミスマッチが存在しないときにしか正確に動作しない。
- [0054] 特許文献8, 9に開示されている従来技術においては、I/Q位相ミスマッチ、I/Q振幅ミスマッチの補償動作時に、検出系として直交復調器を用いるため、この直交復調器の精度が、補償動作の誤差要因となるという課題がある。すなわち、精度の高い補償動作を行うには、I/Q精度などが高い直交復調器が必要となる。しかしながら、変調精度の高い直交変調器が実現できないが故に、補償動作を行うのであるのに、そのための手段としてI/Q精度の高い直交復調器を必要とするのは矛盾するといえる。また、I/Q位相ミスマッチの補償動作時には、直交復調器に直流オフセットが残留していると、この直流オフセットが送信ベースバンド信号を補正する補償量のオフセットとなって反映されるため、直交変調器のキャリアリークを増加させることに繋がる。直交復調器を補償する手段を設け、直交復調器の補償動作を行った後に直交変

調器の補償動作を行う構成も考えられるが、直交復調器を補償する手段については、特許文献8, 9には開示されていない。

- [0055] また、特許文献8, 9に開示されている従来技術においては、補償動作時に直交復調器を用いていることから、A/D変換器により直交復調器の出力信号をデジタル信号に変換した後、I/Q位相ミスマッチ量を求め、さらにこれを補償する補償量を求めるための演算処理を行う。すなわち、A/D変換器の限られた分解能の範囲で得られたデータから、I/Q位相ミスマッチ量と補償量を求める必要があることから、補償量の精度が悪くなる場合があるという課題がある。この課題の解決方法については、特許文献8, 9には開示されていない。

特許文献1:特開2002-252663号公報

特許文献2:特開平08-213846号公報

特許文献3:特表平09-504673号公報

特許文献4:特開2004-007083号公報

特許文献5:特表2004-509555号公報

特許文献6:国際公開第2003/101061号パンフレット

特許文献7:特開平06-350658号公報

特許文献8:特開2004-274288

特許文献9:特開2004-363757

発明の開示

- [0056] 本発明の目的は、構成が複雑化せず、かつ、残留直流オフセットの影響を低減して直交変調器のI/Qミスマッチを補償することができる信号処理回路を提供することにある。

- [0057] 上記目的を達成するために本発明は、
直交変調器の出力信号のI/Q成分の振幅が不一致になるI/Q振幅ミスマッチと、
前記直交変調器の出力信号のI/Q成分の位相差が90度からずれるI/Q位相ミスマッチとを含むI/Qミスマッチを補償するための信号処理回路であって、
前記直交変調器に入力されるテスト信号であってI/Q直交座標上で原点に対して互いに点対称な位置にある2点からなる組を2組とした計4点のテスト信号を順次発

生し、前記直交変調器のベースバンドポートに向けて出力するテスト信号発生手段と、

前記4点のテスト信号を発生した時の前記直交変調器の出力信号の包絡線の振幅を検出して出力する検出手段と、

前記2組のテスト信号の各組ごとに、当該組の2点のテスト信号を発生した時の前記検出部の出力信号の平均値を算出して出力する算出手段と、

前記2組のテスト信号を発生した時の各々の前記平均値が互いに等しくなるように前記テスト信号の振幅および／または位相を調整し、該調整結果に基づいてI/Qミスマッチ量を算出する制御手段とを有することを特徴とするものである。

[0058] この構成によれば、原点に対して互いに点対称な位置にある2点からなる組を2組とした計4点のテスト信号を発生し、かつ各組の2点のテスト信号を発生した時の直交変調器の出力信号の振幅の包絡線の振幅の平均値を用いてI/Qミスマッチ量を算出しているため、残留直流オフセットの影響を除去することが可能になる。

[0059] また、原点に対して互いに点対称な位置にある2点からなる組を2組とした計4点のテスト信号を用いるため、テスト信号を矩形波として単純化することが可能となる。そのため、正弦波のテスト信号を発生する手段が不要となり、また、テスト信号のデータを格納する記憶領域が小さくて済むため、構成が複雑化することがない。

図面の簡単な説明

[0060] [図1]従来の信号処理回路の全体構成の一例を示すブロック図である。

[図2]従来の直交変調器の補償動作に用いる典型的なテスト信号を示す図である。

[図3]理想的な状態の直交変調器の出力信号のコンスタレーションを示す図である。

[図4]直流オフセットがある直交変調器の出力信号のコンスタレーションを示す図である。

[図5]I/Q振幅ミスマッチがある直交変調器の出力信号のコンスタレーションを示す図である。

[図6]I/Q位相ミスマッチがある直交変調器の出力信号のコンスタレーションを示す図である。

[図7]特許文献1に開示された方法にて用いる2点のテスト信号を示す図である。

[図8]特許文献1に開示された方法にて用いる2点のテスト信号が、直流オフセットの影響を受けてシフトする状態を示す図である。

[図9]本発明の第1の実施形態の信号処理回路の全体構成を示すブロック図である。

[図10]図9に示した比較部の構成を示すブロック図である。

[図11]図10に示したサンプル平均値算出部の構成を示すブロック図である。

[図12]図10に示したサンプル平均値算出部の構成を示す回路図である。

[図13]図9に示した補正部の構成を示す図である。

[図14]図13に示した補正部の構成を増幅器と加算器で表した図である。

[図15]図9に示した信号処理回路における一連の補償動作を説明するフローチャートである。

[図16]図9に示した信号処理回路におけるI/Q振幅ミスマッチの補償動作を説明するフローチャートである。

[図17]図9に示した信号処理回路におけるI/Q振幅ミスマッチの補償動作を説明するタイミングチャートである。

[図18]図9に示した信号処理回路におけるI/Q位相ミスマッチの補償動作を説明するフローチャートである。

[図19]図9に示した信号処理回路におけるI/Q位相ミスマッチの補償動作を説明するタイミングチャートである。

[図20]図9に示した信号処理回路にてI/Q振幅ミスマッチの補償動作に用いる4点のテスト信号が、直流オフセットの影響を受けてシフトする状態を示す図である。

[図21]図9に示した信号処理回路にてI/Q振幅ミスマッチの補償動作に用いる4点のテスト信号が、直流オフセットと振幅ミスマッチの影響を受けてシフトする状態を示す図である。

[図22]図9に示した信号処理回路にてI/Q位相ミスマッチの補償動作に用いる4点のテスト信号が、直流オフセットの影響を受けてシフトする状態を示す図である。

[図23]図9に示した信号処理回路にてI/Q位相ミスマッチの補償動作に用いる4点のテスト信号が、直流オフセットと位相ミスマッチの影響を受けてシフトする状態を示す図である。

[図24]本発明の第2の実施形態の信号処理回路の全体構成を示すブロック図である。
。

[図25]本発明の第3の実施形態の信号処理回路の全体構成を示すブロック図である。
。

[図26]図25に示した信号処理回路におけるI/Q振幅ミスマッチの補償動作を説明するフローチャートである。

[図27]図25に示した信号処理回路におけるI/Q位相ミスマッチの補償動作を説明するフローチャートである。

[図28]本発明の第4の実施形態の信号処理回路に係る比較部の構成を示すブロック図である。

[図29]本発明の第5の実施形態の信号処理回路の全体構成を示すブロック図である。
。

[図30]図29に示した信号処理回路におけるI/Q振幅ミスマッチの補償動作を説明するフローチャートである。

[図31]図29に示した信号処理回路におけるI/Q位相ミスマッチの補償動作を説明するフローチャートである。

[図32]本発明の第6の実施形態の信号処理回路の全体構成を示すブロック図である。
。

[図33]本発明の第7の実施形態の信号処理回路の全体構成を示すブロック図である。
。

[図34]図33に示した信号処理回路におけるI/Q振幅ミスマッチの補償動作を説明するフローチャートである。

[図35]図33に示した信号処理回路におけるI/Q位相ミスマッチの補償動作を説明するフローチャートである。

発明を実施するための最良の形態

[0061] 以下に、本発明を実施するための最良の形態について図面を参照して説明する。
なお、本発明においては、直交変調器のI/Qミスマッチを補償することを主目的としており、直交変調器の直流オフセットを補償する手段としては任意の従来技術(例え

ば、特開平5-14429号公報、特開平7-58791号公報に開示された手段)を用いることを想定している。そのため、以下で説明する図面においては、直交変調器の直流オフセットを補償する手段は省略されている。

[0062] (第1の実施形態)

図9は、本発明の第1の実施形態の信号処理回路の全体構成を示すブロック図である。

[0063] 図9を参照すると、本実施形態の信号処理回路は、送信BB(ベースバンド)信号発生部1と、I/Qミスマッチ補償部2と、テスト信号発生部3と、スイッチ4と、D/A変換器 5_I , 5_Q と、ミキサ 6_I , 6_Q と、加算器7と、エンベロープ検出部8と、比較部9と、制御部10とを有している。

[0064] 送信BB信号発生部1は、送信動作時に、送信ベースバンド信号を発生する。

[0065] I/Qミスマッチ補償部2は、補償動作時に、直交変調器のI/Qミスマッチを補償するための補償量が制御部10により設定され、送信動作時に、制御部10により設定された補償量に基づいて、送信BB信号発生部1で発生した送信ベースバンド信号を補正する。

[0066] テスト信号発生部3は、補償動作時に、制御部10の制御の元で、I/Q直交座標上で原点に対して互いに点対称な位置にある2点からなる組を2組とした計4点のテスト信号を発生する。

[0067] 具体的には、テスト信号発生部3は、I/Q振幅ミスマッチの補償動作時には、I成分のみが正である点とI成分のみが負である点からなる組と、Q成分のみが正である点とQ成分のみが負である点からなる組との2組の計4点のテスト信号を発生する。

[0068] また、テスト信号発生部3は、I/Q位相ミスマッチの補償動作時には、第1象限にある点と第3象限にある点からなる組と、第2象限にある点と第4象限にある点からなる組との2組の計4点のテスト信号を発生する。

[0069] スイッチ4は、補償動作時に、テスト信号発生部3で発生したテスト信号を選択し、送信動作時に、I/Qミスマッチ補償部2で補正された信号を選択する。

[0070] D/A変換器 5_I は、スイッチ4により選択された信号のI成分をデジタル信号からアナログ信号にD/A変換し、D/A変換器 5_Q は、スイッチ4により選択された信号のQ

成分をデジタル信号からアナログ信号にD/A変換する。

- [0071] ミキサ 6_I は、D/A変換器 5_I によりD/A変換された信号のI成分をローカル信号のI成分とミキシングしてアップコンバートし、ミキサ 6_Q は、D/A変換器 5_Q によりD/A変換された信号のQ成分をローカル信号のQ成分とミキシングしてアップコンバートする。
- [0072] 加算器7は、ミキサ 6_I でミキシングされた信号のI成分とミキサ 6_Q でミキシングされた信号のQ成分とを加算する。このように直交変調された信号が本信号処理回路の出力信号となる。
- [0073] エンベロープ検出部8は、直交変調器の出力信号の包絡線(エンベロープ)の振幅を検出する。
- [0074] 比較部9は、テスト信号の各組ごとに、その組の2点のテスト信号に対するエンベロープ検出部8の出力の平均値を算出し、さらに、各組の平均値同士を比較する。
- [0075] 具体的には、比較部9は、I/Q振幅ミスマッチの補償動作時には、I成分のみ正と負のテスト信号を発生した時のエンベロープ検出部8の出力の平均値と、Q成分のみ正と負のテスト信号を発生した時のエンベロープ検出部8の出力の平均値とを算出し、算出した平均値同士を比較する。
- [0076] また、比較部9は、I/Q位相ミスマッチの補償動作時には、第1象限と第3象限のテスト信号を発生した時のエンベロープ検出部8の出力の平均値と、第2象限と第4象限のテスト信号を発生した時のエンベロープ検出部8の出力の平均値とを算出し、算出した平均値同士を比較する。
- [0077] 制御部10は、補償動作時に、テスト信号発生部3を制御して上述の計4点のテスト信号を発生させるとともに、比較部9における比較結果に基づいて直交変調器のI/Qミスマッチ量を算出し、I/Qミスマッチを補償するための補償量を生成してI/Qミスマッチ補償部2に設定する。
- [0078] 具体的には、制御部10は、I/Q振幅ミスマッチの補償動作時には、I成分のみ正と負のテスト信号を発生した時のエンベロープ検出部8の出力の平均値と、Q成分のみ正と負のテスト信号を発生した時のエンベロープ検出部8の出力の平均値とが等しくなるように、テスト信号のI成分の振幅を更新する処理を所定回数繰り返す。そして、

制御部10は、最終的に得られた、テスト信号のI成分の振幅とQ成分の振幅との比率から、I/Q振幅補償量を算出する。

[0079] また、制御部10は、I/Q位相ミスマッチの補償動作時には、第1象限と第3象限のテスト信号を発生した時のエンベロープ検出部8の出力の平均値と、第2象限と第4象限のテスト信号を発生した時のエンベロープ検出部8の出力の平均値とが等しくなるように、第1象限と第3象限にあるテスト信号のI成分の振幅と第2象限と第4象限にあるテスト信号のI成分の振幅とをそれぞれ更新する処理を所定回数繰り返す。そして、制御部10は、最終的に得られた、第1象限と第3象限にあるテスト信号のI成分の振幅と第2象限と第4象限にあるテスト信号のI成分の振幅との比率から、I/Q位相補償量を算出する。

[0080] ここで、図9に示した比較部9およびI/Qミスマッチ補償部2の構成について詳細に説明する。

[0081] 図10は、図9に示した比較部9の構成を示すブロック図である。

[0082] 図10を参照すると、比較部9は、サンプル平均値算出部91A, 91Bと、コンパレータ92とを有している。

[0083] サンプル平均値算出部91Aは、一方の組の2点のテスト信号を発生している時に、エンベロープ検出部8の出力をそれぞれ記憶し、その平均値を算出して出力する。

[0084] サンプル平均値算出部91Bは、他方の組の2点のテスト信号を発生している時に、エンベロープ検出部8の出力をそれぞれ記憶し、その平均値を算出して出力する。

[0085] コンパレータ92は、サンプル平均値算出部91A, 91Bの出力の大小を比較し、その比較結果を制御部10に出力する。

[0086] 図11は、図10に示したサンプル平均値算出部91A, 91Bの構成を示すブロック図である。

[0087] 図11を参照すると、サンプル平均値算出部91A, 91Bは、サンプル保持回路93A, 93Bと、平均値算出回路94とを有している。

[0088] サンプル保持回路93Aは、同組の一方のテスト信号を発生している時のエンベロープ検出部8の出力を記憶し、サンプル保持回路93Bは、同組の他方のテスト信号を発生している時のエンベロープ検出部8の出力を記憶する。

- [0089] 平均値算出回路94は、サンプル保持回路93A, 93Bに記憶された値の平均値を算出し、制御部10に出力する。
- [0090] 図12は、図10に示したサンプル平均値算出部91A, 91Bの構成を示す回路図である。
- [0091] 図12を参照すると、サンプル平均値算出部91A, 91Bは、容量C1～C3と、スイッチS1～S8とを有している。なお、容量C1とC2は同じ容量値であるものとする。
- [0092] 初期状態では、スイッチS1, S3, S8はoff、その他のスイッチは全てonである。よって、容量C1, C2, C3は放電している。
- [0093] 次に、スイッチS4がoffとなり、次いでスイッチS1がonとなる。それにより、その時点で入力電圧(電圧情報1:同組の一方のテスト信号を発生している時のエンベロープ検出部8の出力に相当する電圧)が、容量C1に電荷として蓄えられる。
- [0094] 次に、スイッチS1がoffとなり、容量C1は電荷保持状態になる。
- [0095] 次に、スイッチS5がoffとなり、次いでスイッチS3がonとなる。それにより、その時点での入力電圧(電圧情報2:同組の一方のテスト信号を発生している時のエンベロープ検出部8の出力に相当する電圧)が、容量C2に電荷として蓄えられる。
- [0096] 次に、スイッチS3がoffとなり、容量C2は電荷保持状態になる。
- [0097] 次に、スイッチS6, S2がoffとなる。それにより、容量C2, C1を含む図中右側のノードが図中左側のノードから切り離される。
- [0098] 次に、スイッチS4, S5がonとなる。それにより、容量C1, C2の電荷の平均値が容量C1, C2に蓄えられる。すなわち、電圧情報1と電圧情報2の平均値が得られる。
- [0099] 次に、スイッチS6がonになり、上記の平均値に相当する電荷が容量C3に転送される。
- [0100] 次に、スイッチS7がonになり、その次にスイッチS2がonになり、最後にスイッチS8がonになる。それにより、電圧情報1と電圧情報2の平均値に比例した出力電圧が出力される。
- [0101] 図13は、図9に示したI/Qミスマッチ補償部2の構成を示す図である。
- [0102] 図13を参照すると、I/Qミスマッチ補償部2は、送信ベースバンド信号のI/Q成分に対し、2つの行列演算をカスケードに施す。

- [0103] ここで、G1は、I/Q位相ミスマッチを補償するためのI/Q位相補償量を示すパラメータであり、G2は、I/Q振幅ミスマッチを補償するためのI/Q振幅補償量を示すパラメータである。それにより、送信動作時に、送信BB信号発生部にて発生する送信ベースバンド信号は、I成分が $G2I + G1G2Q$ に補正され、Q成分が $(G1/G2)I + (1/G2)Q$ に補正されるため、直交変調部のI/Qミスマッチが補償される。
- [0104] I/Q振幅補償量であるG2については、制御部10は、上述のように、最終的に得られた、テスト信号のI成分の振幅とQ成分の振幅との比率を基にして算出する。
- [0105] より詳細には、最終的に得られたテスト信号の振幅が、I成分の振幅:Q成分の振幅 $=G2:1/G2$ となったとする。この場合、制御部10は、テスト信号のI成分の振幅:Q成分の振幅 $=1/G2:G2$ となるようにG2を選択する。これにより、I/Q振幅ミスマッチを補償することができる。
- [0106] また、I/Q位相補償量であるG1については、制御部10は、上述のように、第1象限と第3象限のテスト信号を発生している時のI成分の振幅と第2象限と第4象限のテスト信号を発生している時のI成分の振幅との比率を基にして算出する。
- [0107] 以下、G1の算出方法について詳細に説明する。
- [0108] 図13の2つの行列のうちの、G1が含まれる左側の行列について考える。
- [0109] ここで、 $I=x$ 、 $Q=1$ という信号を入力すると、左側の行列の出力の大きさは次の数式2で求まる。
- [0110] [数2]

$$\sqrt{(x + G1)^2 + (G1x + 1)^2}$$

一方、 $I=-1/x$ 、 $Q=1$ という信号を入力すると、左側の行列の出力の大きさは次の数式2で求まる。

- [0111] [数3]

$$\sqrt{(-1/x + G1)^2 + (-G1/x + 1)^2}$$

数式2、3の2つの出力の大きさがつりあう条件は、次の数式4で求まる。

- [0112] [数4]

$$\sqrt{(x + G1)^2 + (G1x + 1)^2} = \sqrt{(-1/x + G1)^2 + (-G1/x + 1)^2}$$

数式4を整理すると、次の数式5が得られる。

[0113] [数5]

$$(G1^2 + 1)(x - 1/x) + 4G1 = 0$$

制御部10は、I/Q位相ミスマッチの補償動作時には、第1象限と第3象限のテスト信号を発生している時のI成分の振幅と第2象限と第4象限のテスト信号を発生している時のI成分の振幅との比率を求める。すなわち、この比率が x^2 であり、そのときのG1を数式5から求めればよい。

[0114] 数式5の解の求める方法はいくつか考えられる。ここでは、ハードウェア的に実装が簡単な方法で近似解を求めることについて述べる。

[0115] 一般に、直交変調器のI/Q位相ミスマッチ量はさほど大きくはない。すなわち、上記xは1に近く、G1は0に近い。

[0116] このことを表現するために、 $x = 1 + d$ とおき、これを数式5に代入すると、次の数式6が得られる。

[0117] [数6]

$$(G1^2 + 1)\{(1 + d) - 1/(1 + d)\} + 4G1 = 0$$

数式6において、d、G1が共に1よりも十分に小さいと仮定し、d、G1の高次の項を省略すると、次の数式7が得られる。

[0118] [数7]

$$G1 = d/2 = (x - 1)/2$$

図14は、図13に示したI/Qミスマッチ補償部2を増幅器と加算器で表わした図である。

[0119] 図14を参照すると、図13に示したI/Qミスマッチ補償部2は、入力信号のI成分を

増幅率 $G2$ で増幅する増幅器21と、入力信号の Q 成分を増幅率 $G1 \cdot G2$ で増幅する増幅器22と、入力信号の I 成分を増幅率 $G1/G2$ で増幅する増幅器23と、入力信号の Q 成分を増幅率 $1/G2$ で増幅する増幅器24と、増幅器21, 22の出力を加算する加算器25と、増幅器23, 24の出力を加算する加算器26とで実現することができる。

[0120] 以下、本実施形態の信号処理回路の動作について説明する。

[0121] 図15は、図9に示した信号処理回路における一連の補償動作の流れを説明するフローチャートである。

[0122] 図15を参照すると、本実施形態の信号処理回路は、まず、 I 成分および Q 成分のそれぞれの直流オフセットの補償動作を行い(ステップ71)、次に、 I/Q 振幅ミスマッチの補償動作を行い(ステップ72)、最後に、 I/Q 位相ミスマッチの補償動作を行う(ステップ73)。

[0123] なお、直流オフセットの補償動作は、上述したように、図9には図示されていない従来技術と同様の手段により行われるものであり、本発明の本質的な部分ではない。そのため、以下では、直流オフセットの補償動作の説明は省略し、 I/Q 振幅ミスマッチと I/Q 位相ミスマッチの補償動作についてのみ説明する。

[0124] 図16は、図9に示した信号処理回路における I/Q 振幅ミスマッチの補償動作を説明するフローチャートである。

[0125] 図16を参照すると、まず、制御部10は、テスト信号の I 成分と Q 成分の振幅を初期値に設定する(ステップ201)。具体的には、制御部10は、 I 成分の振幅と Q 成分の振幅とで同じ初期値を選択する。

[0126] 次に、制御部10は、テスト信号の I 成分の振幅を更新する場合の更新単位(以下、修正量1と称す)を初期値に設定する(ステップ202)。

[0127] 次に、制御部10は、 I 成分のみが正で Q 成分が0である点を、テスト信号発生部3にテスト信号として発生させるモードに設定する(ステップ203)。このモードが維持されている間、 D/A 変換器5からはテスト信号に比例したDC信号が出力される。このDC信号は、ミキサ6でローカル信号の I 成分とミキシングされる。よって、直交変調器の出力には、一定振幅の信号が現れる。この信号の振幅は、エンベロープ検出部8で検出される。なお、エンベロープ検出部8は、一般に2乗特性を持っていることから、

エンベロープ検出部8の出力は直交変調器の出力信号の振幅の2乗に比例した信号となる。

[0128] 次に、比較部9は、エンベロープ検出部8の出力を取り込む(ステップ204)。

[0129] 以降、制御部10は、上述のI成分のみが正でQ成分が0である点、I成分のみが負でQ成分が0である点、Q成分のみが正でI成分が0である点、Q成分のみが負でI成分が0である点の計4点の全てについて、そのテスト信号を発生した時のエンベロープ検出部8の出力を比較部9に取り込む試行が終了するまで(ステップ205)、テスト信号のI/Q成分と正負の組み合わせを更新する処理と(ステップ206)、ステップ203, 204の処理とを繰り返す。

[0130] 比較部9は、上記の計4点のテスト信号を発生した時のエンベロープ検出部8の出力の取り込みが終了すると、I成分のみが正となるテスト信号を発生した時のエンベロープ検出部8の出力と、I成分のみが負となるテスト信号を発生した時のエンベロープ検出部8の出力との平均値(これを値1と呼ぶ)を算出する(ステップ207)。

[0131] 次に、比較部9は、Q成分のみが正となるテスト信号を発生した時のエンベロープ検出部8の出力と、Q成分のみが負となるテスト信号を発生した時のエンベロープ検出部8の出力との平均値(これを値2と呼ぶ)を算出する(ステップ208)。

[0132] 次に、比較部9は、値1と値2の大小を比較し、その比較結果を制御部10に渡す(ステップ209)。

[0133] 次に、制御部10は、ステップ209の比較結果に基づいて、値1と値2が等しくなるようにテスト信号のI成分の振幅を更新する。具体的には、ステップ209で値1の方が大きい場合、制御部10は、テスト信号のI成分の振幅を修正量1だけ減らす(ステップ210)。一方、ステップ209で値2の方が大きい場合、制御部10は、テスト信号のI成分の振幅を修正量1だけ増やす(ステップ211)。

[0134] 以降、制御部10は、ステップ203～ステップ210, 211までの試行が所定回数終わるまで(ステップ212)、修正量1を更新する処理と(ステップ213)、ステップ203～ステップ210, 211までの処理とを繰り返す。

[0135] 上記の試行が所定回数終わると、制御部10は、テスト信号のI成分の最終的な振幅とテスト信号のQ成分の振幅との比率に基づいて、直交変調器のI/Q振幅ミスマ

ッチ量を算出し、算出したI/Q振幅ミスマッチ量に基づいてI/Qミスマッチ補償部2に設定するI/Q振幅補償量を算出する(ステップ214)。具体的には、制御部10は、送信動作時に、送信ベースバンド信号のI成分の振幅が、Q成分の振幅に対し、「テスト信号のI成分の振幅/テスト信号のQ成分の振幅」となるように、I/Qミスマッチ補償部2にI/Q振幅補償量を設定する。

[0136] 以上で、I/Q振幅ミスマッチの補償動作を終了する。

[0137] 図17は、図9に示した信号処理回路におけるI/Q振幅ミスマッチの補償動作を説明するタイミングチャートであり、内部信号の時系列的な変化を示している。なお、テスト信号のI成分とQ成分の振幅の初期値は同じ値が設定されている。

[0138] 図17を参照すると、時刻 $t_1 \sim t_4$ において、テスト信号発生部3は、I成分のみが正であるテスト信号、I成分のみが負であるテスト信号、Q成分のみが正であるテスト信号、Q成分のみが負であるテスト信号を順次出力する。

[0139] このとき、I成分のみ正と負であるテスト信号を発生している時のエンベロープ検出部8の出力の平均値は、Q成分のみ正と負であるテスト信号を発生している時のエンベロープ検出部8の出力の平均値よりも小さい。

[0140] そのため、制御部10は、テスト信号のI成分の振幅を修正量1だけ増やし、続いて、修正量1の値を小さい値に更新する。

[0141] 次に、時刻 $t_5 \sim t_8$ において、テスト信号発生部3は、再び4点のテスト信号を出力する。なお、テスト信号のI成分の振幅は修正量1の初期値だけ増えている。

[0142] このとき、I成分のみ正と負であるテスト信号を発生している時のエンベロープ検出部8の出力の平均値は、Q成分のみ正と負であるテスト信号を発生している時のエンベロープ検出部8の出力の平均値よりも大きい。

[0143] そのため、制御部10は、テスト信号のI成分の振幅を修正量1だけ減らし、続いて、修正量1の値を小さい値に更新する。

[0144] 制御部10は、上記のテスト信号を出力してから修正量1の値を更新するまでの動作を、所定回数(図17では5回)繰り返す。

[0145] この間、制御部10は、修正量1の値を徐々に小さくしていくため、平均値同士の差は徐々に0に近づく。そのため、制御部10は、テスト信号のI成分の最終的な振幅と

テスト信号のQ成分の振幅との比率に基づいて、直交変調器のI/Q振幅ミスマッチ量を算出し、算出したI/Q振幅ミスマッチ量に基づいてI/Qミスマッチ補償部2に設定するI/Q振幅補償量を算出する。

[0146] 図18は、図9に示した信号処理回路におけるI/Q位相ミスマッチの補償動作を説明するフローチャートである。

[0147] 図18を参照すると、まず、制御部10は、テスト信号の振幅を初期値に設定する(ステップ301)。具体的には、制御部10は、上述のI/Q振幅ミスマッチの補償結果を踏まえ、I成分の振幅とQ成分の振幅の比率を、I/Q振幅ミスマッチが打ち消されるように初期値を選択する。

[0148] 次に、制御部10は、テスト信号のI成分の振幅を更新する場合の更新単位(以下、修正量2と称す)を初期値に設定する(ステップ302)。

[0149] 次に、制御部10は、変数Nを初期値に設定する(ステップ303)。Nは、テスト信号をI/Q直交座標上にプロットしたときに、そのプロットが存在する象限を表す。従って、Nは1から4までの整数値の中から選ばれる。

[0150] 次に、テスト信号発生部3は、第N象限の点をテスト信号として発生する状態に移移する(ステップ304)。具体的には、テスト信号発生部3は、N=1であれば、テスト信号のI成分およびQ成分の振幅の初期値をともに正とする。この状態が維持されている間、D/A変換器 5_I , 5_Q からはテスト信号に比例したDC信号が出力される。このDC信号はそれぞれ、ミキサ 6_I , 6_Q でローカル信号とミキシングされる。よって、直交変調器の出力には、一定振幅の信号が現れる。この信号の振幅は、エンベロープ検出部8で検出される。なお、エンベロープ検出部8は、一般に2乗特性を持っていることから、エンベロープ検出部8の出力は直交変調器の出力信号の振幅の2乗に比例した信号となる。

[0151] 次に、比較部9は、エンベロープ検出部8の出力を取り込む(ステップ305)。

[0152] 以降、制御部10は、N=1, 2, 3, 4の計4点のテスト信号の全てについて、そのテスト信号を発生した時のエンベロープ検出部8の出力を比較部9に取り込む試行が終了するまで(ステップ306)、Nを更新する処理と(ステップ307)、ステップ304, 305の処理とを繰り返す。

- [0153] 比較部9は、上記の計4点のテスト信号を発生した時のエンベロープ検出部8の出力の取り込みが終了すると、 $N=1$ の時のエンベロープ検出部8の出力と、 $N=3$ の時のエンベロープ検出部8の出力との平均値(これを値3と呼ぶ)を算出する(ステップ308)。
- [0154] 次に、比較部9は、 $N=2$ の時のエンベロープ検出部8の出力と、 $N=4$ の時のエンベロープ検出部8の出力との平均値(これを値4と呼ぶ)を算出する(ステップ309)。
- [0155] 次に、比較部9は、値3と値4の大小を比較し、その比較結果を制御部10に渡す(ステップ310)。
- [0156] 次に、制御部10は、ステップ310の比較結果に基づいて、値3と値4が等しくなるようにテスト信号のI成分の振幅を更新する。具体的には、ステップ310で値3の方が大きい場合、制御部10は、 $N=1, 3$ の時のテスト信号のI成分の振幅を修正量2だけ減らし、 $N=2, 4$ の時のテスト信号のI成分の振幅を修正量2だけ増やす(ステップ311)。一方、ステップ310で値4の方が大きい場合、制御部10は、 $N=1, 3$ の時のテスト信号のI成分の振幅を修正量2だけ増やし、 $N=2, 4$ の時のテスト信号のI成分の振幅を修正量2だけ減らす(ステップ312)。
- [0157] 以降、制御部10は、ステップ303～ステップ311, 312までの試行が所定回数終わるまで(ステップ313)、修正量2を更新する処理と(ステップ314)、ステップ303～ステップ311, 312までの処理とを繰り返す。
- [0158] 上記の試行が所定回数終わると、制御部10は、 $N=1, 3$ の時のテスト信号のI成分の最終的な振幅と $N=2, 4$ の時のテスト信号のI成分の最終的な振幅との比率に基づいて、直交変調器のI/Q位相ミスマッチ量を算出し、算出したI/Q位相ミスマッチ量に基づいてI/Qミスマッチ補償部2に設定するI/Q位相補償量を算出する(ステップ315)。
- [0159] 以上で、I/Q位相ミスマッチの補償動作を終了する。
- [0160] 図19は、図9に示した信号処理回路におけるI/Q振幅ミスマッチの補償動作を説明するタイミングチャートであり、内部信号の時系列的な変化を示している。ここでは、テスト信号のI成分とQ成分の振幅の初期値は、I/Q振幅ミスマッチが打ち消されるように互いに異なった値が設定されている。

- [0161] 図19を参照すると、時刻 $t_1 \sim t_4$ において、テスト信号発生部3は、I/Q直交座標において、第1象限、第3象限、第2象限、第4象限にあるテスト信号を順次出力する。
- [0162] このとき、第1象限と第3象限にあるテスト信号を発生している時のエンベロープ検出部8の出力の平均値は、第2象限と第4象限にあるテスト信号を発生している時のエンベロープ検出部8の出力の平均値よりも大きい。
- [0163] そのため、制御部10は、第1象限と第3象限にあるテスト信号のI成分の振幅を修正量2だけ減らすとともに、第2象限と第4象限にあるテスト信号のI成分の振幅を修正量2だけ増やし、続いて、修正量2の値を小さい値に更新する。
- [0164] 次に、時刻 $t_5 \sim t_8$ において、テスト信号発生部3は、再び4点のテスト信号を出力する。なお、第1象限と第3象限にあるテスト信号のI成分の振幅は修正量2だけ減っており、第2象限と第4象限にあるテスト信号のI成分の振幅は修正量2だけ増えている。
- [0165] このときも、第1象限と第3象限にあるテスト信号を発生している時のエンベロープ検出部8の出力の平均値は、第2象限と第4象限にあるテスト信号を発生している時のエンベロープ検出部8の出力の平均値よりも大きい。
- [0166] そのため、制御部10は、第1象限と第3象限にあるテスト信号のI成分の振幅を修正量2だけ減らすとともに、第2象限と第4象限にあるテスト信号のI成分の振幅を修正量2だけ増やし、続いて、修正量2の値を小さい値に更新する。
- [0167] 制御部10は、上記のテスト信号を出力してから修正量2の値を更新するまでの動作を、所定回数(図19では5回)繰り返す。
- [0168] この間、制御部10は、修正量2の値を徐々に小さくしていくため、平均値同士の差は徐々に0に近づく。そのため、制御部10は、第1象限と第3象限にあるテスト信号のI成分の振幅と第2象限と第4象限にあるテスト信号のI成分の振幅との比率に基づいて、直交変調器のI/Q位相ミスマッチ量を算出し、算出したI/Q位相ミスマッチ量に基づいてI/Qミスマッチ補償部2に設定するI/Q位相補償量を算出する。なお、I/Q位相ミスマッチ量とI/Q位相補償量の算出方法については、I/Q振幅ミスマッチ量とQ成分の振幅とが既知であるため、例えば、特許文献1に記載されている方法を

用いることができる。

[0169] ここで、本実施形態の第1の利点について図20および図21を参照して説明する。

[0170] 図20を参照すると、I/Q振幅ミスマッチの補償動作に用いる4点のテスト信号を、 $(I, Q) = (1, 0)$ 、 $(0, 1)$ 、 $(-1, 0)$ 、 $(0, -1)$ と仮定する。

[0171] 直交変調器にI/Q振幅ミスマッチがなく、かつ直流オフセットも無い場合、 $(I, Q) = (1, 0)$ 、 $(0, 1)$ 、 $(-1, 0)$ 、 $(0, -1)$ という4点はシフトせず、図20に白丸で示した点1〜4に相当する。

[0172] 一方、直交変調器に直流オフセットが存在し、原点が図20の点0'にシフトする場合、上記4点は図20に黒丸で示した点1'〜4'にシフトする。

[0173] 本実施形態によれば、まず、原点から点1'までの距離の2乗と原点から点3'までの距離の2乗との平均値が得られる。次に、原点から点2'までの距離の2乗と原点から点4'までの距離の2乗との平均値が得られる。次に、上記の2つの平均値の差が小さくなるようにループ処理が行われ、最終的に得られるテスト信号のI成分の振幅とQ成分の振幅との比率からI/Q振幅ミスマッチ量が求まる。上記で距離の2乗の平均値を得る処理の段階で、残留直流オフセットの影響が完全に除去され、期待通りの動作が実現される。

[0174] 以上の動作を定量的に説明するため、直流オフセット量、すなわち図20の点0'の座標を、 (a, b) と表す。原点から点1'までの距離の2乗は、 $(1+a)^2 + b^2$ となる。一方、原点から点3'までの距離の2乗は、 $(1-a)^2 + b^2$ となる。両者を平均すると、 $1 + a^2 + b^2$ となる。一方、原点から点2'までの距離の2乗と原点から点4'までの距離の2乗との平均は、やはり $1 + a^2 + b^2$ となる。すなわち、直流オフセットの影響は完全に除去されている。

[0175] 図21を参照すると、I/Q振幅ミスマッチの補償動作に用いる4点のテスト信号を、 $(I, Q) = (1, 0)$ 、 $(0, 1)$ 、 $(-1, 0)$ 、 $(0, -1)$ と仮定する。これら4点は、図21に白丸で示した点1〜4に相当する。

[0176] ところが、現実の送信装置では、I/Q振幅ミスマッチにより、これらの点が、黒三角で示した点1''〜4''にシフトする。これらの点1''〜4''は長方形をなし、かつその長方形の対角線の交点は原点に位置する。

[0177] 現実の送信装置では、これにさらに直流オフセットが加わり、原点が図21の0'''にシフトする。その時の上記4点は図21に黒丸で示した点1'''~4'''にシフトする。

[0178] 本実施形態によれば、I/Q振幅ミスマッチの補償動作において、原点に対して互いに点対称な位置にある2点を1組とした2組の計4点のテスト信号を用い、かつエンベロープ検出部8の2乗特性と平均処理とを併用することにより、I/Q振幅ミスマッチだけでなく、残留直流オフセットの影響も完全に除去することができる。

[0179] 次に、本実施形態の第2の利点について図22および図23を参照して説明する。

[0180] 図22および図23を参照すると、I/Q位相ミスマッチの補償動作に用いる $N=1, 2, 3, 4$ の4点のテスト信号を、 $(I, Q) = (1, k), (-1, k), (-1, -k), (1, -k)$ と仮定する。ここで、 k は、I/Q振幅ミスマッチを補償するように選ばれている。よって、I成分の利得を1とした場合、 $N=1\sim 4$ の4点のテスト信号は、 $(I, Q) = (1, 1), (-1, 1), (-1, -1), (1, -1)$ となる。

[0181] 図22を参照すると、直交変調器にI/Qミスマッチがなく、かつ直流オフセットも無い場合、 $(I, Q) = (1, 1), (-1, 1), (-1, -1), (1, -1)$ の4点のテスト信号はシフトせず、図22に白丸で示した点5~8に相当する。既に説明したとおり、この状態では、特許文献1に開示されている方法は正常に機能する。

[0182] 一方、直交変調器に直流オフセットが存在し、原点が図22の点0'にシフトする場合、上記4点は図22に黒丸で示した点5'~8'にシフトする。この場合、特許文献1に開示されている方法は、正常に機能しない。

[0183] これに対し、本実施形態によれば、2乗特性を持つエンベロープ検出部8の出力を利用することにより、まず、原点から点5'までの距離の2乗と原点から点7'までの距離の2乗との平均値が得られる。次に、原点から点6'までの距離の2乗と原点から点8'までの距離の2乗との平均値が得られる。次に、上記の2つの平均値の差が小さくなるようにループ処理が行われ、最終的に得られるテスト信号の振幅から、I/Q位相ミスマッチ量が求まる。上記で距離の2乗の平均値を取る処理の段階で、直流オフセットの影響が完全に除去され、期待通りの動作が実現される。

[0184] 以上の動作を定量的に説明するため、直流オフセット量、すなわち図22の0'の座標を、 (a, b) と表す。原点から点5'までの距離の2乗は、 $(1+a)^2 + (1+b)^2$ となる

。一方、原点から点7'までの距離の2乗は、 $(1-a)^2 + (1-b)^2$ となる。両者を平均すると、 $1+a^2+b^2$ となる。一方、原点から点6'までの距離の2乗と原点から点8'までの距離の2乗との平均は、やはり $1+a^2+b^2$ となる。すなわち、直流オフセットの影響は完全に除去されている。

[0185] 図23を参照すると、I/Q位相ミスマッチの補償動作に用いる4点のテスト信号を、 $(I, Q) = (1, 1), (1, -1), (-1, 1), (-1, -1)$ と仮定する。これら4点は、図23に白丸で示した点1～4に相当する。

[0186] ところが、現実の送信装置では、I/Q位相ミスマッチにより、これらの点が、黒三角で示した点5'''～8'''に移動する。これらの点5'''～8'''は菱形をなし、かつその菱形の対角線の交点は原点に位置する。この状態では、特許文献1に開示されている方法は正常に機能する。

[0187] しかしながら、現実の送信機では、これにさらに直流オフセットが加わり、原点が図23の点0'''にシフトする。その時の上記4点は図23に黒丸で示した点5''''～8''''にシフトする。この場合、特許文献1に開示されている方法は、正常に機能しない。

[0188] これに対し、本実施形態によれば、I/Q振幅ミスマッチの補償動作において、第1象限から第4象限までの4点のテスト信号を用い、かつエンベロープ検出部8の2乗特性と平均処理とを併用することにより、I/Q位相ミスマッチだけでなく、残留直流オフセットの影響も完全に除去することができる。

[0189] 本実施形態の第3の利点は、特許文献1に開示されている方法と同様に、単純化したテスト信号を用いつつ、特許文献1には記載されていない、直交変調器のI/Q振幅ミスマッチの補償動作も実現できることである。

[0190] 本実施形態の第4の利点について説明する。

[0191] 本実施形態においては、正弦波のテスト信号を用いる従来技術と比較すると、テスト信号が矩形波となり単純化されている。このため、テスト信号のデータを格納するROM領域が小さくて済む。また、正弦波をデジタル的に発生する場合、1波長を時間方向に複数のクロック、典型的には数十クロックに分けて表現する必要がある。これに対し、本実施形態で用いる矩形波のテスト信号の場合、最小で1波長を2クロックで表現できる。従って、補償動作に用いるテスト信号の周波数を同等にした場合、

より遅いクロックで系が動けば良く、インプリメンテーションの難易度が下がる、消費電力が減るなどのメリットが得られる。

[0192] 本実施形態の第5の利点について説明する。

[0193] 本実施形態においては、4つの条件下でエンベロープ検出部8の出力値を取り込み、その出力値を2個ずつの2グループに分け、それぞれの平均値を比較する。その際、平均値の大小関係だけがわかればよいことから、エンベロープ検出部8に接続するA/D変換器を設ける必要がない。このことから、インプリメンテーションの難易度を下げられる。

[0194] 本実施形態の第6の利点について説明する。

[0195] 図15に示したフローチャートによれば、最初に、I成分およびQ成分のそれぞれの直流オフセットの補償動作が実行される。しかしながら、既に述べたとおり、D/A変換器 5_I , 5_Q の分解能の問題から、直流オフセットの補償動作を行った後にも、ある程度の直流オフセットが残留する。本実施形態によれば、この残留直流オフセットの影響を受けずに、I/Q振幅ミスマッチとI/Q位相ミスマッチの補償動作を行うことができる。

[0196] なお、本実施形態においては、図15に示したフローチャートにおいて、直流オフセットの補償動作の後に、I/Q振幅ミスマッチおよびI/Q位相ミスマッチの補償動作を実行していたが、これに限定されない。上述のように、本実施形態によるI/Q位相ミスマッチの補償動作とI/Q振幅ミスマッチの補償動作は、残留直流オフセットの影響を受けない。そのため、直流オフセットの補償動作の前に、I/Q振幅ミスマッチの補償動作またはI/Q位相ミスマッチの補償動作を行うことが可能である。

[0197] また、本実施形態においては、図15に示したフローチャートにおいて、直流オフセット、I/Q振幅ミスマッチ、およびI/Q位相ミスマッチの補償動作を全て実行していたが、これに限定されない。すなわち、送信装置に適用される無線通信方式が直流オフセットに関して緩い規格値を定めている場合、直流オフセットの補償動作を行わなくとも、規格値を達成することができる場合がある。また、本実施形態によるI/Q振幅ミスマッチの補償動作は、残留直流オフセットの影響を受けない。そのため、直流オフセットの補償動作を行うことなく、I/Q振幅ミスマッチおよびI/Q位相ミスマッチ

を行うことが可能である。また、別の例として、送信装置の構成上、補償動作を行わなくとも、 I/Q 振幅ミスマッチが無視できるくらい小さい場合がある。その場合、 I/Q 振幅ミスマッチの補償動作を省略することができる。さらに、別の例として、送信装置に適用される無線通信方式が I/Q 位相ミスマッチに関して補償動作を行わなくても規格値を達成できるような場合がある。その場合、 I/Q 位相ミスマッチの補償動作を省略することができる。

[0198] また、本実施形態においては、図16と図18のフローチャートにおいて試行を繰り返す回数が固定されていることを想定しているが、これに限定されない。すなわち、制御部10は、テスト信号のI成分の振幅の更新前後の比率を算出し、算出した比率を予め設定された閾値と比較し、比較結果に基づいて試行を行う回数を決定しても良い。

[0199] また、本実施形態においては、図16と図18の2つのフローチャートの処理をそれぞれ独立に行っているが、これに限定されない。すなわち、図16と図18の2つのフローチャートをマージすることができる。具体的には、図16のステップ203からステップ210, 211までの試行と図18のステップ303からステップ311, 312までの試行とを、交互に実行することができる。また、このマージしたフローチャートに、さらに従来技術による直流オフセットの補償動作の処理をマージすることも可能である。

[0200] また、本実施形態においては、エンベロープ検出部8として、2乗特性を持つものを用いたが、これに限定されず、べき数が1よりも大きく3よりも小さい値であるべき特性を持つものを用いても良い。または、エンベロープ検出部8として、リニアな特性を持つものを用いても良い。その場合、 I/Q 位相ミスマッチおよび I/Q 振幅ミスマッチの補償動作時に、残留直流オフセットの影響を受けやすくなる。ただし、その場合でも、例えば特許文献1に開示された方法と比較して、残留直流オフセットの影響が抑圧されるという利点が得られる。

[0201] また、本実施形態においては、図16および図18のフローチャートにおいて、テスト信号のI成分の振幅を調整しているが、これに限定されない。すなわち、図16または図18のフローチャートにおいて、テスト信号のQ成分の振幅を調整することも可能であり、または、テスト信号のI成分とQ成分の振幅を同時に調整することも可能である。

[0202] (第2の実施形態)

図24は、本発明の第2の実施形態の信号処理回路の全体構成を示すブロック図である。

[0203] 図24を参照すると、本実施形態の信号処理回路は、図9の第1の実施形態と比較して、I/Qミスマッチ補償部2にI成分用とQ成分用の2つのD/A変換器 5_{I1} 、 5_{Q1} を接続している点と、テスト信号発生部3にI成分用とQ成分用の2つのD/A変換器 5_{I2} 、 5_{Q2} を接続している点と、D/A変換器 5_{I1} 、 5_{Q1} 、 5_{I2} 、 5_{Q2} の後段にI成分用とQ成分用の2つのスイッチ 4_I 、 4_Q を接続している点とが異なる。

[0204] スイッチ 4_I は、送信動作時にはD/A変換器 5_{I1} の出力を選択し、補償動作時にはD/A変換器 5_{I2} の出力を選択する。スイッチ 4_Q は、送信動作時にはD/A変換器 5_{Q1} の出力を選択し、補償動作時にはD/A変換器 5_{Q2} の出力を選択する。

[0205] 本実施形態においては、送信動作時にD/A変換器に要求される速度および分解能と、補償動作時にD/A変換器に要求される速度および分解能とが、大きくかけ離れているときに、両者の要求を両立することができるという利点がある。

[0206] 具体的には、送信動作時には高速だが低分解能なD/A変換器が必要である場合、このようなD/A変換器をD/A変換器 5_{I1} 、 5_{Q1} に割り当てる。また、補償動作時には低速だが高分解能なD/A変換器が必要である場合、このようなD/A変換器をD/A変換器 5_{I2} 、 5_{Q2} に割り当てる。それにより、無用なインプリメンテーションを避けることができる。

[0207] (第3の実施形態)

図25は、本発明の第3の実施形態の信号処理回路の全体構成を示すブロック図である。

[0208] 図25を参照すると、本実施形態の信号処理回路は、図9の第1の実施形態と比較して、テスト信号発生部3で発生したテスト信号が、スイッチ4およびI/Qミスマッチ補償部2を通してD/A変換器 5_I 、 5_Q に入力される点とが異なる。

[0209] 以下、本実施形態の信号処理回路の動作について説明する。

[0210] 図26は、図25に示した信号処理回路におけるI/Q振幅ミスマッチの補償動作を説明するフローチャートである。

- [0211] 図26を参照すると、まず、制御部10は、I/Qミスマッチ補償部2に設定するI/Q振幅補償量を初期値に設定する(ステップ401)。
- [0212] 次に、制御部10は、I/Q振幅補償量を更新する場合の更新単位(以下、修正量3と称す)を初期値に設定する(ステップ402)。
- [0213] 次のステップ403からステップ409までの動作は、既に説明した図16のステップ203からステップ209と同じである。
- [0214] ここで、ステップ409で値1の方が大きい場合、制御部10は、I/Q振幅補償量を、相対的にI成分の振幅が減る方向に修正量3だけ変化させる(ステップ410)。一方、ステップ409で値2の方が大きい場合、制御部10は、I/Q振幅補償量を、相対的にI成分の振幅が増える方向に修正量3だけ変化させる(ステップ411)。
- [0215] 以降、制御部10は、ステップ403～ステップ410, 411までの試行が所定回数終わるまで(ステップ412)、修正量3を更新する処理と(ステップ413)、ステップ403～ステップ410, 411までの処理とを繰り返す。
- [0216] 上記の試行が所定回数終わると、I/Q振幅ミスマッチの補償動作を終了する。
- [0217] 図27は、図25に示した信号処理回路におけるI/Q位相ミスマッチの補償動作を説明するフローチャートである。
- [0218] 図27を参照すると、まず、制御部10は、I/Qミスマッチ補償部2に設定するI/Q位相補償量を初期値に設定する(ステップ501)。
- [0219] 次に、制御部10は、I/Q位相補償量を更新する場合の更新単位(以下、修正量4と称す)を初期値に設定する(ステップ502)。
- [0220] 次のステップ503からステップ510までの動作は、既に説明した図18のステップ303からステップ310と同じである。
- [0221] ここで、ステップ510で値3の方が大きい場合、制御部10は、I/Q位相補償量を、I/Q位相差が大きくなる方向に修正量4だけ変化させる(ステップ511)。一方、ステップ510で値4の方が大きい場合、制御部10は、I/Q位相補償量を、I/Q位相差が小さくなる方向に修正量4だけ変化させる(ステップ512)。
- [0222] 以降、制御部10は、ステップ503～ステップ511, 512までの試行が所定回数終わるまで(ステップ513)、修正量4を更新する処理と(ステップ514)、ステップ503～ス

テップ511, 512までの処理とを繰り返す。

[0223] 上記の試行が所定回数終わると、I/Q位相ミスマッチの補償動作を終了する。

[0224] なお、本実施形態においては、図26と図27のフローチャートにおいて試行を繰り返す回数が固定されていることを想定しているが、これに限定されない。すなわち、制御部10は、I/Q振幅補償量とI/Q位相補償量の更新前後の比率を算出し、算出した比率を予め設定された閾値と比較し、比較結果に基づいて試行を行う回数を決定しても良い。

[0225] (第4の実施形態)

図28は、本発明の第4の実施形態に係る比較部の構成を示す図である。

[0226] 図28を参照すると、本実施形態に係る比較部9は、A/D変換器95と、記憶部96と、平均値算出部97と、判定部98とを有している。なお、図28に示した比較部9は、図9、図25、および図26のいずれの信号処理回路にも適用可能である。

[0227] A/D変換器95は、エンベロープ検出部8の出力をA/D変換し、記憶部96は、A/D変換されたエンベロープ検出部8の出力を適宜記憶する。

[0228] 平均値算出部97は、記憶部96に格納されているエンベロープ検出部8の出力データを用いて、図16等における値1, 2を算出するとともに図18等における値3, 4を算出し、判定部98は、値1, 2の大小を判定するとともに値3, 4の大小を判定する。

[0229] (第5の実施形態)

図29は、本発明の第5の実施形態の信号処理回路の全体構成を示すブロック図である。

[0230] 図29を参照すると、本実施形態の信号処理回路は、図9の第1の実施形態と比較して、比較部9の代わりに、A/D変換器11を設けた点が異なる。

[0231] 以下、本実施形態の信号処理回路の動作について説明する。

[0232] 図30は、図29に示した信号処理回路におけるI/Q振幅ミスマッチの補償動作を説明するフローチャートである。

[0233] 図30を参照すると、まず、制御部10は、テスト信号のI成分とQ成分の振幅を初期値に設定する(ステップ601)。

[0234] 次のステップ602からステップ607までの動作は、既に説明した図16のステップ20

3からステップ208と同じである。なお、本実施形態においては、テスト信号のI成分の振幅の更新単位である修正量1(図16参照)が存在しないため、修正量1を初期値に設定するという手順が省略されている。また、ステップ606, 607では、制御部10が、値1と値2をデジタルの数値データとして算出する。

[0235] 次に、制御部10は、ステップ606, 607の算出結果に基づいて、値1と値2が等しくなるようにテスト信号のI成分の振幅を更新する。具体的には、制御部10は、値2／値1を算出し、テスト信号のI成分の振幅を(値2／値1)倍に修正する(ステップ608)。

[0236] 以降、制御部10は、ステップ602～ステップ608までの試行を所定回数終わるまで繰り返す(ステップ609)。

[0237] 上記の試行が所定回数終わると、制御部10は、テスト信号のI成分の最終的な振幅とテスト信号のQ成分の振幅との比率に基づいて、直交変調器のI／Q振幅ミスマッチ量を算出し、算出したI／Q振幅ミスマッチ量に基づいてI／Qミスマッチ補償部2に設定するI／Q振幅補償量を算出する(ステップ610)。

[0238] 以上で、I／Q振幅ミスマッチの補償動作を終了する。

[0239] 本実施形態によれば、値1と値2との比率を用いて、値1と値2が等しくなる条件を精度良く推定することができる。これを利用して、図30のステップ609における、所定の回数の試行を終えたか、という条件分岐を省略し、1回の試行でI／Q振幅ミスマッチの補償動作を完了させることも可能である。

[0240] 図31は、図29に示した信号処理回路におけるI／Q位相ミスマッチの補償動作を説明するフローチャートである。

[0241] 図31を参照すると、まず、制御部10は、テスト信号のI成分とQ成分の振幅を初期値に設定する(ステップ701)。

[0242] 次のステップ702からステップ708までの動作は、既に説明した図18のステップ303からステップ309と同じである。なお、本実施形態においては、テスト信号のI成分の振幅の更新単位である修正量2(図18参照)が存在しないため、修正量2を初期値に設定するという手順が省略されている。また、ステップ707, 708では、制御部10が、値3と値4をデジタルの数値データとして算出する。

[0243] 次に、制御部10は、制御部10は、ステップ707, 708の算出結果に基づいて、値3と値4が等しくなるように、 $N=1, 3$ の時のテスト信号のI成分の振幅を更新する。具体的には、制御部10は、値4／値3を算出し、 $N=1, 3$ の時のテスト信号のI成分の振幅を(値4／値3)倍に修正する(ステップ709)。

[0244] 以降、制御部10は、ステップ702～ステップ709までの試行を所定回数終わるまで繰り返す(ステップ710)。

[0245] 上記の試行が所定回数終わると、制御部10は、 $N=1, 3$ の時のテスト信号のI成分の最終的な振幅と $N=2, 4$ の時のテスト信号のI成分の振幅との比率に基づいて、直交変調器のI／Q位相ミスマッチ量を算出し、算出したI／Q位相ミスマッチ量に基づいてI／Qミスマッチ補償部2に設定するI／Q位相補償量を算出する(ステップ711)。

[0246] 以上で、I／Q位相ミスマッチの補償動作を終了する。

[0247] 本実施形態によれば、値3と値4との比率を用いて、値3と値4が等しくなる条件を精度良く推定することができる。これを利用して、図31のステップ710における、所定の回数の試行を終えたか、という条件分岐を省略し、1回の試行でI／Q位相ミスマッチの補償動作を完了させることも可能である。

[0248] (第6の実施形態)

図32は、本発明の第6の実施形態の信号処理回路の全体構成を示すブロック図である。

[0249] 図32を参照すると、本実施形態の信号処理回路は、図29の第5の実施形態と比較して、I／Qミスマッチ補償部2にI成分用とQ成分用の2つのD／A変換器 5_{I1} , 5_{Q1} を接続している点と、テスト信号発生部3にI成分用とQ成分用の2つのD／A変換器 5_{I2} , 5_{Q2} を接続している点と、D／A変換器 5_{I1} , 5_{Q1} , 5_{I2} , 5_{Q2} の後段にI成分用とQ成分用の2つのスイッチ 4_I , 4_Q を接続している点とが異なる。

[0250] なお、本実施形態における、第5の実施形態に対する利点は、第2の実施形態の説明のところで述べた通りである。

[0251] (第7の実施形態)

図33は、本発明の第7の実施形態の信号処理回路の全体構成を示すブロック図

である。

[0252] 図33を参照すると、本実施形態の信号処理回路は、図25の第3の実施形態と比較して、比較部9の代わりに、A/D変換器11を設けた点が異なる。

[0253] 以下、本実施形態の信号処理回路の動作について説明する。

[0254] 図34は、図33に示した信号処理回路におけるI/Q振幅ミスマッチの補償動作を説明するフローチャートである。

[0255] 図34を参照すると、まず、制御部10は、I/Qミスマッチ補償部2に設定するI/Q振幅補償量を初期値に設定する(ステップ801)。

[0256] 次のステップ802からステップ807までの動作は、既に説明した図26のステップ403からステップ408と同じである。なお、本実施形態においては、I/Q振幅補償量の更新単位である修正量3(図26参照)が存在しないため、修正量3を初期値に設定するという手順が省略されている。また、ステップ806, 807では、制御部10が、値1と値2をデジタルの数値データとして算出する。

[0257] 次に、制御部10は、ステップ806, 807の算出結果に基づいて、値1と値2が等しくなるようにI/Q振幅補償量を更新する。具体的には、制御部10は、値2/値1を算出し、相対的にI成分の利得が(値2/値1)倍になるようにI/Q振幅補償量を修正する(ステップ808)。

[0258] 以降、制御部10は、ステップ802～ステップ808までの試行を所定回数終わるまで繰り返す(ステップ809)。

[0259] 上記の試行が所定回数終わると、I/Q振幅ミスマッチの補償動作を終了する。

[0260] 本実施形態によれば、値1と値2との比率を用いて、値1と値2が等しくなる条件を精度良く推定することができる。これを利用して、図34のステップ809における、所定の回数の試行を終えたか、という条件分岐を省略し、1回の試行でI/Q振幅ミスマッチの補償動作を完了させることも可能である。

[0261] 図35は、図33に示した信号処理回路におけるI/Q位相ミスマッチの補償動作を説明するフローチャートである。

[0262] 図35を参照すると、まず、制御部10は、I/Qミスマッチ補償部2に設定するI/Q位相補償量を初期値に設定する(ステップ901)。

- [0263] 次のステップ902からステップ908までの動作は、既に説明した図27のステップ503からステップ509と同じである。なお、本実施形態においては、I/Q振幅補償量の更新単位である修正量4(図27参照)が存在しないため、修正量4を初期値に設定するという手順が省略されている。また、ステップ907, 908では、制御部10が、値3と値4をデジタルの数値データとして算出する。
- [0264] 次に、制御部10は、ステップ907, 908の算出結果に基づいて、値3と値4が等しくなるようにI/Q位相補償量を更新する。具体的には、制御部10は、値4/値3を算出し、I/Q位相補償量を(値4/値3)倍に修正する(ステップ909)。
- [0265] 以降、制御部10は、ステップ902～ステップ909までの試行を所定回数終わるまで繰り返す(ステップ910)。
- [0266] 上記の試行が所定回数終わると、I/Q位相ミスマッチの補償動作を終了する。
- [0267] 本実施形態によれば、値3と値4との比率を用いて、値3と値4が等しくなる条件を精度良く推定することができる。これを利用して、図35のステップ910における、所定の回数の試行を終えたか、という条件分岐を省略し、1回の試行でI/Q振幅ミスマッチの補償動作を完了させることも可能である。

請求の範囲

- [1] 直交変調器の出力信号のI/Q成分の振幅が不一致になるI/Q振幅ミスマッチと、前記直交変調器の出力信号のI/Q成分の位相差が90度からずれるI/Q位相ミスマッチとを含むI/Qミスマッチを補償するための信号処理回路であって、
- テスト信号であってI/Q直交座標上で原点に対して互いに点対称な位置にある2点からなる組を2組とした計4点のテスト信号を順次発生し、前記直交変調器のベースバンドポートに出力するテスト信号発生手段と、
- 前記4点のテスト信号を発生した時の前記直交変調器の出力信号の包絡線の振幅を検出して出力する検出手段と、
- 前記2組のテスト信号の各組ごとに、当該組の2点のテスト信号を発生した時の前記検出部の出力信号の平均値を算出して出力する算出手段と、
- 前記2組のテスト信号を発生した時の各々の前記平均値が互いに等しくなるように前記テスト信号の振幅および／または位相を調整し、該調整結果に基づいてI/Qミスマッチ量を算出する制御手段とを有することを特徴とする信号処理回路。
- [2] 請求項1に記載の信号処理回路において、
- 前記制御手段は、前記2組のテスト信号を発生した時の各々の前記平均値の大小関係から、前記テスト信号の振幅および／または位相を調整することを特徴とする信号処理回路。
- [3] 請求項1に記載の信号処理回路において、
- 前記テスト信号発生手段は、I成分が正の第1の値でQ成分が正の第2の値である点を第1のテスト信号として発生し、I成分が負の第1の値でQ成分が負の第2の値である点を第2のテスト信号として発生し、I成分が負の第3の値でQ成分が正の第4の値である点を第3のテスト信号として発生し、I成分が正の第3の値でQ成分が負の第4の値である点を第4のテスト信号として発生し、
- 前記算出手段は、前記第1および第2のテスト信号を発生した時の前記検出部の出力信号の平均値1を算出するとともに、前記第3および第4のテスト信号を発生した時の前記検出部の出力信号の平均値2を算出し、
- 前記制御手段は、前記平均値1と前記平均値2とが互いに等しくなる時の前記第1

から第4の値を推定して前記テスト信号発生手段に設定する繰り返し動作を所定回数行い、前記繰り返し動作を所定回数行った後の前記第1から第4の値に基づいて前記I/Qミスマッチ量を算出することを特徴とする信号処理回路。

- [4] 請求項3に記載の信号処理回路において、
前記制御手段は、前記繰り返し動作を1回行う毎に、前記平均値1と前記平均値2との大小関係に基づいて、前記第1から第4の値に対して予め設定された修正量を加算または減算し、その後に、前記修正量を更新することを特徴とする信号処理回路。
- [5] 請求項3に記載の信号処理回路において、
前記テスト信号発生手段は、前記第2の値と前記第3の値をゼロとし、
前記制御手段は、前記繰り返し動作を所定回数行った後の前記第1の値と前記第4の値との比率に基づいて、前記I/Qミスマッチ量としてI/Q振幅ミスマッチ量を算出することを特徴とする信号処理回路。
- [6] 請求項3に記載の信号処理回路において、
前記制御手段は、前記繰り返し動作を所定回数行った後の前記第1から第4の値に基づいて、前記I/Qミスマッチ量としてI/Q位相ミスマッチ量を算出することを特徴とする信号処理回路。
- [7] 請求項3に記載の信号処理回路において、
前記テスト信号発生手段は、前記第2の値と前記第3の値をゼロとし、
前記制御手段は、前記繰り返し動作を所定回数行った後の前記第1の値と前記第4の値との比率に基づいて、前記I/Qミスマッチ量としてI/Q振幅ミスマッチ量を算出し、
その後に、前記テスト信号発生手段は、前記第2の値と前記第3の値をゼロでない値とし、
前記制御手段は、再び前記繰り返し動作を所定回数行った後の前記第1から第4の値と前記算出したI/Q振幅ミスマッチ量とに基づいて、前記I/Qミスマッチ量としてI/Q位相ミスマッチ量を算出することを特徴とする信号処理回路。
- [8] 請求項3に記載の信号処理回路において、

前記制御手段は、前記繰り返し動作を1回だけ実行することを特徴とする信号処理回路。

[9] 請求項3に記載の信号処理回路において、

前記制御手段は、前記第1から第4の値を更新する際に、更新前後の値の比率を算出し、算出した比率を予め設定された閾値と比較し、比較結果に基づいて前記繰り返し動作を行う所定回数を決定することを特徴とする信号処理回路。

[10] 請求項3に記載の信号処理回路において、

送信ベースバンド信号を入力とし、予め設定された補償量に基づいて前記送信ベースバンド信号を補正するI/Qミスマッチ補償手段と、

前記テスト信号発生手段の出力信号または前記I/Qミスマッチ補償手段の出力信号のいずれか一方を選択して前記直交変調器に出力するスイッチとをさらに有し、

前記制御手段は、前記算出したI/Qミスマッチ量に基づいて、前記I/Qミスマッチ補償手段に前記補償量を設定することを特徴とする信号処理回路。

[11] 請求項1に記載の信号処理回路において、

送信ベースバンド信号と前記テスト信号発生手段の出力信号のいずれか一方を選択して出力するスイッチと、

前記スイッチで選択された信号を入力とし、該入力された信号を予め設定された補償量に基づいて補正し、前記直交変調器のベースバンドポートに出力するI/Qミスマッチ補償手段をさらに有し、

前記制御手段は、前記スイッチを前記テスト信号発生手段の出力信号を選択する状態に制御し、

前記テスト信号発生手段は、I成分が正の第1の値でQ成分が正の第2の値である点を第1のテスト信号として発生し、I成分が負の第1の値でQ成分が負の第2の値である点を第2のテスト信号として発生し、I成分が負の第2の値でQ成分が正の第1の値である点を第3のテスト信号として発生し、I成分が正の第2の値でQ成分が負の第1の値である点を第4のテスト信号として発生し、

前記算出手段は、前記第1および第2のテスト信号を発生した時の前記検出部の出力信号の平均値1を算出するとともに、前記第3および第4のテスト信号を発生した

時の前記検出部の出力信号の平均値2を算出し、

前記制御手段は、前記平均値1と前記平均値2とが互いに等しくなる時の前記I/Qミスマッチ補償手段の前記補償量を推定して前記I/Qミスマッチ補償手段に設定する繰り返し動作を、所定回数行うことを特徴とする信号処理回路。

[12] 請求項11に記載の信号処理回路において、

前記制御手段は、前記繰り返し動作を1回行う毎に、前記平均値1と前記平均値2との大小関係に基づいて、前記I/Qミスマッチ補償手段の前記補償量に対して予め設定された修正量を加算または減算し、その後、前記修正量を更新することを特徴とする信号処理回路。

[13] 請求項11に記載の信号処理回路において、

前記テスト信号発生手段は、前記第2の値をゼロとし、
前記制御手段は、前記I/Qミスマッチ補償手段の前記補償量として、前記I/Q振幅ミスマッチを補償するための補償量を設定することを特徴とする信号処理回路。

[14] 請求項11に記載の信号処理回路において、

前記テスト信号発生手段は、前記第1の値と前記第2の値とを等しくし、
前記制御手段は、前記I/Qミスマッチ補償手段の前記補償量として、前記I/Q位相ミスマッチを補償するための補償量を設定することを特徴とする信号処理回路。

[15] 請求項11に記載の信号処理回路において、

前記制御手段は、前記繰り返し動作を1回だけ実行することを特徴とする信号処理回路。

[16] 請求項11に記載の信号処理回路において、

前記制御手段は、前記I/Qミスマッチ補償手段の前記補償量を更新する際に、更新前後の値の比率を算出し、算出した比率を予め設定された閾値と比較し、比較結果に基づいて前記繰り返し動作を行う所定回数を決定することを特徴とする信号処理回路。

[17] 請求項1に記載の信号処理回路において、

前記テスト信号発生手段は、I/Q直交座標上で原点に対して互いに点対称な位置にあるI軸上の2点からなる組と、I/Q直交座標上で原点に対して互いに点対称な

位置にあるQ軸上の2点からなる組との2組の計4点のテスト信号を発生し、

前記制御手段は、前記4点のテスト信号を発生した時の前記I/Qミスマッチ量としてI/Q振幅ミスマッチ量を算出することを特徴とする信号処理回路。

[18] 請求項1に記載の信号処理回路において、

前記テスト信号発生手段は、I/Q直交座標上で原点に対して互いに点対称な位置にあり第1象限と第3象限にある2点からなる組と、I/Q直交座標上で原点に対して互いに点対称な位置にあり第2象限と第4象限にある2点からなる組との2組の計4点のテスト信号を発生し、

前記制御手段は、前記4点のテスト信号を発生した時の前記I/Qミスマッチ量としてI/Q位相ミスマッチ量を算出することを特徴とする信号処理回路。

[19] 請求項1に記載の信号処理回路において、

I/Q振幅ミスマッチを補償するためのモードと、I/Q位相ミスマッチを補償するためのモードとを備えることを特徴とする信号処理回路。

[20] 請求項19に記載の信号処理回路において、

前記制御手段は、先に、前記I/Q振幅ミスマッチを補償するためのモードにおいて、I/Q振幅ミスマッチ量を算出し、その後、前記I/Q位相ミスマッチを補償するためのモードにおいて、前記算出したI/Q振幅ミスマッチ量を利用して、I/Q位相ミスマッチ量を算出することを特徴とする信号処理回路。

[21] 請求項1に記載の信号処理回路において、

前記直交変調器の直流オフセットを補償する手段をさらに有し、

前記制御手段は、前記直交変調器の直流オフセットの補償動作が行われた後に、前記I/Qミスマッチの補償動作を行うことを特徴とする信号処理回路。

[22] 請求項1に記載の信号処理装置において、

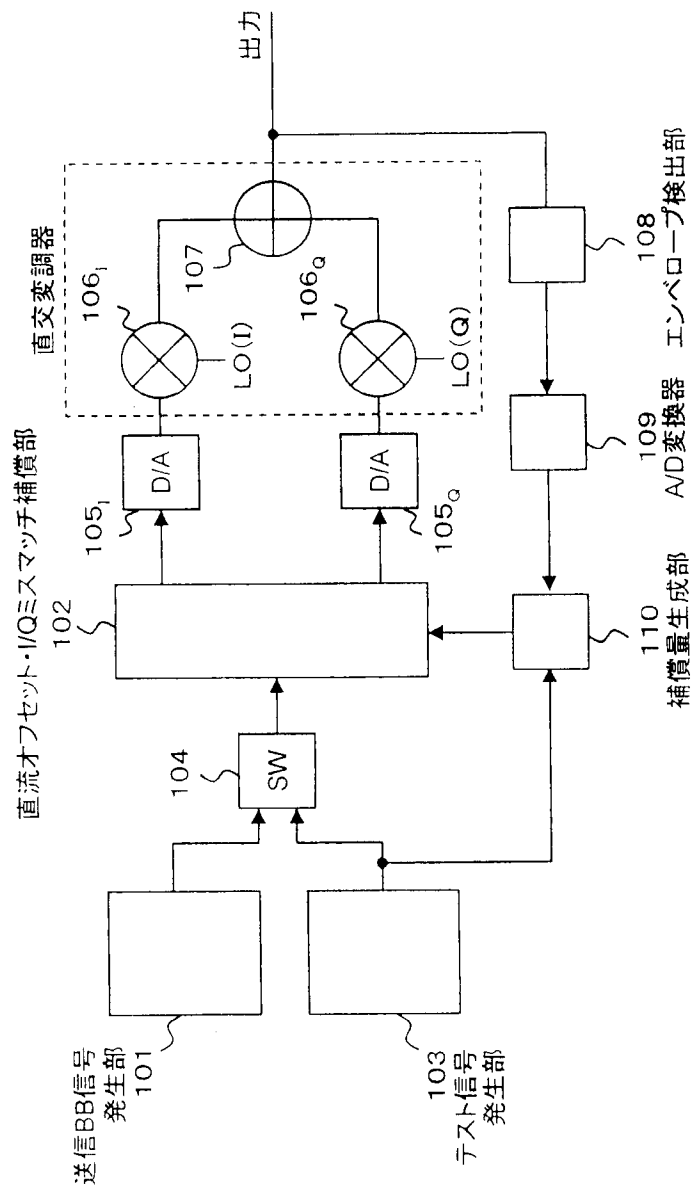
前記検出手段は、前記直交変調器の出力信号の包絡線の振幅のべき乗に比例した信号を出力し、かつそのべき数が1よりも大きく3よりも小さい値であることを特徴とする信号処理装置。

[23] 請求項1に記載の信号処理装置において、

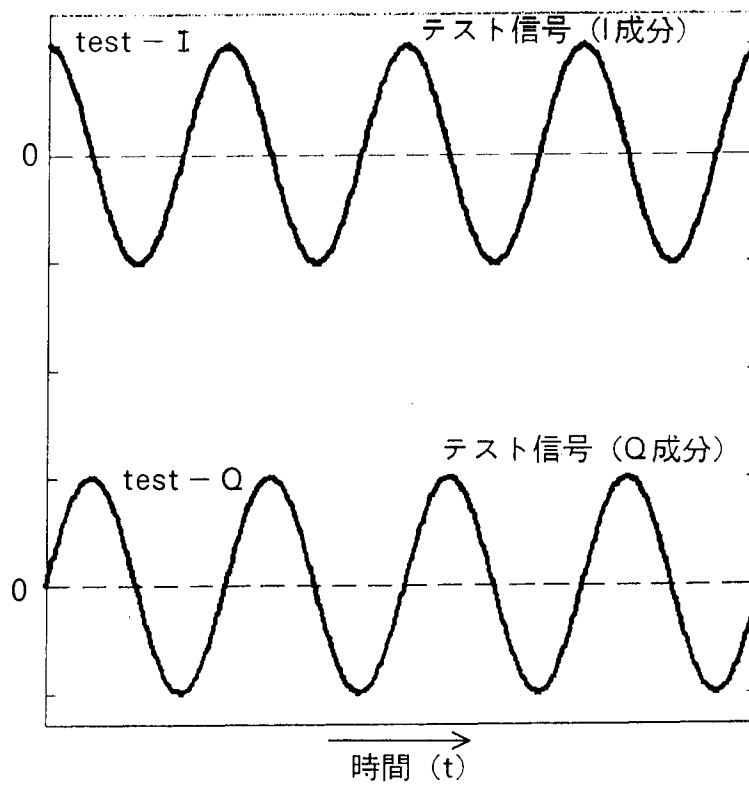
前記検出手段は、前記直交変調器の出力信号の包絡線の振幅の2乗に比例した

信号を出力することを特徴とする信号処理装置。

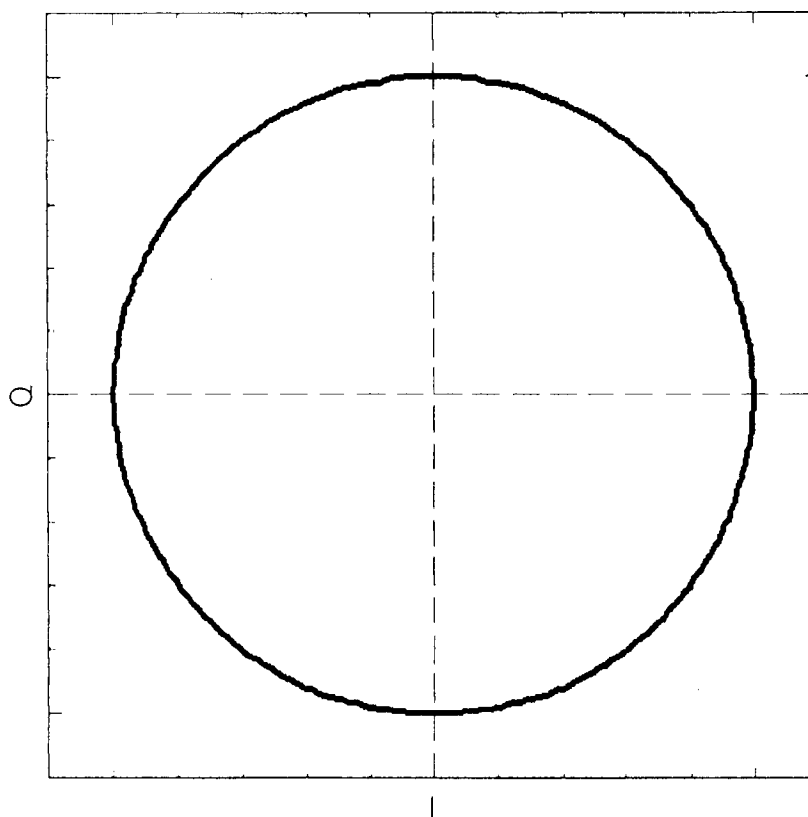
[図1]



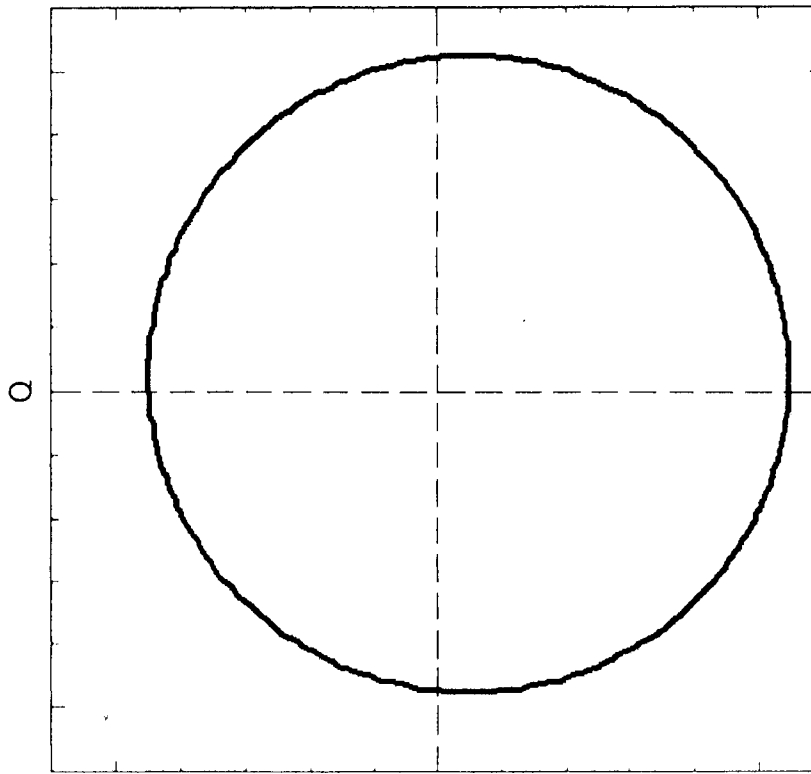
[図2]



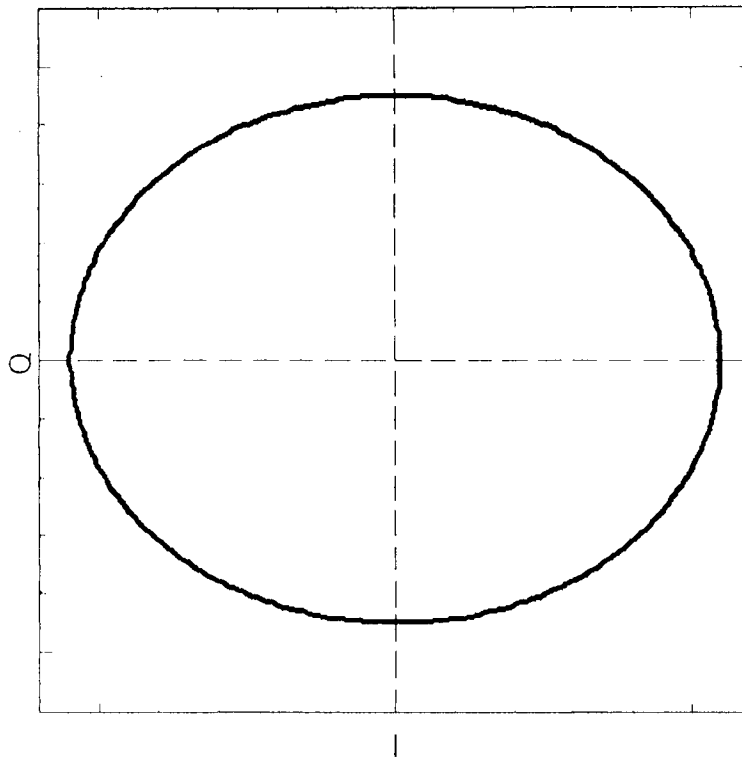
[図3]



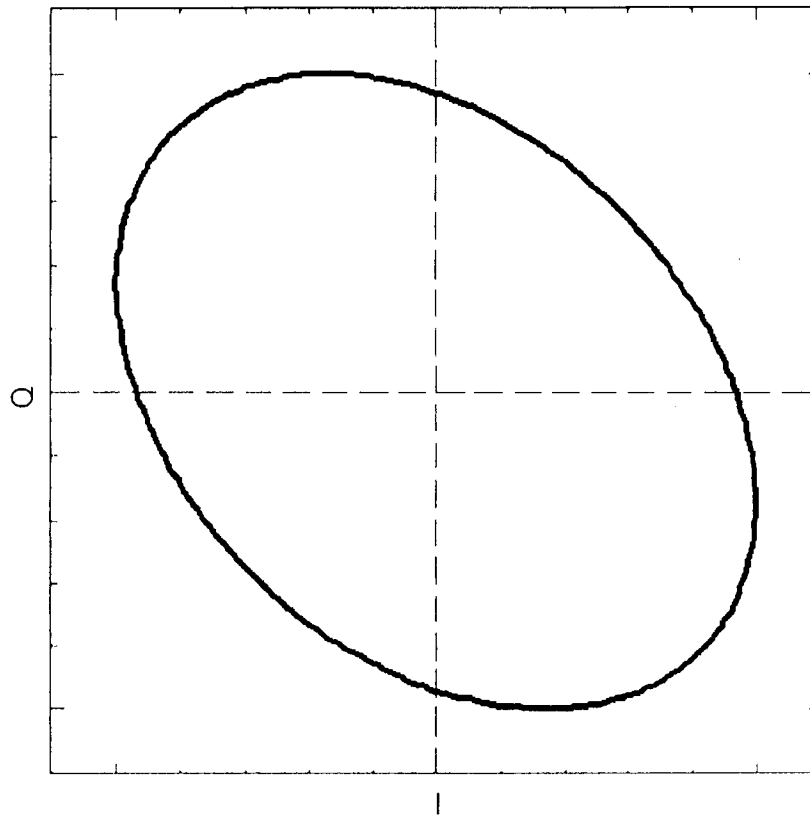
[図4]



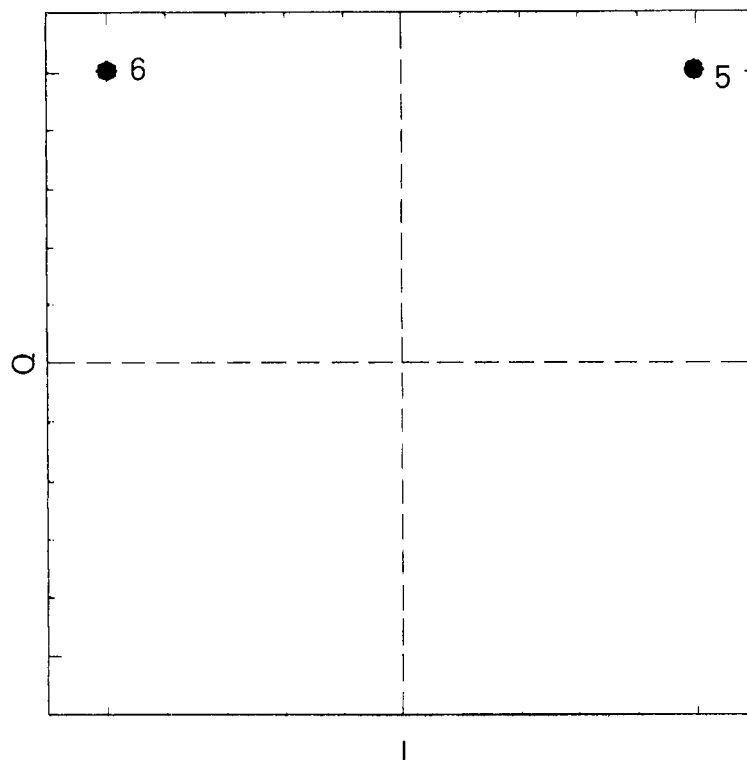
[図5]



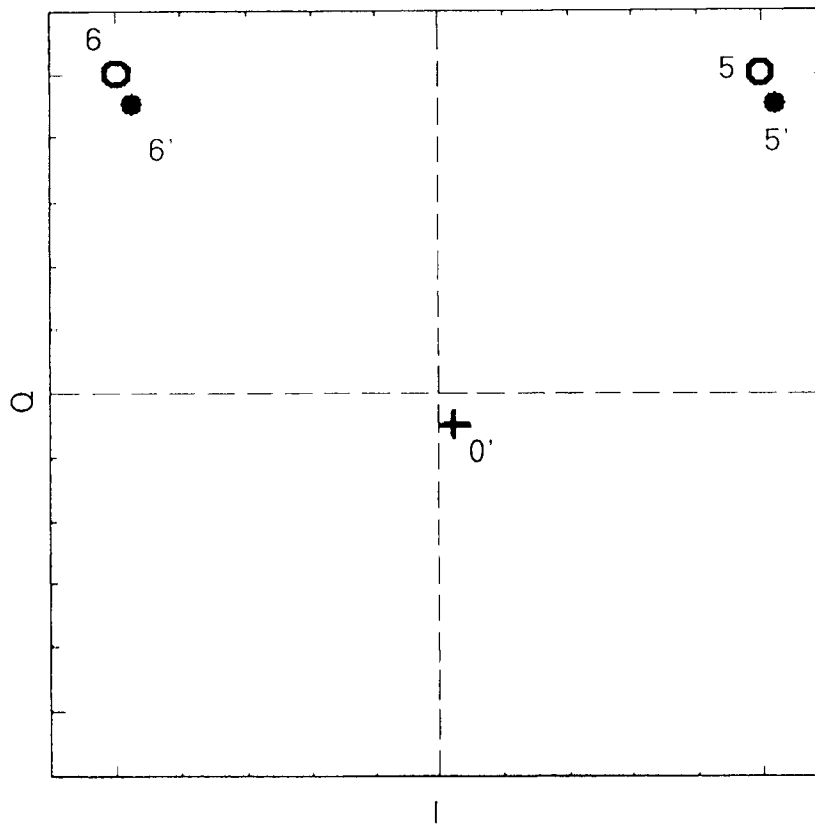
[図6]



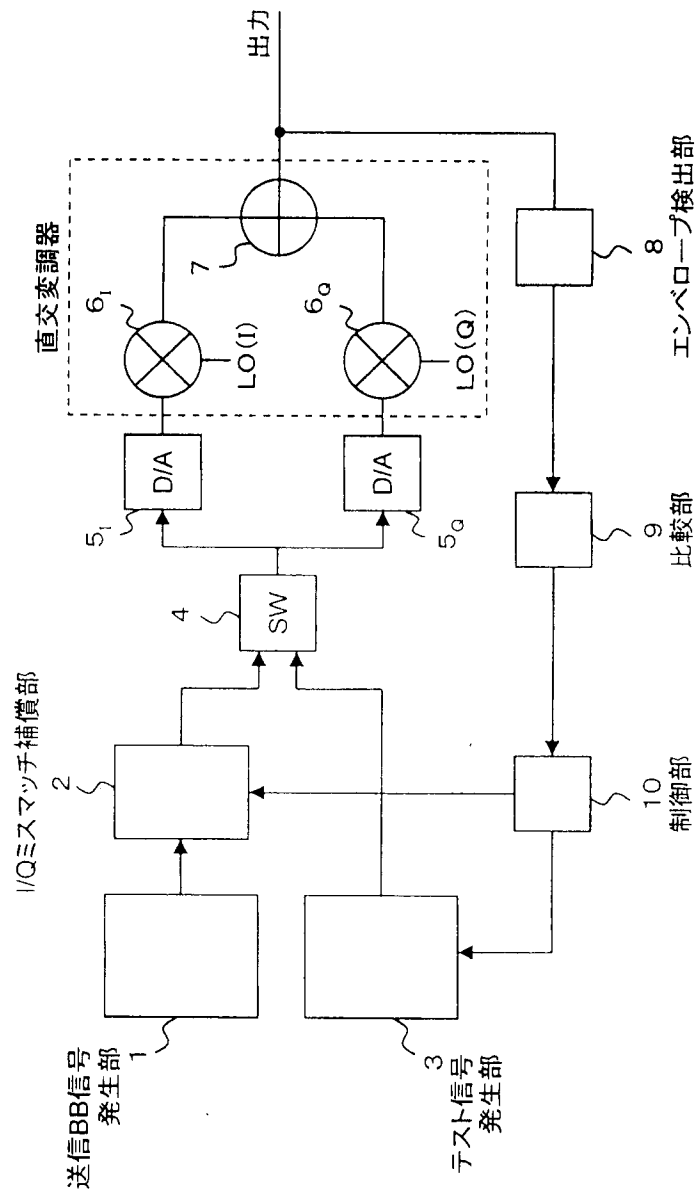
[図7]



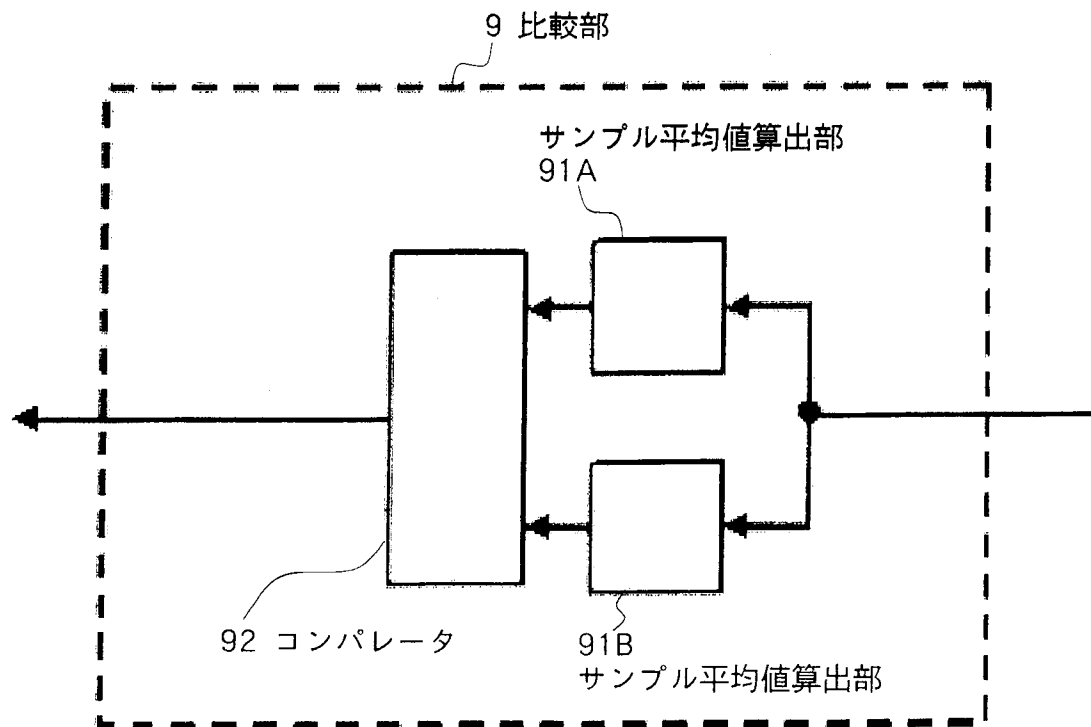
[図8]



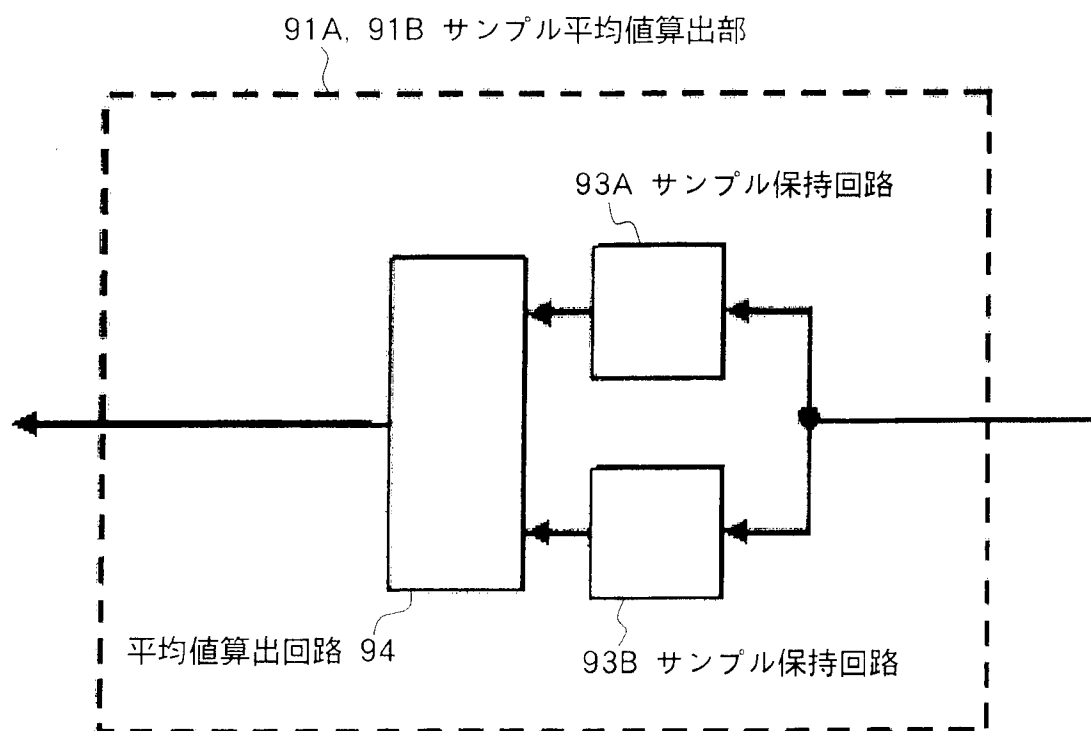
[図9]



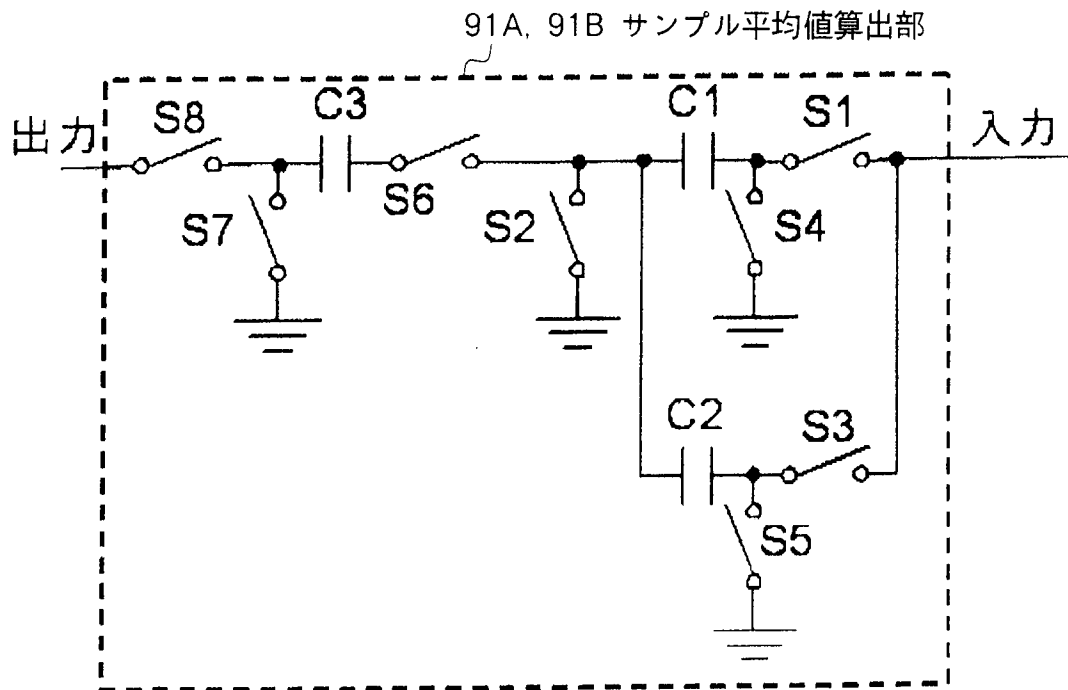
[図10]



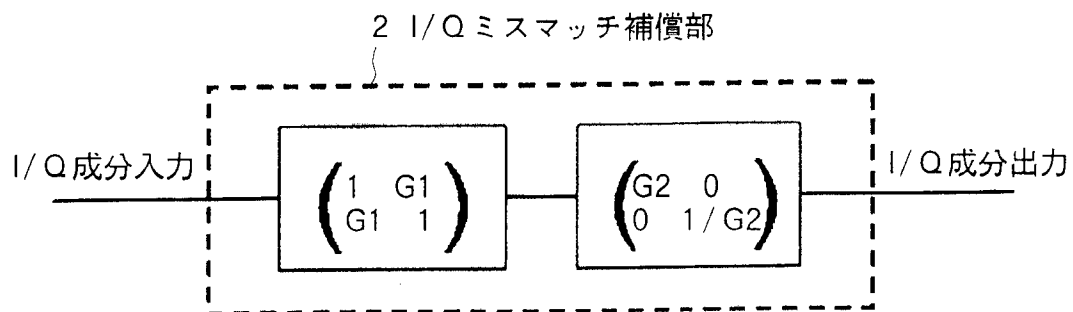
[図11]



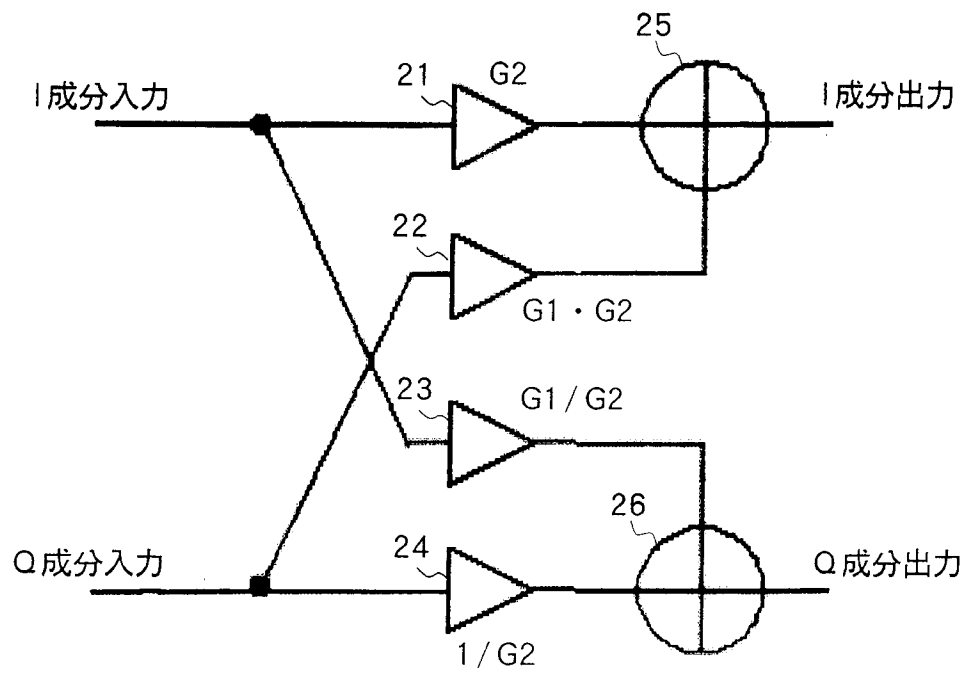
[図12]



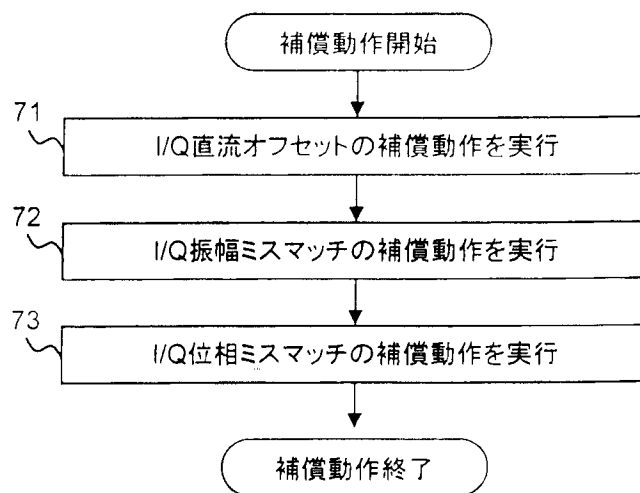
[図13]



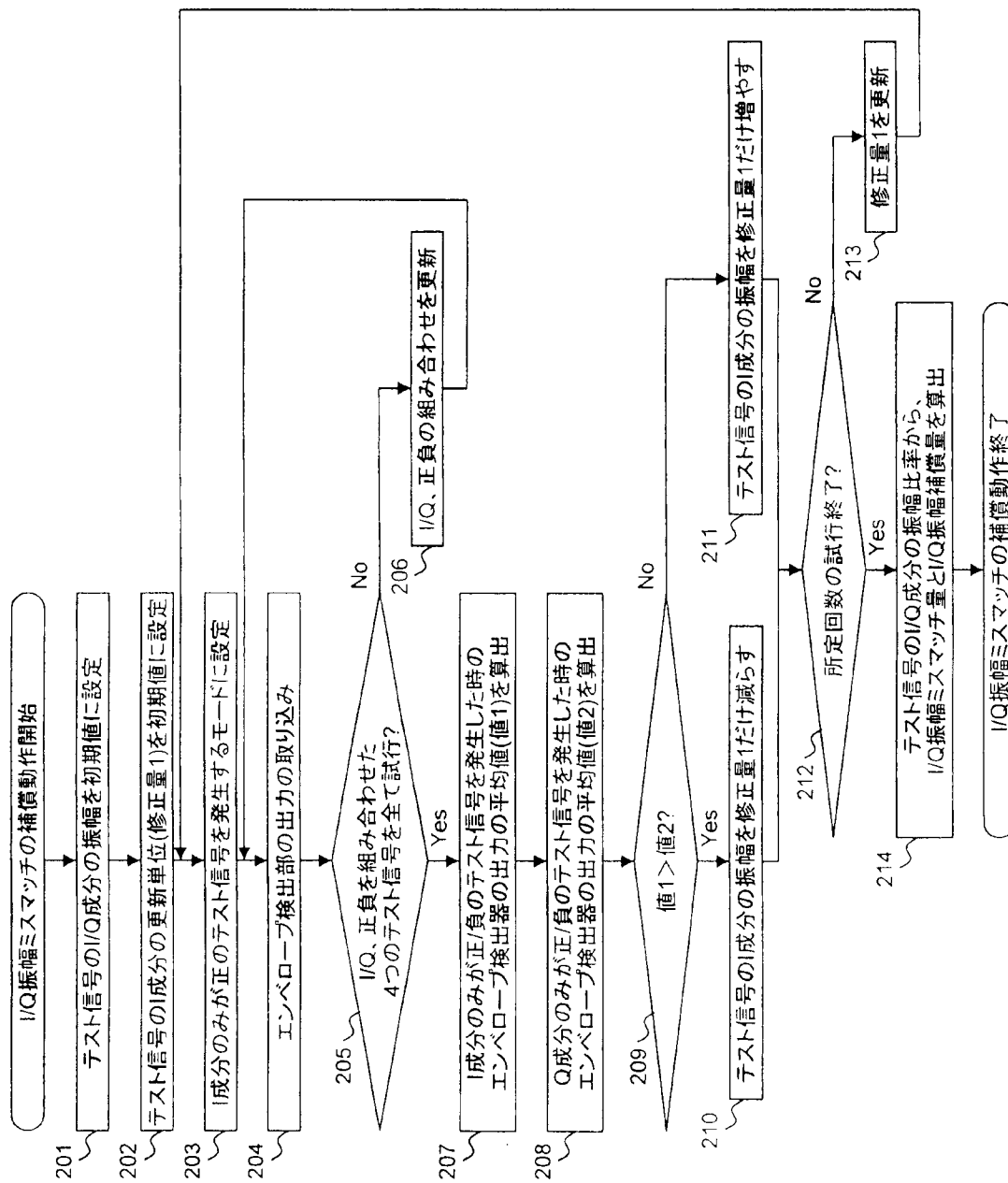
[図14]



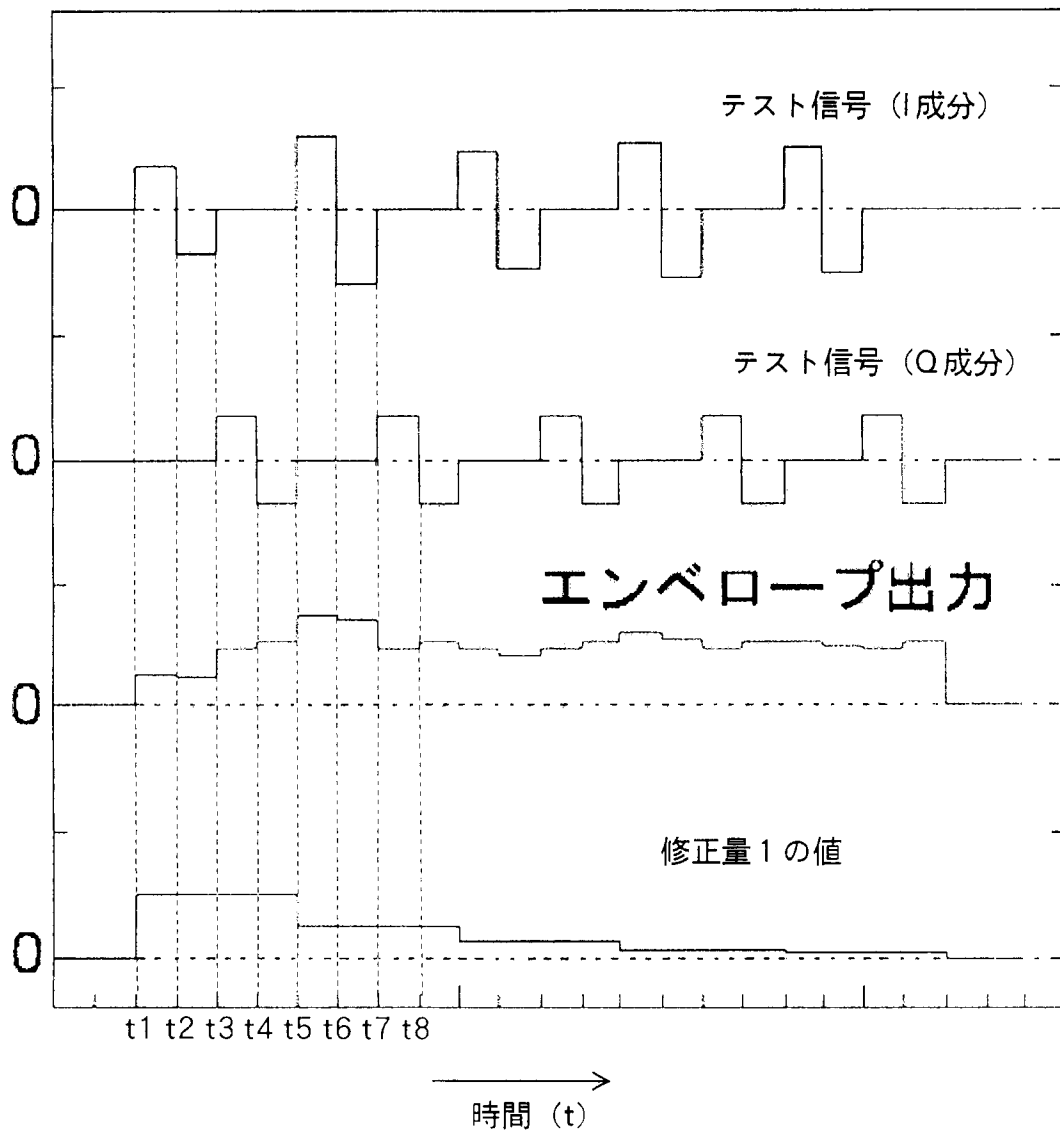
[図15]



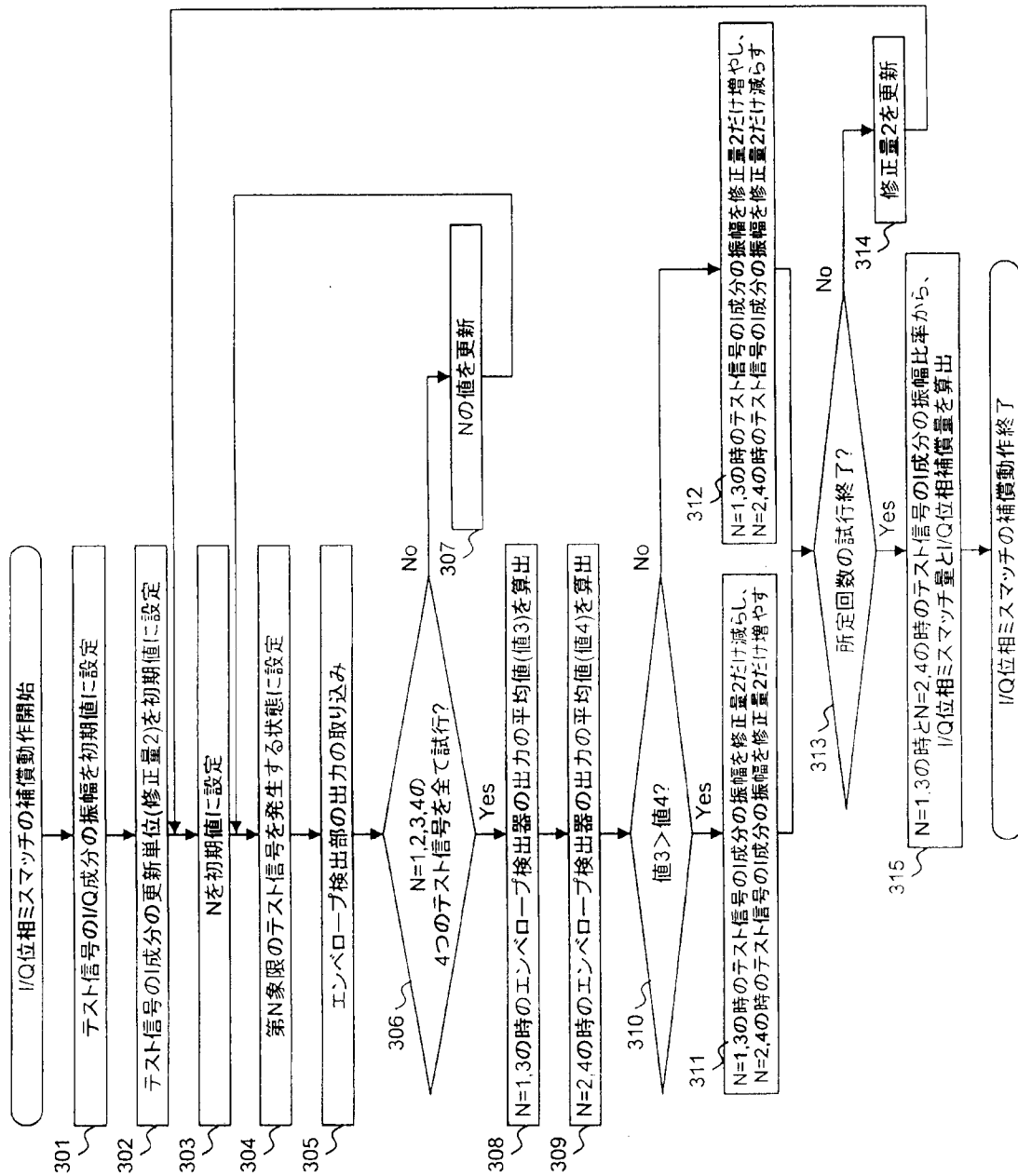
[図16]



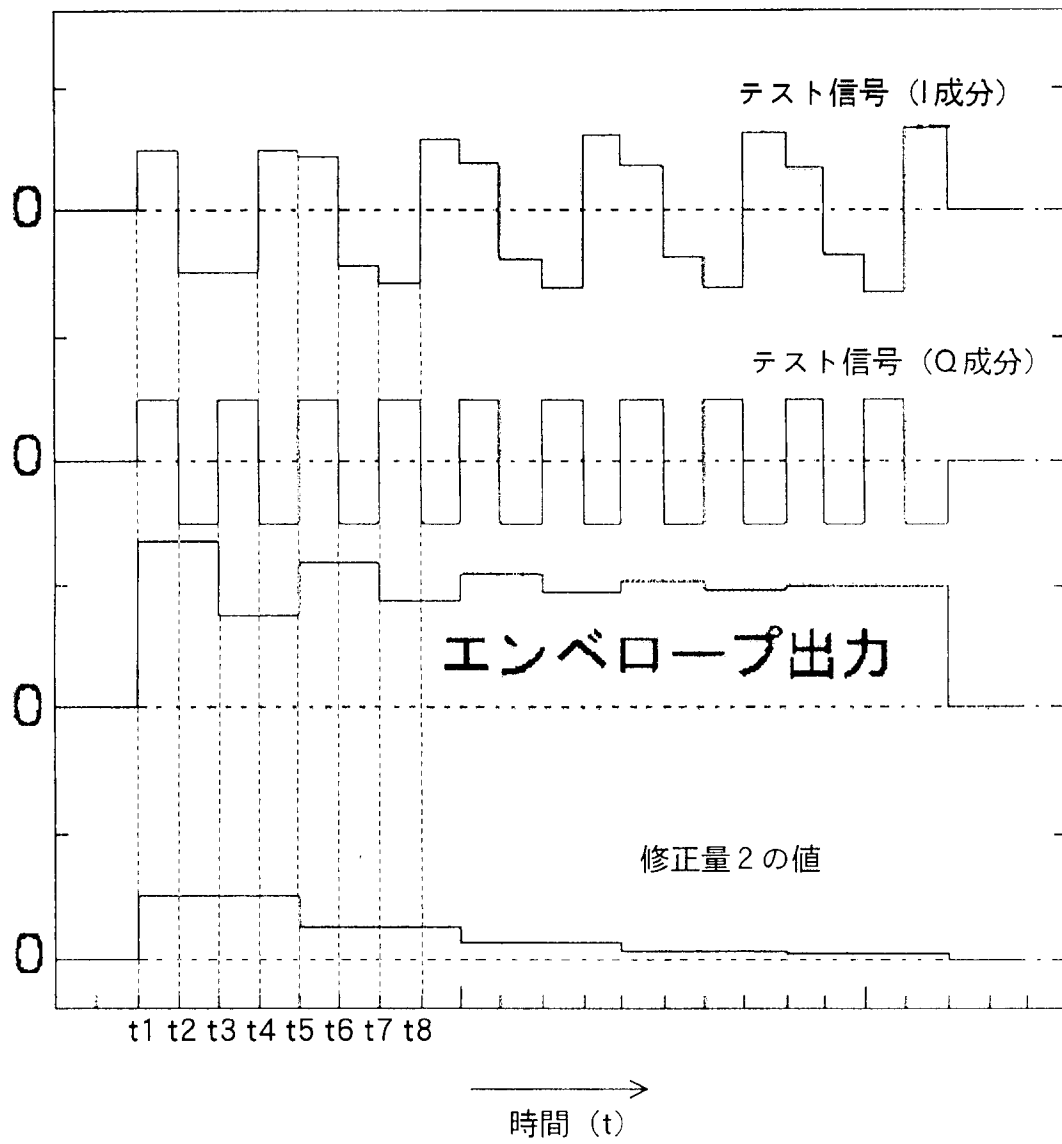
[図17]



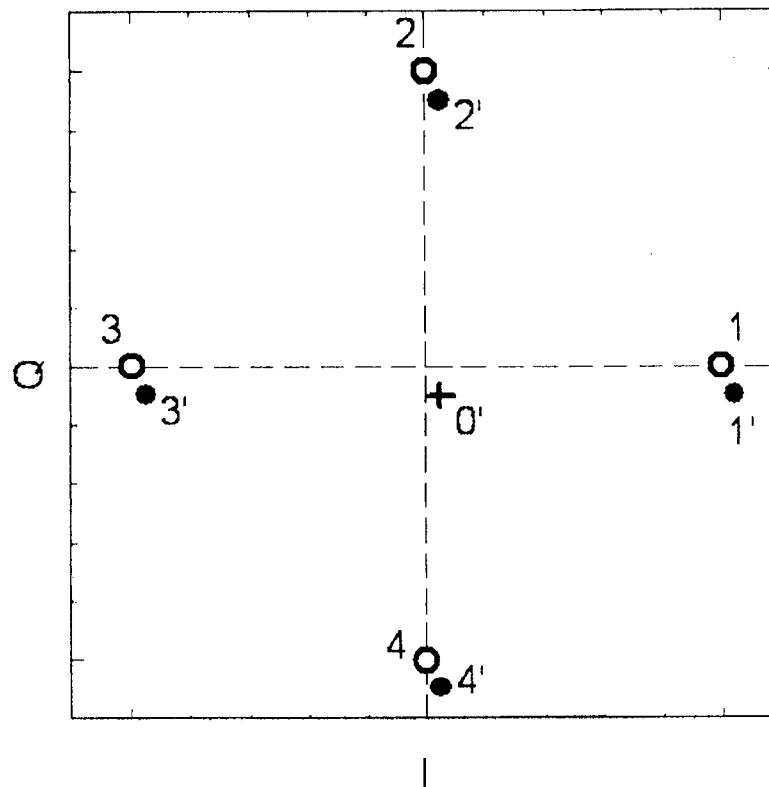
[図18]



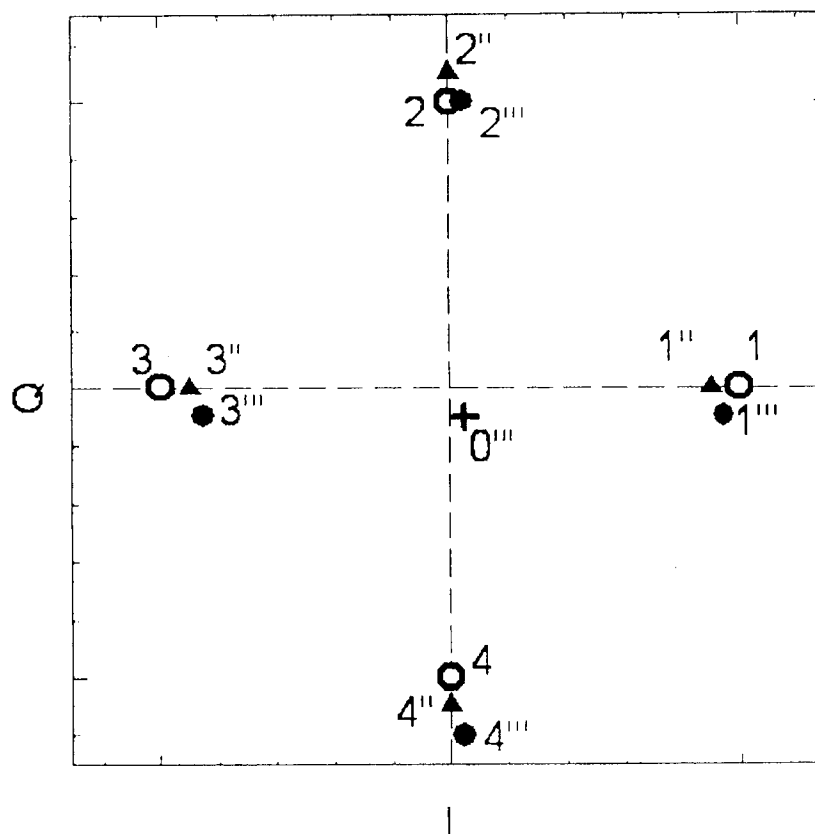
[図19]



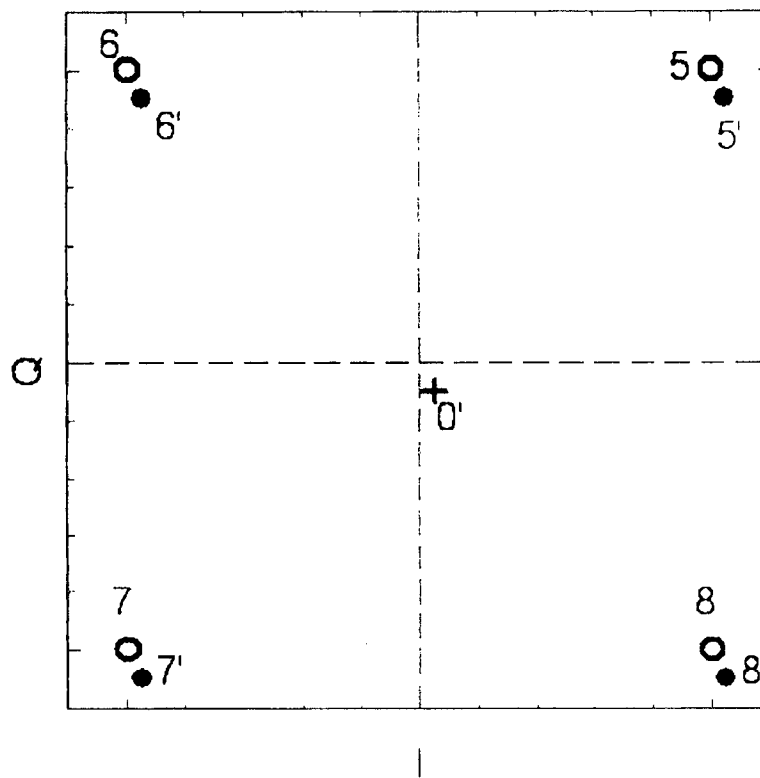
[図20]



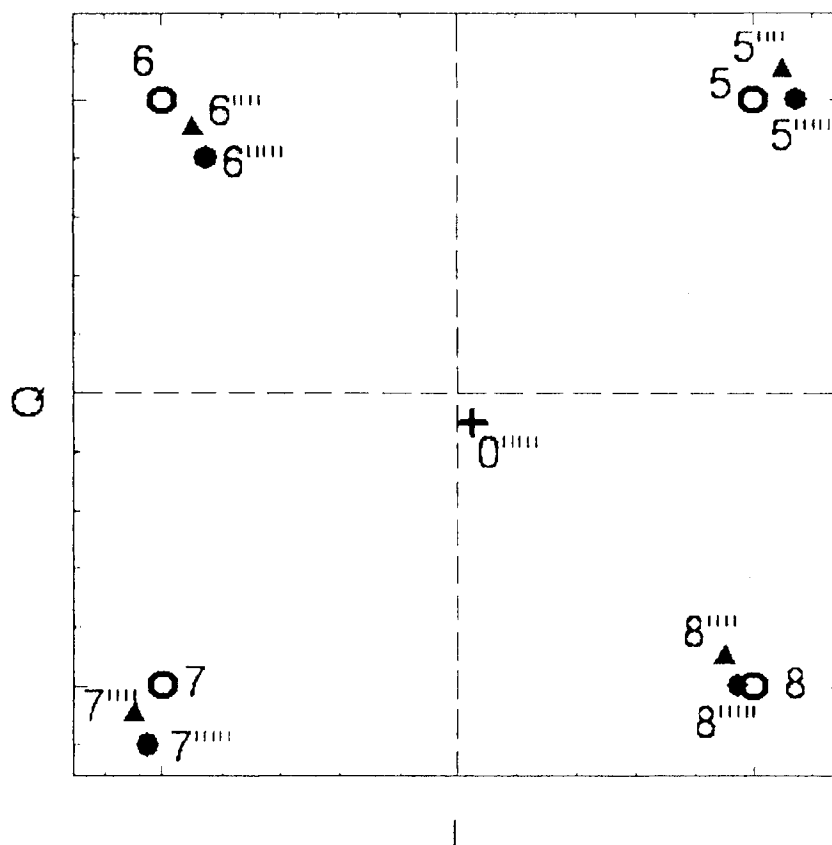
[図21]



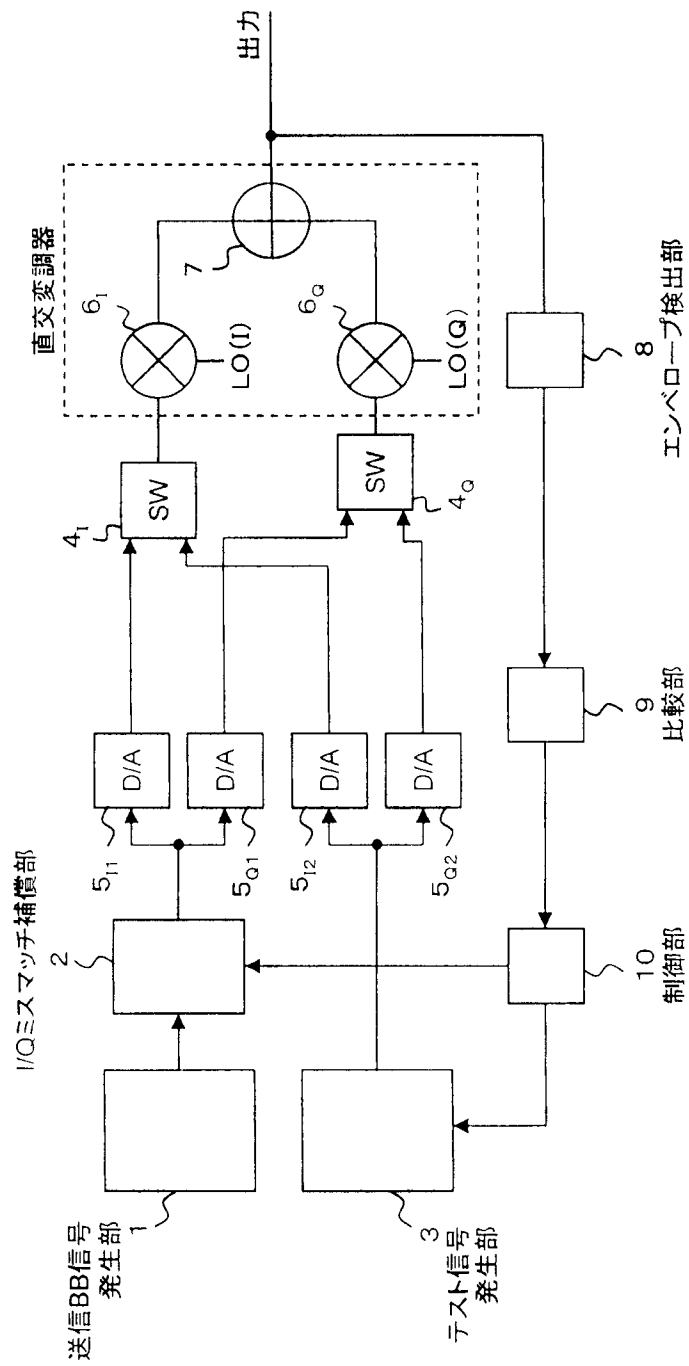
[図22]



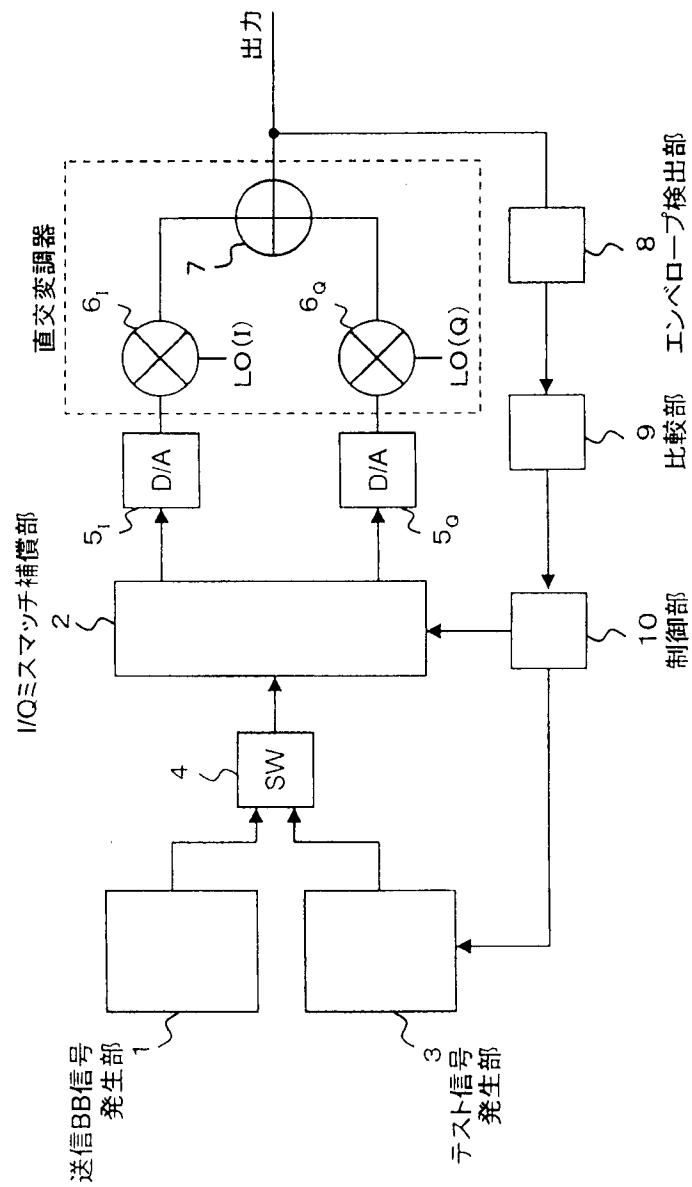
[図23]



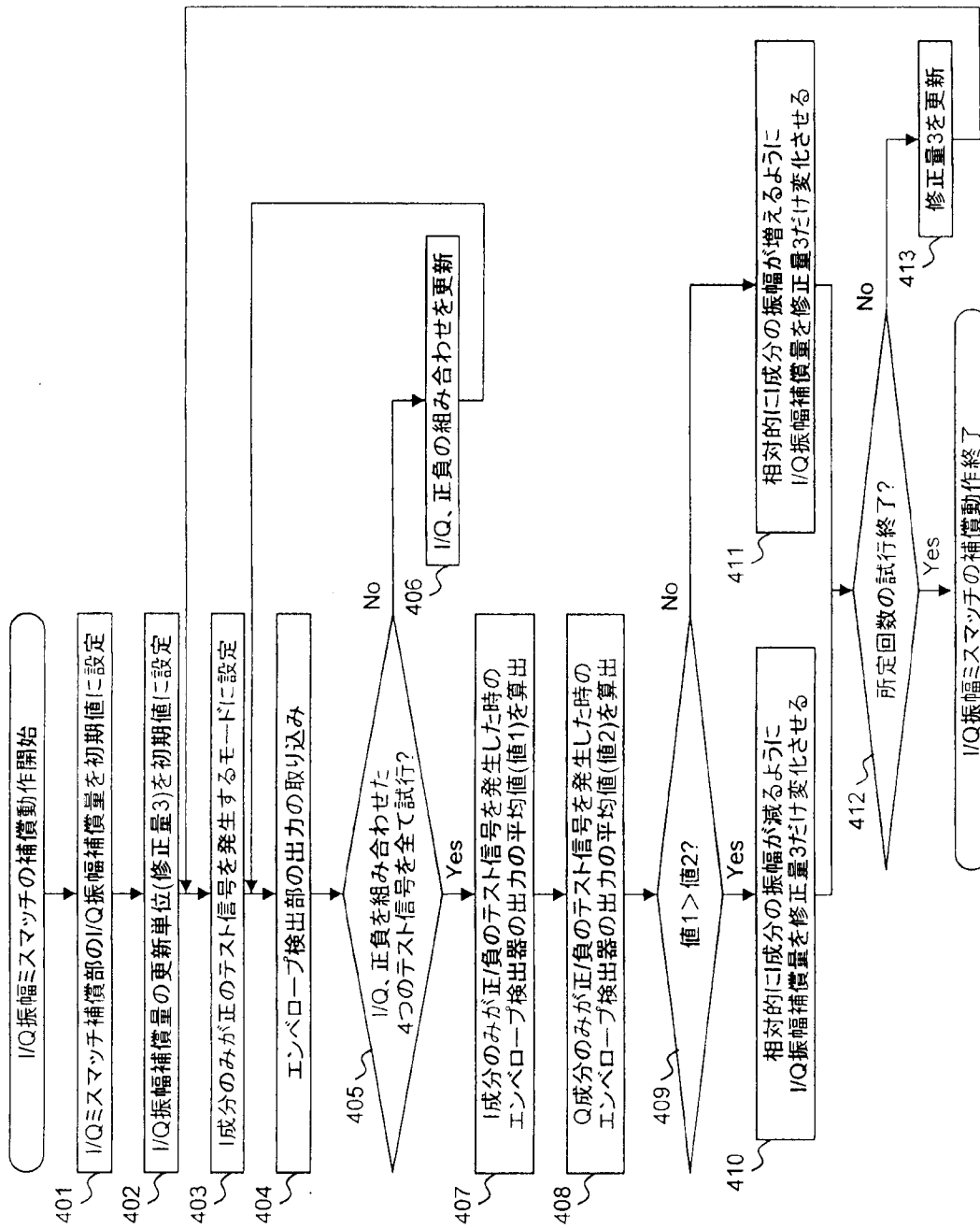
[図24]



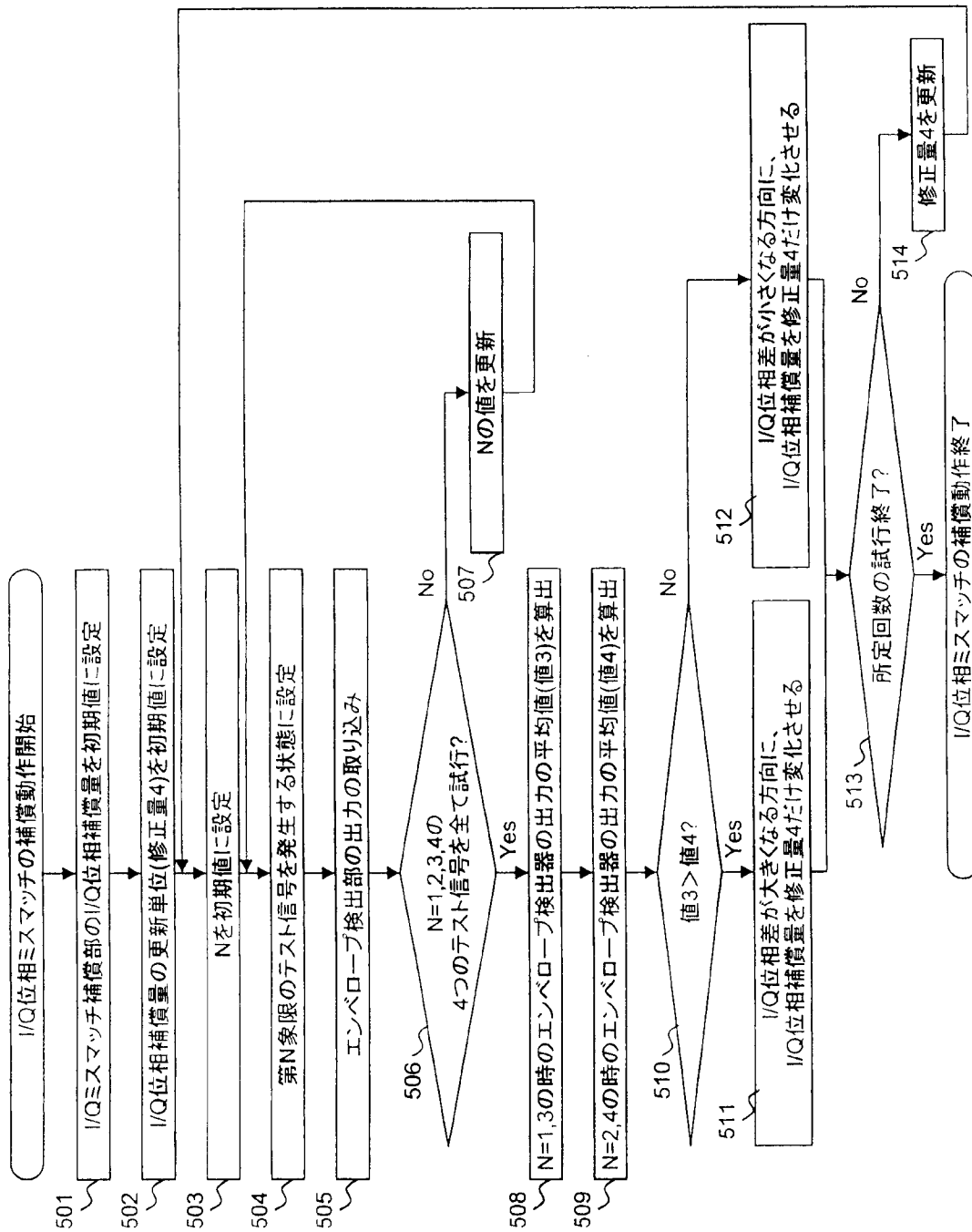
[図25]



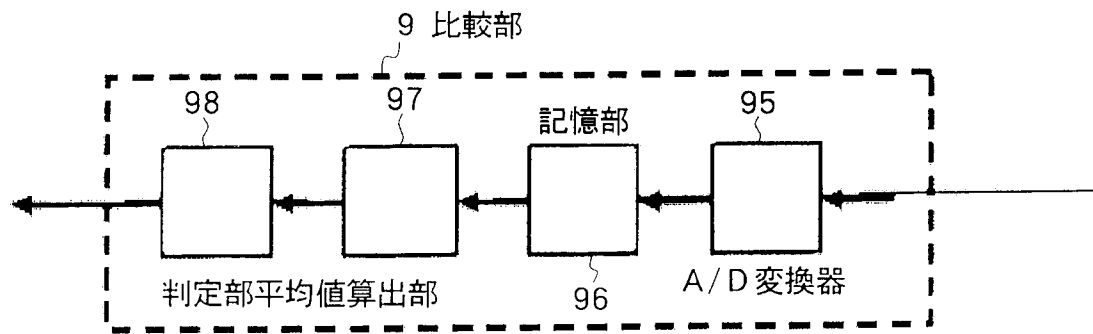
[図26]



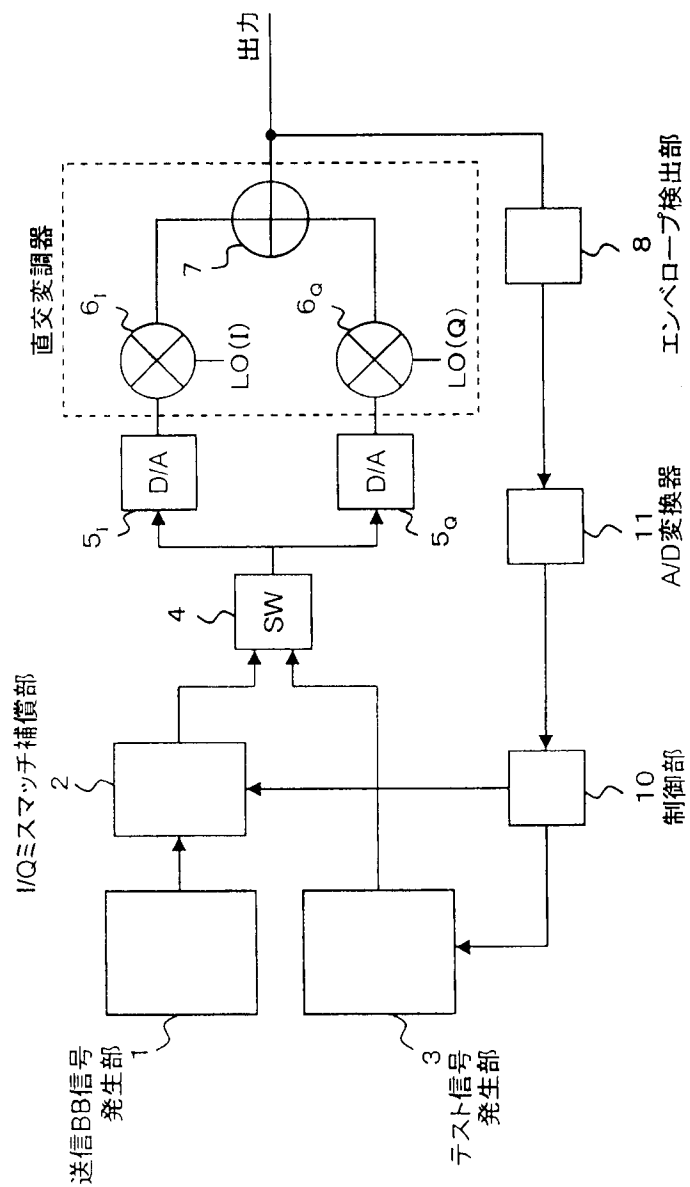
[図27]



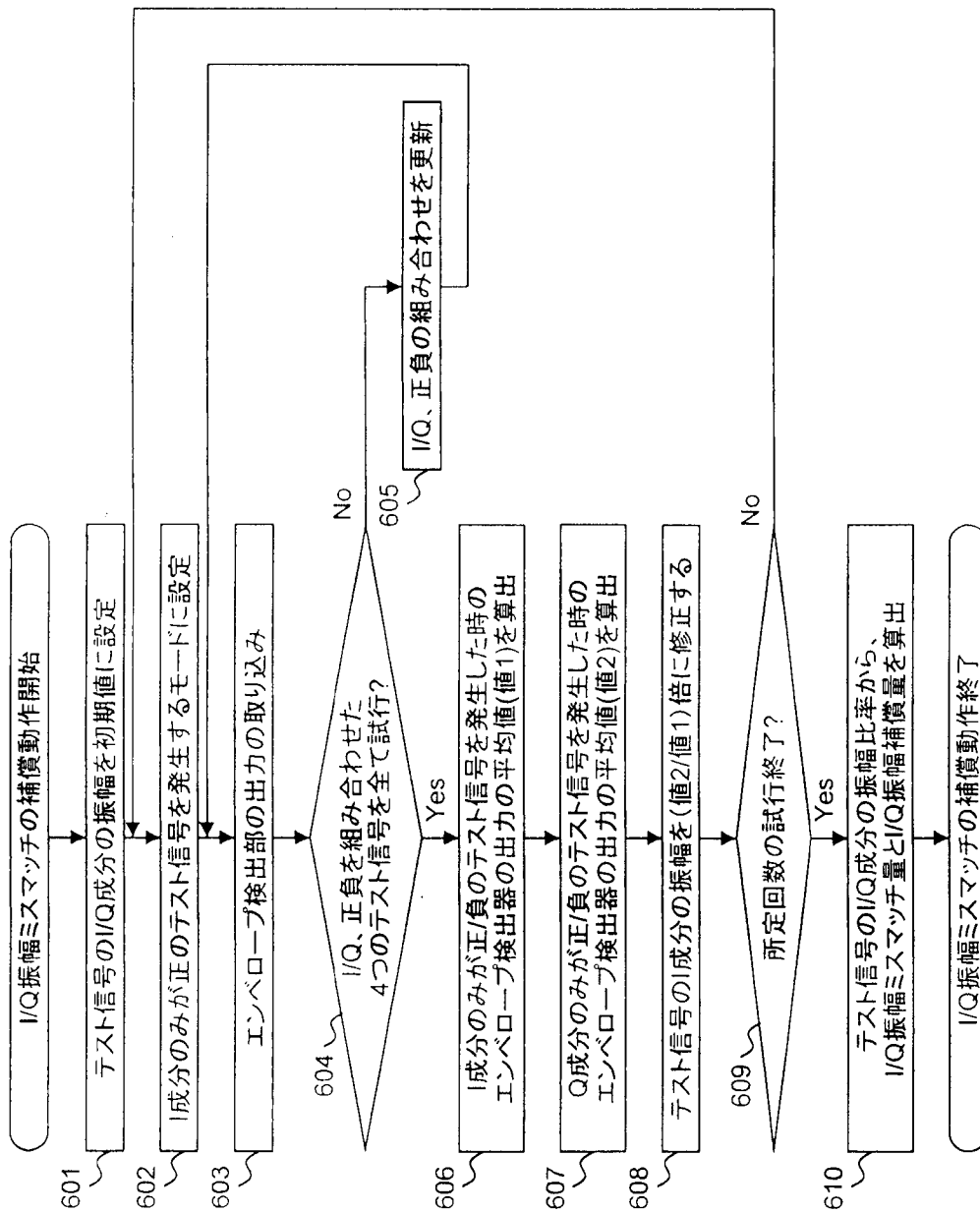
[図28]



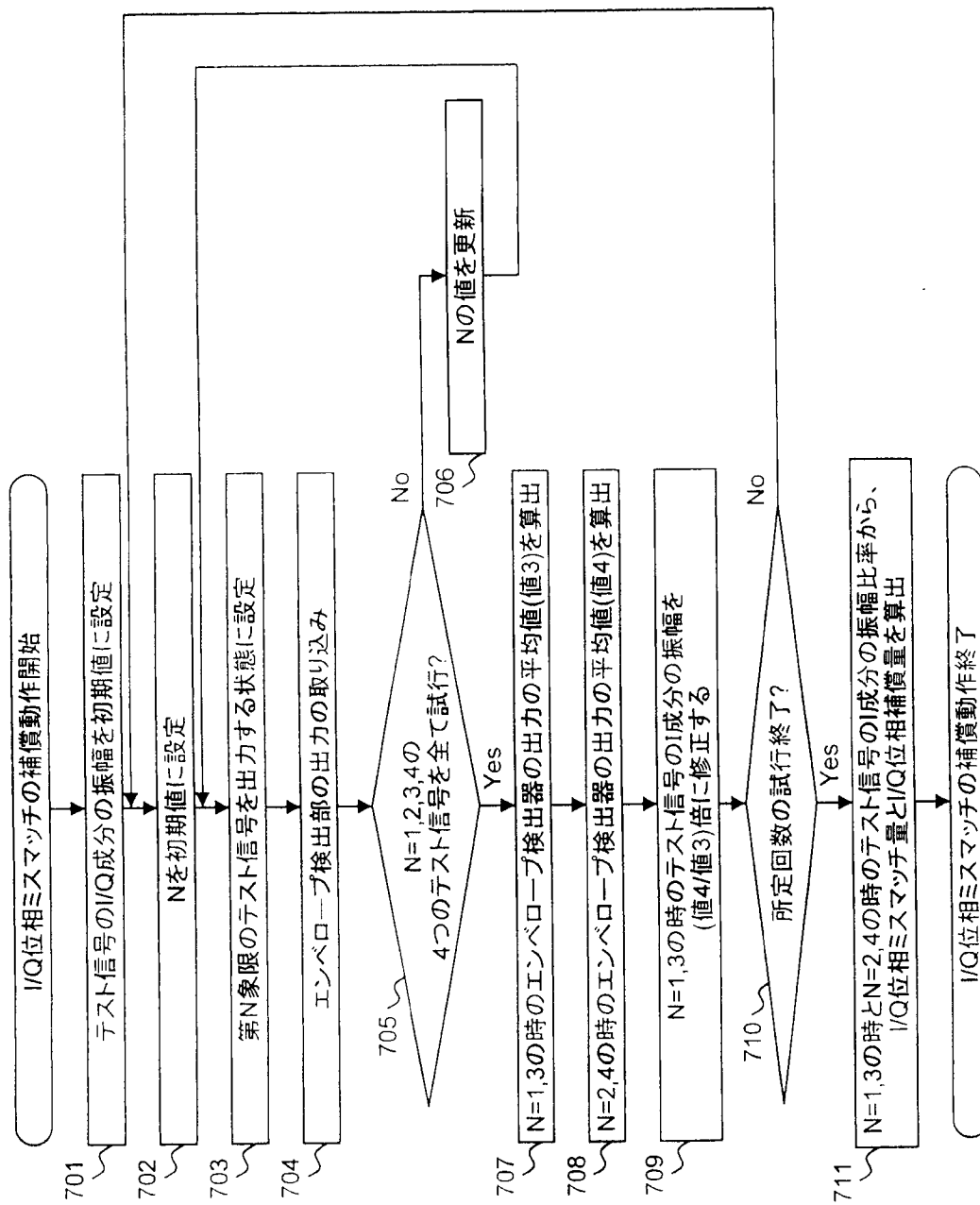
[図29]



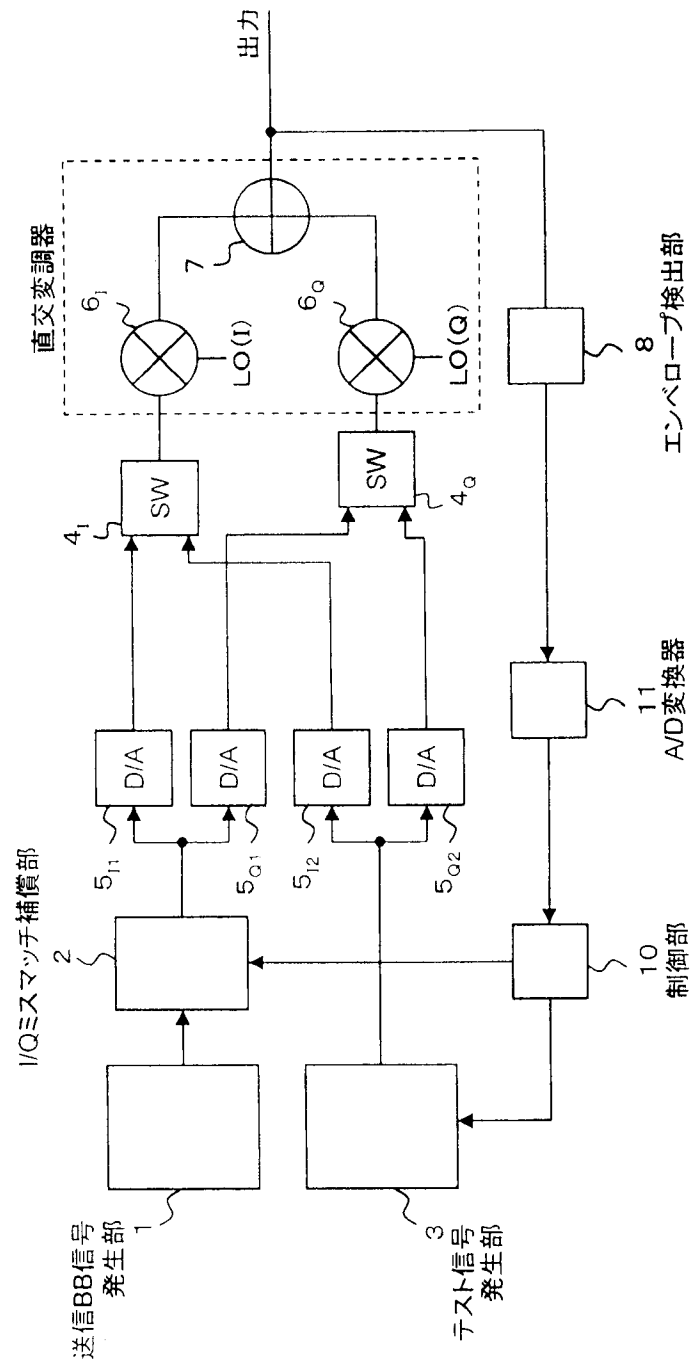
[図30]



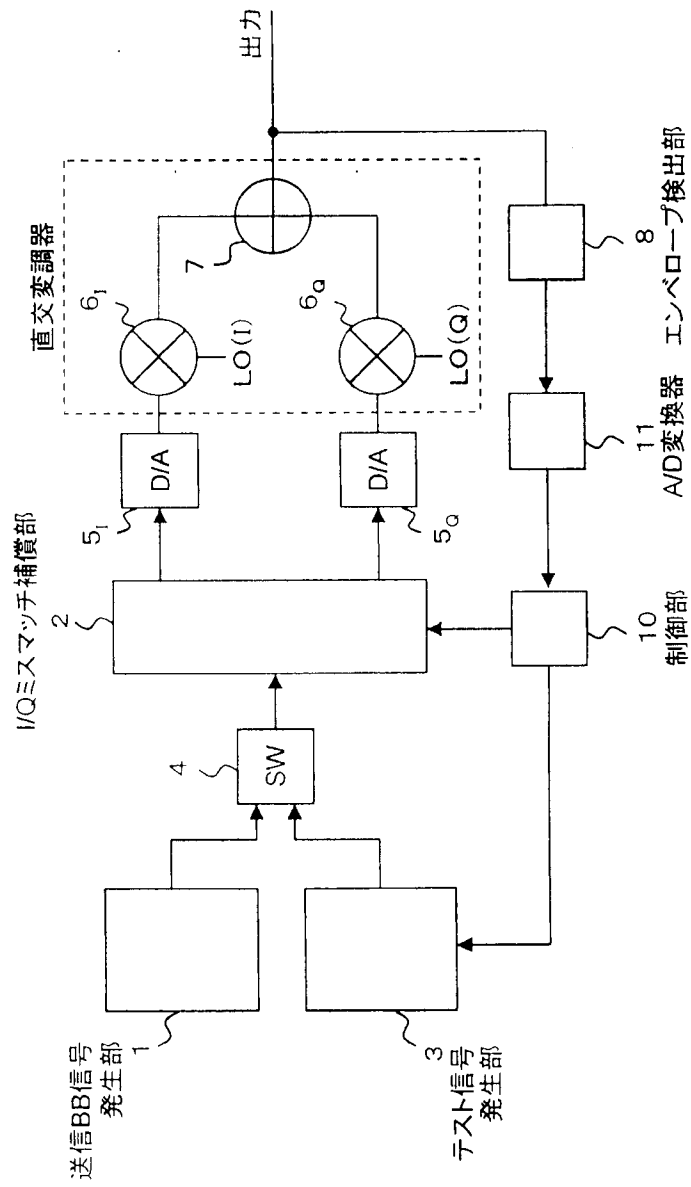
[図31]



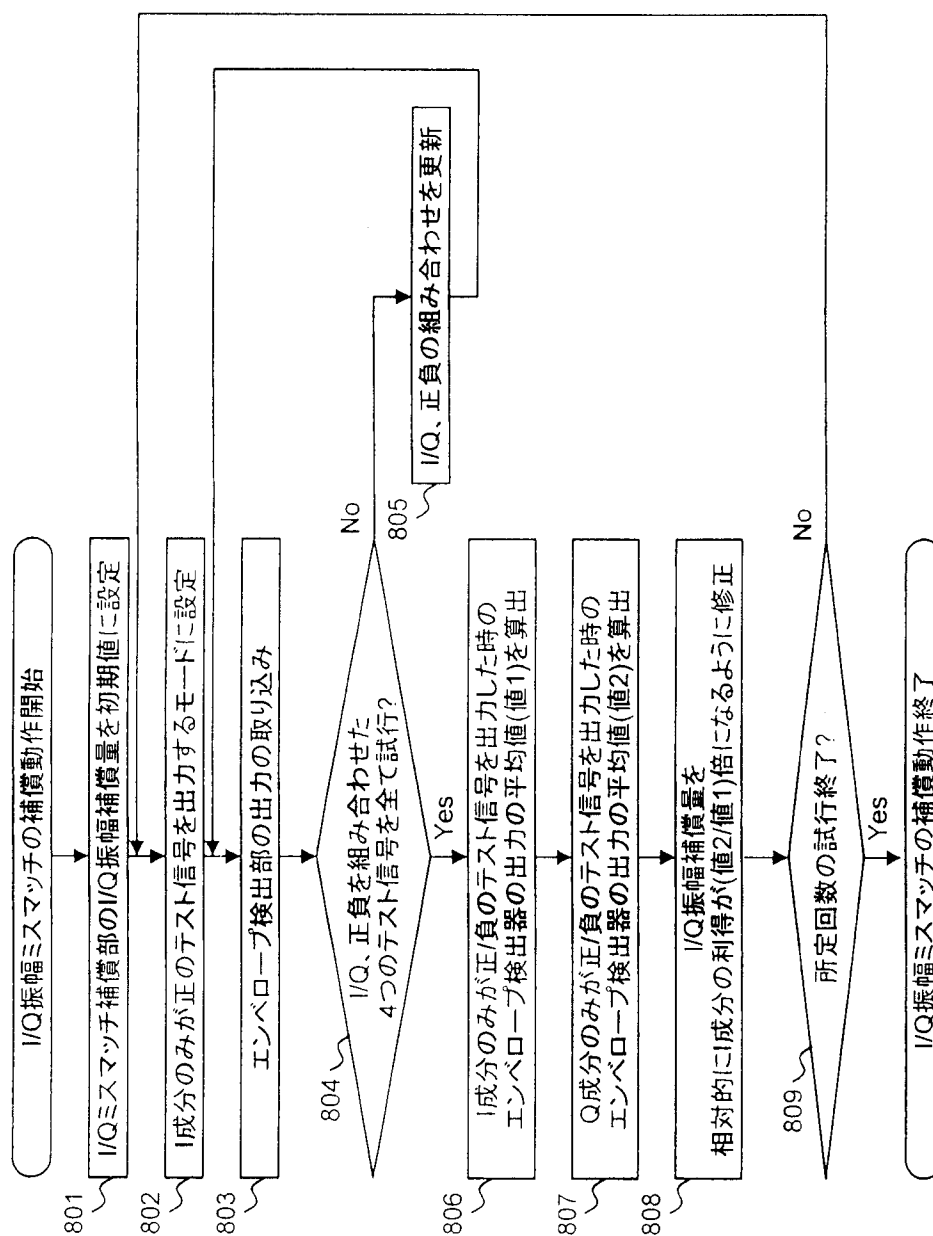
[図32]



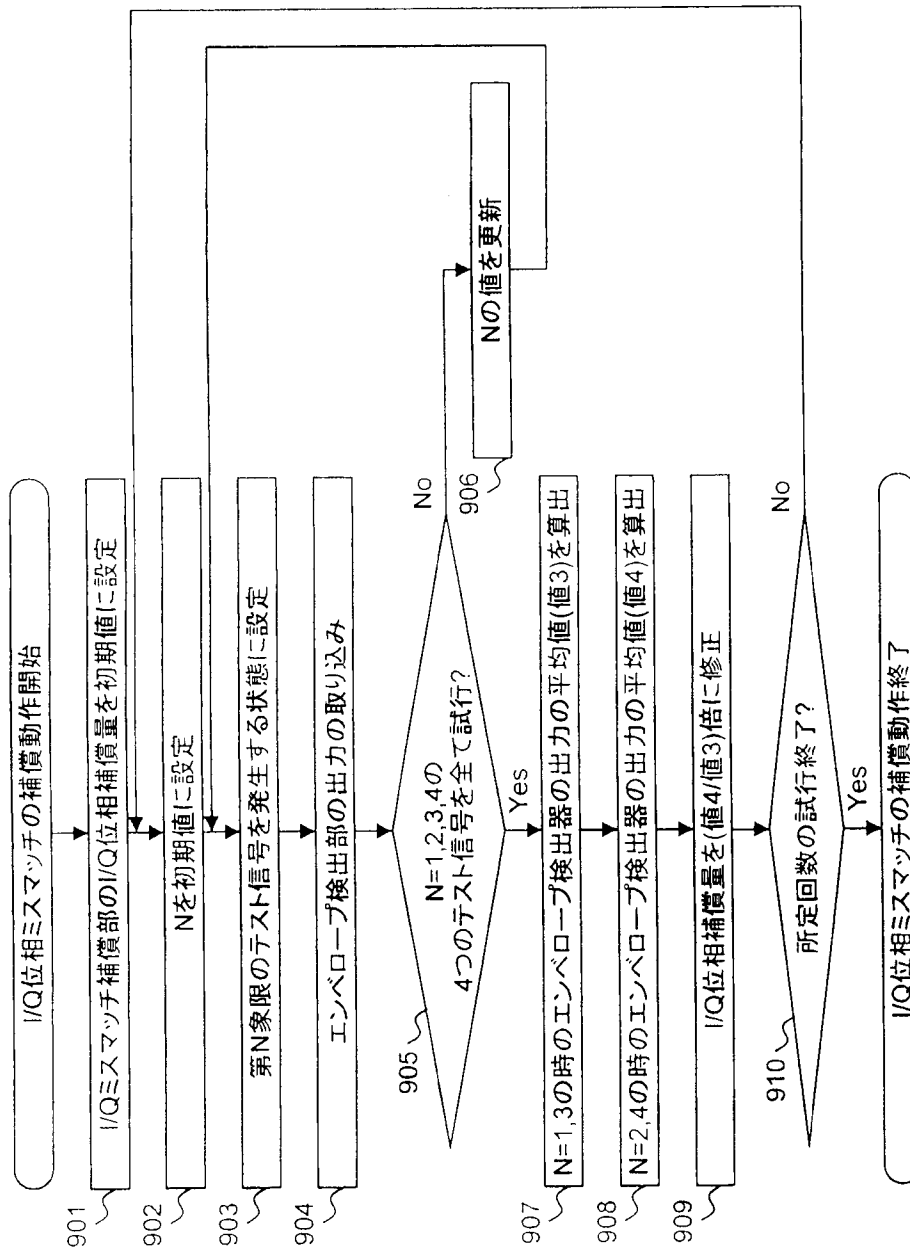
[図33]



[図34]



[図35]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/054324

A. CLASSIFICATION OF SUBJECT MATTER

H04L27/20(2006.1) i, **H04L27/00**(2006.1) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04L27/20, **H04L27/00**

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2007
Kokai Jitsuyo Shinan Koho	1971-2007	Toroku Jitsuyo Shinan Koho	1994-2007

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 11-136302 A (Fujitsu Ltd.), 21 May, 1999 (21.05.99), Figs. 1, 2, 3; Par. Nos. [0064] to [0071] (Family: none)	1-23
A	JP 2002-252663 A (Fujitsu General Ltd.), 06 September, 2002 (06.09.02), Fig. 3; Par. Nos. [0027] to [0038] (Family: none)	1-23
P, A	JP 2006-115463 A (Hitachi Kokusai Electric Inc.), 27 April, 2006 (27.04.06), Figs. 8, 9, 11; Par. Nos. [0030] to [0034] & US 2006/0062324 A1	1-23

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
23 March, 2007 (23.03.07)Date of mailing of the international search report
03 April, 2007 (03.04.07)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/054324

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 8-213846 A (Oki Electric Industry Co., Ltd.), 20 August, 1996 (20.08.96), Fig. 1; Par. Nos. [0030] to [0052] (Family: none)	1-23
A	JP 11-8658 A (Hitachi Denshi, Ltd.), 12 January, 1999 (12.01.99), Fig. 1; Par. Nos. [0007] to [0008] (Family: none)	1-23

A. 発明の属する分野の分類（国際特許分類（I P C））
Int.Cl. H04L 27/20(2006.1)i, H04L 27/00(2006.1)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H04L 27/20, H04L 27/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2－1 9 9 6年
日本国公開実用新案公報	1 9 7 1－2 0 0 7年
日本国実用新案登録公報	1 9 9 6－2 0 0 7年
日本国登録実用新案公報	1 9 9 4－2 0 0 7年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 11-136302 A（富士通株式会社）1999. 05. 21, 図 1, 図 2, 図 3, 段落【0064】－【0071】（ファミリーなし）	1-23
A	JP 2002-252663 A（株式会社富士通ゼネラル）2002. 09. 06, 図 3, 段落【0027】－【0038】（ファミリーなし）	1-23
P, A	JP 2006-115463 A（株式会社日立国際電気）2006. 04. 27, 図 8, 図 9, 図 1 1, 段落【0030】－【0034】 & US 2006/0062324 A1	1-23

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

2 3 . 0 3 . 2 0 0 7

国際調査報告の発送日

0 3 . 0 4 . 2 0 0 7

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号 1 0 0－8 9 1 5
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官（権限のある職員）

彦田 克文

電話番号 0 3－3 5 8 1－1 1 0 1 内線 3 5 5 6

5 K

9 1 8 2

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 8-213846 A (沖電気工業株式会社) 1996. 08. 20, 図 1, 段落【0030】－【0052】(ファミリーなし)	1-23
A	JP 11-8658 A (日立電子株式会社) 1999. 01. 12, 図 1, 段落【0007】－【0008】(ファミリーなし)	1-23