

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2011 年 8 月 18 日(18.08.2011)

PCT

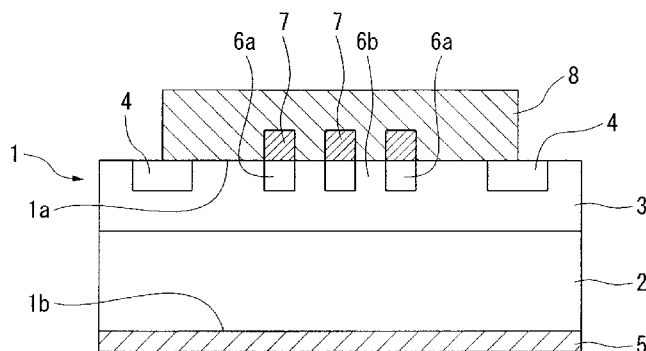
(10) 国際公開番号
WO 2011/099338 A1

- (51) 国際特許分類:
H01L 29/47 (2006.01) H01L 29/872 (2006.01)
H01L 21/28 (2006.01)
- (21) 国際出願番号: PCT/JP2011/050935
- (22) 国際出願日: 2011 年 1 月 20 日(20.01.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2010-026816 2010 年 2 月 9 日(09.02.2010) JP
- (71) 出願人 (米国を除く全ての指定国について): 昭和電工株式会社(SHOWA DENKO K.K.) [JP/JP]; 〒1058518 東京都港区芝大門一丁目 1 3 番 9 号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてののみ): 松瀬 朗浩 (MATSUSE Akihiro) [JP/JP]; 〒3691893 埼玉県秩父市下影森 1 5 0 5 番地 昭和電工株式会社内 Saitama (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))
- (74) 代理人: 志賀 正武, 外(SHIGA Masatake et al.); 〒1006620 東京都千代田区丸の内一丁目 9 番 2 号 Tokyo (JP).

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置および半導体装置の製造方法

[図1]



(57) Abstract: Disclosed is a semiconductor device which is characterized by comprising an n-type SiC semiconductor base (1), a cathode electrode (5) that forms an ohmic contact with one main surface (1b) of the SiC semiconductor base (1), a first semiconductor region (6a) that is composed of a p-type SiC formed in the other surface (1a) of the SiC semiconductor base (1), a second semiconductor region (6b) that is composed of an n-type SiC formed in the other surface (1a) of the SiC semiconductor base (1), an ohmic junction layer (7) that forms an ohmic contact with the first semiconductor region (6a), and a Schottky junction layer (8) that forms a Schottky contact with the second semiconductor region (6b). The semiconductor device is also characterized in that the ohmic junction layer (7) has a metal layer in which a first semiconductor region (6a)-side part is composed of an alloy containing titanium and nickel and a part thereon is mainly composed of molybdenum, and the Schottky junction layer (8) is formed of a metal that is mainly composed of molybdenum.

(57) 要約:

[続葉有]



WO 2011/099338 A1



n型のSiC半導体基体(1)と、SiC半導体基体(1)の一方の主表面(1b)とオーミック接触するカソード電極(5)と、SiC半導体基体(1)の他方の主表面(1a)に形成されたp型SiCからなる第1半導体領域(6a)と、他方の主表面(1a)に形成されたn型SiCからなる第2半導体領域(6b)と、第1半導体領域(6a)にオーミック接触するオーミック接合層(7)と、第2半導体領域(6b)にショットキー接触するショットキー接合層(8)と、を備え、オーミック接合層(7)が、第1半導体領域(6a)側からチタンとニッケルとを含む合金からなると共に、その上にモリブデンを主成分とする金属層を有し、ショットキー接合層(8)が、モリブデンを主成分とする金属からなることを特徴とする半導体装置である。

明 細 書

発明の名称：半導体装置および半導体装置の製造方法

技術分野

[0001] 本発明は、半導体装置および半導体装置の製造方法の改良に関する。

本願は、2010年2月9日に、日本に出願された特願2010-026816号に基づき優先権を主張し、その内容をここに援用する。

背景技術

[0002] 従来から、SiCショットキーバリアダイオードは、順方向にサージ電流が流れた際に、比較的低いサージ電流でも素子破壊が引き起こされることが知られている。この問題を解決するために、SiC半導体素子の一つの表面にn型領域とp型領域とを並列に配置し、大電流導通時にp型領域から少数キャリアである正孔の注入が起こるようにした素子構造が提案されている（例えば、非特許文献1参照）。このような素子構造とした場合、サージ耐量を向上させることができる。

[0003] このような素子構造は、MPS（Merged p-i-n Schottky）構造と呼ばれている。MPS構造では、半導体素子の一方の表面にショットキーダイオードとpn型ダイオードとを交互に配置している。したがって、半導体素子の一方の表面上には、n型半導体領域に良好なショットキー接合し、かつp型半導体領域に良好なオーミック接合をする接合材料からなる接合層を設ける必要がある。

[0004] n型半導体領域にショットキー接合をする接合層と、p型半導体領域にオーミック接合をする接合層とを同一材料で同時に形成する場合、これらをそれぞれ異なる材料で別々に形成する場合と比較して、製造工程を簡素化することができるため、好ましい。

このような接合層に用いられる接合材料としては、NiAl合金（例えば、特許文献1参照）や、TiNi合金（例えば、非特許文献2参照）が知られている。しかしながら、接合層としてNiAl合金やTiNi合金からな

るものを用いた場合、ショットキー接合する均質な接合層を形成することは困難であった。それは以下のような理由によるものと考察される。

[0005] 例えば、半導体基体としてS i Cからなるものを用い、半導体基体のn型半導体領域上にショットキー接合するN i A l合金あるいはT i N i合金からなる接合層を形成する場合、通常、n型半導体領域上にN i A l合金あるいはT i N i合金となる金属層を形成し、高温でアロイングすることにより形成する。このようにして接合層を形成する場合、n型半導体領域を構成するS i Cと、接合層を構成するN i A l合金あるいはT i N i合金との界面において、N i A l合金に含まれるN iとA lとの組成、あるいは、T i N i合金に含まれるT iとN iとの組成が不均一になりやすく、ショットキー接合する接合層内にバリアハイトの不均一な領域が生じてしまう場合があった。このため、このような方法で製造されたショットキーバリアダイオードに逆方向電圧を印加すると、ショットキーバリアの低い領域でリーク電流の増大が観察され、十分な電気的特性が得られない場合があった。

[0006] ショットキー接合する合金とn型半導体領域との界面における合金組成の不均一に起因する問題を解決するには、ショットキー接合する接合層として単一元素の金属を用いることが望ましい。しかし、現在まで、n型半導体領域に良好なショットキー接合をし、なおかつp型半導体領域に良好なオーミック接合をする単一元素の金属は発見されていない。

[0007] したがって、n型半導体領域に良好なショットキー接合をし、かつp型半導体領域に良好なオーミック接合をする接合層とするために、n型半導体領域に良好なショットキー接合をするショットキー接合層と、p型半導体領域に良好なオーミック接合をするオーミック接合層とをそれぞれ異なる材料で形成することが考えられる。

例えば、p型S i C半導体基体に対するオーミック電極としては、T iとA lとを順に成膜して熱処理することにより得られたものがある（例えば、特許文献2参照）。また、特許文献2には、ニッケルとシリコンと炭素とアルミニウムとを含むオーミック電極構造も記載されている。

先行技術文献

特許文献

[0008] 特許文献1：特表2003-510817号公報

特許文献2：特開2003-86534号公報

非特許文献

[0009] 非特許文献1：Analysis of a High-Voltage Merged p-i-n/Schottky (MPS) Rectifier: IEEE Electron Device Letters, Vol. Ed18; No. 9, September 1987: p407-409

非特許文献2：Diamond & Related Materials 14 (2005) 1146-1149

発明の概要

発明が解決しようとする課題

[0010] しかしながら、p型半導体領域上にAlを含む合金金属層を形成し、良好なオーミック接触が得られるオーミック接合層とするためには900℃以上でアロイングする必要がある。このような高温でアロイングを行うことにより約660℃と融点の低いアルミニウムが融けて凝集するため、表面に凹凸が生じて表面が荒れることが問題となっている。

[0011] 例えば、特許文献1には、TiとAlとの膜が、熱処理により表面に凹凸が生じると、電極周辺にTiAl合金がはみ出してしまい、電極のパターン形成が困難になることが示されている。このように、電極のパターン形成が狙い通りに出来ないと、半導体素子の微細化が実施できないという問題があった。

[0012] また、表面に凹凸を有するオーミック接合層では、SiCからなる半導体基体との界面においてオーミック接合層に含まれる合金の組成が不均一となっていることにより、電気的特性の劣化が引き起こされる。

[0013] また、MPS構造のSiCショットキーダイオードを大電流で使用する場合、オーミック接合層は、ショットキー接合層との界面における低い抵抗値や安定性が要求されるとともに、その上に積層されるショットキー接合層との高い密着性が要求される。しかし、表面の荒れたオーミック接合層は、その上に積層されるショットキー接合層との間に空隙が生じやすいものであるため、ショットキー接合層との十分に高い密着性が得られない場合があった。

[0014] さらに、SiC半導体素子では、一般的に電気的特性を向上させるために、カソード電極とアノード電極とをそれぞれ異なる温度で個別にアロイングする必要があるが、オーミック電極を個別に形成することで、さらにアロイ工程が一回増加することとなり、工程が複雑化してしまうという問題があった。

[0015] 本発明は、上記事情に鑑みてなされたもので、表面平坦性に優れ、電極のパターン形成性に優れるオーミック接合層を備える半導体装置を提供することを目的とする。

また、本発明は、熱処理工程の簡素化が可能な本発明の半導体装置の製造方法を提供することを目的とする。

課題を解決するための手段

[0016] 上記の目的を達成するために、本発明は以下の構成を採用した。

[1] n型のSiC半導体基体と、

前記SiC半導体基体の一方の主表面とオーミック接触するカソード電極と、

前記SiC半導体基体の他方の主表面に形成されたp型SiCからなる第1半導体領域と、

前記他方の主表面に形成されたn型SiCからなる第2半導体領域と、

前記第1半導体領域にオーミック接触するオーミック接合層と、

前記第2半導体領域にショットキー接触するショットキー接合層と、を備え、

前記オーミック接合層が、前記第 1 半導体領域側からチタンとニッケルとを含む合金からなると共に、その上にモリブデンを主成分とする金属層を有し、

前記ショットキー接続層が、モリブデンを主成分とする金属からなることを特徴とする半導体装置。

[2] 前記カソード電極が、ニッケルを主成分とする金属からなることを特徴とする前項 1 に記載の半導体装置。

[3] 前記合金が、ニッケルを重量組成比で 80 wt % 以上 95 wt % 未満含むものであることを特徴とする前項 1 又は前項 2 に記載の半導体装置。

[4] 一方の主表面と他方の主表面とを備え、前記他方の主表面に p 型 SiC からなる第 1 半導体領域と n 型 SiC からなる第 2 半導体領域とが設けられた n 型の SiC 半導体基体を形成する工程と、

前記一方の主表面上に、第 1 金属層を形成する工程と、

前記第 1 金属層をアロイングすることにより、前記一方の主表面とオーミック接触するカソード電極を形成する工程と、

前記第 1 半導体領域上に、チタン層とニッケル層とを含む第 2 金属層を形成する工程と、

前記第 2 金属層をアロイングすることにより、前記第 1 半導体領域とオーミック接合するオーミック接合層を形成する工程と、

前記第 2 半導体領域上に、第 3 金属層を形成する工程と、

前記第 3 金属層をアロイングすることにより、前記第 2 半導体領域とショットキー接合するショットキー接合層を形成する工程と、を含むことを特徴とする半導体装置の製造方法。

[5] 前記第 2 金属層が、ニッケルを重量組成比で 80 wt % 以上 95 wt % 未満含む組成であることを特徴とする前項 4 に記載の半導体装置の製造方法。

[6] 前記第 2 金属層を形成する工程が、前記第 1 半導体領域上に金属チタン層を形成した後に、前記金属チタン層上に金属ニッケル層を形成するこ

とを特徴とする前項 4 又は前項 5 に記載の半導体装置の製造方法

[7] 前記第 2 金属層及び前記第 3 金属層のアロイングを、500℃以上 900℃未満の温度で行うことを特徴とする前項 4 乃至 6 のいずれか一項に記載の半導体装置の製造方法。

[8] 前記第 2 金属層をアロイングする工程と、前記第 3 金属層をアロイングする工程とを同時に行うことを特徴とする前項 4 乃至 7 のいずれか一項に記載の半導体装置の製造方法。

[9] 前記カソード電極を、ニッケルを主成分とする金属で形成することを特徴とする前項 4 乃至 8 のいずれか一項に記載の半導体装置の製造方法。

[10] 前記第 3 金属層を、モリブデンを主成分とする金属で形成することを特徴とする前項 4 乃至 9 のいずれか一項に記載の半導体装置の製造方法。

発明の効果

[0017] 本発明の半導体装置によれば、オーミック接合層が、第 1 半導体領域側からチタンとニッケルとを含む合金からなり、その上にモリブデンを主成分とする金属層を有しているので、オーミック接合層と第 1 半導体領域との界面における組成の均一性に優れ、第 1 半導体領域と良好にオーミック接合するものとなる。また、組成中にアルミニウムを含まないため、アロイングの際にアルミニウムが溶融して凝集することがないため、オーミック接合層の表面平坦性に優れ、電極のパターン形成性に優れる半導体装置を提供することができる。

また、ショットキー接続層がモリブデンを主成分とする金属からなるものであるため、オーミック接合層とショットキー接合層との間で、十分に高い密着性が得られるものとなるため、逆方向のリーク電流が低く、順方向サージ耐量が大きい優れた電気的特性を有するものとなる。

[0018] また、本発明の半導体装置の製造方法は、第 1 半導体領域上に、チタン層とニッケル層とを含む第 2 金属層を形成する工程と、第 2 金属層をアロイングすることにより、前記第 1 半導体領域とオーミック接合するオーミック接

合層を形成する工程と、第2半導体領域上に、第3金属層を形成する工程と、前記第3金属層をアロイングすることにより、第2半導体領域とショットキー接合するショットキー接合層を形成する工程とを含み、第2金属層にアルミニウムが含まれない構成となっている。このため、第3金属層のアロイングの際に第2金属層が溶融して凝集することがない。このため、本発明の半導体装置の製造方法によれば、オーミック接合層の表面平坦性に優れ、電極のパターン形成性に優れる半導体装置を製造することができる。

さらに、第2金属層をアロイングする工程と、第3金属層をアロイングする工程とを同時に行う場合には、熱処理工程の簡素化を実現できる。

図面の簡単な説明

[0019] [図1] 図1は、本発明の半導体装置の一例であるショットキーバリアダイオードを示した縦断面図である。

[図2A] 図2Aは、図1に示すショットキーバリアダイオードの製造方法を説明するための工程図である。

[図2B] 図2Bは、図1に示すショットキーバリアダイオードの製造方法を説明するための工程図である。

[図2C] 図2Cは、図1に示すショットキーバリアダイオードの製造方法を説明するための工程図である。

[図2D] 図2Dは、図1に示すショットキーバリアダイオードの製造方法を説明するための工程図である。

[図2E] 図2Eは、図1に示すショットキーバリアダイオードの製造方法を説明するための工程図である。

[図3A] 図3Aは、ショットキーバリアダイオードのオーミック接合層のパターン形成性を示す実施例の光学顕微鏡写真である。

[図3B] 図3Bは、ショットキーバリアダイオードのオーミック接合層のパターン形成性を示す比較例の光学顕微鏡写真である。

発明を実施するための形態

[0020] 以下、本発明を、図面を参照して詳細に説明する。なお、以下の説明にお

いて参照する図面に図示される各部の大きさや厚さや寸法等は、実際の半導体装置の寸法関係とは異なっている場合がある。また本発明は以下の例のみに限られるものではなく、本発明の要旨を逸脱しない範囲で、変更や追加や省略をする事ができる。

[0021] <半導体装置>

図1は、本発明の半導体装置の一例であるショットキーバリアダイオードを示した縦断面図である。図1に示すショットキーバリアダイオードは、SiC半導体基体1と、カソード電極5と、オーミック接合層7と、ショットキー接合層8とを備えたものである。

[0022] 図1に示すSiC半導体基体1は、n型のものであり、n⁺型SiC層2とn⁻型SiC層3とを備えている。n⁺型SiC層2は、低抵抗のn⁺型4H-SiC単結晶基板からなる。n⁺型SiC層2の不純物濃度は任意で選択できるが、 $2 \times 10^{18} \text{ cm}^{-3}$ 程度であることが好ましい。また、n⁺型SiC層2の厚さは任意で選択できるが、 $350 \mu\text{m}$ 程度であることが好ましい。

n⁻型SiC層3は、n⁺型SiC層2上に形成されたn⁻型エピタキシャル層からなる。n⁻型SiC層3の不純物濃度は $1 \times 10^{16} \text{ cm}^{-3}$ 程度であることが好ましい。また、n⁻型SiC層3の厚さは、 $8 \mu\text{m}$ 程度であることが好ましい。

[0023] SiC半導体基体1のn⁻型SiC層3側の表面（他方の主表面）である上面1aには、p⁺型SiCからなる複数の第1半導体領域6aと、p⁺型SiCからなるガードリング4と、第1半導体領域6a間および第1半導体領域6aとガードリング4との間に配置されたn⁻型SiC層3の表面からなる第2半導体領域6bとが備えられている。

[0024] 第1半導体領域6aは、アルミニウムがイオン注入されることにより形成されたp⁺型SiCである。図1に示すように、第1半導体領域6aは、n⁻型SiC層3側の表面（上面1a）に複数個所設けてられていても良いが、一箇所のみ設けられていても良い。また、第1半導体領域6aの平面形状は、特に限定されるものではなく、例えば、線状、島状、網目状などの形状に

することができる。

[0025] ガードリング 4 は、S i C 半導体基体 1 の n^{-} 型 S i C 層 3 側の表面（他方の主表面）上において、第 1 半導体領域 6 a を取り囲むように環状に配置され、平面視でショットキー接合層 8 の周縁部に跨るように形成されている。ガードリング 4 は、ショットキー接合層 8 の周縁部における電界集中を緩和するものである。ガードリング 4 は、第 1 半導体領域 6 a と同様に、アルミニウムがイオン注入されることにより形成された p^{+} 型 S i C である。

[0026] ガードリング 4 と第 1 半導体領域 6 a とにおいて、 p^{+} 型 S i C を構成するアルミニウムイオンの濃度やアルミニウムがイオン注入される深さは、同じであっても良いし、異なっても良い。またこれら値も任意で選択できる。具体的例を挙げれば、例えば、第 1 半導体領域 6 a およびガードリング 4 の p^{+} 型 S i C を構成するアルミニウムイオンのイオン注入量は $1 \times 10^{15} \text{ cm}^{-2}$ 程度とすることができ、アルミニウムがイオン注入される深さは 300 nm 程度とすることができる。

[0027] オーミック接合層 7 は、第 1 半導体領域 6 a を構成する p^{+} 型 S i C にオーミック接触している電極である。オーミック接合層 7 は、第 1 半導体領域 6 a の一部にのみオーミック接触していても良いし、第 1 半導体領域 6 a の全部にオーミック接触していても良い。

オーミック接合層 7 の厚さは任意で選択できるが、50 nm ~ 200 nm の範囲であることが望ましく、130 nm 程度であることがより望ましい。

[0028] また、オーミック接合層 7 は、チタンとニッケルとを含む合金からなり、ニッケルを重量組成比で 80 wt % 以上 95 wt % 未満含むものであり、ニッケルを重量組成比で 85 wt % 以上 90 wt % 未満含むものであることがより好ましい。ニッケルの重量組成比が、80 wt % 未満であると、またニッケルの重量組成比が、95 wt % を超えると、オーミック接合層 7 の抵抗値が十分に低いものとならない恐れがある。前記合金のチタンの量は任意で選択されるが、重量組成比で 5 wt % 以上 20 wt % 未満含まれることが好ましい。

なお、チタンとニッケルとを含む合金は、チタンとニッケルのみからなるものであってもよいが、重量組成比で80wt%以上95wt%未満のニッケルと、チタンとに加えてさらにSi、Cなどの元素を含むものであってもよい。

[0029] ショットキー接合層8は、第2半導体領域6bを構成するn⁻型SiC層3にショットキー接触している電極である。また、ショットキー接合層8は、オーミック接合層7と電氣的に接続されている。ショットキー接合層8は、ガードリング4の内側全域を覆うように設けられており、周縁部がガードリング4と平面視で重なり合っている。

ショットキー接合層8は、モリブデンを主成分とする金属からなるものである。モリブデンを主成分とする金属としては、モリブデン単体の他、Ni、Ti、W、Ta、Ptなどを含む金属（合金）などが挙げられる。具体例を挙げればMoTi、及びMoNiなどがある。

[0030] SiC半導体基体1のn⁺型SiC層2側の表面（一方の主表面）である下面1bには、カソード電極5が設けられている。カソード電極5は、n⁺型SiC層2にオーミック接触されている。

カソード電極5は、ニッケルを主成分とする金属からなるものである。ニッケルを主成分とする金属としては、ニッケル単体の他、Ti、Alなどを含む金属（合金）などが挙げられる。具体例を挙げればNiAl、及びNiTiなどがある。

また、カソード電極5の厚みは、特に限定されないが、100nm程度であることが好ましい。

[0031] <半導体装置の製造方法>

次に、本発明の半導体装置の製造方法の一例として、図2Aから図2Eを用いて、図1に示すショットキーバリアダイオードの製造方法を説明する。図2Aから図2Eは、図1に示すショットキーバリアダイオードの製造方法を説明するための工程図である。

図1に示すショットキーバリアダイオードを製造するには、まず、n⁺型S

i C層2上に、n⁻型エピタキシャル層を積層してn⁻型S i C層3を形成し、n⁺型S i C層2とn⁻型S i C層3とを備えるn型のS i C半導体基体1とする。

[0032] 次いで、n⁻型S i C層3上に、プラズマCVD装置を用いて例えば厚さ略2 μmのS i O₂膜を形成し、フォトリソグラフィ工程によりガードリング4および第1半導体領域6aに対応する形状のパターンを描画する。続いて、S i O₂膜の一部を除去して、n⁻型S i C層3上のガードリング4および第1半導体領域6aとなる領域を露出させ、アルミニウムをイオン注入してp⁺型S i Cとする。このことにより、図2Aに示すように、S i C半導体基体1の上面1aに、第1半導体領域6aと、ガードリング4と、第2半導体領域6bとが形成される。その後、S i O₂膜を除去し、S i C半導体基体1を高温加熱炉内に導入し、例えば1800℃の温度で3分間の熱処理を行うことにより、ガードリング4および第1半導体領域6aにイオン注入されたアルミニウムイオンを活性化させる。

[0033] 次に、図2Bに示すように、S i C半導体基体1のn⁺型S i C層2側の表面（下面1b）に、電子ビーム（EB）蒸着法などを用いて、ニッケルを主成分とする金属からなる第1金属層51を例えば厚さ100nmとなるように形成する。

[0034] 次に、第1金属層51の形成されたS i C半導体基体1を高温加熱炉内に導入し、大気圧のアルゴンガス雰囲気中、900℃以上1100℃未満の温度で1分間～5分間の熱処理を行うことにより、第1金属層51をアロイング（合金化熱処理）する。このことにより、図2Bに示すように、n⁺型S i C層2とオーミック接触するカソード電極5を形成する。

[0035] 次に、図2Cに示すように、n⁻型S i C層3の第1半導体領域6a上に、フォトリソグラフィ工程により描画したオーミック接合層7に対応する形状のパターンを用いて、第1半導体領域6a上の全域に電子ビーム（EB）蒸着法などにより、チタン層61とニッケル層62とをこの順で設けて積層構造を形成し、ニッケルが重量組成比で80wt%以上95wt%未満含ま

れる第2金属層63を形成する。第2金属層63に含まれるニッケルの重量組成比は、第2金属層63を構成する各層の厚みを調節することによって調整できる。

なお、第2金属層63を構成する積層構造におけるチタン層61とニッケル層62との積層順序は特に限定されるものではなく、チタン層61を先に形成してもよいし、ニッケル層62を先に形成してもよい。

[0036] 次に、図2Dに示すように、 n -型SiC層3の第2半導体領域6b上に、第2金属層63も覆うように第3金属層81を形成する。この第3金属層81の形成は、フォトリソグラフィ工程により描画したショットキー接合層8に対応する形状のパターンを用いて、モリブデンを主成分とする金属を電子ビーム（EB）蒸着法などにより、ガードリング4の内側全域を覆い、周縁部がガードリング4と平面視で重なり合うようにして形成する。

[0037] 次に、図2Eに示すように、第2金属層63及び第3金属層81の形成されたSiC半導体基体1を高温加熱炉内に導入し、大気圧のアルゴンガス雰囲気中で、第2金属層63及び第3金属層81をアロイングする。これにより、第1半導体領域6aとオーミック接合するオーミック接合層7と、第2半導体領域6bとショットキー接合するショットキー接合層8とを同時形成することができる。

[0038] 第2の金属（第2金属層63）及び第3の金属（第3金属層81）のアロイングの温度は、第1金属層51をアロイングする温度よりも低い温度、具体的には500℃以上900℃未満の温度を用いることが好ましく、600度以上700度未満の温度がより好ましい。

また、アロイングの時間は、例えば5分間程度の熱処理を行うことが好ましい。

[0039] ここで、オーミック接合層7となる第2金属層63をアロイングする温度が500℃未満であると、オーミック接合層7の抵抗値が十分に低いものにならない恐れがある。また、第2金属層63をアロイングする温度が900℃以上であると、オーミック接合層7の表面平坦性が悪化して二乗平均粗さ

が十分に低いものとならない恐れがある。

[0040] なお、本実施形態では、第2金属層63と、第3金属層81とを同時にアロイングする場合を例に説明したが、それぞれ別々にアロイングしても良い。

[0041] 具体的には、例えば、第2金属層63を形成した後、第2金属層63の形成されたSiC半導体基体1を高温加熱炉内に導入し、大気圧のアルゴンガス雰囲気中、500℃以上900℃未満の温度で1分間～5分間の熱処理を行うことにより、第2金属層63をアロイング（合金化熱処理）する。このようにして、オーミック接合層7を形成する。

[0042] 次に、第3金属層81を形成した後、高温加熱炉内に導入して500℃以上900℃未満の温度で、例えば5分間～20分間の熱処理を行うことにより、第3金属層81をアロイングする。このようにして、ショットキー接合層8を形成することができる。

以上のような工程により、図1に示すショットキーバリアダイオードが得られる。

[0043] 以上説明したように、本実施形態のショットキーバリアダイオードによれば、チタンとニッケルとを含む合金からなるオーミック接合層7を備えるものであるので、オーミック接合層7と第1半導体領域6aとの界面における組成の均一性に優れ、第1半導体領域6aと良好にオーミック接合するものとなる。また、オーミック接合層7が、組成中にアルミニウムを含まないため、アロイングの際にアルミニウムが溶融して凝集することがなく、オーミック接合層7の表面平坦性に優れ、電極のパターン形成性に優れるショットキーバリアダイオードが得られる。

さらに、ショットキー接続層8がモリブデンを主成分とする金属からなるものであるので、オーミック接合層7とショットキー接合層8との十分に高い密着性が得られるものとなり、逆方向のリーク電流が低く、順方向サージ耐量が大きい優れた電気的特性を有するものとなる。

[0044] さらに、本実施形態のショットキーバリアダイオードにおいては、オーミ

ック接合層 7 が、チタンとニッケルとを含む合金からなるものであり、カソード電極 5 が、ニッケルを主成分とする金属からなるものであるので、第 1 半導体領域 6 a とオーミック接合するオーミック接合層 7 と、第 2 半導体領域 6 b とショットキー接合するショットキー接合層 8 の熱処理を同時に行う方法により、オーミック接合層 7 とショットキー接合層 8 とを同時に形成することができる。したがって、第 2 金属層 6 3 と第 3 金属層 8 1 とをそれぞれ別々にアロイングする場合と比較して、製造工程を簡素化することができる。

[0045] また、本実施形態のショットキーバリアダイオードの製造方法は、第 1 半導体領域 6 a 上に、チタン層 6 1 とニッケル層 6 2 とを含む第 2 金属層 6 3 を形成する工程と、第 2 金属層 6 3 をアロイングすることによりオーミック接合層 7 を形成する工程と、第 2 半導体領域 6 b 上に第 3 金属層 8 1 を形成してアロイングすることにより、ショットキー接合層 8 を形成する工程とを含む構成となっており、アロイングの際に溶融して凝集するアルミニウムが第 2 金属層 6 3 に含まれていないため、オーミック接合層 7 の表面平坦性に優れ、電極のパターン形成性に優れるショットキーバリアダイオードを製造することができる。

[0046] すなわち、本実施形態においては、オーミック接合層 7 となる第 2 金属層 6 3 が、チタン層 6 1 とニッケル層 6 2 とを含み、重量組成比で第 2 金属層 6 3 がニッケルを 85 wt % 以上 95 wt % 未満含むものであり、アロイングすることによって溶融するアルミニウムを含有することなく、オーミック接合層 7 の抵抗値が十分に低いものとなる。

[0047] このように本実施形態のショットキーバリアダイオードの製造方法においては、第 2 金属層 6 3 に含まれる金属組成の凝集が防止されるので、第 1 半導体領域 6 a と良好にオーミック接合し、表面平坦性に優れ、ショットキー接合層 8 との十分に高い密着性が得られるオーミック接合層 7 を備えるショットキーバリアダイオードを製造できる。

[0048] また、本実施形態のショットキーバリアダイオードの製造方法においては

、第2金属層63のアロイングを500℃以上900℃未満の温度で行うので、抵抗値が十分に低く、かつ表面平坦性に優れたオーミック接合層7が得られる。

また、本実施形態のショットキーバリアダイオードの製造方法において、第2金属層63が、ニッケルを重量組成比で80wt%以上95wt%未満含むものである場合には、より一層表面平坦性に優れたオーミック接合層7が得られる。

[0049] また、本実施形態のショットキーバリアダイオードの製造方法においては、ショットキー接合層8を、モリブデンを主成分とする金属で形成しているので、第2金属層63をアロイングする温度と同程度の温度で第3金属層81をアロイングすることにより、ショットキー接合層8を形成することができる。また、第3金属層をアロイングする温度は第2金属層をアロイングする温度より低くすることもできる。

[0050] なお、本発明は、上記の実施形態に限定されるものではない。

例えば、第1金属層51、第2金属層63、第3金属層81の形成方法は、電子ビーム（EB）蒸着法に限定されるものではなく、スパッタ法や抵抗加熱法などを用いてもよい。

また、製造工程を簡素化するために、上述した実施形態に示すように、第1半導体領域6aとガードリング4とを同時に形成することが好ましいが、第1半導体領域6aとガードリング4とは別々に形成してもよい。

[0051] さらに、n⁺型SiC層2を構成するSiC単結晶基板の結晶多形は、4H-SiCに限定されるものではなく、6H-SiCや3H-SiCであってもよい。

なお、第1金属層51および第2金属層63のアロイングは、アルゴンの大気圧中で行ったが、窒素雰囲気でも良いし、真空中でも良い。また、第1金属層51および第2金属層63のアロイングは、急速熱処理（Rapid Thermal Annealing：RTA）法によるアルゴン雰囲気中に行っても良い。

実施例

[0052] 以下、本発明を実施例に基づいて具体的に説明する。しかし、本発明はこれらの実施例にのみ限定されるものではない。

[0053] (実施例 1)

図 1 に示すショットキーバリアダイオードを次のようにして製造した。

まず、厚さ $350\text{ }\mu\text{m}$ の n^+ 型 SiC 層 2 上に、 n^- 型エピタキシャル層を積層して厚さ $8\text{ }\mu\text{m}$ の n^- 型 SiC 層 3 を形成し、 n^+ 型 4H-SiC 単結晶基板からなる不純物濃度 $2 \times 10^{18}\text{ cm}^{-3}$ の n^+ 型 SiC 層 2 と、不純物濃度 $1 \times 10^{16}\text{ cm}^{-3}$ の n^- 型 SiC 層 3 とを備える n 型の SiC 半導体基体 1 とした。

[0054] 次に、 n^- 型 SiC 層 3 上に、プラズマ CVD 装置を用いて厚さ $2\text{ }\mu\text{m}$ の SiO_2 膜を形成し、フォトリソグラフィ工程によりパターンを描画し、 SiO_2 膜の一部を除去して、 n^- 型 SiC 層 3 上のガードリング 4 および第 1 半導体領域 6a となる領域を露出させ、アルミニウムを $1 \times 10^{15}\text{ cm}^{-2}$ のイオン注入量、 300 nm の深さでイオン注入し、 p^+ 型 SiC とした。このことにより、SiC 半導体基体 1 の n^- 型 SiC 層 3 の上面 1a に、複数の第 1 半導体領域 6a と、ガードリング 4 と、複数の第 2 半導体領域 6b とを形成した。その後、 SiO_2 膜を除去し、SiC 半導体基体 1 を高温加熱炉内に導入し、 1800°C の温度で 3 分間の熱処理を行うことにより、ガードリング 4 および第 1 半導体領域 6a にイオン注入されたアルミニウムイオンを活性化させた。

[0055] 次に、SiC 半導体基体 1 の n^+ 型 SiC 層 2 側の表面 (下面 1b) に、電子ビーム (EB) 蒸着法を用いて、ニッケルからなる第 1 金属層 51 を形成した。

次に、第 1 金属層 51 の形成された SiC 半導体基体 1 を高温加熱炉内に導入し、大気圧のアルゴンガス雰囲気中、 1000°C の温度で 3 分間の熱処理を行うことにより、第 1 金属層 51 をアロイングした。このことにより、厚み 100 nm のカソード電極 5 を形成した。

[0056] 次に、 n^- 型SiC層3の第1半導体領域6a上に、フォトリソグラフィ工程により描画したオーミック接合層7に対応する形状のパターンを用い、電子ビーム（EB）蒸着法により、第1半導体領域6a上の全域に厚み30nmのチタン層と厚み100nmのニッケル層とをこの順で形成して積層構造とし、チタン層61とニッケル層62との重量組成比が $Ti : Ni = 15 : 85$ である第2金属層63を形成した。

次に、第2金属層63の形成されたSiC半導体基体1を高温加熱炉内に導入し、大気圧のアルゴンガス雰囲気中、700℃の温度で5分間の熱処理を行うことにより、第2金属層63をアロイングした。このことにより、厚み130nmのオーミック接合層7を形成した。

[0057] 次に、 n^- 型SiC層3の第2半導体領域6b上に、フォトリソグラフィ工程により描画したショットキー接合層8に対応する形状のパターンを用いて、電子ビーム（EB）蒸着法により、モリブデンからなり、ガードリング4の内側全域を覆い、周縁部がガードリング4と平面視で重なり合う第3金属層81を形成した。

次に、第3金属層81の形成されたSiC半導体基体1を高温加熱炉内に導入し、600℃の温度で10分間の熱処理を行うことにより、第3金属層81をアロイングした。このことにより、ショットキー接合層8を形成し、実施例1のショットキーバリアダイオードを得た。

[0058] （実施例2）

図1に示すショットキーバリアダイオードを次のようにして製造した。

まず、厚さ350 μm の n^+ 型SiC層2上に、 n^- 型エピタキシャル層を積層して厚さ8 μm の n^- 型SiC層3を形成し、 n^+ 型4H-SiC単結晶基板からなる不純物濃度 $2 \times 10^{18} \text{ cm}^{-3}$ の n^+ 型SiC層2と、不純物濃度 $1 \times 10^{16} \text{ cm}^{-3}$ の n^- 型SiC層3とを備える n 型のSiC半導体基体1とした。

[0059] 次に、 n^- 型SiC層3上に、プラズマCVD装置を用いて厚さ2 μm のSiO₂膜を形成し、フォトリソグラフィ工程によりパターンを描画し、S

SiO_2 膜の一部を除去して、 n^- 型 SiC 層3上のガードリング4および第1半導体領域6aとなる領域を露出させ、アルミニウムを $1 \times 10^{15} \text{ cm}^{-2}$ のイオン注入量、300nmの深さでイオン注入し、 p^+ 型 SiC とした。このことにより、 SiC 半導体基体1の n^- 型 SiC 層3の上面1aに、複数の第1半導体領域6aと、ガードリング4と、複数の第2半導体領域6bとを形成した。その後、 SiO_2 膜を除去し、 SiC 半導体基体1を高温加熱炉内に導入し、1800℃の温度で3分間の熱処理を行うことにより、ガードリング4および第1半導体領域6aにイオン注入されたアルミニウムイオンを活性化させた。

[0060] 次に、 SiC 半導体基体1の n^+ 型 SiC 層2側の表面（下面1b）に、電子ビーム（EB）蒸着法を用いて、ニッケルからなる第1金属層51を形成した。

次に、第1金属層51の形成された SiC 半導体基体1を高温加熱炉内に導入し、大気圧のアルゴンガス雰囲気中、1000℃の温度で3分間の熱処理を行うことにより、第1金属層51アロイングした。このことにより、厚み100nmのカソード電極5を形成した。

[0061] 次に、 n^- 型 SiC 層3の第1半導体領域6a上に、フォトリソグラフィ工程により描画したオーミック接合層7に対応する形状のパターンを用い、電子ビーム（EB）蒸着法により、第1半導体領域6a上の全域に厚み30nmのチタン層と厚み100nmのニッケル層とをこの順で形成して積層構造とし、チタン層61とニッケル層62との重量組成比が $\text{Ti} : \text{Ni} = 15 : 85$ である第2金属層63を形成した。

次に、 n^- 型 SiC 層3の第2半導体領域6b上に、フォトリソグラフィ工程により描画したショットキー接合層8に対応する形状のパターンを用いて、電子ビーム（EB）蒸着法により、モリブデンからなり、ガードリング4の内側全域を覆い、周縁部がガードリング4と平面視で重なり合う第3金属層81を形成した。

[0062] 次に、第2金属層63および第3金属層81の形成された SiC 半導体基

体 1 を高温加熱炉内に導入し、650℃の温度で10分間の熱処理を行うことにより、第2金属層63および第3金属層81を同時にアロイングした。このことにより、厚み130nmのオーミック接合層7とショットキー接合層8を形成し、実施例2のショットキーバリアダイオードを得た。

[0063] (比較例)

第2金属層として、厚み20nmのチタン層と厚み100nmのアルミニウム層とをこの順で形成して積層構造を形成し(チタン層とアルミニウム層との重量組成比は、Ti:Al=26:74)、アロイング温度を900℃にし、厚み120nmのオーミック接合層を形成したこと以外は、実施例と同様にして、比較例のショットキーバリアダイオードを得た。

[0064] このようにして得られた実施例および比較例のショットキーバリアダイオードを構成するオーミック接合層の表面平坦性を調べるために、ショットキー接合層を形成する前に、オーミック接合層の表面をショットキー接合層側から光学顕微鏡を用いて観察した。その結果を図3Aと図3Bに示す。

図3Aと図3Bは、ショットキーバリアダイオードのオーミック接合層の光学顕微鏡写真である。図3Aは実施例1であり、図3Bは比較例である。実施例2も実施例1と同様の特徴を有する形状であった。図3Aと図3Bに示すように、実施例では直進性に優れたパターンが形成されるが、比較例では凹凸が多く表面が荒れており、直進性が悪化していることが分かる。

産業上の利用可能性

[0065] 本発明によれば、表面平坦性に優れ、電極のパターン形成性に優れるオーミック接合層を備える半導体装置を提供できる。

符号の説明

- [0066]
- | | |
|-----|------------------------|
| 1 | S i C半導体基体 |
| 1 a | 上面(他方の主表面) |
| 1 b | 下面(一方の主表面) |
| 2 | n ⁺ 型S i C層 |
| 3 | n ⁻ 型S i C層 |

- 4 ガードリング
- 5 カソード電極
- 6 a 第 1 半導体領域
- 6 b 第 2 半導体領域
- 7 オーミック接合層
- 8 ショットキー接合層
- 5 1 第 1 金属層
- 6 1 チタン層
- 6 2 ニッケル層
- 6 3 第 2 金属層
- 8 1 第 3 金属層

請求の範囲

[請求項1]

n 型の S i C 半導体基体と、

前記S i C半導体基体の一方の主表面とオーミック接触するカソード電極と、

前記S i C半導体基体の他方の主表面に形成されたp型S i Cからなる第1半導体領域と、

前記他方の主表面に形成されたn型SiCからなる第2半導体領域と、

前記第 1 半導体領域にオーミック接触するオーミック接合層と、

前記第2半導体領域にショットキー接触するショットキー接合層と、を備え、

前記オーミック接合層が、前記第 1 半導体領域側からチタンとニッケルとを含む合金からなると共に、その上にモリブデンを主成分とする金属層を有し、

前記ショットキー接続層が、モリブデンを主成分とする金属からなることを特徴とする半導体装置。

[請求項2]

前記カソード電極が、ニッケルを主成分とする金属からなることを特徴とする請求項 1 に記載の半導体装置。

[請求項3]

前記合金が、ニッケルを重量組成比で80wt%以上95wt%未満含むものであることを特徴とする請求項1に記載の半導体装置。

[請求項4]

一方の主表面と他方の主表面とを備え、前記他方の主表面に p 型 SiC からなる第 1 半導体領域と n 型 SiC からなる第 2 半導体領域とが設けられた n 型の SiC 半導体基体を形成する工程と、

前記一方の主表面上に、第1金属層を形成する工程と、

前記第 1 金属層をアロイングすることにより、前記一方の主表面と
オーミック接触するカソード電極を形成する工程と、

前記第 1 半導体領域上に、チタン層とニッケル層とを含む第 2 金属層を形成する工程と、

前記第2金属層をアロイングすることにより、前記第1半導体領域とオーミック接合するオーミック接合層を形成する工程と、

前記第2半導体領域上に、第3金属層を形成する工程と、

前記第3金属層をアロイングすることにより、前記第2半導体領域とショットキー接合するショットキー接合層を形成する工程と、を含むことを特徴とする半導体装置の製造方法。

[請求項5] 前記第2金属層が、ニッケルを重量組成比で80wt%以上95wt%未満含む組成であることを特徴とする請求項4に記載の半導体装置の製造方法。

[請求項6] 前記第2金属層を形成する工程が、前記第1半導体領域上に金属チタン層を形成した後に、前記金属チタン層上に金属ニッケル層を形成することを特徴とする請求項4に記載の半導体装置の製造方法

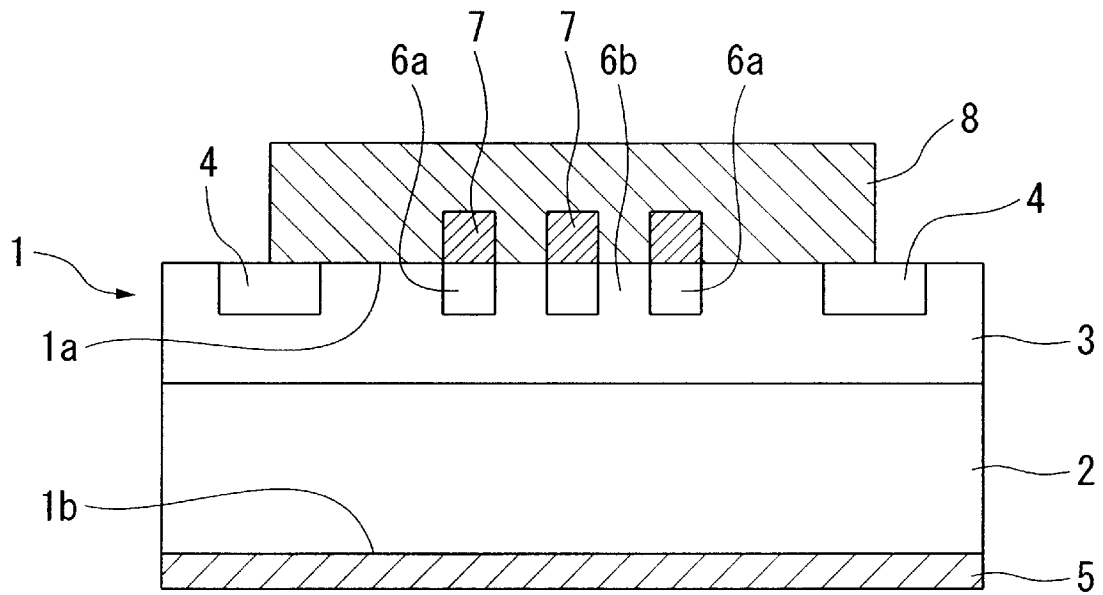
[請求項7] 前記第2金属層及び前記第3金属層のアロイングを、500℃以上900℃未満の温度で行うことを特徴とする請求項4に記載の半導体装置の製造方法。

[請求項8] 前記第2金属層をアロイングする工程と、前記第3金属層をアロイングする工程とを同時に行うことを特徴とする請求項4に記載の半導体装置の製造方法。

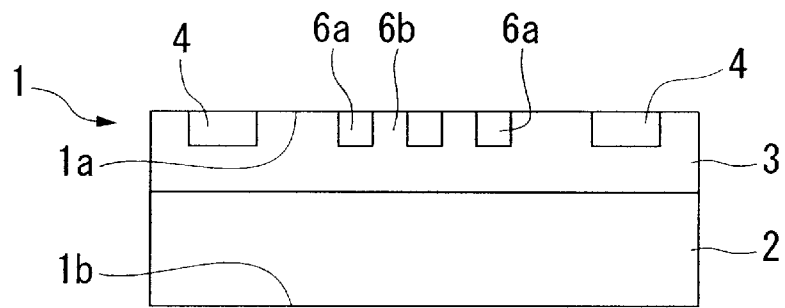
[請求項9] 前記カソード電極を、ニッケルを主成分とする金属で形成することを特徴とする請求項4に記載の半導体装置の製造方法。

[請求項10] 前記第3金属層を、モリブデンを主成分とする金属で形成することを特徴とする請求項4に記載の半導体装置の製造方法。

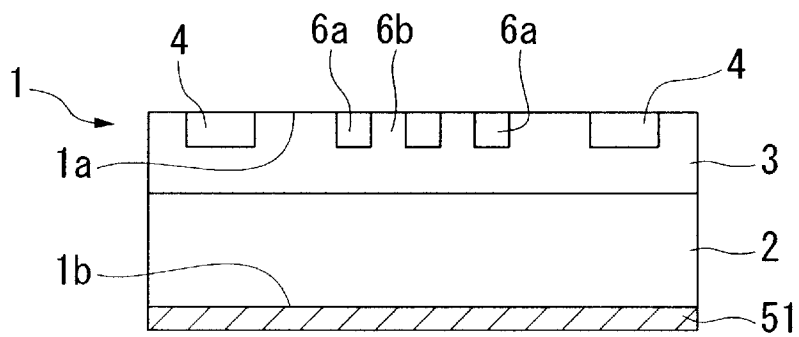
[図1]



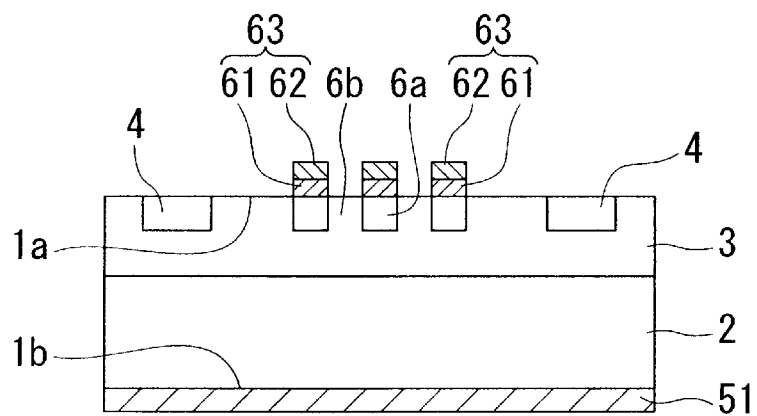
[図2A]



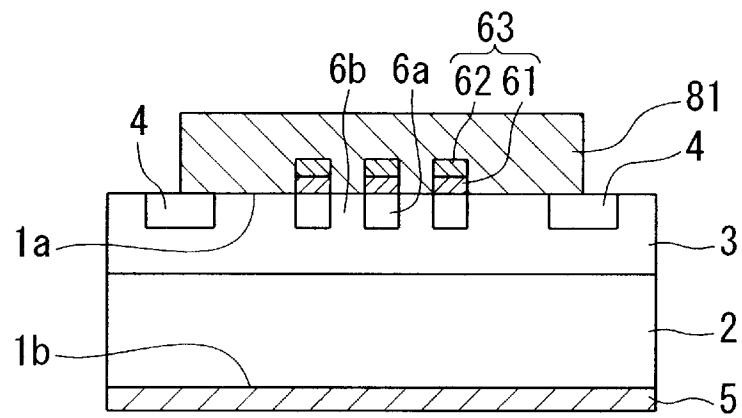
[図2B]



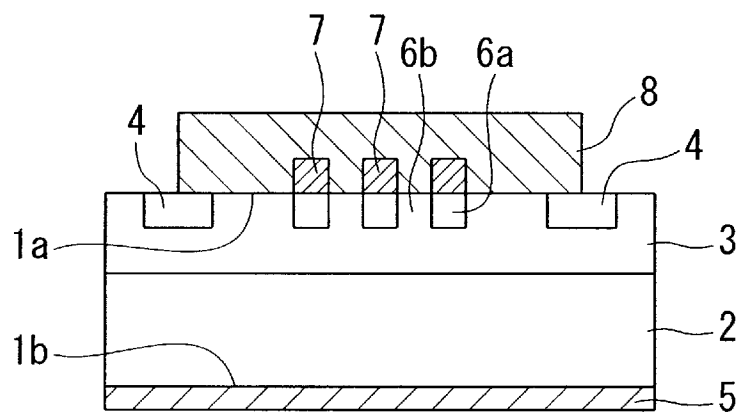
[図2C]



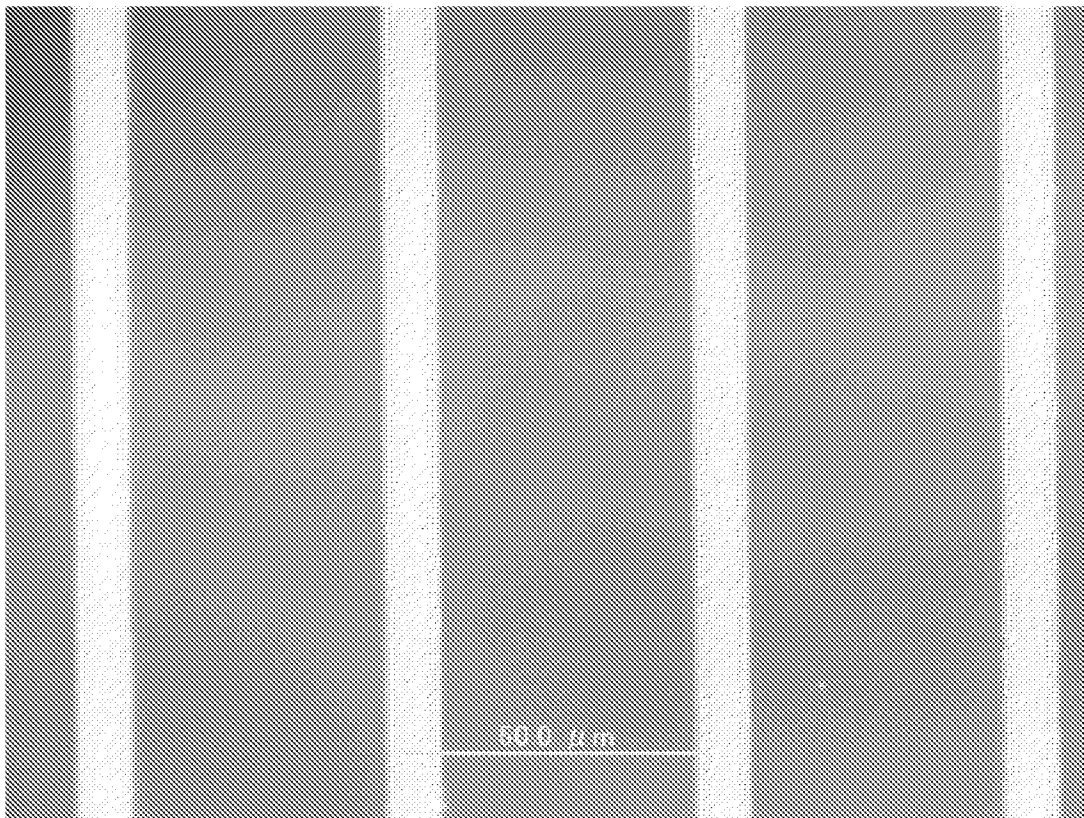
[図2D]



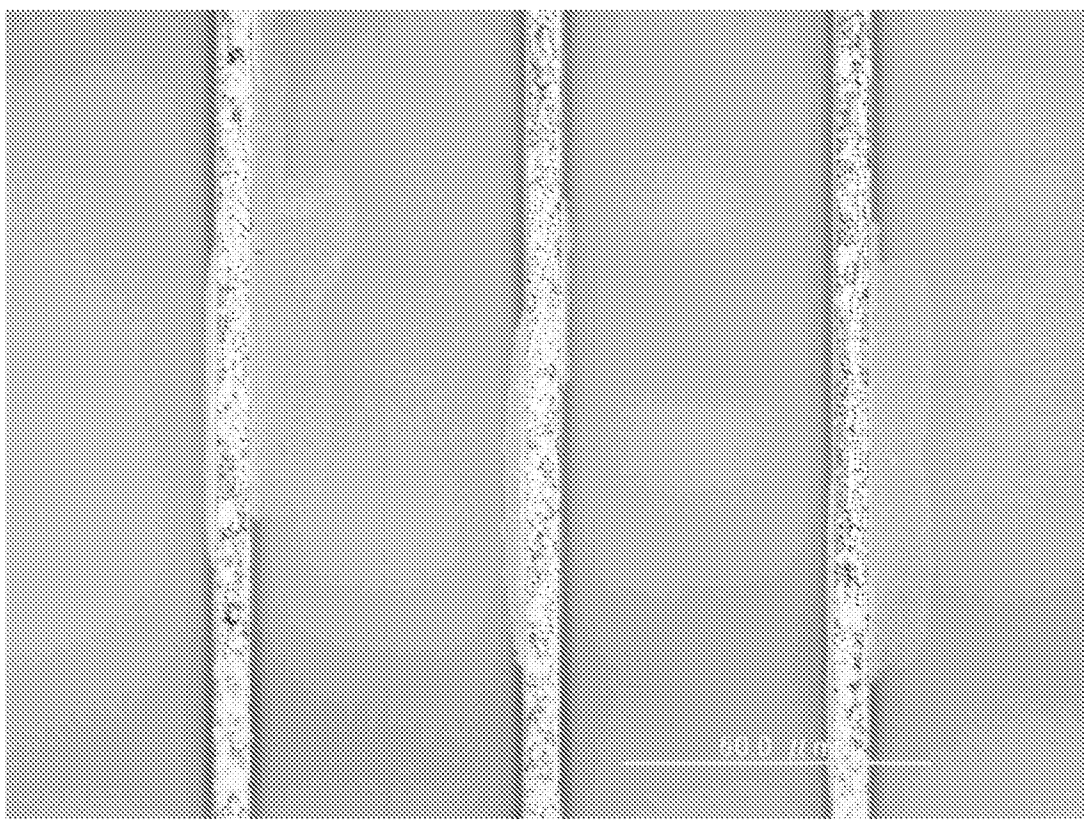
[図2E]



[図3A]



[図3B]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/050935

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/47(2006.01)i, H01L21/28(2006.01)i, H01L29/872(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/47, H01L21/28, H01L29/872

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2011

Kokai Jitsuyo Shinan Koho 1971-2011 Toroku Jitsuyo Shinan Koho 1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

JSTPlus (JDreamII), Science Direct

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2008-282972 A (Denso Corp.), 20 November 2008 (20.11.2008), paragraphs [0018] to [0035]; fig. 1 to 5 & US 2008/0277668 A1 & DE 102008021430 A	1-10
Y	JP 2006-344688 A (Denso Corp.), 21 December 2006 (21.12.2006), paragraphs [0051] to [0075]; fig. 1 to 4 & US 2006/0273323 A1 & GB 2427071 A	1-10
Y	JP 2005-243715 A (Sanyo Electric Co., Ltd.), 08 September 2005 (08.09.2005), paragraphs [0021] to [0061]; fig. 1 to 5 & US 2005/0194610 A1 & TW 256135 B & KR 10-2006-0042035 A & CN 1661809 A	4-10

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
16 February, 2011 (16.02.11)Date of mailing of the international search report
01 March, 2011 (01.03.11)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/050935

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2003-77860 A (Toyoda Gosei Co., Ltd.), 14 March 2003 (14.03.2003), paragraphs [0004] to [0024]; fig. 1 to 5 & US 2004/0016929 A1 & EP 1424725 A1 & WO 2003/023837 A1 & CN 1473355 A & TW 270126 B	1-2, 4, 7-10
A	JP 2008-251772 A (Toshiba Corp.), 16 October 2008 (16.10.2008), paragraphs [0014] to [0046]; fig. 1 to 7 (Family: none)	1-10
A	US 6599644 B1 (Konstantinos Zekentes et al.), 29 July 2003 (29.07.2003), entire text (Family: none)	1-10

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L29/47(2006.01)i, H01L21/28(2006.01)i, H01L29/872(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L29/47, H01L21/28, H01L29/872

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 1 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 1 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 1 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

JSTPlus(JDreamII) Science Direct

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2008-282972 A (株式会社デンソー) 2008. 11. 20, 段落【0018】 - 【0035】, 図 1-図 5 & US 2008/0277668 A1 & DE 102008021430 A	1-10
Y	JP 2006-344688 A (株式会社デンソー) 2006. 12. 21, 段落【0051】 - 【0075】, 図 1-図 4 & US 2006/0273323 A1 & GB 2427071 A	1-10
Y	JP 2005-243715 A (三洋電機株式会社) 2005. 09. 08, 段落【0021】 - 【0061】, 図 1-図 5 & US 2005/0194610 A1 & TW 256135 B & KR 10-2006-0042035 A & CN 1661809 A	4-10

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

1 6 . 0 2 . 2 0 1 1

国際調査報告の発送日

0 1 . 0 3 . 2 0 1 1

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

河本 充雄

4 L

4 4 3 0

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 9 8

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2003-77860 A (豊田合成株式会社) 2003.03.14, 段落【0004】 - 【0024】, 図1-図5 & US 2004/0016929 A1 & EP 1424725 A1 & WO 2003/023837 A1 & CN 1473355 A & TW 270126 B	1-2,4,7-10
A	JP 2008-251772 A (株式会社東芝) 2008.10.16, 段落【0014】-【0046】, 図1-図7 (ファミリーなし)	1-10
A	US 6599644 B1 (Konstantinos Zekentes et al.) 2003.07.29, 全文 (ファミリーなし)	1-10