(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3824689号
(P3824689)
(45)発行日　平成18年9月20日(2006.9.20)　(24)登録日　平成18年7月7日(2006.7.7)

(51)Int.Cl.　　F I
G11C 11/41 (2006.01)　　G11C 11/34 3O1E
G11C 11/413 (2006.01)　　G11C 11/34 J

請求項の数 6　(全 27 頁)

(21)出願番号　特願平7-227996
(22)出願日　平成7年9月5日(1995.9.5)
(65)公開番号　特開平9-73781
(43)公開日　平成9年3月18日(1997.3.18)
審査請求日　平成14年9月2日(2002.9.2)

(73)特許権者　503121103
株式会社ルネサステクノロジ
東京都千代田区丸の内二丁目４番１号
(74)代理人　100064746
弁理士　深見　久郎
(74)代理人　100085132
弁理士　森田　俊雄
(74)代理人　100083703
弁理士　仲村　義平
(74)代理人　100096781
弁理士　堀井　豊
(74)代理人　100098316
弁理士　野田　久登
(74)代理人　100109162
弁理士　酒井　將行

最終頁に続く

(54)【発明の名称】同期型半導体記憶装置

(57)【特許請求の範囲】

【請求項１】

外部からの外部クロック信号に基づき、内部クロック信号を発生する内部クロック信号発生手段と、

各々が、情報を記憶するための複数のメモリセルを有する複数のメモリアレイバンクと、

対応する前記メモリアレイバンクの行を選択するための複数の外部行アドレス信号を受け、それに応じて、複数の内部行アドレス信号を発生する行アドレスバッファと、

対応する前記メモリアレイバンクの列を選択するための複数の外部列アドレス信号を受け、それに応じて、複数の基準内部列アドレス信号を発生する列アドレスバッファと、

各々が、前記列アドレスバッファからの前記基準内部列アドレス信号に基づき、前記内部クロック信号に同期して、前記メモリアレイバンクの列を選択するための内部列アドレス信号を順次発生する複数のアドレスカウンタ手段とを備え、

前記アドレスカウンタ手段は、複数設けられており、複数の前記基準内部列アドレス信号を割当てることができ、

前記複数のアドレスカウンタ手段は、前記１つのメモリアレイバンクに対して用いられ、前記１つのメモリアレイバンクに対する前記複数の基準内部列アドレス信号を受け、前記複数の基準内部列アドレス信号に基づく複数の前記内部列アドレス信号を、前記１つのメモリアレイバンクに対して交互に発生し、

アクセスが前記１つのメモリアレイバンク内で、前記複数の基準内部列アドレス信号に

基づき、交互に行なわれる、同期型半導体記憶装置。

【請求項２】

前記複数のメモリアレイバンクおよび前記複数のアドレスカウンタ手段が２つある場合において、

前記行アドレスバッファは、前記外部クロック信号の立上りまたは立下りの決められた一方の遷移に応じて、前記２つのメモリアレイバンクのうちの１つのメモリアレイバンクに対する前記外部行アドレス信号を取込み、

その次に、前記列アドレスバッファは、前記外部行アドレス信号を取込む場合と同様の、前記外部クロック信号の決められた一方の遷移に応じて、タイミングを異にして、前記１つのメモリアレイバンクに対する２つの前記外部列アドレス信号を取込み、

前記２つのアドレスカウンタ手段は、前記外部クロック信号の周波数の２分の１の周波数を有する前記内部クロック信号に同期して、前記１つのメモリアレイバンクに対して、２つの前記基準内部列アドレス信号に基づく２つの前記内部列アドレス信号を交互に発生する、請求項１に記載の同期型半導体記憶装置。

【請求項３】

前記複数のメモリアレイバンクおよび前記複数のアドレスカウンタ手段が２つある場合において、

前記行アドレスバッファは、前記外部クロック信号の立上りまたは立下りの決められた一方の遷移に応じて、前記２つのメモリアレイバンクのうちの１つのメモリアレイバンクに対する一方の前記外部行アドレス信号を取込み、前記外部クロック信号の決められた他方の遷移に応じて、前記１つのメモリアレイバンクに対する他方の前記外部行アドレス信号を取込み、

その次に、前記列アドレスバッファは、前記一方の外部行アドレス信号を取込む場合と同様の、前記外部クロック信号の決められた一方の遷移に応じて、前記一方の外部行アドレス信号に対する一方の前記外部列アドレス信号を取込み、前記他方の外部行アドレス信号を取込む場合と同様の、前記外部クロック信号の決められた他方の遷移に応じて、前記他方の外部行アドレス信号に対する他方の前記外部列アドレス信号を取込み、

前記２つのアドレスカウンタ手段は、前記外部クロック信号の周波数と同一の周波数を有する前記内部クロック信号に同期して、２つの前記基準内部列アドレス信号に基づく、２つの前記内部列アドレス信号を、前記１つのメモリアレイバンクに対して交互に発生する、請求項１に記載の同期型半導体記憶装置。

【請求項４】

外部からの外部クロック信号に基づき、内部クロック信号を発生する内部クロック信号発生手段と、

各々が、情報を記憶するための複数のメモリセルを有する複数のメモリアレイバンクと、

対応する前記メモリアレイバンクの行を選択するための複数の外部行アドレス信号を受け、それに応じて複数の内部行アドレス信号を発生する行アドレスバッファと、

対応する前記メモリアレイバンクの列を選択するための複数の外部列アドレス信号を受け、それに応じて複数の基準内部列アドレス信号を発生する列アドレスバッファと、

前記列アドレスバッファからの前記基準内部列アドレス信号に基づき、前記内部クロック信号に同期して、前記メモリアレイバンクの列を選択するための内部列アドレス信号を順次発生するアドレスカウンタ手段とを備え、

前記アドレスカウンタ手段は、

前記基準内部列アドレス信号に基づき、前記内部列アドレス信号を順次発生するカウンタと、

前記基準内部列アドレス信号に対する前記カウンタの動作の後に、前記内部列アドレス信号を保持し、その内部列アドレス信号のもとになっていない他の前記基準内部列アドレス信号に対する前記カウンタの動作の後に、前記保持した内部列アドレス信号を新たな基準内部列アドレス信号として、前記カウンタに出力する内部列アドレス信号保持手段と、

前記カウンタからの前記内部列アドレス信号により列を選択しようとする前記メモリアレイバンク側に前記カウンタからの前記内部列アドレス信号を出力する選択手段とを含み、

前記内部列アドレス信号保持手段は、アクセスに関係ない前記基準内部列アドレス信号に基づく前記内部列アドレス信号を保持し、アクセスの必要が生じたときに、その保持された前記内部列アドレス信号を新たな前記基準内部列アドレス信号として、前記カウンタに出力し、

前記カウンタは、前記複数のメモリアレイバンクのうちの１つのメモリアレイバンクに対する複数の前記基準内部列アドレス信号に基づく複数の前記内部列アドレス信号を、前記１つのメモリアレイバンクに対して交互に発生し、

アクセスが前記１つのメモリアレイバンク内で、前記列アドレスバッファからの前記複数の基準内部列アドレス信号に基づき、交互に行なわれる、同期型半導体記憶装置。

【請求項５】

前記複数のメモリアレイバンクが２つある場合において、前記行アドレスバッファは、前記外部クロック信号の立上りまたは立下りの決められた一方の遷移に応じて、前記２つのメモリアレイバンクのうちの１つのメモリアレイバンクに対する前記外部行アドレス信号を取込み、

その次に、前記列アドレスバッファは、前記外部行アドレス信号を取込む場合と同様の、前記外部クロック信号の決められた一方の遷移に応じて、タイミングを異にして、前記１つのメモリアレイバンクに対する２つの前記外部列アドレス信号を取込み、

前記アドレスカウンタ手段は、前記外部クロック信号の周波数の２分の１の周波数を有する前記内部クロック信号に同期して、前記１つのメモリアレイバンクに対して、前記列アドレスバッファからの２つの前記基準内部列アドレス信号に基づく２つの前記内部列アドレス信号を交互に発生する、請求項４に記載の同期型半導体記憶装置。

【請求項６】

前記複数のメモリアレイバンクが２つある場合において、前記行アドレスバッファは、前記外部クロック信号の立上りまたは立下りの決められた一方の遷移に応じて、前記２つのメモリアレイバンクのうちの１つのメモリアレイバンクに対する一方の前記外部行アドレス信号を取込み、前記外部クロック信号の決められた他方の遷移に応じて、前記１つのメモリアレイバンクに対する他方の前記外部行アドレス信号を取込み、

その次に、前記列アドレスバッファは、前記一方の外部行アドレス信号を取込む場合と同様の、前記外部クロック信号の決められた一方の遷移に応じて、前記一方の外部行アドレス信号に対する一方の前記外部列アドレス信号を取込み、前記他方の外部行アドレス信号を取込む場合と同様の、前記外部クロック信号の決められた他方の遷移に応じて、前記他方の外部行アドレス信号に対する他方の前記外部列アドレス信号を取込み、

前記アドレスカウンタ手段は、前記外部クロック信号の周波数と同一の周波数を有する前記内部クロック信号に同期して、前記１つのメモリアレイバンクに対して、前記列アドレスバッファからの２つの前記基準内部列アドレス信号に基づく２つの前記内部列アドレス信号を交互に発生する、請求項４に記載の同期型半導体記憶装置。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明は、複数のメモリアレイバンクを有する同期型半導体記憶装置に関し、特に、アドレスの入力を簡略化することのできる同期型半導体記憶装置に関する。

【０００２】

【従来の技術】

図１３は、従来の同期型半導体記憶装置を示す概略ブロック図である。

【０００３】

図１３を参照して、アドレスバッファ３は、外部アドレス信号Ａｄｄを受ける。外部アドレス信号Ａｄｄとしての外部コラムアドレス信号は、コラムアドレスバッファ８９を介し

て、基準内部コラムアドレス信号として、コラムアドレスカウンタ９１に入力される。
【０００４】
コラムアドレスカウンタ９１は、コラムアドレスバッファ８９からの基準内部コラムアドレス信号をスタートアドレスとして、それをインクリメントしたアドレス（内部コラムアドレス信号）を、順次発生する。
【０００５】
そして、ローアドレスバッファＡ２１からの内部ローアドレス信号およびコラムアドレスカウンタ９１からの内部コラムアドレス信号に基づき、メモリアレイバンクＡ４１の中の１つのメモリセルが選択される。また、メモリアレイバンクＢ４３についても同様で、ローアドレスバッファＢ２３からの内部ローアドレス信号およびコラムアドレスカウンタ９１からの内部コラムアドレス信号に基づき、メモリアレイバンクＢ４３の中の１つのメモリセルが選択される。
【０００６】
このようにして、メモリアレイバンクの中のメモリセルを選択して、リードまたはライト動作を行なう。
【０００７】
【発明が解決しようとする課題】
図１４は、図１３に示した従来の同期型半導体記憶装置の動作を説明するためのタイミング図である。
【０００８】
図１３および図１４を参照して、説明する。従来の同期型半導体記憶装置は、内部コラムアドレス信号を順次発生するコラムアドレスカウンタ９１を１つしか有していない。このため、複数のスタートアドレス（複数の基準内部コラムアドレス信号）を保持できない。したがって、メモリアレイバンクＡ４１とメモリアレイバンクＢ４３とを交互にアクセスしようとするとき、次のような問題が生じていた。
【０００９】
すなわち、メモリアレイバンクＡ４１に対する外部コラムアドレス信号（Ｙａ０、Ｙａ１、Ｙａ２、Ｙａ３）と、メモリアレイバンクＢ４３に対する外部コラムアドレス信号（Ｙｂ０、Ｙｂ１、Ｙｂ２、Ｙｂ３）とを、交互に入力する必要があり、アクセスしようとするメモリアレイバンクが変わるたびに、外部コラムアドレス信号を入力しなければならないという問題点があった。
【００１０】
また、２つのメモリアレイバンクのうちの一つのメモリアレイバンクに対して、異なる２つのスタートアドレス（異なる基準内部コラムアドレス信号）を用いて、交互にアクセスしようとするときも、上記したと同様の問題点があった。すなわち、２つのスタートアドレスに対して、各スタートアドレスのインクリメントされたアドレスを順次アクセスしようとすると、アクセスが変わるたびに、外部コラムアドレス信号を入力して、スタートアドレス（基準内部コラムアドレス信号）を入力しなければならないという問題点があった。
【００１１】
この発明は、以上のような問題点を解決するためになされたもので、複数のスタートアドレス（複数の基準内部コラムアドレス信号）を用いて、連続してデータを交互にアクセスする際に、アクセスのたびに外部コラムアドレス信号を入力する必要がない同期型半導体記憶装置を提供することである。すなわち、アドレスの入力を簡略化できる同期型半導体記憶装置を提供することである。
【００１２】
【課題を解決するための手段】
本発明の請求項１の同期型半導体記憶装置は、内部クロック信号発生手段、複数のメモリアレイバンク、行アドレスバッファ、列アドレスバッファおよび複数のアドレスカウンタ手段を備える。

【００１３】
内部クロック信号発生手段は、外部からの外部クロック信号に基づき、内部クロック信号を発生する。メモリアレイバンクは、情報を記憶するための複数のメモリセルを有する。行アドレスバッファは、対応するメモリアレイバンクの行を選択するための複数の外部行アドレス信号を受け、それに応じて、複数の内部行アドレス信号を発生する。
【００１４】
列アドレスバッファは、対応するメモリアレイバンクの列を選択するための複数の外部列アドレス信号を受け、それに応じて、複数の基準内部列アドレス信号を発生する。アドレスカウンタ手段は、列アドレスバッファからの基準内部列アドレス信号に基づき、内部クロック信号に同期して、メモリアレイバンクの列を選択するための内部列アドレス信号を順次発生する。
【００１５】
以上のように、本発明の請求項１の同期型半導体記憶装置では、アドレスカウンタ手段が、複数設けられており、それらに複数の基準内部列アドレス信号を割当てることができる。このため、複数のアドレスカウンタ手段は、複数の基準内部列アドレス信号に基づき、複数の内部列アドレス信号を、順次、交互に、発生できる。
【００１６】
その結果、本発明の請求項１の同期型半導体記憶装置では、アクセスのたびに、そのアクセスに応じた外部列アドレス信号の入力を必要とせず、アドレス入力を簡略化できる。
さらに、本発明の請求項１の同期型半導体記憶装置では、複数のアドレスカウンタ手段は、１つのメモリアレイバンクに対して用いられ、１つのメモリアレイバンクに対する複数の基準内部列アドレス信号を受ける。そして、複数のアドレスカウンタ手段は、複数の基準内部列アドレス信号に基づく複数の内部列アドレス信号を、１つのメモリアレイバンクに対して交互に発生する。こうすることにより、１つのメモリアレイバンク内で、複数の基準内部列アドレス信号に基づきアクセスが交互に行なわれる。
以上のように、本発明の請求項１の同期型半導体記憶装置では、複数のアドレスカウンタ手段が設けられている。このため、複数のアドレスカウンタ手段に、１つのメモリアレイバンクに対する複数の基準内部列アドレス信号を割当てることができる。このため、複数のアドレスカウンタ手段は、複数の基準内部列アドレス信号に基づき、複数の内部列アドレス信号を、順次、交互に、発生できる。
その結果、本発明の請求項１の同期型半導体記憶装置では、複数のメモリアレイバンクのうちの１つのメモリアレイバンクに対して、複数の基準内部列アドレス信号に基づき、交互にアクセスしようとする際に、交互にアクセスするたびに、そのアクセスに応じた外部列アドレス信号の入力を必要とせず、アドレス入力を簡略化できる。
【００２７】
本発明の請求項２の同期型半導体記憶装置では、請求項１の同期型半導体記憶装置において、２つのメモリアレイバンクおよび２つのアドレスカウンタ手段を備えている。行アドレスバッファは、外部クロック信号の立上りまたは立下りの決められた一方の遷移に応じて、２つのバンクのうちの１つのメモリアレイバンクに対する外部行アドレス信号を取込む。
【００２８】
その次に、列アドレスバッファは、外部行アドレス信号を取込む場合と同様の、外部クロック信号の決められた一方の遷移に応じて、タイミングを異にして、１つのメモリアレイバンクに対する２つの外部列アドレス信号を取込む。
【００２９】
２つのアドレスカウンタ手段は、外部クロック信号の周波数の２分の１の周波数を有する内部クロック信号に同期して、１つのメモリアレイバンクに対して、２つの基準内部列アドレス信号に基づく２つの内部列アドレス信号を交互に発生する。
【００３０】
以上のように、本発明の請求項２の同期型半導体記憶装置では、２つのメモリアレイバ

ンクに対応して２つのアドレスカウンタ手段が設けられている。このため、２つのアドレスカウンタ手段に、１つのメモリアレイバンクに対する２つの基準内部列アドレス信号を割当てることができる。このため、２つのアドレスカウンタ手段は、２つの基準内部列アドレス信号に基づき、２つの内部列アドレス信号を、順次、交互に、発生できる。

【００３１】

その結果、本発明の請求項２の同期型半導体記憶装置では、２つのメモリアレイバンクのうちの１つのメモリアレイバンクに対して、２つの基準内部列アドレス信号に基づき交互にアクセスしよとする際に、アクセスのたびに、そのアクセスに応じた外部列アドレス信号の入力を必要とせず、アドレス入力を簡略化できる。

【００３６】

本発明の請求項３の同期型半導体記憶装置では、請求項１の同期型半導体記憶装置において、２つのメモリアレイバンクおよび２つのアドレスカウンタ手段を備えている。行アドレスバッファは、外部クロック信号の立上りまたは立下りの決められた一方の遷移に応じて、２つのメモリアレイバンクのうちの１つのメモリアレイバンクに対する一方の外部行アドレス信号を取込む。さらに、行アドレスバッファは、外部クロック信号の決められた他方の遷移に応じて、１つのメモリアレイバンクに対する他方の外部行アドレス信号を取込む。

【００３７】

その次に、列アドレスバッファは、一方の外部行アドレス信号に対する一方の外部列アドレス信号を、一方の外部行アドレス信号を取込む場合と同様の、外部クロック信号の決められた一方の遷移に応じて取込む。さらに、列アドレスバッファは、他方の外部行アドレス信号に対する他方の外部列アドレス信号を他方の外部行アドレス信号を取込む場合と同様の、外部クロック信号の決められた他方の遷移に応じて取込む。

【００３８】

２つのアドレスカウンタ手段は、外部クロック信号の周波数と同一の周波数を有する内部クロック信号に同期して、２つの基準内部列アドレス信号に基づく、２つの内部列アドレス信号を、１つのメモリアレイバンクに対して交互に発生する。

【００３９】

以上のように、本発明の請求項３の同期型半導体記憶装置では、２つのメモリアレイバンクに対して、２つのアドレスカウンタ手段が設けられている。このため、２つのアドレスカウンタ手段に、１つのメモリアレイバンクに対する２つの基準内部列アドレス信号を割当てることができる。このため、２つのアドレスカウンタ手段は、２つの基準内部列アドレス信号に基づき、２つの内部列アドレス信号を、順次、交互に、発生できる。

【００４０】

その結果、本発明の請求項３の同期型半導体記憶装置では、２つのメモリアレイバンクのうちの１つのメモリアレイバンクに対して、２つの基準内部列アドレス信号に基づきアクセスしようとする際に、アクセスのたびに外部列アドレス信号の入力を必要とせず、アドレス入力を簡略化できる。

【００４１】

本発明の請求項４の同期型半導体記憶装置は、内部クロック発生手段、複数のメモリアレイバンク、行アドレスバッファ、列アドレスバッファ、アドレスカウンタ手段および入出力手段を備える。

【００４２】

内部クロック発生手段は、外部からの外部クロック信号に基づき、内部クロック信号を発生する。メモリアレイバンクは、情報を記憶するための複数のメモリセルを有する。行アドレスバッファは、対応するメモリアレイバンクの行を選択するための複数の外部行アドレス信号を受け、それに応じて、複数の内部行アドレス信号を発生する。

【００４３】

列アドレスバッファは、対応するメモリアレイバンクの列を選択するための複数の外部列アドレス信号を受け、それに応じて、複数の基準内部列アドレス信号を発生する。アドレ

スカウンタ手段は、列アドレスバッファからの基準内部列アドレス信号に基づき、内部クロック信号に同期して、メモリアレイバンクの列を選択するための内部列アドレス信号を順次発生する。

【００４４】

アドレスカウンタ手段は、カウンタ、内部列アドレス信号保持手段および選択手段を含む。

【００４５】

カウンタは、基準内部列アドレス信号に基づき、内部列アドレス信号を順次発生する。内部列アドレス信号保持手段は、基準内部列アドレス信号に対するカウンタの動作の後に内部列アドレス信号を保持する。そして、内部列アドレス信号保持手段は、保持された内部列アドレス信号のもとになっていない他の基準内部列アドレス信号に対するカウンタの動作の後に、保持していた内部列アドレス信号を新たな基準内部列アドレス信号として、カウンタに出力する。

【００４６】

選択手段は、カウンタからの内部列アドレス信号により列を選択しようとするメモリアレイバンク側にカウンタからの内部列アドレス信号を出力する。

【００４７】

以上のように、本発明の請求項４の同期型半導体記憶装置では、内部列アドレス信号保持手段は、アクセスに関係ない基準内部列アドレス信号に基づく内部列アドレス信号が保持する。そして、内部列アドレス信号保持手段は、アクセスの必要が生じたときに、その保持された内部列アドレス信号を新たな基準内部列アドレス信号として、カウンタに出力する。

【００４８】

その結果、本発明の請求項４の同期型半導体記憶装置では、アクセスのたびに、そのアクセスに応じた外部列アドレス信号の入力を必要とせず、アドレス入力を簡略化できる。

【００４９】

さらに、本発明の請求項４の同期型半導体記憶装置では、複数のメモリアレイバンクに対して１つのアドレスカウンタ手段を用いているため、複数のメモリアレイバンクに対して複数のアドレスカウンタ手段を設ける場合に比し、回路規模を小型化できる。

さらに、本発明の請求項４の同期型半導体記憶装置では、カウンタは、複数のメモリアレイバンクのうちの１つのメモリアレイバンクに対する複数の基準内部列アドレス信号に基づく複数の内部列アドレス信号を、１つのメモリアレイバンクに対して交互に発生する。そして、アクセスが１つのメモリアレイバンク内で、列アドレスバッファからの複数の基準内部列アドレス信号に基づき、交互に行なわれる。

以上のように、本発明の請求項４の同期型半導体記憶装置では、内部列アドレス信号保持手段を有するアドレスカウンタ手段を設けることにより、複数のメモリアレイバンクのうちの１つのメモリアレイバンクに対して、複数の基準内部列アドレス信号に基づき交互にアクセスしようとする際に、アクセスのたびに、外部列アドレス信号の入力を必要とせず、アドレス入力を簡略化できる。

【００５８】

本発明の請求項５の同期型半導体記憶装置では、請求項４の同期型半導体記憶装置において、２つのメモリアレイバンクを備えている。行アドレスバッファは、外部クロック信号の立上りまたは立下りの決められた一方の遷移に応じて、２つのメモリアレイバンクのうちの１つのメモリアレイバンクに対する外部行アドレス信号を取込む。

【００５９】

その次に、列アドレスバッファは、外部行アドレス信号を取込む場合と同様の、外部クロック信号の決められた一方の遷移に応じて、タイミングを異にして、２つのメモリアレイバンクのうちの１つのメモリアレイバンクに対する２つの外部列アドレス信号を取込む。

【００６０】

アドレスカウンタ手段は、外部クロック信号の周波数の２分の１の周波数を有する内部ク

ロック信号に同期して、１つのメモリアレイバンクに対して、列アドレスバッファからの２つの基準内部列アドレス信号に基づく２つの内部列アドレス信号を交互に発生する。

【００６１】

以上のように、本発明の請求項５の同期型半導体記憶装置では、内部列アドレス信号保持手段を有するアドレスカウンタ手段を設けることにより、２つのメモリアレイバンクのうちの１つのメモリアレイバンクに対して、異なる基準内部列アドレス信号に基づき、交互にアクセスしようとする際に、アクセスのたびに、外部列アドレス信号の入力を必要とせず、アドレス入力を簡略化できる。

【００６５】

本発明の請求項６の同期型半導体記憶装置では、請求項４の同期型半導体記憶装置において、２つのメモリアレイバンクを備える。行アドレスバッファは、外部クロック信号の立上りまたは立下りの決められた一方の遷移に応じて、２つのメモリアレイバンクのうちの１つのメモリアレイバンクに対する一方の外部行アドレス信号を取込む。さらに、行アドレスバッファは、外部クロック信号の決められた他方の遷移に応じて、１つのメモリアレイバンクに対する他方の外部アドレス信号を取込む。

【００６６】

その次に、列アドレスバッファは、一方の外部行アドレス信号を取込む場合と同様の、外部クロック信号の決められた一方の遷移に応じて、一方の外部行アドレス信号に対する一方の外部列アドレス信号を取込む。さらに、列アドレスバッファは、他方の外部行アドレス信号を取込む場合と同様の、外部クロック信号の決められた他方の遷移に応じて、他方の外部行アドレス信号に対する他方の外部列アドレス信号を取込む。

【００６７】

アドレスカウンタ手段は、外部クロック信号の周波数と同一の周波数を有する内部クロック信号に同期して、１つのメモリアレイバンクに対して、列アドレスバッファからの２つの基準内部列アドレス信号に基づく２つの内部列アドレス信号を交互に発生する。

【００６８】

以上のように本発明の請求項６の同期型半導体記憶装置では、内部列アドレス信号保持手段を有するアドレスカウンタ手段を設けることにより、２つのメモリアレイバンクのうちの１つのメモリアレイバンクに対して、異なる基準内部列アドレス信号に基づき交互にアクセスしようとする際に、アクセスのたびに、外部列アドレス信号の入力を必要とせず、アドレス入力を簡略化できる。

【００７７】

【発明の実施の形態】

以下、本発明による同期型半導体記憶装置としての同期型ダイナミックランダムアクセスメモリ（シンクロナスダイナミックランダムアクセスメモリ；以下、「ＳＤＲＡＭ」という）について図面を参照しながら説明する。

【００７８】

（実施の形態１）

図１は、本発明の実施の形態１によるＳＤＲＡＭを示す概略ブロック図である。

【００７９】

図１を参照して、実施の形態１によるＳＤＲＡＭは、コントロール信号発生回路１、アドレスバッファ３、コラムアドレスカウンタＡ５、コラムアドレスカウンタＢ７、スイッチング回路９、バンクＡ１１、バンクＢ１３、マルチプレクサ１５、出力バッファ１７および入力バッファ１９を備える。

【００８０】

アドレスバッファ３は、ローアドレスバッファＡ２１、ローアドレスバッファＢ２３、コラムアドレスバッファＡ２５およびコラムアドレスバッファＢ２７を含む。バンクＡ１１は、ローデコーダＡ２９、コラムデコーダＡ３３、センスアンプ・入出力コントロール回路Ａ（Ｓ．Ａ．・ＩＯコントロール回路Ａ）３７、メモリアレイバンクＡ４１およびＩＯレジスタＡ４５を含む。バンクＢ１３は、コラムデコーダＢ３５、ローデコーダＢ３１、

センスアンプ・入出力コントロール回路Ｂ（Ｓ．Ａ．・ＩＯコントロール回路Ｂ）３９、メモリアレイバンクＢ４３およびＩＯレジスタＢ４７を含む。

【００８１】

コントロール信号発生回路１は、バンクを選択するためのバンクアドレス信号ＢＡ、周波数ｆの外部クロック信号ＥＣＬＫ、行アドレスストローブ信号／ＲＡＳ（以下、「／ＲＡＳ」という）、列アドレスストローブ信号／ＣＡＳ（以下、「／ＣＡＳ」という）、ライト制御信号／ＷＥおよびリード出力制御信号／ＯＥを受ける。

【００８２】

ここで、バンクＡ１１とバンクＢ１３とは同じ構成であるので、バンクＡ１１に関連する部分のみを説明する。アドレスバッファ３は、外部アドレス信号Ａｄｄを受ける。すなわち、ローアドレスバッファＡ２１は、メモリアレイバンクＡ４１の行を選択するための外部ローアドレス信号を受ける。コラムアドレスバッファＡ２５は、メモリアレイバンクＡ４１の列を選択するための外部コラムアドレス信号を受ける。

【００８３】

コントロール信号発生回路１は、外部クロック信号ＥＣＬＫを受け、それに基づき、外部クロック信号ＥＣＬＫと同じ周波数ｆの内部クロック信号ＩＣＬＫ（ｆ）を発生する。さらに、コントロール信号発生回路１は、外部クロック信号ＥＣＬＫに基づき、外部クロック信号ＥＣＬＫの周波数ｆを１／２に分周した周波数ｆ／２の内部クロック信号ＩＣＬＫ（ｆ／２）を発生する。

【００８４】

コラムアドレスカウンタＡ５は、コラムアドレスバッファＡ２５を介して、外部コラムアドレス信号を受ける。すなわち、コラムアドレスカウンタＡ５は、コラムアドレスバッファＡ２５からの、メモリアレイバンクＡ４１の列を選択するための基準内部コラムアドレス信号を受けることになる。

【００８５】

コラムアドレスカウンタＡ５は、周波数ｆまたは周波数ｆ／２の内部クロック信号ＩＣＬＫに同期して動作する。すなわち、コラムアドレスカウンタＡ５は、内部クロック信号ＩＣＬＫに同期して、基準内部コラムアドレス信号に基づき、メモリアレイバンクＡ４１の列を選択するための内部コラムアドレス信号を順次発生する。

【００８６】

詳しく説明すると、コラムアドレスカウンタＡ５は、コラムアドレスバッファＡ２５からの基準内部コラムアドレス信号をスタートアドレスとし、そのスタートアドレスをインクリメントしていったアドレスを内部コラムアドレス信号として、順次発生するものである。なお、周波数ｆの内部クロック信号ＩＣＬＫ（ｆ）と周波数ｆ／２の内部クロック信号ＩＣＬＫ（ｆ／２）との切換は、スイッチング回路９により行なう。

【００８７】

メモリアレイバンクＡ４１は、複数の図示しないメモリセルを有している。このメモリセルは情報を記憶するためのものである。ローデコーダＡ２９は、ローアドレスバッファＡ２１を介して、外部ローアドレス信号を受ける。すなわち、ローデコーダＡ２９は、ローアドレスバッファＡ２１からの、メモリアレイバンクＡ４１の行を選択するための内部ローアドレス信号を受けることになる。ローデコーダＡ２９は、内部ローアドレス信号に基づき、メモリアレイバンクＡ４１の行を選択する。

【００８８】

コラムデコーダＡ３３は、コラムアドレスカウンタＡ５から発生された内部コラムアドレス信号を受ける。コラムデコーダＡ３３は、順次発生される内部コラムアドレス信号に基づき、メモリアレイバンクＡ４１の列を順次選択する。センスアンプ・入出力コントロール回路Ａ３７に含まれる図示しないセンスアンプは、メモリアレイバンクＡ４１のビット線対に読出された電位差を増幅する。センスアンプ・入出力コントロール回路Ａ３７に含まれる図示しない入出力コントロール回路は、メモリアレイバンクＡ４１のデータの授受を制御する。ＩＯレジスタＡ４５は、入出力データを一時的に保持する。

【００８９】
マルチプレクサ１５は、バンクを選択するためのバンクアドレス信号ＢＡに基づき、バンクを選択する。たとえば、バンクＡ１１を選択した場合には、マルチプレクサ１５は、入力バッファ１９からの書込データを、バンクＡ１１に入力する。また、たとえば、バンクＡ１１を選択した場合には、マルチプレクサ１５は、ＩＯレジスタＡ４５からの読出データを、出力バッファ１７に入力する。なお、マルチプレクサ１５は、周波数ｆの内部クロック信号ＩＣＬＫ（ｆ）に同期して動作する。
【００９０】
入力バッファ１９は、データＤＱを受け、書込データとしてマルチプレクサ１５に入力する。出力バッファ１７は、マルチプレクサ１５からの読出データを、データＤＱとして出力する。なお、図１のＳＤＲＡＭが図１３のＳＤＲＡＭと同様に動作する場合は、コラムアドレスカウンタＡ５およびコラムアドレスカウンタＢ７は、周波数ｆの内部クロック信号ＩＣＬＫ（ｆ）に同期する。以下に説明するように、図１のＳＤＲＡＭが、本実施の形態としての動作をするときは、コラムアドレスカウンタＡ５およびコラムアドレスカウンタＢ７は、周波数ｆ／２の内部クロック信号ＩＣＬＫ（ｆ／２）に同期して動作する。
【００９１】
図２は、図１のＳＤＲＡＭの第１の動作を説明するためのタイミング図である。
【００９２】
第１の動作は、外部クロック信号ＥＣＬＫの立上りエッジで、バンクアドレス信号ＢＡ、外部アドレス信号Ａｄｄ、／ＲＡＳ、／ＣＡＳ、ライト制御信号／ＷＥおよびリード出力制御信号／ＯＥなどの外部信号が取込まれる場合である。
【００９３】
時刻t_0の外部クロック信号ＥＣＬＫの立上りエッジで、「Ｌ」レベルのバンクアドレス信号ＢＡ、外部ローアドレス信号Ｘａ（以下、外部ローアドレス信号と内部ローアドレス信号を区別せずに、単に「ローアドレス信号」という）、／ＲＡＳが取込まれる。なお、バンクアドレス信号ＢＡが「Ｌ」レベルのときには、バンクＡ１１が選択されることを示している。
【００９４】
以上により、時刻t_0では、バンクＡ１１に対するローアドレスバッファＡ２１からのローアドレス信号Ｘａに基づき、ローデコーダＡ２９により、その行が選択されるメモリアレイバンクＡ４１が動作し始める。
【００９５】
時刻t_1の外部クロック信号ＥＣＬＫの立上りエッジで、「Ｈ」レベルのバンクアドレス信号ＢＡ、バンクＢ１３に対するローアドレス信号Ｘｂおよび／ＲＡＳが取込まれる。なお、バンクアドレス信号ＢＡが「Ｈ」レベルのときは、バンクＢ１３を選択することを示している。以上により、時刻t_1では、バンクＢ１３に対するローアドレスバッファＢ２３からのローアドレス信号Ｘｂに基づき、ローデコーダＢ３１により、その行が選択されるメモリアレイバンクＢ４３が動作し始める。
【００９６】
時刻t_2の外部クロック信号ＥＣＬＫの立上りエッジで、バンクＡ１１を示す「Ｌ」レベルのバンクアドレス信号ＢＡ、バンクＡ１１に対する外部コラムアドレス信号Ｙａ（以下、外部コラムアドレス信号と基準内部コラムアドレス信号とを区別して説明する必要がないときには、これらを単に「コラムアドレス信号」という）および／ＣＡＳが取込まれる。
【００９７】
以上により、コラムアドレスバッファＡ２５は、外部コラムアドレス信号Ｙａを受取り、基準内部コラムアドレス信号Ｙａとして出力する。コラムアドレスカウンタＡ５は、コラムアドレスバッファＡ２５からの出力を基準にして（基準内部コラムアドレス信号Ｙａをスタートアドレスにして）、内部アドレス信号を順次発生する。コラムアドレスカウンタＡ５から順次発生される内部コラムアドレス信号は、コラムデコーダＡ３３に入力され、

メモリアレイバンクＡ４１の列を順次選択する。

【００９８】

時刻t_3で、外部クロック信号ＥＣＬＫの立上りエッジで、バンクＢ１３を示す「Ｈ」レベルのバンクアドレス信号ＢＡ、バンクＢ１３に対する外部コラムアドレス信号Ｙｂおよび／ＣＡＳが取込まれる。これにより、コラムアドレスバッファＢ２７は、バンクＢ１３に対する外部コラムアドレス信号Ｙｂを受け、基準内部コラムアドレス信号Ｙｂとして出力する。コラムアドレスカウンタＢ７は、コラムアドレスバッファＢ２７からの出力を基準にして（基準内部コラムアドレス信号Ｙｂをスタートアドレスにして）、バンクＢ１３に対する内部コラムアドレス信号を順次発生する。コラムデコーダＢ３５は、コラムアドレスカウンタＢ７から順次発生される内部コラムアドレス信号を受け、メモリアレイバンクＢ４３の列を順次選択する。

【００９９】

時刻t_4で、外部クロック信号ＥＣＬＫの立下りエッジから、ローアドレス信号Ｘａとコラムアドレス信号Ｙａに対応するデータＤａ０が出力される。なお、時刻t_4は、時刻t_0からデータが出力されるまでの時間が、時刻t_0からのローアドレスアクセス時間（／ＲＡＳアクセス時間）より後または時刻t_2からのコラムアドレスアクセス時間（／ＣＡＳアクセス時間）より後になるような時刻である。

【０１００】

時刻t_5で、外部クロック信号ＥＣＬＫの立下りエッジからローアドレス信号Ｘｂとコラムアドレス信号Ｙｂとに対応するデータＤｂ０が出力される。

【０１０１】

以降、基準内部コラムアドレス信号ＹａおよびＹｂを基準として（スタートアドレスとして）、コラムアドレスカウンタＡ５およびコラムアドレスカウンタＢ７からそれぞれ出力される内部コラムアドレス信号に基づき、バンクＡ１１のデータ（Ｄａ１、Ｄａ２、Ｄａ３）と、バンクＢ１３のデータ（Ｄｂ１、Ｄｂ２、Ｄｂ３）とが交互に出力される。

【０１０２】

これは、コラムアドレスカウンタＡ５およびコラムアドレスカウンタＢ７が、周波数ｆ／２の内部クロック信号ＩＣＬＫ（ｆ／２）に同期して、それぞれ基準内部コラムアドレス信号Ｙａに基づく内部アドレス信号および基準内部コラムアドレス信号Ｙｂに基づく内部コラムアドレス信号を順次発生していることに基づいている。なお、コラムアドレスカウンタＡ５は、内部クロック信号ＩＣＬＫ（ｆ／２）の立下りエッジに応じて、内部コラムアドレス信号を順次発生する。コラムアドレスカウンタＢ７は、内部クロック信号ＩＣＬＫ（ｆ／２）の立上りエッジに応じて、内部コラムアドレス信号を順次発生する。

【０１０３】

ここで、バンクＡ１１に対する外部アドレス信号Ａｄｄや／ＲＡＳなどの外部信号の取込は、外部クロック信号ＥＣＬＫにおいて、時刻t_0のクロックを第０番目とすると、偶数番目のクロックで行なわれる。また、偶数番目のクロックの立上りまでに、バンクＡ１１に対するデータの出力が行なわれているようにする。バンクＢ１３に対しても、時刻t_1のクロックを第０番目として同様である。

【０１０４】

以上のように、本実施の形態では、バンクＡ１１およびバンクＢ１３に対応して、コラムアドレスカウンタＡ５およびコラムアドレスカウンタＢ７を設けている。このため、バンクＡ１１に対する基準内部アドレス信号とバンクＢ１３に対する基準内部アドレス信号をそれぞれ、コラムアドレスカウンタＡ５とコラムアドレスカウンタＢ７とに保持できる。したがって、コラムアドレスカウンタＡ５およびコラムアドレスカウンタＢ７は、それぞれバンクＡ１１に対する基準内部コラムアドレス信号に基づく内部アドレス信号およびバンクＢ１３に対する基準内部コラムアドレス信号に基づく内部コラムアドレス信号を順次、交互に、発生できる。

【０１０５】

その結果、本実施の形態では、バンクＡ１１とバンクＢ１３とを交互にアクセスしてデー

タを交互に読出す場合においても、アクセスしようとするバンクが変わるたびに、アクセスしようとするバンクに対する外部列アドレス信号をその都度入力する必要がない。すなわち、アドレス入力の簡略化ができる。

【０１０６】

図３は、図１のＳＤＲＡＭの第２の動作を説明するためのタイミング図である。図１のＳＤＲＡＭの第２の動作は、バンクＡ１１に対する／ＲＡＳが既に取込まれている場合である。

【０１０７】

図３を参照して、時刻t_0において、外部クロック信号ＥＣＬＫの立上りエッジで、バンクＢ１３を示す「Ｈ」レベルのバンクアドレス信号ＢＡ、／ＲＡＳおよびバンクＢ１３に対するローアドレス信号Ｘｂが取込まれる。

【０１０８】

時刻t_1で、バンクＡ１１を示す「Ｌ」レベルのバンクアドレス信号ＢＡ、／ＣＡＳおよびバンクＢ１３に対するコラムアドレス信号Ｙａが取込まれる。ここで、バンクＡ１１については、既に、／ＲＡＳが取込まれ、ロー系が活性化されている。

【０１０９】

このため、時刻t_1からデータが出力されるまでの時間がコラムアドレスアクセス時間（／ＣＡＳアクセス時間）を満足するような時刻t_3の外部クロック信号の立下りエッジからバンクＡ１１に対するデータＤａ０が出力される。そして、次の外部クロック信号ＥＣＬＫの立下りエッジでデータが切れる。なお、データＤａ０は、コラムアドレス信号Ｙａに対応するものである。

【０１１０】

コラムアドレスカウンタＡ５は、基準内部コラムアドレス信号Ｙａをスタートアドレスして、そのスタートアドレスをインクリメントしたアドレスを内部コラムアドレス信号として順次発生する。

【０１１１】

このため、データＤａ０を出力してから、外部クロック信号ＥＣＬＫについて１クロックおいた時刻t_4で、コラムアドレスカウンタＡ５からの、コラムアドレス信号Ｙａに対応する内部コラムアドレス信号の次の内部コラムアドレス信号（基準内部コラムアドレス信号Ｙａを１つインクリメントした内部コラムアドレス信号）に対する読出データＤａ１が出力され始める。

【０１１２】

一方、バンクＢ１３に関しては、時刻t_0に／ＲＡＳが取込まれ、時刻t_2に／ＣＡＳが取込まれている。バンクＢ１３に対してアクセスされたデータＤｂ０が出力されるまでは、バンクＡ１１のデータが、外部クロック信号ＥＣＬＫの１クロックおきに出力される。そして、バンクＢ１３に対するローアドレスアクセス時間（／ＲＡＳアクセス時間）またはコラムアドレスアクセス時間（／ＣＡＳアクセス時間）を満足するような時刻から、バンクＢ１３に対するデータが出力される。

【０１１３】

図３においては、バンクＡ１１に対するデータＤａ１の次から、バンクＢ１３に対するデータＤｂ０が出力されている。すなわち、時刻t_4で、データＤａ１が出力され始め、時刻t_5でデータＤｂ０が出力され始める。以降、バンクＡ１１に対するデータ（Ｄａ２、Ｄａ３、Ｄａ４）とバンクＢ１３に対するデータ（Ｄｂ１、Ｄｂ２、Ｄｂ３）とが交互に出力される。

【０１１４】

これは、コラムアドレスカウンタＡ５およびコラムアドレスカウンタＢ７が、周波数ｆ／２の内部クロック信号ＩＣＬＫ（ｆ／２）に同期して、それぞれ基準内部コラムアドレス信号Ｙａに基づく内部アドレス信号および基準内部コラムアドレス信号Ｙｂに基づく内部コラムアドレス信号を順次、交互に、発生していることに基づいている。

【０１１５】

なお、コラムアドレスカウンタＡ５は、内部クロック信号ＩＣＬＫ（ｆ／２）の立下りエッジに応じて内部コラムアドレス信号を発生している。また、コラムアドレスカウンタＢ７は、内部クロック信号ＩＣＬＫ（ｆ／２）の立上りエッジに応じて内部コラムアドレス信号を発生している。

【０１１６】

以上のように、図１のＳＤＲＡＭが第２の動作をする場合においても、第１の動作で説明したのと同様の理由で、アクセスしようとするバンクが変わるたびに、アクセスしようとするバンクに対する外部コラムアドレス信号の入力を必要としない。すなわち、図１のＳＤＲＡＭが第２の動作をする場合においても、アドレス入力が簡略化できる。

【０１１７】

図４は、図１のＳＤＲＡＭの第３の動作を説明するためのタイミング図である。第３の動作は、バンクＡ１１とバンクＢ１３とで、リード動作とライト動作を交互に実行する場合である。

【０１１８】

図４を参照して、時刻t_0で、バンクＡ１１に対するローアドレスＸａ、／ＲＡＳおよびバンクＡ１１を示す「Ｌ」レベルのバンクアドレス信号ＢＡが取込まれる。

【０１１９】

時刻t_1で、バンクＢ１３に対するローアドレスＸｂ、／ＲＡＳおよびバンクＢ１３を示す「Ｈ」レベルのバンクアドレス信号ＢＡが取込まれる。

【０１２０】

時刻t_2で、バンクＡ１１に対するコラムアドレス信号Ｙａが取込まれる。そして、時刻t_3で、外部クロック信号ＥＣＬＫの立下りエッジからバンクＡ１１に対するデータＤａ０が出力され始める。

【０１２１】

一方、時刻t_4で、外部クロック信号ＥＣＬＫの立上りエッジで、バンクＢ１３に対する／ＣＡＳ、ライト制御信号／ＷＥ、コラムアドレス信号Ｙｂおよび書込データＤｂ０が取込まれる。

【０１２２】

以降、バンクＡ１１に対する読出データ（Ｄａ１、Ｄａ２、Ｄａ３）と、バンクＢ１３に対する書込データ（Ｄｂ１、Ｄｂ２、Ｄｂ３）が交互に入出力される。これは、コラムアドレスカウンタＡ５およびコラムアドレスカウンタＢ７がそれぞれ基準内部コラムアドレス信号ＹａおよびＹｂをスタートアドレスとして、バンクＡ１１に対する内部コラムアドレス信号およびバンクＢ１３に対する内部コラムアドレス信号を、内部クロック信号ＩＣＬＫ（ｆ／２）に同期して順次発生していることに基づいている。

【０１２３】

なお、コラムアドレスカウンタＡ５は、内部クロック信号ＩＣＬＫ（ｆ／２）の立下りエッジに応じて内部コラムアドレス信号を発生している。コラムアドレスカウンタＢ７は、内部クロック信号ＩＣＬＫ（ｆ／２）の立上りエッジに応じて内部コラムアドレス信号を発生している。

【０１２４】

以上のように、図１のＳＤＲＡＭが第３の動作をする場合においても、第１の動作において説明したと同様の理由により、アクセスしようとするバンクが変わるたびに、アクセスしようとするバンクに対する外部コラムアドレス信号の入力を必要としない。すなわち、図１のＳＤＲＡＭが第３の動作をする場合においても、アドレス入力の簡略化ができる。

【０１２５】

なお、図１では、バンクの数が２つの場合を示したが、２つ以上の複数のバンクが存在しても、複数のバンクに対して複数のコラムアドレスカウンタを設けることで、上記したと同様に適用でき、上記したと同様の効果を奏する。

【０１２６】

（実施の形態２）

図５は、本発明の実施の形態２によるＳＤＲＡＭを示す概略ブロック図である。なお、図１と同様の部分については同一の参照符号を付し、その説明を適宜省略する。

【０１２７】

図５のＳＤＲＡＭが、図１のＳＤＲＡＭと異なる点について説明する。外部クロック信号ＥＣＬＫの周波数と、コラムアドレスカウンタが同期する内部クロック信号ＩＣＬＫの周波数とが同じ点が異なっている。すなわち、外部クロック信号ＥＣＬＫおよび内部クロック信号ＩＣＬＫの周波数はｆである。コラムアドレスカウンタＡ５またはコラムアドレスカウンタＢ７の一方が、内部クロック信号ＩＣＬＫ（ｆ）の立上りで動作し、他方が内部クロック信号ＩＣＬＫ（ｆ）の立下りで動作する点が異なる。

【０１２８】

マルチプレクサ１５は、外部クロック信号ＥＣＬＫの周波数ｆを２倍した周波数２ｆの内部クロック信号ＩＣＬＫ（２ｆ）の立上りで一方のバンクに切換わり、内部クロック信号ＩＣＬＫ（２ｆ）の立下りで他方のバンクに切換わる点が異なる。コントロール信号発生回路１において、外部クロック信号ＥＣＬＫの立上りと立下りの両方で、外部アドレス信号Ａｄｄ、／ＲＡＳおよび／ＣＡＳなどの外部信号が取込まれる点が異なる。

【０１２９】

図６は、図５のＳＤＲＡＭの第１の動作を説明するためのタイミング図である。第１の動作は、外部クロック信号ＥＣＬＫの立下りで、バンクＡ１１に対する外部アドレス信号Ａｄｄ（外部ローアドレス信号、外部コラムアドレス信号）が取込まれ、外部クロック信号ＥＣＬＫの立上りから出力バッファ１７が活性化され、読出データが出力され始める場合である。また、バンクＢ１３に対しては、外部クロック信号ＥＣＬＫの立上りで外部アドレス信号Ａｄｄ（外部ローアドレス信号、外部コラムアドレス信号）が取込まれ、外部クロック信号ＥＣＬＫの立下りから出力バッファ１７が活性化され読出データが出力され始める。

【０１３０】

図６を参照して、時刻t_0で、外部クロック信号ＥＣＬＫの立下りエッジで、／ＲＡＳとバンクＡ１１に対するローアドレス信号Ｘａが取込まれる。時刻t_1において、外部クロック信号ＥＣＬＫの立下りエッジで、／ＲＡＳとバンクＢ１３に対するローアドレス信号Ｘｂが取込まれる。

【０１３１】

時刻t_2において、外部クロック信号ＥＣＬＫの立下りエッジで、／ＣＡＳとバンクＡ１１に対するローアドレス信号Ｙａが取込まれる。時刻t_3において、外部クロック信号ＥＣＬＫの立上りエッジで、／ＣＡＳとバンクＢ１３に対するローアドレス信号Ｙｂが取込まれる。

【０１３２】

／ＲＡＳアクセス時間が５０ｎｓ程度のメモリにおいて、外部クロック信号ＥＣＬＫの周波数ｆが６６ＭＨｚであるとする。この場合には、時刻t_3の次の外部クロック信号ＥＣＬＫの立上り時刻t_4からバンクＡ１１に対するデータＤａ０が出力され始める。そして、外部クロック信号ＥＣＬＫの立下り時刻t_5までに出力が確定している。

【０１３３】

時刻t_5において、外部クロック信号ＥＣＬＫの立下りエッジからバンクＢ１３に切換わり、バンクＢ１３に対するデータＤｂ０が出力され始める。そして、時刻t_6での外部クロック信号ＥＣＬＫの立上りまでにデータが確定している。

【０１３４】

以降、同様にして、バンクＡ１１に対するデータ（Ｄａ１、Ｄａ２、Ｄａ３）とバンクＢ１３に対するデータ（Ｄｂ１、Ｄｂ２、Ｄｂ３）が交互に出力される。これは、コラムアドレスカウンタＡ５およびコラムアドレスカウンタＢ７が、外部クロック信号ＥＣＬＫと同じ周波数ｆを有する内部クロック信号ＩＣＬＫ（ｆ）に同期して、それぞれバンクＡ１１に対する内部コラムアドレス信号およびバンクＢ１３に対する内部コラムアドレス信号を順次、交互に、発生していることに基づく。

【０１３５】
すなわち、コラムアドレスカウンタＡ５およびコラムアドレスカウンタＢ７は、それぞれ、基準内部コラムアドレス信号ＹａおよびＹｂをスタートアドレスして、バンクＡ１１に対する内部コラムアドレス信号およびバンクＢ１３に対する内部コラムアドレス信号を順次、交互に、発生していることに基づく。なお、コラムアドレスカウンタＡ５は、内部クロック信号ＩＣＬＫ（ｆ）の立下りエッジに応じて内部コラムアドレス信号を発生している。コラムアドレスカウンタＢ７は、内部クロック信号ＩＣＬＫ（ｆ）の立上りエッジに応じて内部コラムアドレス信号を発生している。
【０１３６】
以上のように、本実施の形態では、バンクＡ１１およびバンクＢ１３に対応して、コラムアドレスカウンタＡ５およびコラムアドレスカウンタＢ７を設けている。このため、コラムアドレスカウンタＡ５およびコラムアドレスカウンタＢ７に、それぞれバンクＡ１１に対する基準内部コラムアドレス信号およびバンクＢ１３に対する基準内部コラムアドレス信号を保持することができる。したがって、コラムアドレスカウンタＡ５およびコラムアドレスカウンタＢ７は、それぞれバンクＡ１１に対する基準内部コラムアドレス信号およびバンクＢ１３に対する基準内部コラムアドレス信号に基づき、内部コラムアドレス信号を順次、交互に発生できる。
【０１３７】
その結果、本実施の形態では、バンクＡ１１とバンクＢ１３とを交互にアクセスしようとする際に、アクセスするバンクが変わるたびに、アクセスしようとするバンクに対する外部コラムアドレス信号の入力を必要としない。すなわち、本実施の形態では、アドレス入力を簡略化できる。
【０１３８】
図７は、図５のＳＤＲＡＭの第２の動作を説明するためのタイミング図である。第２の動作は、外部クロック信号ＥＣＬＫの立下りでバンクＡ１１に対する外部アドレス信号Ａｄｄが取込まれ、外部クロック信号ＥＣＬＫの立上りから出力バッファ１７が活性化され、読出データが出力され始める場合である。さらに、第２の動作では、バンクＢ１３に対して、外部クロック信号ＥＣＬＫの立上りで外部アドレス信号Ａｄｄ、書込データが取込まれる。
【０１３９】
図７を参照して、時刻t_0において、／ＲＡＳおよびバンクＡ１１に対するローアドレス信号Ｘａが取込まれる。時刻t_1において、／ＲＡＳおよびバンクＢ１３に対するローアドレス信号Ｘｂが取込まれる。時刻t_2において、バンクＡ１１に対するコラムアドレス信号Ｙａおよび／ＣＡＳが取込まれる。
【０１４０】
時刻t_3において、外部クロック信号ＥＣＬＫの立上りエッジから、出力バッファ１７が動作し始めて、バンクＡ１１に対するデータＤａ０が出力され始める。時刻t_4において、外部クロック信号ＥＣＬＫの立下りエッジで、バンクＡ１１に対するデータＤａ０の出力が切れる。ここで、データＤａ０が出力れるタイミングは、／ＲＡＳアクセス時間を満足している。
【０１４１】
一方、時刻t_5において、外部クロック信号ＥＣＬＫの立上りエッジで、バンクＢ１３に対する書込データＤｂ０およびライト制御信号／ＷＥが取込まれると同時に、バンクＡ１１に対するデータＤａ１を出力し始める。以降、同様にして、バンクＡ１１に対するリード動作と、バンクＢ１３に対するライト動作が、外部クロック信号ＥＣＬＫのエッジごとに交互に行なわれる。
【０１４２】
これは、コラムアドレスカウンタＡ５およびコラムアドレスカウンタＢ７が、それぞれバンクＡ１１に対する内部コラムアドレス信号およびバンクＢ１３に対する内部コラムアドレス信号を、周波数ｆの内部クロック信号ＩＣＬＫ（ｆ）に同期して、順次発生すること

に基づいている。なお、コラムアドレスカウンタＡ５は、内部クロック信号ＩＣＬＫ（ｆ）の立下りエッジに応じて内部コラムアドレス信号を発生する。コラムアドレスカウンタＢ７は、内部クロック信号ＩＣＬＫ（ｆ）の立上りエッジに応じて内部コラムアドレス信号を発生する。

【０１４３】

以上のように、図５のＳＤＲＡＭが、第２の動作をする場合においても、第１の動作で説明したと同様の理由により、アクセスするバンクが変わるたびに、そのアクセスするバンクに対応する外部コラムアドレス信号の入力を必要としない。すなわち、図５のＤＲＡＭが第２の動作をする場合においても、アドレス入力を簡略化できる。

【０１４４】

なお、図５においては、バンクが２つの場合を示したが、バンクが２つ以上の複数存在する場合においても、複数のバンクに対して、複数のコラムアドレスカウンタを設けることで、上記と同様に適用でき、上記したと同様の効果を奏する。

【０１４５】

また、図５のコラムアドレスカウンタＡ５が、内部クロック信号ＩＣＬＫを反転した信号／ＩＣＬＫに同期して動作するときは、コラムアドレスカウンタＡ５は、信号／ＩＣＬＫの立上りエッジに応じて、内部コラムアドレス信号を発生する。このときは、コラムアドレスカウンタＢ７は、内部クロック信号ＩＣＬＫに同期して動作し、内部クロック信号ＩＣＬＫの立上りエッジで内部コラムアドレス信号を発生する。

【０１４６】

（実施の形態３）

実施の形態３によるＳＤＲＡＭは、実施の形態１および２によるＳＤＲＡＭの機能を有するとともに、同じバンクにおいて、同じ外部ローアドレス信号で、複数組の外部コラムアドレス信号（基準内部アドレス信号）に対して、リードおよびライト動作を実現できる。

【０１４７】

図８は、本発明の実施の形態３によるＳＤＲＡＭを示す概略ブロック図である。図１と同様の部分については、同一の参照符号を付し、その説明を適宜省略する。図８のＳＤＲＡＭが、図１のＳＤＲＡＭの構成と異なるのは、主に、コラムアドレスカウンタとバンクである。この異なる部分について主に説明する。

【０１４８】

図８を参照して、バンクＡ１１は、メモリアレイバンクＡ４１、ローデコードＡ２９、コラムデコーダＡ３３、入出力コントロール回路＃１Ａ（ＩＯコントロール回路＃１Ａ）４９、入出力コントロール回路＃０Ａ（ＩＯコントロール回路＃０Ａ）５３、センスアンプＡ（Ｓ．Ａ．Ａ）５７、ＩＯレジスタ＃０Ａ６１およびＩＯレジスタ＃１Ａ６５を含む。なお、バンクＢ１３の構成もバンクＡ１１の構成と同様であるので、その説明は省略する。

【０１４９】

コラムアドレスカウンタＡ５およびコラムアドレスカウンタＢ７は、バンクＡ１１またはバンクＢ１３を選択して用いることができる。すなわち、コラムアドレスカウンタＡ５およびコラムアドレスカウンタＢ７を、バンクＡ１１に対して用いることができる。さらに、同様に、コラムアドレスカウンタＡ５およびコラムアドレスカウンタＢ７をバンクＢ１３に対してのみ用いることもできる。また、実施の形態１および２と同様の用い方もできる。

【０１５０】

センスアンプＡ５７は、メモリアレイバンクＡ４１の図示しないビット線対に読出された電位差を増幅するものである。ここで、コラムアドレスカウンタＡ５およびコラムアドレスカウンタＢ７を、バンクＡ１１に対して用いた場合を考える。入出力コントロール回路＃０Ａ５３は、コラムアドレスカウンタＡ５からの内部コラムアドレス信号に基づいて選択された、メモリアレイバンクＡ４１の列におけるデータの授受を制御する。ＩＯレジスタ＃０Ａ６１は、入出力コントロール回路＃０Ａ５３により制御される入出力データを一

時的に保持するものである。

【０１５１】

入出力コントロール回路＃１Ａ４９は、コラムアドレスカウンタＢ７からの内部コラムアドレス信号により選択される、メモリアレイバンクＡ４１の列におけるデータの授受を制御する。ＩＯレジスタ＃１Ａ６５は、入出力コントロール回路＃１Ａ４９によって制御される入出力データを一時的に保持するものである。

【０１５２】

なお、コラムアドレスカウンタＡ５に対応する場合には、「＃０」を付し、コラムアドレスカウンタＢ７に対応する場合には「＃１」を付している。

【０１５３】

図９は、図８のＳＤＲＡＭの第１の動作を説明するためのタイミング図である。第１の動作は、バンクＡ１１に対して、コラムアドレスカウンタＡ５およびコラムアドレスカウンタＢ７を用い、２つのコラムアドレスカウンタからの内部コラムアドレス信号に基づき、バンクＡ１１内で交互にアクセスする場合である。

【０１５４】

すなわち、バンクＡ１１の同じローアドレス信号Ｘａにおいて、基準内部コラムアドレス信号Ｙａ、ＹＡをそれぞれスタートアドレスとして、基準内部コラムアドレス信号Ｙａに対するデータと基準コラムアドレス信号ＹＡに対するデータが交互に出力される場合である。

【０１５５】

なお、基準内部コラムアドレス信号Ｙａをもとに内部コラムアドレス信号を発生するのはコラムアドレスカウンタＡ５である。基準内部コラムアドレス信号ＹＡをもとに内部コラムアドレス信号を発生するのはコラムアドレスカウンタＢ７である。

【０１５６】

図９を参照して、時刻t_0で、周波数ｆである外部クロック信号ＥＣＬＫの立上りエッジで、バンクＡ１１に対するローアドレス信号Ｘａが取込まれる。時刻t_1において、外部クロック信号ＥＣＬＫの立上りエッジで、コラムアドレス信号Ｙａが取込まれる。時刻t_2において、外部クロック信号ＥＣＬＫの立上りエッジで、コラムアドレス信号ＹＡが取込まれる。

【０１５７】

時刻t_3において、外部クロック信号ＥＣＬＫの立下りエッジからコラムアドレス信号Ｙａに対するデータＤａ０が読出される。その次に、コラムアドレス信号ＹＡに対するデータＤＡ０が読出される。なお、時刻t_0から、時刻t_3の外部クロック信号ＥＣＬＫの立下りエッジからデータＤａ０が出力されるまでの時間は、／ＲＡＳアクセス時間を満たしている。

【０１５８】

以降、基準内部コラムアドレス信号Ｙａをもとにした内部コラムアドレス信号に応じたデータ（Ｄａ１、Ｄａ２、Ｄａ３）と、基準内部コラムアドレス信号ＹＡをもとにした内部コラムアドレス信号に応じたデータ（ＤＡ１、ＤＡ２、ＤＡ３）が交互に出力される。

【０１５９】

これは、コラムアドレスカウンタＡ５およびコラムアドレスカウンタＢ７が、周波数ｆ／２の内部クロック信号ＩＣＬＫ（ｆ／２）に同期して、それぞれ基準内部コラムアドレス信号Ｙａに基づく内部アドレス信号および基準内部コラムアドレス信号ＹＡに基づく内部コラムアドレス信号を順次、交互に、発生していることに基づいている。

【０１６０】

なお、コラムアドレスカウンタＡ５は、内部クロック信号ＩＣＬＫ（ｆ／２）の立下りエッジに応じて、内部コラムアドレス信号を発生する。コラムアドレスカウンタＢ７は、内部クロック信号ＩＣＬＫ（ｆ／２）の立上りエッジに応じて内部コラムアドレス信号を発生する。

【０１６１】

センスアンプＡ５７に読出されたデータのうち、基準内部コラムアドレス信号Ｙａに基づく内部コラムアドレス信号に応じて、コラム選択線で選択されたデータが入出力コントロール回路＃０Ａ５３から読出される。また、センスアンプＡ５７に読出されたデータのうち、基準内部コラムアドレス信号ＹＡに基づく内部コラムアドレス信号に応じて、コラム選択線で選択されたデータが入出力コントロール回路＃１Ａ４９から読出される。

【０１６２】

マルチプレクサ１５は、バンクＡ１１に対して設けられているＩＯレジスタ＃０６Ａ１およびＩＯレジスタ＃１Ａ６５の出力を交互に切換えて、出力バッファ１７に転送する。なお、マルチプレクサ１５は、周波数ｆの内部クロック信号ＩＣＬＫ（ｆ）に同期して動作する。マルチプレクサ１５は、バンクアドレス信号ＢＡに基づき、バンクを選択する。この場合には、バンクＡ１１が選択されている。そして、ＩＯレジスタ＃０Ａ６１とＩＯレジスタ＃１Ａ６５との切換は、信号＃０・＃１により行なう。

【０１６３】

以上のように、本実施の形態によるＳＤＲＡＭにおいては、１つのバンクに対して２つのコラムアドレスカウンタを用いることができる。このため、２つのコラムアドレスカウンタに、それぞれ異なる２つの基準内部コラムアドレス信号を割当てることができる。

【０１６４】

その結果、１つのバンク内で、異なる基準内部コラムアドレス信号のそれぞれに基づく内部コラムアドレス信号に基づいて交互にアクセスしようとする際に、アクセスのたびに外部コラムアドレス信号の入力を必要としない。すなわち、本実施の形態では、１つのバンク内で、２つの異なる基準内部コラムアドレス信号に基づき交互にアクセスをするときにおいても、アドレス入力を簡略化することができる。

【０１６５】

なお図９の動作は、図２の動作に対応するものである。主に異なるのは、図２の動作が、２つのバンクに対して交互にアクセスしているのに対し、図９の動作が、１つのバンクに対して交互にアクセスしている点である。

【０１６６】

また、図９においては、読出動作について説明したが、図４と同様にして、基準内部コラムアドレス信号Ｙａに対しては読出動作、基準内部コラムアドレス信号ＹＡに対しては書込動作を交互に行なうことも可能である。この場合にも、上記したと同様の効果を奏する。

図１０は、図８のＳＤＲＡＭの第２の動作を説明するためのタイミング図である。第２の動作は、周波数ｆの外部クロック信号ＥＣＬＫの立下りで、コラムアドレス信号Ｙａを、立上りで基準内部コラムアドレス信号ＹＡを取込んで、外部クロック信号ＥＣＬＫのエッジごとに、基準内部コラムアドレス信号Ｙａ、ＹＡに対するデータを交互に出力する場合である。

【０１６７】

なお、上記した第１の動作の場合と同様に、コラムアドレスカウンタＡ５およびコラムアドレスカウンタＢ７は、バンクＡ１１に対して用いられ、バンクＡ１１内で、交互にアクセスが行なわれる。

【０１６８】

図１０を参照して、時刻t_0において、外部クロック信号ＥＣＬＫの立下りエッジで、ローアドレス信号Ｘａおよび／ＲＡＳが取込まれる。時刻t_1において、外部クロック信号ＥＣＬＫの立下りエッジで、コラムアドレス信号Ｙａおよび／ＣＡＳが取込まれる。時刻t_2において、外部クロック信号ＥＣＬＫの立上りエッジで、コラムアドレス信号ＹＡおよび／ＣＡＳが取込まれる。

【０１６９】

そして、時刻t_3から、基準内部コラムアドレス信号Ｙａに対するデータが出力し始める。時刻t_5までには、出力が確定している。

【０１７０】

時刻t_5の立下りエッジから、基準内部コラムアドレス信号ＹＡに対するデータＤＡ０が出力され始め、時刻t_6の立上りエッジまでに出力が確定している。なお、時刻t_0から、時刻t_3の外部クロック信号ＥＣＬＫの立上りエッジからデータＤａ０が出力されるまでの時間は、／ＲＡＳアクセス時間を満足している。

【０１７１】

以降、基準内部コラムアドレス信号Ｙａに基づく内部コラムアドレス信号に応じたデータ（Ｄａ１、Ｄａ２、Ｄａ３）と基準内部コラムアドレス信号ＹＡに基づく内部コラムアドレス信号に応じたデータ（ＤＡ１、ＤＡ２、ＤＡ３）が交互に出力される。

【０１７２】

これは、コラムアドレスカウンタＡ５およびコラムアドレスカウンタＢ７が、周波数ｆの内部クロック信号ＩＣＬＫ（ｆ）に同期して、それぞれ基準内部コラムアドレス信号Ｙａおよび基準内部コラムアドレス信号ＹＡに基づく内部コラムアドレス信号を、順次、交互に発生していることに基づく。

【０１７３】

また、コラムアドレスカウンタＡ５は、内部クロック信号ＩＣＬＫ（ｆ）の立下りエッジに応じて、内部コラムアドレス信号を発生する。コラムアドレスカウンタＢ７は、内部クロック信号ＩＣＬＫ（ｆ）の立上りエッジに応じて内部コラムアドレス信号を発生する。なお、図１０の動作は、図６の動作に対応するものである。主に異なるのは、図６の動作が、２つのバンクに対して交互にアクセスしているのに対し、図１０の動作が１つのバンクに対して交互にアクセスしている点である。

【０１７４】

また、マルチプレクサ１５は、第１の動作では、周波数ｆの内部クロック信号ＩＣＬＫ（ｆ）に同期していたが、第２の動作では、周波数２ｆの内部クロック信号ＩＣＬＫ（２ｆ）に同期して動作する。その他は、第１の動作の場合と同様である。

【０１７５】

以上のように、本実施の形態によるＳＤＲＡＭが第２の動作をする場合においても、第１の動作について説明したと同様の理由により、アクセスのたびに外部コラムアドレス信号の入力を必要とせず、アドレス入力を簡略化できる。

【０１７６】

なお、図１０では読出動作について説明したが、図７と同様にして、基準内部コラムアドレス信号Ｙａに対しては読出動作、基準内部コラムアドレス信号ＹＡに対しては書込動作を交互に行なうことも可能である。この場合にも上記したと同様の効果を奏する。

【０１７７】

また、図８は、バンクが２つの場合を示したが、バンクが２つ以上の複数存在する場合においても、複数のバンクに対して複数のコラムアドレスカウンタを設けることにより、上記したと同様に適用でき、上記したと同様の効果を奏する。

【０１７８】

さらに、図８において、コラムアドレスカウンタＡ５の出力をバンクＡ１１のコラムデコーダＡ３３に入力させ、コラムアドレスカウンタＢ７の出力をバンクＢ１３のコラムデコーダＢ３５に入力するように切換えることもできる。この場合には、実施の形態１および２で示したような動作をも実現することができる。この場合には、実施の形態１および２と同様の効果を奏する。

【０１７９】

（実施の形態４）

実施の形態１～３によるＳＤＲＡＭにおいては、２つバンクに対応して２つのコラムアドレスカウンタを設けたが、実施の形態４によるＳＤＲＡＭにおいては、２つのバンクに対して、２つのコラムアドレスカウンタを設けたのと同様の機能を有する１つのコラムアドレスカウンタを設けたものである。

【０１８０】

図１１は、本発明の実施の形態４によるＳＤＲＡＭにおいて、内部コラムアドレス信号の

発生に関係する部分を示す概略ブロック図である。

【０１８１】

図１１を参照して、内部コラムアドレス信号の発生に関係する部分は、コラムアドレスバッファ６９およびコラムアドレスカウンタ部７０を含む。コラムアドレスカウンタ部７０は、コラムアドレスカウンタ７１、レジスタ７３、ＡＮＤ回路Ａ７５、ＡＮＤ回路Ｂ７７、レジスタＡ７９およびレジスタＢ８１を含む。

【０１８２】

図１１のコラムアドレスバッファ６９およびコラムアドレスカウンタ部７０を図１に適用した場合を考えてみる。図１のコラムアドレスバッファＡ２５およびコラムアドレスバッファＢ２７の代わりに、本実施の形態ではコラムアドレスバッファ６９を設ける。

【０１８３】

図１のコラムアドレスカウンタＡ５およびコラムアドレスカウンタＢ７の代わりに、本実施の形態では、コラムアドレスカウンタ部７０を設ける。以下、図１のＳＤＲＡＭに、コラムアドレスバッファ６９およびコラムアドレスカウンタ部７０を設けたものとして説明を行なう。

【０１８４】

バンクＡ１１が動作しているとき、バンクアドレス信号ＢＡは「Ｌ」レベルであり、ＡＮＤ回路Ｂ７７が非活性になる。一方、バンクアドレス信号ＢＡが「Ｌ」レベルのときには、ＡＮＤ回路Ａ７５が活性化される。これは、ＡＮＤ回路Ａ７５が、バンクアドレス信号ＢＡを反転した信号／ＢＡを受けるためである。このため、コラムアドレスカウンタ７１の出力がバンクＡ１１のコラムデコーダＡ３３に入力される。

【０１８５】

次に、バンクＡ１１に対して動作中に、バンクＢ１３にアクセスしようとすると、バンクＡ１１に入力されていたコラムアドレスカウンタ７１からの出力が、レジスタ７３に一旦保持される。すなわち、コラムアドレスカウンタ７１からの、バンクＡ１１に対する内部コラムアドレス信号がレジスタ７３に保持されることになる。

【０１８６】

そして、コラムアドレスカウンタ７１が、バンクＢ１３に対して動作する。このとき、バンクアドレス信号ＢＡが「Ｈ」レベルであるため、ＡＮＤ回路７５は非活性になる。一方、バンクアドレス信号ＢＡが「Ｈ」レベルであるため、ＡＮＤ回路７７は、活性化される。このため、コラムアドレスカウンタ７１からの出力は、バンクＢ１３のコラムデコーダＢ３５に入力される。

【０１８７】

次に、バンクＡ１１に切換わるときには、レジスタ７３に保持されているバンクＡ１１の内部コラムアドレス信号が、基準内部コラムアドレス信号としてコラムアドレスカウンタ７１に入力される。それと同時に、バンクＢ１３に対するコラムアドレスカウンタ７１の出力がレジスタ７３に保持される。

【０１８８】

なお、コラムアドレスカウンタ７１は、バンクＡ１１またはバンクＢ１３に対する基準内部コラムアドレス信号に基づき、バンクＡ１１またはバンクＢ１３に対する内部コラムアドレス信号を順次発生するものである。

【０１８９】

以上のように、本実施の形態によるＳＤＲＭＡに用いるコラムアドレスカウンタ部７０は、アクセスするバンクが変わるたびに、レジスタに、アクセスが終了した内部コラムアドレス信号を保持させる。そして、アクセスの必要が生じたときに、レジスタ７３は、保持している内部コラムアドレス信号を基準内部コラムアドレス信号としてコラムアドレスカウンタ７１に入力する。

【０１９０】

その結果、本実施の形態では、アクセスするバンクが変わるたびに、アクセスするバンクに対する外部コラムアドレス信号の入力を必要とせず、アドレス入力を簡略化できる。

【０１９１】
さらに、実施の形態１～３では、２つのバンクに対応して２つのコラムアドレスカウンタを設けていたが、本実施の形態では、２つのバンクに対して、２つのコラムアドレスカウンタの機能を有する１つのコラムアドレスカウンタ部７１を設けている。このため、２つのバンクに対応して２つのコラムアドレスカウンタを設ける場合に比し、回路規模を小型化できる。
【０１９２】
なお、図５および図８のＳＤＲＭＡに対しても、同様に、図１１のコラムアドレスバッファ６９およびコラムアドレスカウンタ部７０を設けることができる。この場合にも、上記したと同様の効果を奏する。
【０１９３】
また、複数のバンクを設けた場合においても、図１１のコラムアドレスバッファ６９およびコラムアドレスカウンタ部７０は、同様にして適用できる。このときも上記したと同様の効果を奏する。
【０１９４】
（実施の形態５）
実施の形態１～４では、２つのバンクに対して２つのローアドレスバッファを設けたが、本実施の形態によるＳＤＲＡＭでは、２つのバンクに対して、１つのローアドレスバッファを用いたものである。
【０１９５】
図１２は、実施の形態５によるＳＤＲＡＭに用いるローアドレスバッファ部を示す概略ブロック図である。
【０１９６】
図１２を参照して、ローアドレスバッファ部８２は、ローアドレスバッファ８３、ラッチ回路Ａ８５およびラッチ回路Ｂ８７を含む。ここで、図１２のローアドレスバッファ部８２を図１のＳＤＲＡＭに用いた場合について説明する。
【０１９７】
すなわち、図１のローアドレスバッファＡ２１およびローアドレスバッファＢ２３の代わりに、図１２のローアドレスバッファ部８２を用いたものである。以下、図１のＳＤＲＡＭに図１２のローアドレスバッファ部８２を設けたものとして説明する。
【０１９８】
ローアドレスバッファ８３は、外部ローアドレス信号を受ける。バンクＡ１１を示す「Ｌ」レベルのバンクアドレス信号ＢＡを反転した信号／ＢＡにより、ラッチ回路Ａ８５は、ローアドレスバッファ８３からのローアドレス信号をラッチする。そしてバンクＡ１１のローデコーダＡ２９に内部ローアドレス信号が入力されることになる。
【０１９９】
一方、バンクＢ１３を示す「Ｈ」レベルのバンクアドレス信号ＢＡによりラッチ回路Ｂ８７は、ローアドレスバッファ８３からのローアドレス信号をラッチする。そして、内部ローアドレス信号がバンクＢ１３のローデコーダＢ３１に入力される。
【０２００】
以上のように、本実施の形態によるＳＤＲＡＭにおいては、２つのバンクに対して、２つのローアドレスバッファと同様の機能を有する１つのローアドレスバッファ部を用いている。このため、本実施の形態では、２つのバンクに対して２つのローアドレスバッファを設ける場合に比し、回路規模を小型化できる。さらに、図１のＳＤＲＡＭをもとにしているため、実施の形態１と同様の効果をも奏する。
【０２０１】
また、上記の説明では、図１２のローアドレスバッファ部８２を図１のＳＤＲＡＭに用いたが、図５および図８のＳＤＲＡＭについても同様に用いることができる。この場合にも、上記したと同様の効果を奏する。
【０２０２】

さらに、上記の説明では、２つのローアドレスバッファと同様の機能を有する１つのローアドレスバッファ部について説明したが、２つのコラムアドレスバッファと同様の機能を有する１つのコラムアドレスバッファ部も、図１２のローアドレスバッファ部と同様にして構成できる。

【０２０３】

すなわち、図１２において、ローアドレスバッファ８３の代わりに、コラムアドレスバッファを用いる。このようにして構成した１つのコラムアドレスバッファ部を、実施の形態１～４によるＳＤＲＡＭに用いることができる。この場合にも上記したと同様の効果を奏する。なお、２つ以上の複数のバンクに対して、上記したローアドレスバッファ部８２およびコラムアドレスバッファ部を、用いるときは、ラッチ回路を増やすことにより同様に適用できる。

【図面の簡単な説明】

【図１】　本発明の実施の形態１によるＳＤＲＡＭを示す概略ブロック図である。

【図２】　図１のＳＤＲＡＭの第１の動作を説明するためのタイミング図である。

【図３】　図１のＳＤＲＡＭの第２の動作を説明するためのタイミング図である。

【図４】　図１のＳＤＲＡＭの第３の動作を説明するためのタイミング図である。

【図５】　本発明の実施の形態２によるＳＤＲＡＭを示す概略ブロック図である。

【図６】　図５のＳＤＲＡＭの第１の動作を説明するためのタイミング図である。

【図７】　図５のＳＤＲＡＭの第２の動作を説明するためのタイミング図である。

【図８】　本発明の実施の形態３によるＳＤＲＡＭを示す概略ブロック図である。

【図９】　図８のＳＤＲＡＭの第１の動作を説明するためのタイミング図である。

【図１０】　図８のＳＤＲＡＭの第２の動作を説明するためのタイミング図である。

【図１１】　本発明の実施の形態４によるＳＤＲＡＭの内部コラムアドレス信号の発生に関係する部分を示す概略ブロック図である。

【図１２】　本発明の実施の形態５によるＳＤＲＡＭに用いるローアドレスバッファ部を示す概略ブロック図である。

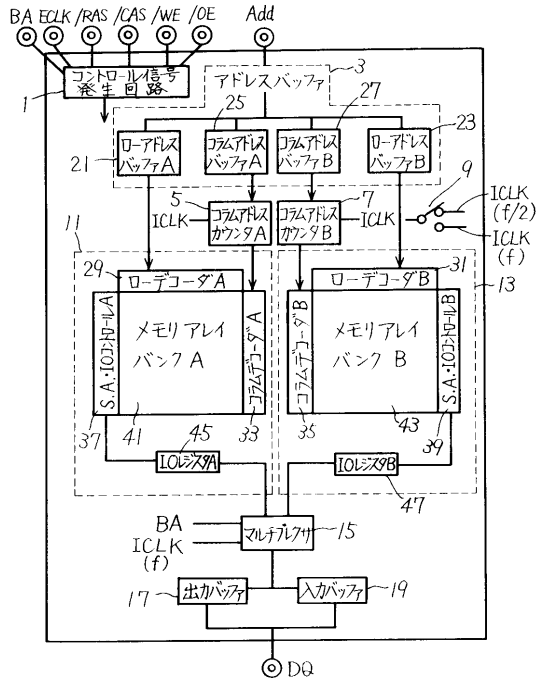
【図１３】　従来のＳＤＲＡＭを示す概略ブロック図である。

【図１４】　図１３のＳＤＲＡＭの動作を説明するためのタイミング図である。

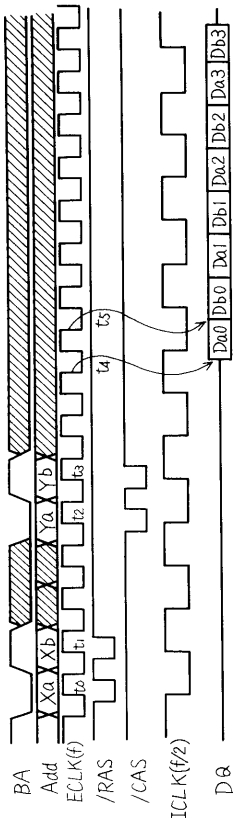
【符号の説明】

１　コントロール信号発生回路、２　アドレスバッファ、５　コラムアドレスカウンタＡ、７　コラムアドレスカウンタＢ、９　スイッチング回路、１１　バンクＡ、１３　バンクＢ、１５　マルチプレクサ、１７　出力バッファ、１９
入力バッファ、２１　ローアドレスバッファＡ、２３　ローアドレスバッファＢ、２５　コラムアドレスバッファＡ、２７　コラムアドレスバッファＢ、２９
ローデコーダＡ、３１　ローデコーダＢ、３３　コラムデコーダＡ、３５　コラムデコーダＢ、３７　センスアンプ・入出力コントロール回路Ａ（Ｓ．Ａ．・ＩＯコントロール回路Ａ）、３９　センスアンプ・入出力コントロール回路Ｂ（Ｓ．Ａ．・ＩＯコントロール回路Ｂ）、４１　メモリアレイバンクＡ、４３　メモリアレイバンクＢ、４５　ＩＯレジスタＡ、４７　ＩＯレジスタＢ、４９　入出力コントロール回路＃１Ａ（ＩＯコントロール回路＃１Ａ）、５１　入出力コントロール回路＃１Ｂ（ＩＯコントロール回路＃１Ｂ）、５３　入出力コントロール回路＃０Ａ（ＩＯコントロール回路＃０Ａ）、５５　入出力コントロール回路＃０Ｂ（ＩＯコントロール回路＃０Ｂ）、５７　センスアンプＡ、５９　センスアンプＢ、６１　ＩＯレジスタ＃０Ａ、６３　ＩＯレジスタ＃０Ｂ、６５　ＩＯレジスタ＃１Ａ、６７　ＩＯレジスタ＃０Ｂ、６９，８９　コラムアドレスバッファ、７０　コラムアドレスカウンタ部、７１，９１　コラムアドレスカウンタ、７３　レジスタ、７５　ＡＮＤ回路Ａ、７７　ＡＮＤ回路Ｂ、７９　レジスタＡ、８１　レジスタＢ、８２　ローアドレスバッファ部、８３　ローアドレスバッファ、８５　ラッチ回路Ａ、８７　ラッチ回路Ｂ、９３　ＡＮＤ回路、９５
セレクタ。

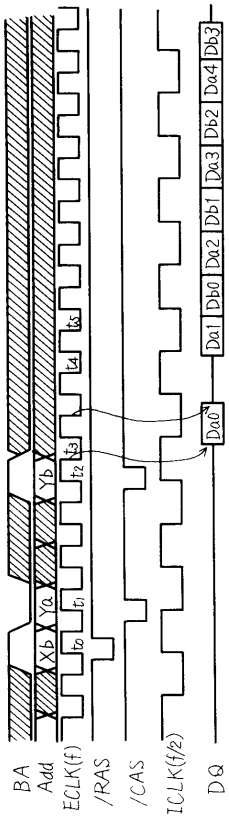
【図１】


BA ECLK /RAS /CAS /WE /OE Add
コントロール信号発生回路
アドレスバッファ
ローアドレスバッファA
コラムアドレスバッファA
コラムアドレスバッファB
ローアドレスバッファB
ICLK
コラムアドレスカウンタA
コラムアドレスカウンタB
ICLK (f/2)
ICLK (f)
ローデコーダA
ローデコーダB
メモリアレイバンクA
メモリアレイバンクB
S.A.・IOコントロールA
S.A.・IOコントロールB
コラムデコーダA
コラムデコーダB
IOレジスタA
IOレジスタB
BA
ICLK (f)
マルチプレクサ
出力バッファ
入力バッファ
DQ

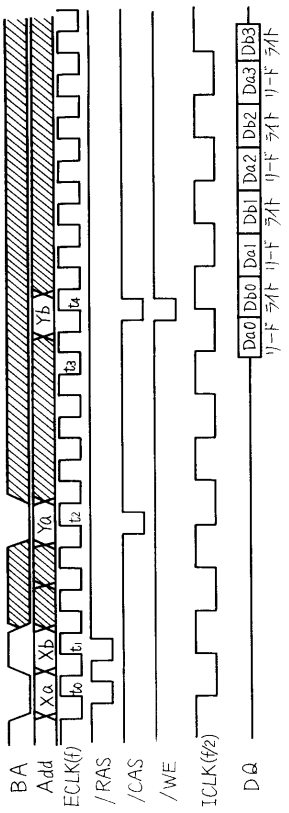
【図２】


Da0 Db0 Da1 Db1 Da2 Db2 Da3 Db3
t5
t4
Yb
Ya
Xb
Xa
t3
t2
t1
t0
BA
Add
ECLK(f)
/RAS
/CAS
ICLK(f/2)
DQ

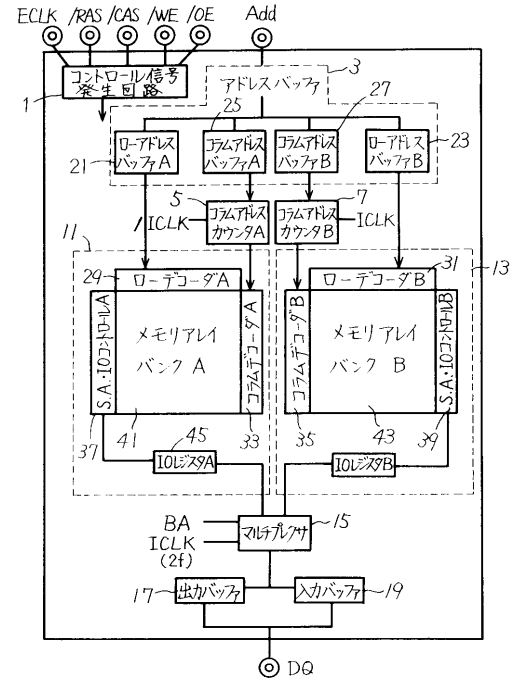
【図３】


Da0 Db0 Da1 Db1 Da2 Db2 Da3 Db4 Db3
t5
t4
t3
t2
Yb
Ya
Xb
t1
t0
BA
Add
ECLK(f)
/RAS
/CAS
ICLK(f/2)
DQ

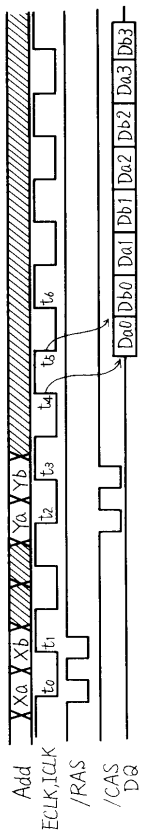
【図４】


Da0 Db0 Da1 Db1 Da2 Db2 Da3 Db3
リードライト
t4
t3
t2
Yb
Ya
Xb
Xa
t1
t0
BA
Add
ECLK(f)
/RAS
/CAS
/WE
ICLK(f/2)
DQ

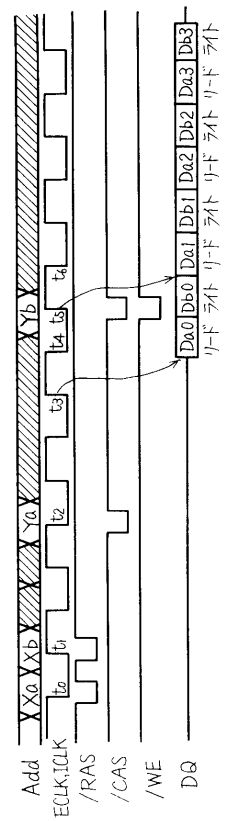
【図５】


ECLK /RAS /CAS /WE /OE Add
コントロール信号発生回路
アドレスバッファ
ローアドレスバッファA
コラムアドレスバッファA
コラムアドレスバッファB
ローアドレスバッファB
/ICLK
コラムアドレスカウンタA
コラムアドレスカウンタB
ICLK
ローデコーダA
ローデコーダB
メモリアレイバンクA
メモリアレイバンクB
S.A.·IOコントロールA
コラムデコーダA
コラムデコーダB
S.A.·IOコントロールB
IOレジスタA
IOレジスタB
BA
ICLK (2f)
マルチプレクサ
出力バッファ
入力バッファ
DQ

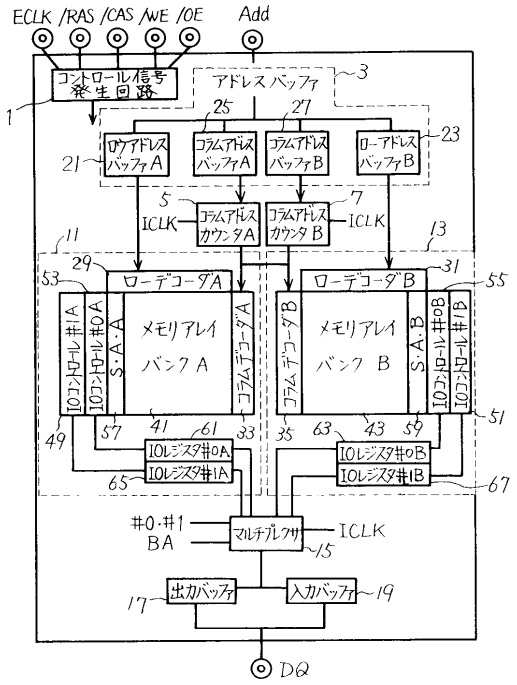
【図６】


Da0 Db0 Da1 Db1 Da2 Db2 Da3 Db3
Xa Xb Ya Yb
t0 t1 t2 t3 t4 t5 t6
Add
ECLK,ICLK
/RAS
/CAS
DQ

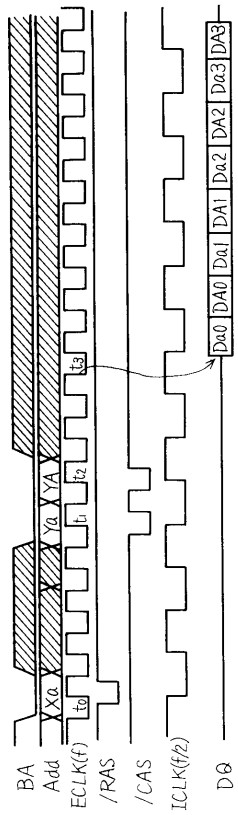
【図７】


Da0 Db0 Da1 Db1 Da2 Db2 Da3 Db3
リード ライト リード ライト リード ライト リード ライト
Xa Xb Ya Yb
t0 t1 t2 t3 t4 t5 t6
Add
ECLK,ICLK
/RAS
/CAS
/WE
DQ

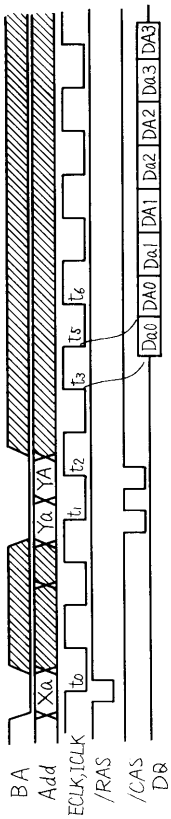
【図８】


ECLK /RAS /CAS /WE /OE Add
コントロール信号発生回路
アドレスバッファ
ローアドレスバッファA
コラムアドレスバッファA
コラムアドレスバッファB
ローアドレスバッファB
ICLK
コラムアドレスカウンタA
コラムアドレスカウンタB
ICLK
ローデコーダA
ローデコーダB
IOコントロール#1A
IOコントロール#0A
S.A.·A
メモリアレイバンクA
コラムデコーダA
コラムデコーダB
メモリアレイバンクB
S.A.·B
IOコントロール#0B
IOコントロール#1B
IOレジスタ#0A
IOレジスタ#1A
IOレジスタ#0B
IOレジスタ#1B
#0·#1
BA
マルチプレクサ
ICLK
出力バッファ
入力バッファ
DQ

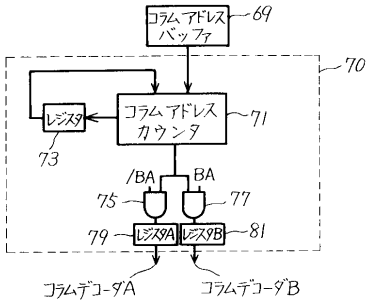
【図９】



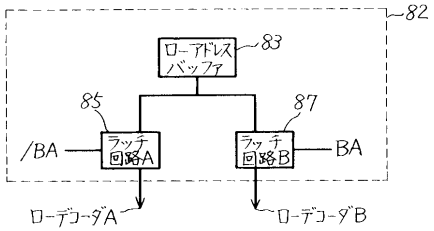
【図１０】



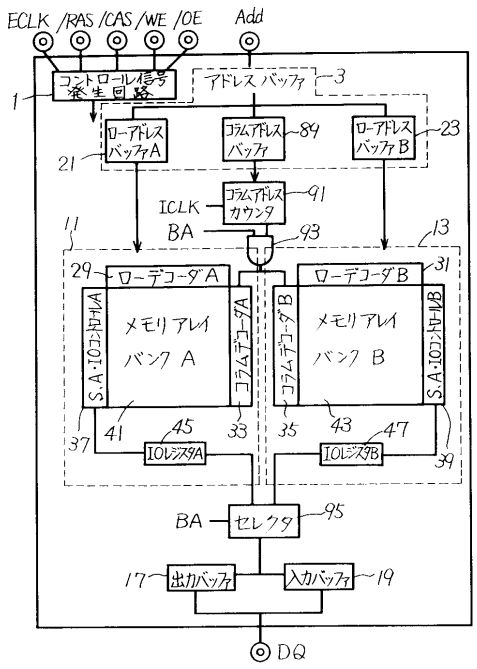
【図１１】



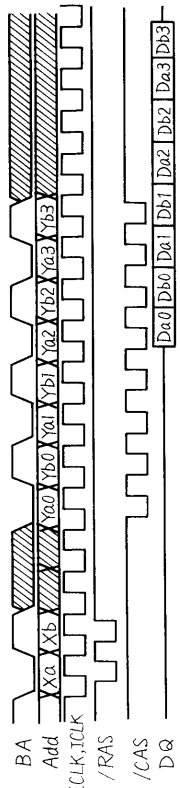
【図１２】



【図１３】



【図１４】


BA
Add
ECLK,ICLK
/RAS
/CAS
DQ
Xa
Xb
Ya0
Yb0
Ya1
Yb1
Ya2
Yb2
Ya3
Yb3
Da0
Db0
Da1
Db1
Da2
Db2
Da3
Db3

フロントページの続き

(72)発明者　山内　忠昭
東京都千代田区丸の内二丁目２番３号　三菱電機株式会社内

審査官　加藤　俊哉

(56)参考文献　特開平０７－０７８４６７（ＪＰ，Ａ）
特開平０６－３０２１８６（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
G11C 11/41
G11C 11/413