



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0110989
(43) 공개일자 2013년10월10일

(51) 국제특허분류(Int. Cl.)
H03L 7/107 (2006.01) H03L 7/081 (2006.01)
G11C 11/407 (2006.01)
(21) 출원번호 10-2012-0033393
(22) 출원일자 2012년03월30일
심사청구일자 없음

(71) 출원인
에스케이하이닉스 주식회사
경기도 이천시 부발읍 경충대로 2091
고려대학교 산학협력단
서울 성북구 안암동5가 1
(72) 발명자
이현우
경기도 이천시 부발읍 신하6리 삼익아파트
104-804
김철우
서울특별시 성북구 길음1동 삼성래미안3차아파트
605-1301
송준영
서울특별시 동대문구 제기동 벽산아파트 103-902
(74) 대리인
특허법인 신성

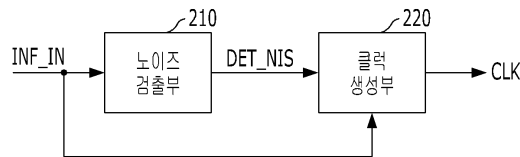
전체 청구항 수 : 총 24 항

(54) 발명의 명칭 클럭 생성 회로

(57) 요약

클럭 신호를 생성하기 위한 클럭 생성 회로에 관한 것으로, 입력 정보에 포함되는 노이즈를 검출하여 노이즈 검출 신호를 생성하기 위한 노이즈 검출부, 및 상기 노이즈 검출 신호에 응답하여 자신의 대역폭을 조절하며, 상기 입력 정보에 대응하는 내부 클럭 신호를 생성하기 위한 내부 클럭 생성부를 구비하는 클럭 생성 회로가 제공된다.

대표도 - 도2



특허청구의 범위

청구항 1

입력 정보에 포함되는 노이즈를 검출하여 노이즈 검출 신호를 생성하기 위한 노이즈 검출부; 및
상기 노이즈 검출 신호에 응답하여 자신의 대역폭을 조절하며, 상기 입력 정보에 대응하는 내부 클럭 신호를 생성하기 위한 내부 클럭 생성부
를 구비하는 클럭 생성 회로.

청구항 2

제1항에 있어서,
상기 입력 정보는 상기 내부 클럭 생성부에 입력되는 전원 전압 또는 상기 내부 클럭 생성부에 입력되는 클럭 신호를 포함하는 것을 특징으로 하는 클럭 생성 회로.

청구항 3

제1항에 있어서,
상기 노이즈 검출부는,
예정된 기준 클럭 신호를 지연시키기 위한 고정 지연부;
상기 내부 클럭 생성부에 입력되는 전원 전압에 대응하는 지연량을 상기 기준 클럭 신호에 반영하기 위한 가변 지연부; 및
상기 고정 지연부의 출력 신호와 상기 가변 지연부의 출력 신호의 위상을 비교하여 상기 노이즈 검출 신호를 생성하기 위한 위상 비교부를 구비하는 것을 특징으로 하는 클럭 생성 회로.

청구항 4

제3항에 있어서,
컷 오프 주파수가 설정되어 있으며, 상기 전원 전압을 입력받아 필터링하여 상기 가변 지연부에 인가하기 위한 필터링부를 더 구비하는 것을 특징으로 하는 클럭 생성 회로.

청구항 5

제3항에 있어서,
상기 노이즈 검출부는 상기 전원 전압의 노이즈 주파수를 검출하는 것을 특징으로 하는 클럭 생성 회로.

청구항 6

제1항에 있어서,
상기 노이즈 검출부는,
상기 내부 클럭 생성부에 입력되는 클럭 신호를 지연시키기 위한 제1 지연부;
예정된 기준 클럭 신호를 지연시키기 위한 제2 지연부; 및

상기 제1 및 제2 지연부의 출력 신호의 위상을 비교하여 상기 노이즈 검출 신호를 생성하기 위한 위상 비교부를 구비하는 것을 특징으로 하는 클럭 생성 회로.

청구항 7

전원 전압을 입력받아 내부 클럭 신호를 생성하기 위한 내부 클럭 생성부; 및

상기 내부 클럭 생성부의 대역폭에 대응하는 기준 주파수를 기준으로 상기 전원 전압의 노이즈 주파수를 검출하여 노이즈 검출 신호를 생성하기 위한 전원 노이즈 검출부를 구비하되,

상기 내부 클럭 생성부는 상기 노이즈 검출 신호에 응답하여 자신의 대역폭을 조절하는 것을 특징으로 하는 클럭 생성 회로.

청구항 8

제7항에 있어서,

상기 내부 클럭 생성부는 상기 전원 전압과 상기 노이즈 검출 신호를 입력받으며 상기 내부 클럭 신호를 생성하기 위한 위상 고정 루프인 것을 특징으로 하는 클럭 생성 회로.

청구항 9

제7항에 있어서,

상기 전원 노이즈 검출부는,

상기 내부 클럭 생성부의 대역폭에 대응하는 제1 컷 오프 주파수를 설정하기 위한 제1 필터링부;

상기 내부 클럭 생성부의 대역폭에 대응하는 제2 컷 오프 주파수를 설정하기 위한 제2 필터링부;

상기 제1 및 제2 필터링부를 통해 출력되는 제1 및 제2 필터링 전원 전압을 인가받으며, 예정된 기준 클럭 신호에 상기 제1 및 제2 필터링 전원 전압에 대응하는 지연량을 각각 반영하여 출력하기 위한 제1 및 제2 가변 지연부; 및

상기 제1 및 제2 가변 지연부의 출력 신호의 위상을 비교하여 상기 노이즈 검출 신호를 생성하기 위한 검출 신호 생성부를 구비하는 것을 특징으로 하는 클럭 생성 회로.

청구항 10

제9항에 있어서,

상기 제1 및 제2 필터링부 각각은 저항과 커패시터를 구비하는 필터 회로를 포함하며,

상기 저항 및 커패시터 중 적어도 어느 하나는 상기 해당 컷 오프 주파수를 설정하기 위하여 해당 소자의 고유 특성 값이 조절되는 것을 특징으로 하는 클럭 생성 회로.

청구항 11

제9항에 있어서,

상기 검출 신호 생성부는,

상기 제1 및 제2 가변 지연부의 출력 신호 각각에 예정된 지연 시간을 반영하기 위한 제1 및 제2 지연부;

상기 제2 가변 지연부의 출력 신호와 상기 제1 지연부의 출력 신호의 위상을 비교하기 위한 제1 위상 비교부;

상기 제1 가변 지연부의 출력 신호와 상기 제2 지연부의 출력 신호의 위상을 비교하기 위한 제2 위상 비교부; 및

상기 제1 및 제2 위상 비교부의 출력 신호에 응답하여 상기 노이즈 검출 신호를 출력하기 위한 검출 신호 출력부를 구비하는 클럭 생성 회로.

청구항 12

외부 클럭 신호에 응답하여 내부 클럭 신호를 생성하기 위한 내부 클럭 생성부; 및

상기 외부 클럭 신호의 노이즈 주파수와 상기 내부 클럭 생성부의 대역폭에 대응하는 지연량이 반영된 상기 내부 클럭 신호의 위상을 검출하여 노이즈 검출 신호를 생성하기 위한 클럭 노이즈 검출부를 구비하되,

상기 내부 클럭 생성부는 상기 노이즈 검출 신호에 응답하여 자신의 대역폭을 조절하는 것을 특징으로 하는 클럭 생성 회로.

청구항 13

제12항에 있어서,

상기 내부 클럭 생성부는 상기 외부 클럭 신호와 상기 노이즈 검출 신호를 입력받으며 상기 내부 클럭 신호를 생성하기 위한 위상 고정 루프인 것을 특징으로 하는 클럭 생성 회로.

청구항 14

제12항에 있어서,

상기 클럭 노이즈 검출부는,

상기 내부 클럭 신호에 예정된 지연량을 반영하기 위한 제1 지연부;

상기 외부 클럭 신호에 예정된 지연량을 반영하기 위한 제2 지연부;

상기 제1 지연부의 출력 신호와 상기 외부 클럭 신호의 위상을 비교하기 위한 제1 위상 비교부;

상기 제2 지연부의 출력 신호와 상기 내부 클럭 신호의 위상을 비교하기 위한 제2 위상 비교부; 및

상기 제1 및 제2 위상 비교부의 출력 신호에 응답하여 상기 노이즈 검출 신호를 생성하기 위한 검출 신호 생성부를 구비하는 것을 특징으로 하는 클럭 생성 회로.

청구항 15

제12항에 있어서,

상기 노이즈 검출 신호를 디코딩하기 위한 디코딩부를 더 구비하는 것을 특징으로 하는 클럭 생성 회로.

청구항 16

제7항 또는 제12항에 있어서,

상기 내부 클럭 생성부는 상기 내부 클럭 신호의 위상 차이에 응답하여 차지 펄핑 동작을 수행하는 차지 펄핑부를 구비하며,

상기 노이즈 검출 신호에 응답하여 상기 차지 펄핑부의 고유 특성 값을 조절하는 것을 특징으로 하는 클럭 생성 회로.

청구항 17

제7항 또는 제12항에 있어서,

상기 내부 클럭 생성부는 커패시터의 충전/방전 동작을 통해 상기 내부 클럭 신호에 대응하는 제어 전압을 생성하기 위한 루프 필터링부를 구비하며,

상기 노이즈 검출 신호에 응답하여 상기 루프 필터링부의 고유 특성 값을 조절하는 것을 특징으로 하는 클럭 생성 회로.

청구항 18

제7항 또는 제12항에 있어서,

상기 내부 클럭 생성부는 제어 전압에 대응하는 주파수를 가지는 상기 내부 클럭 신호를 발진 동작을 통해 생성하기 위한 전압 제어 발진부를 구비하며,

상기 노이즈 검출 신호에 응답하여 상기 전압 제어 발진부의 고유 특성 값을 조절하는 것을 특징으로 하는 클럭 생성 회로.

청구항 19

제7항 또는 제12항에 있어서,

상기 내부 클럭 생성부는,

외부 클럭 신호를 분주하여 분주 클럭 신호를 생성하기 위한 제1 클럭 분주부; 및

상기 내부 클럭 신호를 분주하여 피드백 클럭 신호를 생성하기 위한 제2 클럭 분주부를 구비하며,

상기 노이즈 검출 신호에 응답하여 상기 제1 및 제2 클럭 분주부의 분주율을 조절하는 것을 특징으로 하는 클럭 생성 회로.

청구항 20

소오스 클럭 신호를 생성하는 소오스 클럭 생성부를 포함하는 송신부; 및

상기 소오스 클럭 신호를 입력받아 내부 클럭 신호를 생성하는 내부 클럭 생성부를 포함하는 수신부를 구비하되,

상기 소오스 클럭 생성부는 상기 소오스 클럭 생성부에 입력되는 전원 전압의 노이즈 주파수에 응답하여 대역폭이 조절되고, 상기 내부 클럭 생성부는 상기 소오스 클럭 신호의 노이즈 주파수에 응답하여 대역폭이 조절되는 것을 특징으로 하는 신호 전달 시스템.

청구항 21

제20항에 있어서,

상기 송신부는,

상기 전원 전압의 노이즈 주파수를 검출하여 제1 노이즈 검출 신호를 생성하기 위한 전원 노이즈 검출부를 구비하며,

상기 소오스 클럭 생성부는 상기 제1 노이즈 검출 신호에 응답하여 대역폭이 조절되는 것을 특징으로 하는 신호 전달 시스템.

청구항 22

제20항에 있어서,

상기 수신부는,

상기 소오스 클럭 신호의 노이즈 주파수를 검출하여 제2 노이즈 검출 신호를 생성하기 위한 클럭 노이즈 검출부를 구비하며,

상기 내부 클럭 생성부는 상기 제2 노이즈 검출 신호에 응답하여 대역폭이 조절되는 것을 특징으로 하는 신호 전달 시스템.

청구항 23

소오스 클럭 신호의 생성 동작시 전원 전압의 노이즈 주파수를 검출하는 단계;

상기 소오스 클럭 신호의 수신 동작시 상기 소오스 클럭 신호의 노이즈 주파수를 검출하는 단계; 및

상기 소오스 클럭 신호에 응답하여 내부 클럭 신호를 생성하는 단계

를 포함하는 신호 전달 시스템의 동작 방법.

청구항 24

제23항에 있어서,

상기 내부 클럭 신호를 생성하는 단계를 수행하는 내부 클럭 생성 회로는 상기 소오스 클럭 신호의 노이즈 주파수를 검출하는 단계의 출력 신호에 응답하여 대역폭이 조절되는 것을 특징으로 하는 신호 전달 시스템의 동작 방법.

명세서

기술분야

[0001] 본 발명은 반도체 설계 기술에 관한 것으로, 보다 구체적으로는 클럭 신호를 생성하기 위한 클럭 생성 회로에 관한 것이다.

배경기술

[0002] 일반적으로 DDR SDRAM(Double Data Rate Synchronous DRAM)을 비롯한 반도체 장치의 경우 외부 클럭 신호를 입력받아 내부 클럭 신호를 생성하며, 이렇게 생성된 내부 클럭 신호는 반도체 장치 내에서 여러 가지 동작 타이밍을 맞추기 위한 기준으로 사용된다. 따라서, 반도체 장치 내부에는 내부 클럭 신호를 생성하기 위한 클럭 생성 회로가 구비되며, 반도체 장치 외부 역시 외부 클럭 신호를 생성하기 위한 클럭 생성 회로가 구비된다. 여기서, 내부 클럭 신호를 생성하는 내부 클럭 생성 회로에는 대표적으로 위상 고정 루프(Phase Locked Loop : PLL)와 지연 고정 루프(Delay Locked Loop : DLL)가 있다.

[0003] 도 1 은 기존의 위상 고정 루프를 설명하기 위한 블록도이다.

[0004] 도 1 을 참조하면, 위상 고정 루프는 위상/주파수 검출부(110)와, 제어 전압 생성부(120)와, 전압 제어 발진부(130), 및 클럭 분주부(140)를 구비한다.

[0005] 위상/주파수 검출부(110)는 외부 클럭 신호(CLK_EXT)와 피드백 클럭 신호(CLK_FDB)의 위상/주파수를 비교하여 업 검출 신호(DET_UP)와 다운 검출 신호(DET_DN)를 생성한다. 여기서, 업 검출 신호(DET_UP)와 다운 검출 신호(DN)는 외부 클럭 신호(CLK_EXT)와 피드백 클럭 신호(CLK_FDB)의 위상/주파수에 따라 해당 논리 레벨 값을 가진다.

[0006] 제어 전압 생성부(120)는 업 검출 신호(DET_UP)와 다운 검출 신호(DET_DN)에 응답하여 제어 전압(V_CTR)을 생성

하기 위한 것으로, 차지 펌핑부(121)와 루프 필터링부(122)를 구비한다. 이어서, 차지 펌핑부(121)는 업 검출 신호(DET_UP)와 다운 검출 신호(DET_DN)에 대응하는 구동 전류를 생성하며, 루프 필터링부(122)는 차지 펌핑부(121)에서 출력되는 구동 전류에 응답하여 제어 전압(V_CTRL)을 생성한다. 여기서, 제어 전압(V_CTRL)은 구동 전류에 대응하는 전압 레벨을 가진다.

[0007] 전압 제어 발진부(130)는 제어 전압(V_CTRL)에 응답하여 PLL 클럭 신호(CLK_PLL)를 생성하기 위한 것으로, 다수의 단위 지연 셀을 구비한다. 여기서, 다수의 단위 지연 셀은 제어 전압(V_CTRL)을 바이어스 전압으로 인가받아 제어 전압(V_CTRL)의 전압 레벨에 대응하는 단위 지연량이 설정되며, 이렇게 설정된 단위 지연량에 따라 내부 클럭 신호인 PLL 클럭 신호(CLK_PLL)의 주파수가 결정된다.

[0008] 클럭 분주부(140)는 PLL 클럭 신호(CLK_PLL)의 주파수를 분주하여 피드백 클럭 신호(CLK_FDB)를 생성하고, 위상/주파수 검출부(110)는 이 피드백 클럭 신호(CLK_FDB)를 입력받아 위에서 설명한 위상/주파수 비교 동작을 수행한다.

[0009] 한편, 요즈음 반도체 장치의 공정 및 설계 기술이 발달함에 따라 기준에 설계하는데 있어서 고려하지 않았던 부분이 새로운 문제점으로 제기되고 있다. 그중 하나가 외부로부터 입력되는 매우 작은 노이즈에 관한 것이다. 이러한 노이즈의 경우 입력 신호에 포함되어 함께 입력되며 특정 주파수(이하, '노이즈 주파수'라 칭함)를 가지는 것이 일반적인데, 만약 이 노이즈 주파수와 이 노이즈가 입력되는 회로의 대역폭이 서로 비슷할 경우 그 회로의 지터 성분이 커지게 된다.

[0010] 도 1 과 같은 구성의 위상 고정 루프 외부로부터 전원 전압과 클럭 신호 등을 입력받는데, 이때 위상 고정 루프로 입력되는 노이즈 주파수와 위상 고정 루프의 대역폭이 서로 비슷할 경우 위상 고정 루프의 지터 성분은 커지게 된다. 지터 성분이 커진다는 것은 위상 고정 루프가 원하는 동작을 수행하지 못함을 의미하며, 이는 곧 반도체 장치의 여러 동작을 책임지는 PLL 클럭 신호(CLK_PLL)가 제대로 생성되지 않음을 의미한다.

발명의 내용

해결하려는 과제

[0011] 본 발명의 실시예는 자신에게 입력되는 노이즈 주파수를 검출하고, 이를 이용하여 대역폭을 조절하는 클럭 생성 회로를 제공한다.

과제의 해결 수단

[0012] 본 발명의 실시예에 따른 클럭 생성 회로는, 입력 정보에 포함되는 노이즈를 검출하여 노이즈 검출 신호를 생성하기 위한 노이즈 검출부; 및 상기 노이즈 검출 신호에 응답하여 자신의 대역폭을 조절하며, 상기 입력 정보에 대응하는 내부 클럭 신호를 생성하기 위한 내부 클럭 생성부를 구비할 수 있다.

[0013] 바람직하게, 상기 입력 정보는 상기 내부 클럭 생성부에 입력되는 전원 전압 또는 상기 내부 클럭 생성부에 입력되는 클럭 신호를 포함하는 것을 특징으로 할 수 있다.

[0014] 본 발명의 다른 실시예에 따른 클럭 생성 회로는, 전원 전압을 입력받아 내부 클럭 신호를 생성하기 위한 내부 클럭 생성부; 및 상기 내부 클럭 생성부의 대역폭에 대응하는 기준 주파수를 기준으로 상기 전원 전압의 노이즈 주파수를 검출하여 노이즈 검출 신호를 생성하기 위한 전원 노이즈 검출부를 구비하되, 상기 내부 클럭 생성부는 상기 노이즈 검출 신호에 응답하여 자신의 대역폭을 조절하는 것을 특징으로 할 수 있다.

[0015] 바람직하게, 상기 전원 노이즈 검출부는, 상기 내부 클럭 생성부의 대역폭에 대응하는 제1 컷 오프 주파수를 설정하기 위한 제1 필터링부; 상기 내부 클럭 생성부의 대역폭에 대응하는 제2 컷 오프 주파수를 설정하기 위한 제2 필터링부; 상기 제1 및 제2 필터링부를 통해 출력되는 제1 및 제2 필터링 전원 전압을 인가받으며, 예정된 기준 클럭 신호에 상기 제1 및 제2 필터링 전원 전압에 대응하는 지연량을 각각 반영하여 출력하기 위한 제1 및 제2 가변 지연부; 및 상기 제1 및 제2 가변 지연부의 출력 신호의 위상을 비교하여 상기 노이즈 검출 신호를 생성하기 위한 검출 신호 생성부를 구비하는 것을 특징으로 할 수 있다.

[0016] 본 발명의 또 다른 실시예에 따른 클럭 생성 회로는, 외부 클럭 신호에 응답하여 내부 클럭 신호를 생성하기 위

한 내부 클럭 생성부; 및 상기 외부 클럭 신호의 노이즈 주파수와 상기 내부 클럭 생성부의 대역폭에 대응하는 지연량이 반영된 상기 내부 클럭 신호의 위상을 검출하여 노이즈 검출 신호를 생성하기 위한 클럭 노이즈 검출부를 구비하되, 상기 내부 클럭 생성부는 상기 노이즈 검출 신호에 응답하여 자신의 대역폭을 조절하는 것을 특징으로 할 수 있다.

[0017] 바람직하게, 상기 클럭 노이즈 검출부는, 상기 내부 클럭 신호에 예정된 지연량을 반영하기 위한 제1 지연부; 상기 외부 클럭 신호에 예정된 지연량을 반영하기 위한 제2 지연부; 상기 제1 지연부의 출력 신호와 상기 외부 클럭 신호의 위상을 비교하기 위한 제1 위상 비교부; 상기 제2 지연부의 출력 신호와 상기 내부 클럭 신호의 위상을 비교하기 위한 제2 위상 비교부; 및 상기 제1 및 제2 위상 비교부의 출력 신호에 응답하여 상기 노이즈 검출 신호를 생성하기 위한 검출 신호 생성부를 구비하는 것을 특징으로 할 수 있다.

[0018] 본 발명의 또 다른 실시예에 따른 신호 전달 시스템은, 소오스 클럭 신호를 생성하는 소오스 클럭 생성부를 포함하는 송신부; 및 상기 소오스 클럭 신호를 입력받아 내부 클럭 신호를 생성하는 내부 클럭 생성부를 포함하는 수신부를 구비하되, 상기 소오스 클럭 생성부는 상기 소오스 클럭 생성부에 입력되는 전원 전압의 노이즈 주파수에 응답하여 대역폭이 조절되고, 상기 내부 클럭 생성부는 상기 소오스 클럭 신호의 노이즈 주파수에 응답하여 대역폭이 조절되는 것을 특징으로 할 수 있다.

[0019] 바람직하게, 상기 송신부는, 상기 전원 전압의 노이즈 주파수를 검출하여 제1 노이즈 검출 신호를 생성하기 위한 전원 노이즈 검출부를 구비하며, 상기 소오스 클럭 생성부는 상기 제1 노이즈 검출 신호에 응답하여 대역폭이 조절되는 것을 특징으로 하며, 상기 수신부는, 상기 소오스 클럭 신호의 노이즈 주파수를 검출하여 제2 노이즈 검출 신호를 생성하기 위한 클럭 노이즈 검출부를 구비하며, 상기 내부 클럭 생성부는 상기 제2 노이즈 검출 신호에 응답하여 대역폭이 조절되는 것을 특징으로 할 수 있다.

[0020] 본 발명의 또 다른 실시예에 따른 신호 전달 시스템의 동작 방법은, 소오스 클럭 신호의 생성 동작시 전원 전압의 노이즈 주파수를 검출하는 단계; 상기 소오스 클럭 신호의 수신 동작시 상기 소오스 클럭 신호의 노이즈 주파수를 검출하는 단계; 및 상기 소오스 클럭 신호에 응답하여 내부 클럭 신호를 생성하는 단계를 포함할 수 있다.

[0021] 바람직하게, 상기 내부 클럭 신호를 생성하는 단계를 수행하는 내부 클럭 생성 회로는 상기 소오스 클럭 신호의 노이즈 주파수를 검출하는 단계의 출력 신호에 응답하여 대역폭이 조절되는 것을 특징으로 할 수 있다.

[0022] 본 발명의 실시예에 따른 클럭 생성 회로는 자신에게 입력되는 노이즈 주파수를 검출하고, 이를 이용하여 대역폭이 조절하는 것이 가능하다.

[0023] 또한, 이를 이용한 신호 전달 시스템은 송신 회로에서 1차적으로 지터를 제거하여 클럭 신호를 생성하고, 수신 회로에서 이를 입력받아 2차적으로 지터를 제거하여 내부 클럭 신호를 생성하는 것이 가능하다.

발명의 효과

[0024] 클럭 신호를 생성하는데 있어서 지터를 제거해줌으로써, 보다 안정적인 회로 동작을 보장해 줄 수 있는 효과를 얻을 수 있다.

도면의 간단한 설명

[0025] 도 1 은 기존의 위상 고정 루프를 설명하기 위한 블록도이다.

도 2 는 본 발명의 실시예에 따른 클럭 생성 회로를 설명하기 위한 블록도이다.

도 3 은 도 2 의 노이즈 검출부(210)의 실시예를 설명하기 위한 블록도이다.

도 4 는 도 3 의 각 신호들의 파형을 설명하기 위한 신호 파형도이다.

도 5 은 도 2 의 노이즈 검출부(210)의 다른 실시예를 설명하기 위한 블록도이다.

도 6 은 본 발명을 위상 고정 루프에 적용한 내부 클럭 생성 회로의 실시예를 설명하기 위한 블록도이다.

도 7 은 도 6 의 전원 노이즈 검출부(610)를 설명하기 위한 블록도이다.

도 8 은 도 6 의 위상 고정 루프(620)를 설명하기 위한 블록도이다.

도 9 는 도 8 의 차지 펌핑부(831)를 설명하기 위한 회로도이다.

도 10 은 도 8 의 루프 필터링부(832)를 설명하기 위한 회로도이다.

도 11 은 도 8 의 전압 제어 발진부(840)를 설명하기 위한 회로도이다.

도 12 는 본 발명을 위상 고정 루프에 적용한 내부 클럭 생성 회로의 다른 실시예를 설명하기 위한 블록도이다.

도 13 은 도 12 의 클럭 노이즈 검출부(1210)를 설명하기 위한 블록도이다.

도 14 및 도 15 는 도 13 의 클럭 노이즈 검출부(1210)의 동작을 설명하기 위한 동작 파형도이다.

도 16 은 본 발명의 실시예에 따른 신호 전달 시스템을 설명하기 위한 블록도이다.

발명을 실시하기 위한 구체적인 내용

[0026] 이하, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부 도면을 참조하여 설명하기로 한다.

[0027] 도 2 는 본 발명의 실시예에 따른 클럭 생성 회로를 설명하기 위한 블록도이다.

[0028] 도 2 를 참조하면, 클럭 생성 회로는 노이즈 검출부(210), 및 클럭 생성부(220)를 구비한다.

[0029] 노이즈 검출부(210)는 클럭 생성부(220)에 입력되는 입력 정보(INF_IN)에 포함되는 노이즈를 검출하여 노이즈 검출 신호(DET_NIS)를 생성한다. 여기서, 입력 정보(INF_IN)는 클럭 생성부(220)에 입력되는 다양한 신호들을 의미하며, 이후 설명될 실시예에서는 입력 정보(INF_IN)로 클럭 생성부(220)에 입력되는 전원 전압을 사용하는 경우와 클럭 생성부(220)에 입력되는 클럭 신호를 사용하는 경우를 일례한다.

[0030] 이어서, 클럭 생성부(220)는 노이즈 검출 신호(DET_NIS)에 응답하여 대역폭을 조절하며, 입력 정보(INF_IN)에 대응하는 클럭 신호(CLK)를 생성한다.

[0031] 본 발명의 실시예에 따른 클럭 생성 회로는 입력 정보(INF_IN)에 포함되어 클럭 생성부(220)로 입력되는 노이즈를 검출하고, 이 노이즈 검출 신호(DET_NIS)를 이용하여 클럭 생성부(220)의 대역폭을 조절하는 것이 가능하다. 즉, 클럭 생성부(220)에 입력되는 노이즈에 따라 클럭 생성부(220)의 대역폭을 기존에 설정된 대역폭에서 다른 대역폭으로 재설정하는 것이 가능하다.

[0032] 도 3 은 도 2 의 노이즈 검출부(210)의 실시예를 설명하기 위한 블록도로써, 노이즈 검출부(210)로 입력되는 입력 정보(INF_IN)로 클럭 생성부(220)에 입력되는 전원 전압을 사용한 경우이다. 이하, 클럭 생성부(220)로 입력되는 전원 전압을 'V_IN' 으로 도시하기로 한다.

[0033] 도 3 을 참조하면, 노이즈 검출부(210)는 고정 지연부(310)와, 필터링부(320)와, 가변 지연부(330), 및 위상 비교부(340)를 구비한다.

[0034] 고정 지연부(310)는 기준 클럭 신호(CLK_REF)에 예정된 지연량을 반영하여 제1 지연 클럭 신호(D1)로 출력한다. 이후 설명하겠지만, 고정 지연부(310)에서 반영되는 지연량은 노이즈 검출 마진에 대응한다. 이어서, 필터링부(320)는 클럭 생성부(220)에 입력되는 전원 전압(V_IN)을 필터링하여 가변 지연부(330)에 인가한다. 여기서, 필터링부(320)는 제어 신호(CTR_CO)에 따라 컷 오프 주파수를 설정하는 것이 가능하며, 이렇게 설정된 컷 오프 주파수에 따라 필터링 동작을 수행한다. 가변 지연부(330)는 필터링부(320)를 통해 출력되는 필터링된 전원 전압을 인가받으며, 기준 클럭 신호(CLK_REF)에 이 필터링된 전원 전압에 대응하는 지연량을 반영하여 제2 지연 클럭 신호(D2)로 출력한다. 위상 비교부(340)는 제1 지연 클럭 신호(D1)와 제2 지연 클럭 신호(D2)의 위상을 비교하여 노이즈 검출 신호(DET_NIS)를 생성한다.

[0035] 본 발명의 실시예에 따른 노이즈 검출부(210)는 제어 신호(CTR_CO)에 응답하여 컷 오프 주파수가 결정되고, 이렇게 결정된 컷 오프 주파수를 기준으로 전원 전압(V_IN)의 노이즈 주파수를 검출하는 것이 가능하다.

[0036] 도 4 는 도 3 의 각 신호들의 파형을 설명하기 위한 신호 파형도이다.

[0037] 도 4 에는 기준 클럭 신호(CLK_REF)와 고정 지연부(310)의 제1 지연 클럭 신호(D1), 및 가변 지연부(330)의 제2 지연 클럭 신호(D2)가 도시되어 있다. 여기서, 제1 지연 클럭 신호(D1)는 위상 비교부(340)의 비교 동작시 기준

이 되는 신호이고, 제2 지연 클럭 신호(D2)는 위에서 설명한 바와 같이 필터링된 전원 전압에 대응하는 지연량이 반영된 신호이다.

[0038] 우선, 제2 지연 클럭 신호(D2)는 전원 전압(V_{IN})에 포함되는 노이즈 주파수에 따라 (A) 상태와 (B) 상태로 나눌 수 있다.

[0039] (A) 상태는 전원 전압(V_{IN})의 노이즈가 필터링부(330)에서 많이 필터링된 경우이다. 이 경우 가변 지연부(330)가 기준 클럭 신호(CLK_REF)에 반영하는 지연량 중 전원 전압(V_{IN})의 노이즈에 의한 지연량은 거의 반영되지 않는다. 따라서, (A) 상태의 경우 즉, 제2 지연 클럭 신호(D2)가 노이즈 검출 마진(tD1) 보다 크지 않은 경우 위상 비교부(350)는 제1 지연 클럭 신호(D1)와 제2 지연 클럭 신호(D2)의 위상을 비교하여 해당하는 노이즈 검출 신호(DET_NIS)를 생성하는 것이 가능하다. 여기서, 노이즈 검출 마진(tD1)은 전원 전압(V_{IN})의 노이즈를 검출하는데 있어서 민감하게 또는 둔감하게 검출하는 기준이 된다.

[0040] 다음으로, (B) 상태는 전원 전압(V_{IN})의 노이즈가 필터링부(330)에서 거의 필터링되지 않은 경우이다. 이 경우 가변 지연부(330)가 기준 클럭 신호(CLK_REF)에 반영하는 지연량 중 전원 전압(V_{IN})의 노이즈에 의한 지연량은 거의 모두 반영된다. 따라서, (B) 상태의 경우 즉, 제2 지연 클럭 신호(D2)가 노이즈 검출 마진(tD1) 보다 큰 경우 위상 비교부(350)는 제1 지연 클럭 신호(D1)와 제2 지연 클럭 신호(D2)의 위상을 비교하여 해당하는 노이즈 검출 신호(DET_NIS)를 생성하는 것이 가능하다.

[0041] 결국, 본 발명의 실시예에서는 노이즈 검출 마진(tD1)이 반영된 제1 지연 클럭 신호(D1)와 전원 전압(V_{IN})의 노이즈가 반영된 제2 지연 클럭 신호(D2)를 생성하고, 제1 지연 클럭 신호(D1)와 제2 지연 클럭 신호(D2)의 위상을 비교하여 노이즈 검출 신호(DET_NIS)를 생성함으로써, 전원 전압(V_{IN})의 노이즈 주파수를 검출하는 것이 가능하다.

[0042] 도 5 은 도 2 의 노이즈 검출부(210)의 다른 실시예를 설명하기 위한 블록도로써, 노이즈 검출부(210)로 입력되는 입력 정보(INF_IN)로 클럭 생성부(220)에 입력되는 클럭 신호를 사용하는 경우이다. 이하, 클럭 생성부(220)로 입력되는 클럭 신호를 'CLK_IN' 으로 도시하기로 한다.

[0043] 도 5 를 참조하면, 노이즈 검출부(210)는 기준 클럭 생성부(510)와, 제1 지연부(520)와, 제2 지연부(530), 및 위상 비교부(540)를 구비한다.

[0044] 기준 클럭 생성부(510)는 예정된 기준 클럭 신호(CLK_REF)를 생성한다. 그리고, 제1 지연부(520)는 이 기준 클럭 신호(CLK_REF)에 예정된 지연량을 반영하여 제1 지연 클럭 신호(D1)로 출력하고, 제2 지연부(530)는 클럭 신호(CLK_IN)에 예정된 지연량을 반영하여 제2 지연 클럭 신호(D2)로 출력한다. 마지막으로, 위상 비교부(540)는 제1 지연 클럭 신호(D1)와 제2 지연 클럭 신호(D2)의 위상을 비교하여 노이즈 검출 신호(DET_NIS)를 생성한다.

[0045] 다시 도 4 를 참조하면, 다른 실시예의 경우 클럭 신호(CLK_IN)에 포함되는 노이즈에 따라 도 4 의 (A) 상태와 (B) 상태로 나눌 수 있다. 다시 말하면, 클럭 신호(CLK_IN)에 노이즈가 심하지 않은 경우 (A) 상태가 되고, 클럭 신호(CLK_IN)에 노이즈가 심한 경우 (B) 상태가 된다. 결국, 본 발명의 실시예에서는 클럭 신호(CLK_IN)의 노이즈를 검출하는 것이 가능하다.

[0046] 도 6 은 본 발명을 위상 고정 루프에 적용한 클럭 생성 회로의 실시예를 설명하기 위한 블록도이다.

[0047] 도 6 을 참조하면, 클럭 생성 회로는 전원 노이즈 검출부(610)와, 클럭 생성부인 위상 고정 루프(620)를 구비한다.

[0048] 전원 노이즈 검출부(610)는 위상 고정 루프(620)의 대역폭에 대응하는 기준 주파수를 기준으로 위상 고정 루프(620)에 입력되는 전원 전압(VDD)의 노이즈 주파수를 검출하기 위한 것으로, 위상 고정 루프(620)의 대역폭에 대응하는 제어 신호(CTR_COM)에 응답하여 노이즈 검출 신호(DET_NIS)를 출력한다. 그리고, 위상 고정 루프(620)는 전원 전압(VDD)을 입력받아 PLL 클럭 신호(CLK_PLL)를 생성하며 노이즈 검출 신호(DET_NIS)에 응답하여 자신의 대역폭이 조절된다.

[0049] 이하, 간단한 회로 동작을 살펴보기로 한다.

[0050] 우선, 전원 노이즈 검출부(610)는 위상 고정 루프(620)의 대역폭에 대응하는 기준 주파수를 설정하고, 이렇게 설정된 기준 주파수를 기준으로 전원 전압(VDD)의 노이즈 주파수를 검출하여 노이즈 검출 신호(DET_NIS)를 출력한다. 여기서, 노이즈 검출 신호(DET_NIS)는 전원 전압(VDD)의 노이즈 주파수가 기준 주파수 근처에 위치하는 경우 예컨대, 논리'하이' 또는 논리'로우'의 논리 레벨 값을 가질 수 있다. 이어서, 위상 고정 루프(620)는 이

렇게 생성된 노이즈 검출 신호(DET_NIS)에 응답하여 위상 고정 루프(620)를 구성하는 회로 특성을 가변함으로써 자신의 대역폭을 조절한다.

[0051] 따라서, 본 발명의 실시예에 따른 클럭 생성 회로는 전원 전압(VDD)의 노이즈 주파수에 따라 위상 고정 루프(620)의 대역폭을 조절하는 것이 가능하며, 이는 곧 전원 전압(VDD)의 노이즈 주파수와 위상 고정 루프(620)의 대역폭이 서로 다를 수 있도록 제어하는 것이 가능하다는 것을 의미한다.

[0052] 한편, 본 발명의 실시예에 따른 노이즈 검출부(610)는 예정된 범위 내에서 전원 전압(VDD)의 노이즈 주파수를 검출하는 것이 가능하며, 이에 대한 설명은 도 7 을 통해 알아보기로 한다.

[0053] 도 7 은 도 6 의 전원 노이즈 검출부(610)를 설명하기 위한 블록도이다.

[0054] 도 7 을 참조하면, 전원 노이즈 검출부(610)는 제1 및 제2 필터링부(710, 720)와, 제1 및 제2 가변 지연부(730, 740), 및 검출 신호 생성부(750)를 구비한다.

[0055] 제1 및 제2 필터링부(710, 720)는 위상 고정 루프(620)의 대역폭에 대응하는 제1 및 제2 컷 오프 주파수를 설정하기 위한 것으로, 위상 고정 루프(620)에 인가되는 전원 전압(VDD)을 인가받는 필터 회로로 구성될 수 있다. 필터 회로 각각은 저항(R)과 커패시터(C)로 구성될 수 있으며, 여기서 저항(R)과 커패시터(C) 각각은 설정하려는 제1 및 제2 컷 오프 주파수에 따라 고유 특성 값인 저항 값과 커패시턴스 값이 조절될 수 있다. 도 7 에서는 제1 컷 오프 제어 신호(CTR_CO1)와 제2 컷 오프 제어 신호(CTR_CO2)에 응답하여 커패시터(C)의 커패시턴스 값이 조절되는 것을 일례로 하였다.

[0056] 제1 및 제2 가변 지연부(730, 740)는 제1 및 제2 필터링부(710, 720) 각각을 통해 출력되는 제1 및 제2 필터링 전원 전압(V1, V2)을 인가받으며, 기준 클럭 신호(CLK_REF)에 제1 및 제2 필터링 전원 전압(V1, V2)에 대응하는 지연량을 각각 반영하여 제1 및 제2 출력 클럭 신호(CLK_D1, CLK_D2)를 생성한다.

[0057] 검출 신호 생성부(750)는 제1 및 제2 출력 클럭 신호(CLK_D1, CLK_D2)의 위상을 비교하여 노이즈 검출 신호(DET_NIS)를 생성하기 위한 것으로, 제1 및 제2 지연부(751, 752)와, 제1 및 제2 위상 비교부(753, 754), 및 검출 신호 출력부(755)를 구비한다. 여기서, 제1 지연부(751)는 제1 출력 클럭 신호(CLK_D1)에 예정된 지연량을 반영하여 제1 지연 클럭 신호(CLK_DD1)를 생성하고, 제2 지연부(752)는 제2 출력 클럭 신호(CLK_D2)에 예정된 지연량을 반영하여 제2 지연 클럭 신호(CLK_DD2)를 생성한다. 여기서, 제1 지연부(751)와 제2 지연부(752)는 각각에 입력되는 클럭 신호에 서로 동일한 지연량을 반영하도록 설계될 수 있다.

[0058] 이어서, 제1 위상 비교부(753)는 제1 지연 클럭 신호(CLK_DD1)와 제2 출력 클럭 신호(CLK_D2)의 위상을 비교하고, 제2 위상 비교부(754)는 제2 지연 클럭 신호(CLK_DD2)와 제1 출력 클럭 신호(CLK_D1)의 위상을 비교한다. 마지막으로, 검출 신호 출력부(755)는 제1 및 제2 위상 비교부(753, 754)의 출력 신호에 응답하여 노이즈 검출 신호(DET_NIS)를 출력한다.

[0059] 이하, 전원 노이즈 검출부(610)의 간단한 동작 설명을 하기로 한다. 설명의 편의를 위하여 제1 필터링부(310)의 제1 컷 오프 주파수는 5 MHz 로 설정되고, 제2 필터링부(320)의 제2 컷 오프 주파수는 25 MHz 로 설정되었다고 가정하기로 한다. 여기서, 5 MHz 와 25 MHz 의 컷 오프 주파수는 위상 고정 루프(620)의 대역폭에 대응한다.

[0060] 우선, 전원 전압(VDD)의 노이즈 주파수가 25 MHz 보다 매우 높은 경우를 살펴보기로 한다.

[0061] 전원 전압(VDD)은 제1 및 제2 필터링부(710, 720)를 거쳐 출력된다. 이때, 전원 전압(VDD)의 노이즈는 제1 및 제2 필터링부(710, 720)에 의하여 거의 대부분 필터링된다. 따라서, 제1 및 제2 가변 지연부(730, 740) 각각이 기준 클럭 신호(CLK_REF)에 반영하는 지연량 중 전원 전압(VDD)의 노이즈에 의한 지연량은 거의 반영되지 않는다. 즉, 제1 및 제2 가변 지연부(730, 740)에서 출력되는 제1 및 제2 출력 클럭 신호(CLK_D1, CLK_D2)는 거의 동일한 위상을 가지게 된다. 이어서, 제1 및 제2 출력 클럭 신호(CLK_D1, CLK_D2) 각각은 제1 및 제2 지연부(751, 752)에서 예정된 지연만큼 지연되고, 제1 및 제2 위상 비교부(753, 754)는 제1 및 제2 출력 클럭 신호(CLK_D1, CLK_D2)와 제1 및 제2 지연 클럭 신호(CLK_DD1, CLK_DD2)의 위상을 비교한다. 그리고, 검출 신호 출력부(755)는 제1 및 제2 위상 비교부(753)의 출력 신호에 대응하는 노이즈 검출 신호(DET_NIS)를 생성한다.

[0062] 결국, 전원 전압(VDD)의 노이즈 주파수가 25 MHz 보다 매우 높은 경우 제1 및 제2 출력 클럭 신호(CLK_D1, CLK_D2)는 거의 동일한 위상을 가지게 되고, 이에 대한 정보가 노이즈 검출 신호(DET_NIS)를 통해 출력된다. 따라서, 위상 고정 루프(620)는 이 노이즈 검출 신호(DET_NIS)를 이용하여 현재 전원 전압(VDD)의 노이즈 주파수와 현재 위상 고정 루프(620)의 대역폭이 서로 다르다는 것을 알 수 있다.

- [0063] 다음으로, 전원 전압(VDD)의 노이즈 주파수가 5 MHz 보다 매우 낮은 경우를 살펴보기로 한다.
- [0064] 이 경우 전원 전압(VDD)의 노이즈는 제1 필터링부(310)에서 필터링되지 않으며, 마찬가지로 제2 필터링부(320)에서도 필터링되지 않는다. 따라서, 제1 및 제2 가변 지연부(730, 740) 각각이 기준 클럭 신호(CLK_REF)에 반영하는 지연량 중 전원 전압(VDD)의 노이즈에 의한 지연량은 거의 동일하다. 즉, 제1 및 제2 가변 지연부(730, 740)에서 출력되는 제1 및 제2 출력 클럭 신호(CLK_D1, CLK_D2)는 전원 전압(VDD)의 노이즈에 의한 지연량이 동일하게 반영되어 서로 거의 동일한 위상을 가지게 된다.
- [0065] 결국, 전원 전압(VDD)의 노이즈 주파수가 5 MHz 보다 매우 낮은 경우 제1 및 제2 출력 클럭 신호(CLK_D1, CLK_D2)는 거의 동일한 위상을 가지게 되고, 이에 대한 정보가 노이즈 검출 신호(DET_NIS)를 통해 출력된다. 따라서, 위상 고정 루프(620)는 이 노이즈 검출 신호(DET_NIS)를 이용하여 현재 전원 전압(VDD)의 노이즈 주파수와 현재 위상 고정 루프(620)의 대역폭이 서로 다르다는 것을 알 수 있다.
- [0066] 마지막으로, 전원 전압(VDD)의 노이즈 주파수가 5 MHz 와 25 MHz 근처에 위치하는 경우를 살펴보기로 한다.
- [0067] 이 경우 전원 전압(VDD)의 노이즈는 제1 필터링부(310)와 제2 필터링부(320)에서 필터링되며 그 필터링 정도가 서로 다르게 이루어진다. 따라서, 제1 및 제2 가변 지연부(730, 740) 각각이 기준 클럭 신호(CLK_REF)에 반영하는 지연량 중 전원 전압(VDD)의 노이즈에 의한 지연량은 서로 다르게 되고, 제1 가변 지연부(730)에서 출력되는 제1 출력 클럭 신호(CLK_D1)와 제2 가변 지연부(740)에서 출력되는 제2 출력 클럭 신호(CLK_D2)는 전원 전압(VDD)의 노이즈에 대응하는 만큼 서로 다른 위상을 가지게 된다. 이어서, 제1 및 제2 출력 클럭 신호(CLK_D1, CLK_D2) 각각은 제1 및 제2 지연부(751, 752)에서 예정된 지연량만큼 반영되고, 제1 및 제2 위상 비교부(753, 754)는 제1 및 제2 출력 클럭 신호(CLK_D1, CLK_D2)와 제1 및 제2 지연 클럭 신호(CLK_DD1, CLK_DD2)의 위상을 비교한다. 그리고, 검출 신호 출력부(755)는 이 출력 신호에 대응하는 노이즈 검출 신호(DET_NIS)를 생성한다.
- [0068] 결국, 전원 전압(VDD)의 노이즈 주파수가 5 MHz 와 25 MHz 근처에 위치하는 경우 제1 출력 클럭 신호(CLK_D1)와 제2 출력 클럭 신호(CLK_D2)는 서로 다른 위상을 가지게 되고, 이에 대응한 정보가 노이즈 검출 신호(DET_NIS)를 통해 출력된다. 따라서, 위상 고정 루프(620)는 이 노이즈 검출 신호(DET_NIS)를 이용하여 현재 전원 전압(VDD)의 노이즈 주파수와 현재 위상 고정 루프(620)의 대역폭이 서로 유사하다는 것을 알 수 있다.
- [0069] 한편, 위와 같은 3 가지 경우를 통해 알 수 있듯이, 노이즈 검출 신호(DET_NIS)는 전원 전압(VDD)의 노이즈 주파수에 대한 정보를 가진다. 본 발명의 실시예에서는 이 노이즈 정보를 위상 고정 루프(620)로 전달하고, 위상 고정 루프(620)는 이 노이즈 정보를 이용하여 대역폭을 조절하는 것이 가능하다.
- [0070] 도 8 은 도 6 의 위상 고정 루프(620)를 설명하기 위한 블록도이다.
- [0071] 도 8 을 참조하면, 위상 고정 루프(620)는 제1 클럭 분주부(810)와, 위상/주파수 검출부(820)와, 제어 전압 생성부(830)와, 전압 제어 발진부(840), 및 제2 클럭 분주부(850)를 구비한다. 참고로, 본 발명의 실시예에 따른 도 8 의 구성은 도 1 의 구성과 비교하여 제1 클럭 분주부(810)가 추가되었다.
- [0072] 본 발명의 실시예에 따른 위상 고정 루프(620)는 차지 펌핑부(831)와, 루프 필터링부(832)와, 전압 제어 발진부(840), 및 제1 및 제2 클럭 분주부(810, 850) 중 어느 하나를 노이즈 검출 신호(DET_NIS)에 응답하여 제어하는 것이 가능하다. 도 8 에는 차지 펌핑부(831)의 제어 동작을 ① 로 도시하였고, 루프 필터링부(832)의 제어 동작을 ② 로 도시하였고, 전압 제어 발진부(840)의 제어 동작을 ③ 으로 도시하였으며, 제1 및 제2 클럭 분주부(810, 850)의 제어 동작을 ④ 로 도시하였다. 즉, 본 발명의 실시예에 따른 위상 고정 루프(620)는 ①, ②, ③, ④ 중 적어도 하나의 구성이 노이즈 검출 신호(DET_NIS)에 응답하여 제어되며, 이러한 제어 동작을 통해 위상 고정 루프(620)의 대역폭이 조절된다.
- [0073] 이하, 각 회로의 제어 동작에 대한 설명에 앞서 노이즈 검출 신호(DET_NIS)에 대하여 다시 살펴보기로 한다.
- [0074] 위의 설명에서는 노이즈 검출 신호(DET_NIS)가 논리'하이' 또는 논리'로우'인 경우를 일례로 하였지만, 노이즈 검출 신호(DET_NIS)는 전원 전압(VDD)의 노이즈 정도나 이외 다른 환경 요소들을 반영하여 여러 가지 다양하게 변형이 가능하다. 일례로 노이즈 검출 신호(DET_NIS)는 카운터 회로등을 이용하여 코드 신호로 변형이 가능하며, 이하, 설명될 도 9 내지 도 11 에서는 노이즈 검출 신호(DET_NIS)를 코드 신호로 변형하고 이 코드 신호에 의하여 회로 동작이 제어되는 것을 일례로 한다.
- [0075] 도 9 는 도 8 의 차지 펌핑부(831)를 설명하기 위한 회로도이다.
- [0076] 도 9 를 참조하면, 차지 펌핑부(831)는 업 검출 신호(DET_UP)와 다운 검출 신호(DET_DN)에 응답하여 차지 펌핑

동작을 수행하기 위한 것으로, 제1 및 제2 구동 전류 제어부(IS1, IS2)와, 제1 및 제2 스위칭부(SW1, SW2)를 구비한다. 참고로, 업 검출 신호(DET_UP)와 다운 검출 신호(DET_DN)는 외부 클럭 신호(CLK_EXT)를 분주한 분주 클럭 신호(CLK_DIV)와 PLL 클럭 신호(CLK_PLL)를 분주한 피드백 클럭 신호(CLK_FDB)의 위상 차이에 따라 생성되는 검출 신호이다.

[0077] 본 발명의 실시예에 따른 차지 펌핑부(831)의 제1 및 제2 구동 전류 제어부(IS1, IS2)는 노이즈 검출 신호($DET_NIS<0:n>$, $DET_NIS<0:m>$, 여기서, n, m 은 자연수)에 응답하여 제1 및 제2 구동 전류 제어부(IS1, IS2)를 구성하는 소자의 고유 특성 값이 조절되며, 이를 통해 위상 고정 루프(620)의 대역폭을 조절하는 것이 가능하다. 도 9의 실시예에서는 제1 구동 전류 제어부(IS1)를 ' $DET_NIS<0:n>$ ' 노이즈 검출 신호를 통해 제어하고, 제2 구동 전류 제어부(IS2)를 ' $DET_NIS<0:m>$ ' 노이즈 검출 신호를 통해 제어하도록 구성하였지만, 위상 고정 루프(620)의 대역폭을 조절하기 위해서는 실시예와 다른 설계 변경도 가능할 것이다.

[0078] 도 10은 도 8의 루프 필터링부(832)를 설명하기 위한 회로도이다.

[0079] 도 10을 참조하면, 루프 필터링부(832)는 차지 펌핑부(831)의 출력 신호에 대한 충/방전 동작을 통해 제어 전압(V_CTR)을 생성하기 위한 것으로, 저항(R)과, 제1 및 제2 커패시터($C1, C2$), 및 커패시턴스 제어부(1010)를 구비한다.

[0080] 본 발명의 실시예에 따른 루프 필터링부(832)의 커패시턴스 제어부(1010)는 노이즈 검출 신호($DET_NIS<0:n>$)에 응답하여 제1 커패시터($C1$)의 고유 특성 값인 커패시턴스 값이 조절되며, 이를 통해 위상 고정 루프(620)의 대역폭을 조절하는 것이 가능하다. 도 10의 실시예에서는 제1 커패시터($C1$)의 커패시턴스를 조절하도록 구성하였지만, 위상 고정 루프(620)의 대역폭을 조절하기 위한 구성이라면 예컨대, 저항(R) 또는 제2 커패시터($C2$)의 고유 특성 값을 조절하는 설계도 가능할 수 있다.

[0081] 도 11은 도 8의 전압 제어 발진부(840)를 설명하기 위한 회로도이다. 참고로, 전압 제어 발진부(840)는 도 11과 같은 단위 지연 셀(1110)을 다수 구비하고 있으며, 도 11에는 다수의 단위 지연 셀 중 하나를 대표로 도시하였다.

[0082] 도 11을 참조하면, 전압 제어 발진부(840)는 제어 전압(V_CTR)에 응답하여 발진 동작을 수행하기 위한 것으로, 구동 전류 제어부(IS)와 단위 지연셀(1110), 및 바이어싱부(NM)를 구비한다.

[0083] 본 발명의 실시예에 따른 전압 제어 발진부(840)의 구동 전류 제어부(IS)는 노이즈 검출 신호($DET_NIS<0:n>$)에 응답하여 구동 전류 제어부(IS)를 구성하는 소자의 고유 특성 값이 조절되며, 이를 통해 위상 고정 루프(620)의 대역폭을 조절하는 것이 가능하다. 도 11의 실시예 역시 위상 고정 루프(620)의 대역폭을 조절하기 위한 구성이라면 실시예와 다른 설계 변경도 가능할 것이다.

[0084] 한편, 다시 도 8를 참조하면, 제1 클럭 분주부(810)는 외부 클럭 신호(CLK_EXT)를 분주하여 분주 클럭 신호(CLK_DIV)를 생성하고, 제2 클럭 분주부(850)는 PLL 클럭 신호(CLK_PLL)를 분주하여 피드백 클럭 신호(CLK_FDB)를 생성한다.

[0085] 본 발명의 실시예에 따른 제1 클럭 분주부(810)와, 제2 클럭 분주부(850)는 노이즈 검출 신호($DET_NIS<0:n>$)에 응답하여 분주율을 조절하며, 제1 및 제2 클럭 분주부(810, 850)는 이렇게 제어되는 분주율을 이용하여 분주 동작을 수행한다. 제1 및 제2 클럭 분주부(810, 850) 역시 위상 고정 루프(620)의 대역폭을 조절하기 위한 구성이라면 실시예와 다른 설계 변경도 가능하며, 예컨대 제1 및 제2 클럭 분주(810, 850)를 구성하는 소자의 고유 특성 값을 노이즈 검출 신호($DET_NIS<0:n>$)에 따라 가변하여 위상 고정 루프(620)의 대역폭을 조절하는 것도 가능하다.

[0086] 도 12는 본 발명을 위상 고정 루프에 적용한 내부 클럭 생성 회로의 다른 실시예를 설명하기 위한 블록도이다.

[0087] 도 12를 참조하면, 내부 클럭 생성 회로는 클럭 노이즈 검출부(1210)와, 클럭 신호 생성부인 위상 고정 루프(1220)를 구비한다.

[0088] 클럭 노이즈 검출부(1210)는 외부 클럭 신호(CLK_EXT)와 PLL 클럭 신호(CLK_PLL)의 위상을 비교하여 노이즈 검출 신호(DET_NIS)를 생성한다. 여기서, PLL 클럭 신호(CLK_PLL)는 외부 클럭 신호(CLK_EXT)의 노이즈 주파수와 위상 고정 루프(1220)의 대역폭에 따라 지연량이 반영된다. 다시 말하면, PLL 클럭 신호(CLK_PLL)는 외부 클럭 신호(CLK_EXT)의 노이즈 주파수와 위상 고정 루프(1220)의 대역폭이 서로 유사한 경우 그에 대응하는 지연량이 반영된다. 클럭 노이즈 검출부(1210)는 이를 검출하여 노이즈 검출 신호(DET_NIS)를 생성하고, 위상 고정 루프

(1220)는 이렇게 생성된 노이즈 검출 신호(DET_NIS)에 응답하여 자신의 대역폭을 조절한다.

[0089] 본 발명의 실시예에 따른 클럭 생성 회로는 외부 클럭 신호(CLK_EXT)의 노이즈 주파수에 따라 위상 고정 루프(1220)의 대역폭을 조절하는 것이 가능하며, 이는 곧 외부 클럭 신호(CLK_EXT)의 노이즈 주파수와 위상 고정 루프(1220)의 대역폭이 서로 다를 수 있도록 제어하는 것이 가능하다는 것을 의미한다.

[0090] 도 13 은 도 12 의 클럭 노이즈 검출부(1210)를 설명하기 위한 블록도이다.

[0091] 도 13 을 참조하면, 클럭 노이즈 검출부(1210)는 제1 및 제2 지연부(1310, 1320)와, 제1 및 제2 위상 비교부(1330, 1340), 및 검출 신호 생성부(1350)를 구비한다.

[0092] 제1 지연부(1310)는 PLL 클럭 신호(CLK_PLL)에 예정된 지연량을 반영하여 제1 지연 신호(A)로 출력하고, 제2 지연부(1320)는 외부 클럭 신호(CLK_EXT)에 예정된 지연량을 반영하여 제2 지연 신호(B)로 출력한다. 이어서, 제1 위상 비교부(1330)는 제1 지연 신호(A)와 외부 클럭 신호(CLK_EXT)의 위상을 비교하여 제1 검출 신호(C)를 생성하고, 제2 위상 비교부(1340)는 PLL 클럭 신호(CLK_PLL)와 제2 지연 신호(B)의 위상을 비교하여 제2 검출 신호(D)를 생성한다.

[0093] 이어서, 검출 신호 생성부(1350)는 제1 및 제2 검출 신호(C, D)에 응답하여 코드화된 노이즈 검출 신호(DET_NIS<0:n>)를 생성하기 위한 것으로, 검출 신호 출력부(1351)와, 디코딩부(1352)를 구비한다. 여기서, 검출 신호 출력부(1351)는 제1 및 제2 검출 신호(C, D)에 응답하여 노이즈 검출 신호(E)를 출력하고, 디코딩부(1352)는 이 노이즈 검출 신호(E)를 디코딩하여 코드화된 노이즈 검출 신호(DET_NIS<0:n>)를 출력한다.

[0094] 도 14 및 도 15 는 도 13 의 클럭 노이즈 검출부(1210)의 동작을 설명하기 위한 동작 파형도이다.

[0095] 우선, 도 14 는 외부 클럭 신호(CLK_EXT)의 노이즈 주파수와 위상 고정 루프의 대역폭이 서로 다른 경우이다. 도면에서 볼 수 있듯이, 이 경우 외부 클럭 신호(CLK_EXT)의 위상과 PLL 클럭 신호(CLK_PLL)의 위상이 거의 동일하다. 따라서, 제1 위상 비교부(1330)는 제1 지연 신호(A)와 외부 클럭 신호(CLK_EXT)의 위상을 비교하여 제1 검출 신호(C)를 논리'로우'로 출력하고, 제2 위상 비교부(1340)는 PLL 클럭 신호(CLK_PLL)와 제2 지연 신호(B)의 위상을 비교하여 제2 검출 신호(D)를 논리'하이'로 출력한다. 그리고, 검출 신호 출력부(1351)는 제1 및 제2 검출 신호(C, D)에 응답하여 노이즈 검출 신호(E)를 논리'로우'로 출력한다.

[0096] 다음으로, 도 15 는 외부 클럭 신호(CLK_EXT)의 노이즈 주파수와 위상 고정 루프의 대역폭이 서로 유사한 경우이다. 도면에서 볼 수 있듯이, 이 경우 PLL 클럭 신호(CLK_PLL)의 위상은 외부 클럭 신호(CLK_EXT)의 위상보다 뒤지게 된다. 따라서, 제1 검출 신호(C)는 논리'로우'로 출력되고, 제2 검출 신호(D)는 논리'로우'로 출력되며, 노이즈 검출 신호(E)는 논리'하이'가 된다.

[0097] 한편, 도 13 의 디코딩부(1352)는 예컨대, 타이머와 카운터 회로로 구성될 수 있으며, 이 경우 노이즈 검출 신호(E)에 따라 카운팅된 값을 디코딩하여 코드화된 노이즈 검출 신호(DET_NIS<0:n>)를 생성하는 것이 가능하다. 여기서, 코드화된 노이즈 검출 신호(DET_NIS<0:n>)는 도 8 의 ①, ②, ③, ④ 중 적어도 하나의 구성을 제어하는 것이 가능하며, 이러한 제어 동작을 통해 위상 고정 루프(620)의 대역폭을 조절하는 것이 가능하다.

[0098] 도 16 은 본 발명의 실시예에 따른 신호 전달 시스템을 설명하기 위한 블록도이다.

[0099] 도 16 을 참조하면, 신호 전달 시스템은 송신 회로(1610)와, 수신 회로(1620)를 구비한다.

[0100] 송신 회로(1610)는 소오스 클럭 신호인 외부 클럭 신호(CLK_EXT)를 생성하여 수신 회로(1620)로 전달하기 위한 것으로, 전원 노이즈 검출부(1611)와, 소오스 클럭 생성부(1612)를 구비한다. 여기서, 전원 노이즈 검출부(1611)는 소오스 클럭 생성부(1612)에 입력되는 전원 전압(VDD)의 노이즈 주파수를 검출하여 전원 노이즈 검출 신호(POW_NIS)를 생성하고, 소오스 클럭 생성부(1612)는 이 전원 노이즈 검출 신호(POW_NIS)에 응답하여 대역폭을 조절한다.

[0101] 수신 회로(1620)는 송신 회로(1610)로부터 전달되는 외부 클럭 신호(CLK_EXT)에 응답하여 내부 클럭 신호(CLK_INN)를 생성하기 위한 것으로, 클럭 노이즈 검출부(1621)와, 내부 클럭 생성부(1622)를 구비한다. 여기서, 클럭 노이즈 검출부(1621)는 외부 클럭 신호(CLK_EXT)의 노이즈 주파수를 검출하여 클럭 노이즈 검출 신호(CLK_NIS)를 생성하고, 내부 클럭 생성부(1622)는 이 클럭 노이즈 검출 신호(CLK_NIS)에 응답하여 대역폭을 조절한다.

[0102] 본 발명의 실시예에 따른 신호 전달 시스템의 송신 회로(1610)는 전원 노이즈 검출 신호(POW_NIS)를 이용하여 외부 클럭 신호(CLK_EXT)를 생성하고, 수신 회로(1620)는 클럭 노이즈 검출 신호(CLK_NIS)를 이용하여 내부 클

럭 신호(CLK_INN)를 생성하는 것이 가능하다. 다시 말하면, 본 발명의 실시예에 따른 신호 전달 시스템은 내부 클럭 신호(CLK_INN)를 생성하는데 있어서 전원 전압의 노이즈에 대한 지터를 1 차적으로 제거하고, 클럭 신호의 노이즈에 대한 지터를 2 차적으로 제거하는 것이 가능하다. 따라서, 이렇게 생성되는 내부 클럭 신호(CLK_INN)는 보다 안정적인 회로 동작을 보장해 줄 수 있다.

[0103] 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 이상에서 설명한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 여러 가지 치환, 변형 및 변경으로 다양한 실시예가 가능함을 이해할 수 있을 것이다.

[0104] 뿐만 아니라, 전술한 실시예에서 예시한 논리 게이트 및 트랜지스터는 입력되는 신호의 극성에 따라 그 위치 및 종류가 다르게 구현되어야 할 것이다.

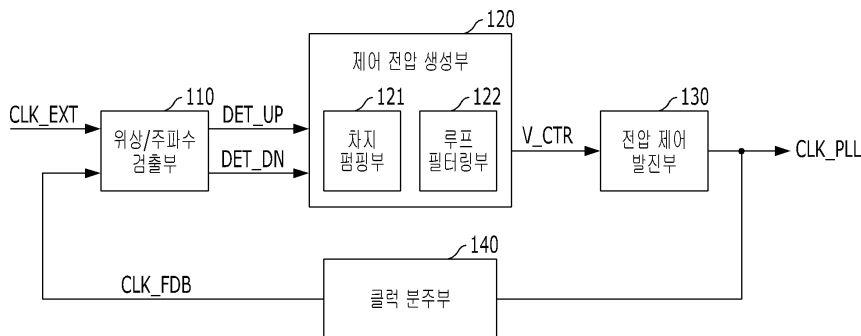
부호의 설명

[0105] 210 : 노이즈 검출부

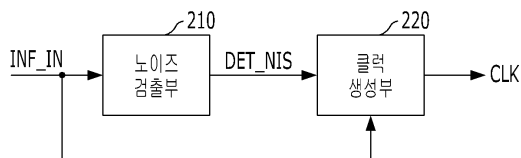
220 : 클럭 생성부

도면

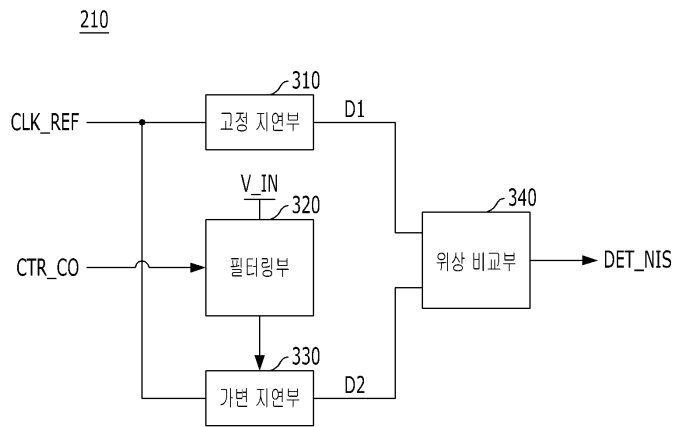
도면1



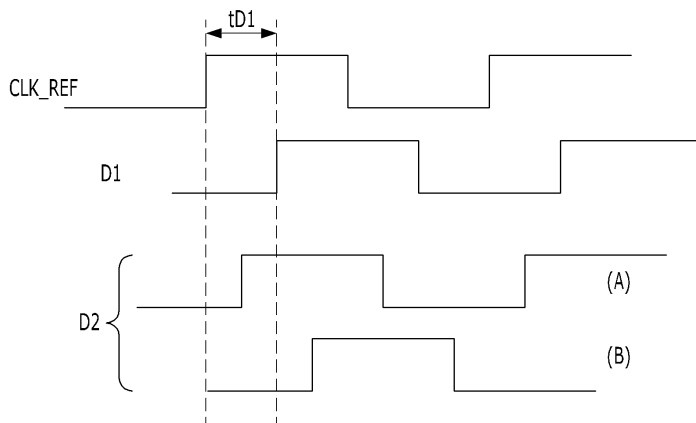
도면2



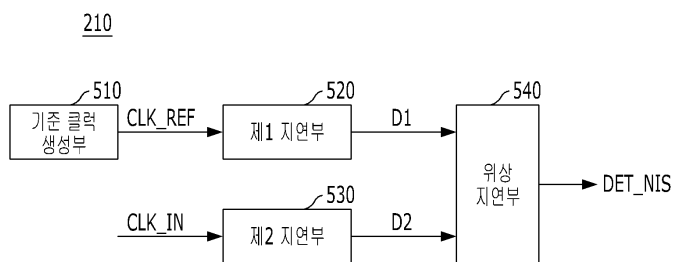
도면3



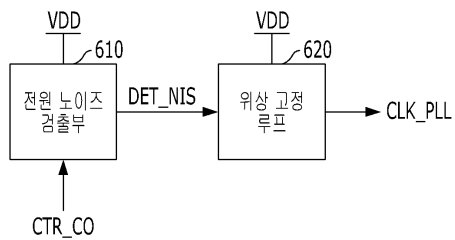
도면4



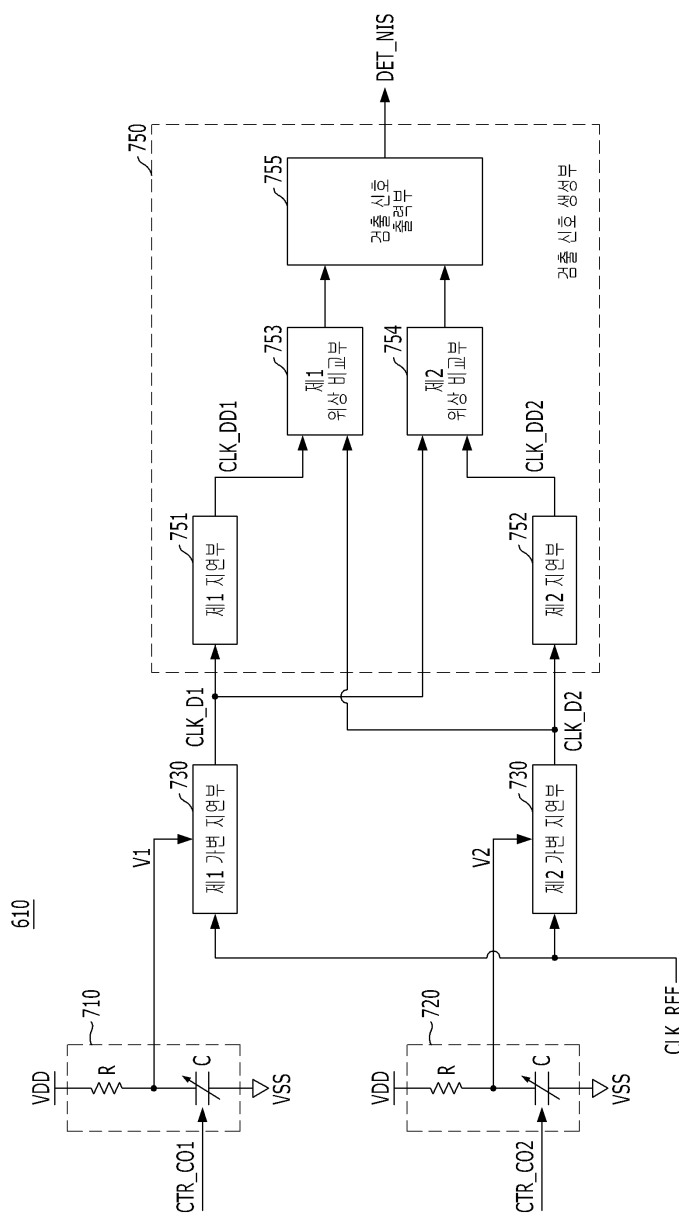
도면5



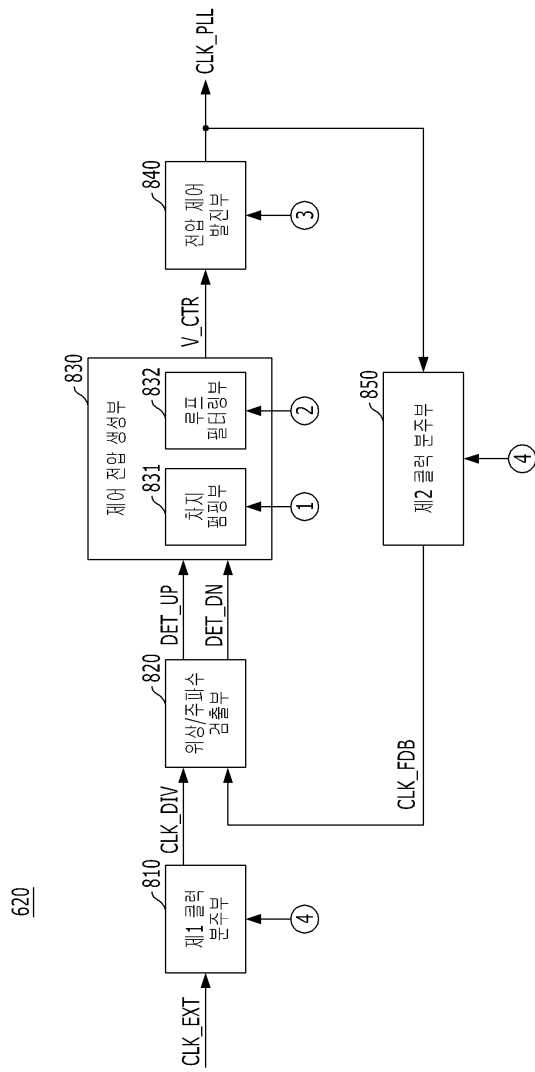
도면6



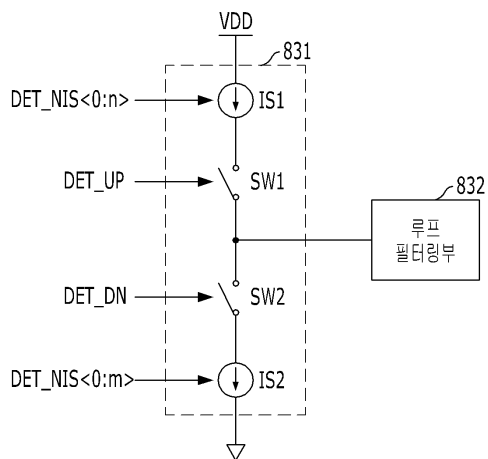
도면7



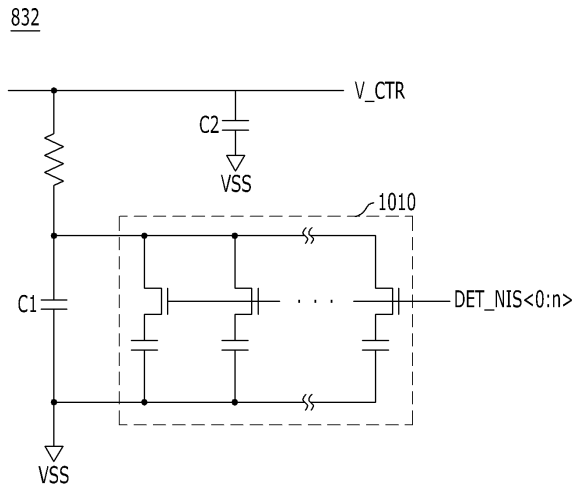
도면8



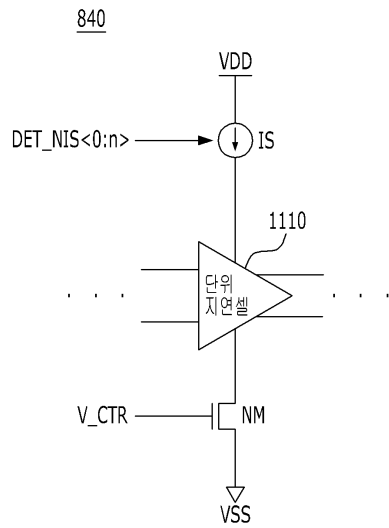
도면9



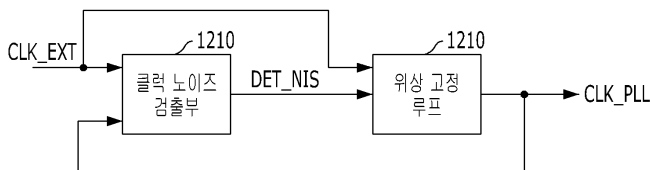
도면10



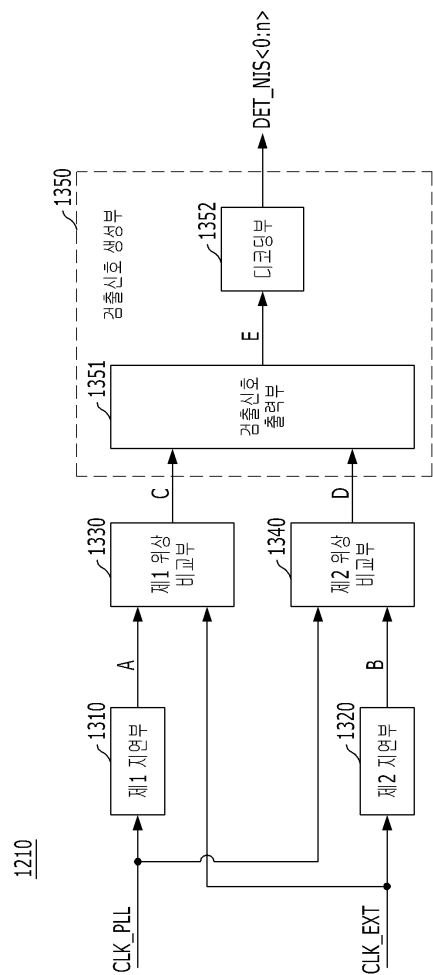
도면11



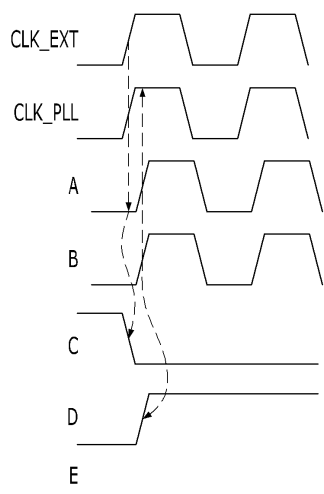
도면12



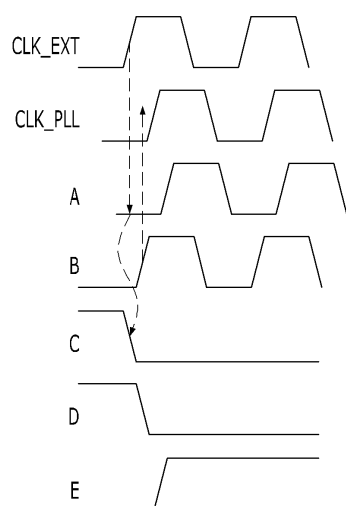
도면13



도면14



도면15



도면16

