

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4330177号
(P4330177)

(45) 発行日 平成21年9月16日(2009.9.16)

(24) 登録日 平成21年6月26日(2009.6.26)

(51) Int.Cl. F I
A 6 1 B 5/05 (2006.01) A 6 1 B 5/05 C

請求項の数 23 (全 22 頁)

<p>(21) 出願番号 特願平9-539910 (86) (22) 出願日 平成9年3月24日(1997.3.24) (65) 公表番号 特表2000-509621(P2000-509621A) (43) 公表日 平成12年8月2日(2000.8.2) (86) 国際出願番号 PCT/US1997/004954 (87) 国際公開番号 WO1997/041774 (87) 国際公開日 平成9年11月13日(1997.11.13) 審査請求日 平成16年3月22日(2004.3.22) (31) 優先権主張番号 08/647,414 (32) 優先日 平成8年5月9日(1996.5.9) (33) 優先権主張国 米国(US)</p>	<p>(73) 特許権者 502120310 チャーチ オブ スピリチュアル テクノ ロジー アメリカ合衆国 カリフォルニア州 90 004 ロサンゼルス エヌ ラーチモン ト ブールヴァード 419 (74) 代理人 100059959 弁理士 中村 稔 (74) 代理人 100067013 弁理士 大塚 文昭 (74) 代理人 100084009 弁理士 小川 信夫</p>
----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------	---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------

最終頁に続く

(54) 【発明の名称】 生体の抵抗の変化の測定し指示するシステム

(57) 【特許請求の範囲】

【請求項1】

生体の抵抗の変化を指示するためのデバイスにおいて、外部リードを有する抵抗測定回路と、上記抵抗測定回路に接続されている増幅器回路と、上記増幅器回路に接続されている表示器回路と、上記増幅器回路に接続されている感度調整回路とを備えており、上記抵抗測定回路は、生体の電気抵抗を比較的低い生体の可変電気抵抗の第1の範囲内で測定し、生体の電気抵抗を比較的高い生体の可変電気抵抗の第2の範囲内で測定し、測定信号を生成し得るように、高電圧電位と低電圧電位との間に電氣的に接続されており、上記増幅器回路は、測定信号を認知可能なレベルまで増幅するようにされており、上記表示器回路は、測定信号を認知可能な形態で生成するようにされており、上記感度調整回路は、上記抵抗測定回路において測定された上記第2の範囲内の高い生体の可変抵抗のセッティングについて、上記表示器回路の感度を自動的に増加させることができ、上記抵抗測定回路は、生体の抵抗が大きくなるに従って上記高電圧電位と低電圧電位との間の差を小さくする手動調整手段を含み、増加された上記感度により上記第2の範囲内の生体の抵抗の変化に起因する電位の小さな変化が実質的に補償されることを特徴とする生体の抵抗の変化を指示するためのデバイス。

【請求項2】

上記感度調整回路は、上記抵抗測定回路において測定された上記第1の範囲内の低い生体の可変抵抗のセッティングについて、上記表示器回路の感度を自動的に調整することがで

きる請求項1に記載の生体の抵抗の変化を指示するためのデバイス。

【請求項3】

上記感度調整回路は、制御回路を含んでいる請求項1に記載の生体の抵抗の変化を指示するためのデバイス。

【請求項4】

上記感度調整回路は、二連ポテンシオメータを含んでいる請求項1に記載の生体の抵抗の変化を指示するためのデバイス。

【請求項5】

上記感度調整回路は、電圧制御演算増幅器を含んでいる請求項1に記載の生体の抵抗の変化を指示するためのデバイス。

10

【請求項6】

上記抵抗測定回路は、手動で調整可能なポテンシオメータ(82, 94)を含んでおり、上記増幅器回路は、上記手動で調整可能なポテンシオメータの手動調整動作に応じて、上記増幅器回路の利得を自動的に調整するように動作する較正回路を含んでいる請求項1に記載の生体の抵抗の変化を指示するためのデバイス。

【請求項7】

上記較正回路は、

上記抵抗測定回路に应答的に接続され、測定された入力を表す信号を受信するようにされているフィードバック回路と、

上記フィードバック回路に应答的に接続され、上記測定された入力信号を使用して補償値を決定するようにされている制御回路と、

20

上記制御回路に应答し、上記増幅器回路の利得を上記補償値によってほぼ一定の振幅レスポンスに維持するように調整するようにされている補償器回路と、

を含んでいる請求項6に記載の生体の抵抗の変化を指示するためのデバイス。

【請求項8】

上記較正回路は、生体の総合抵抗を表す信号を受信するようにされているフィードバック回路を含んでいる請求項6に記載の生体の抵抗の変化を指示するためのデバイス。

【請求項9】

上記較正回路は、上記フィードバック回路に接続され、上記測定された信号から上記増幅器回路の利得の変化に対応する補償信号を決定するようにされている制御回路を含んでいる請求項8に記載の生体の抵抗の変化を指示するためのデバイス。

30

【請求項10】

上記制御回路は、上記補償信号を受信し、上記増幅器回路を調整して、ほぼ一定の振幅レスポンスを維持するようにされている補償器回路を含む請求項9に記載の生体の抵抗の変化を指示するためのデバイス。

【請求項11】

上記較正回路は、

上記制御回路によって実行されるソフトウェアプログラム

を含み、上記プログラムは、

上記フィードバック回路からの上記既知の状態の信号を読み取る手段と、

40

上記既知の状態を表す信号を使用して、望ましくない特性に対するレスポンスを予測し、決定する手段と、

上記望ましくない特性に対するレスポンスを生成する手段と、

上記望ましくない特性を排除するように上記補償器回路を調整する手段と、

を含んでいる請求項7又は請求項9に記載の生体の抵抗の変化を指示するためのデバイス。

【請求項12】

上記予測し、決定する手段は、休眠モードを含んでいる請求項11に記載の生体の抵抗の変化を指示するためのデバイス。

【請求項13】

上記予測し、決定する手段は、上記既知の状態の安定性を感知することを含む請求項11に

50

記載の生体の抵抗の変化を指示するためのデバイス。

【請求項14】

上記制御回路は、アナログ・デジタル変換器を含み、
上記予測し、決定する手段は、上記アナログ・デジタル変換器から生成されたデータを読み取る手段を含む、
請求項11に記載の生体の抵抗の変化を指示するためのデバイス。

【請求項15】

さらに、
複数の手動制御デバイス、
上記抵抗測定回路、上記増幅器回路、及び上記表示器回路の各々から延びる、少なくとも1つの導電性電極、
上記抵抗測定回路、及び上記増幅器回路内に含まれ、上記回路を通して導入される無線干渉を減少させる、少なくとも1つのインダクタ、
を含んでいる請求項1に記載の生体の抵抗の変化を指示するためのデバイス。

【請求項16】

さらに、
上記抵抗測定回路、上記増幅器回路、及び上記表示器回路を取り囲んでいるハウジング、
及び、
上記ハウジングに被膜されている無線周波数絶縁用塗料、
を含んでいる請求項1に記載の生体の抵抗の変化を指示するためのデバイス。

【請求項17】

シミュレートした測定信号を供給するようにされているコンピュータインターフェイスを含んでいる請求項6に記載の生体の抵抗の変化を指示するためのデバイス。

【請求項18】

上記増幅器回路は演算増幅器を含み、該演算増幅器は該演算増幅器への正入力と負入力との間の回路内に接続されたキャパシタを有する請求項6に記載の生体の抵抗の変化を指示するためのデバイス。

【請求項19】

上記制御回路はさらに、
信号を上記フィードバック回路から受信するようにされているマイクロコントローラ、及び、
上記フィードバック回路からの上記信号内の離散した変化を認識するようにされているアナログ・デジタル変換器、
を含む請求項7に記載の生体の抵抗の変化を指示するためのデバイス。

【請求項20】

上記制御回路はさらに、
上記手動で調整可能なポテンシオメータが移行すると上記制御回路を起動するようにされている起動回路、
を含む請求項7に記載の生体の抵抗の変化を指示するためのデバイス。

【請求項21】

上記フィードバック回路からのフィードバック信号を受信するようにされている上記制御回路中にあるマイクロコントローラ、及び、
上記マイクロコントローラを設定し、上記フィードバック信号に応じて較正信号を生成するようにされている、コンピュータで実行されるソフトウェア、
を含む請求項7に記載の生体の抵抗の変化を指示するためのデバイス。

【請求項22】

デジタルポテンシオメータを含み、較正入力信号を上記増幅器回路へ供給するようにされている、補償器回路、
を含む請求項21に記載の生体の抵抗の変化を指示するためのデバイス。

【請求項23】

10

20

30

40

50

上記較正回路中にあるマイクロコントローラ、及び、
 上記較正回路を設定し、上記手動で調整可能なポテンシオメータにおける変化を連続的に
 検出し、所定の分解能モードの組からある分解能モードを決定し、設定するようにされて
 いる、コンピュータで実行されるソフトウェア、
 を含む請求項6に記載の生体の抵抗の変化を指示するためのデバイス。

【発明の詳細な説明】

技術的分野

本発明は、生体の抵抗の変化を指示し、測定するための改良されたデバイスに関する。

背景技術

生体の変化を測定し、指示するためのLafayette R. Hubbardのデバイスが出現するに及んで、電気・機械的測定を通して生体の抵抗の小さい変化を認識する能力を使用することができるようになった。このデバイスは、一般に、抵抗測定回路、増幅器回路、及び指示回路を含んでいる。このデバイスは、生体の抵抗の変化を検出するという意図された目的に対しては十分に適しているが、測定された変化を正確に指示することはできない。この問題を解消するためにいろいろな改良が試みられ、米国特許第3,290,589号及び米国特許第4,459,995号に開示されている。これらのデバイスは、生体の抵抗の小さい測定を表す信号を生成するように動作する。この信号は、視覚ディスプレイのような人が知覚できる表示器上で識別できるような有用な信号に増幅される。これらのディスプレイに伴う1つの問題は、信号内の望ましくない特性が小さい測定をマスクする、または偽りの報告をすることである。これらの望ましくない特性は、無線周波数干渉及び/またはデバイス自体の内部非線形によってもたらされ得る。従って、生体の抵抗の変化をより正確に指示することができるデバイスに対するニーズが存在している。

発明の開示

本発明の一般的な目的は、生体の抵抗の小さい変化を正確に指示することである。

本発明の特定の目的は、生体の抵抗を表す信号内の望ましくない特性を排除することである。

本発明の特色は、任意の測定された入力に対して概ね一定の振幅レスポンスを与える能動較正回路を含むことである。

本発明の長所は、デバイスの感度を一定のレベルに維持することである。

本発明の目的、特色、及び長所によれば、生体の抵抗を表す測定信号を発生するために、生体に接続された入力リードを有する抵抗測定回路を備えた改良された電気抵抗測定、または表示デバイスが提供される。増幅器回路は測定信号を受信し、それらを知覚できるレベルまで増幅する。表示器回路は増幅された信号を受信し、知覚できる形状で測定信号を供給する。本発明は、有利なことに、測定信号内の望ましくない特性を排除するための受動及び能動デバイスを含む。

本発明の一つの特色は、能動較正回路にある。較正回路は、抵抗測定回路からの抵抗の任意の変化に対して、表示器回路に概ね一定の振幅レスポンスを与えるように機能する。較正回路の好ましい実施例では、フィードバック回路部分及び制御回路部分が共働してデバイスの動作を監視し、表示器回路内の振幅レスポンスの変化を予測する。予測される振幅変化を斟酌するように増幅器回路を調整、または較正する補償器も含まれる。

本発明の他の目的及び長所は、以下の添付図面に基づく詳細な説明から明白になるであろう。

【図面の簡単な説明】

図1は、生体の抵抗を測定するための従来デバイスの機能ブロック線図である。

図2は、本発明のデバイスの機能ブロック線図である。

図3は、本発明の好ましい抵抗測定回路の機能ブロック線図である。

図4Aは、本発明の好ましい増幅器回路の機能ブロック線図である。

図4Bは、可変抵抗回路及びブースタ回路の機能ブロック線図である。

図4Cは、フィードバック及び制御回路の機能ブロック線図である。

図5A - 5Dは、主ソフトウェアルーチンの流れ図である。

- 図 6 は、遅延ルーチンの流れ図である。
 図 7 は、メータ選択ルーチンの流れ図である。
 図 8 は、アナログ・デジタル低分解能ルーチンの流れ図である。
 図 9 は、アナログ・デジタル高分解能ルーチンの流れ図である。
 図 10 は、アナログ・デジタル変換ルーチンの流れ図である。
 図 11 は、アナログ・デジタル割り込みルーチンの流れ図である。
 図 12 は、プログラブルブーストセットルーチンの流れ図である。
 図 13 は、分解能モードセットルーチンの流れ図である。
 図 14 は、低電圧電位セットルーチンの流れ図である。
 図 15 は、デジタル抵抗選択ルーチンの流れ図である。
 図 16 は、デジタル抵抗変化ルーチンの流れ図である。

10

工業的適用性

例示の目的から図面を参照する。本発明は、生体の抵抗の変化を測定し、指示するためのどのような従来の 3 段回路とも組合せて使用することができる。図 1 を参照する。これらのデバイスは、典型的に、測定した生体を横切る抵抗を測定信号の形状に変換する抵抗測定回路 20 を使用する。抵抗測定回路は増幅器回路 22 に接続され、増幅器回路 22 は測定信号を知覚できるレベルまで増幅する。増幅器回路 22 に接続されている表示器回路 24 は、測定信号を知覚できる形状で発生する。抵抗測定回路 20 は、生体の抵抗を測定する普通の型のブリッジ回路、または分圧器回路を使用してこのような測定を遂行することができる。この目的のために適当な型のブリッジ回路を組み込んだ 3 段回路が、参照として本明細書に採り入れた米国特許第 4,702,259 号、米国特許第 4,459,995 号、及び米国特許第 3,290,589 号に開示されている。この目的に適当な型の分圧器回路を組み込んだ 3 段回路は、カリフォルニア州ロスアンゼルスの Hubbard Electrometer Manufacturing が製造、販売している “HUBBARDTM PROFESSIONAL MARK SUPER VII” デバイスに組み込まれている。

20

上述した既知の組合せに基づいて、高抵抗レベルの場合には感度を自動的に増加させ、低抵抗レベルの場合には自動的に調整する手段が要求される回路を実現した。この改良が、指示器回路 24 に一定の振幅レスポンスを与える。

発明を実施する最良モード

図 2 に機能ブロック線図で示す現在では好ましい実施例は、従来の Hubbard Professional Mark Super VIITM 回路に本発明の特色を組み込んだものである。この回路は、電気回路全体に安定な直流電圧レベルを確立するために、電圧レギュレータ 26 を付加的に使用している。マイクロプロセッサによって制御されるデジタル回路 28 (これらの普通の成分は図示していない) は、抵抗測定回路 20 からリード 31 によって供給される信号を追跡し、日付及び時刻指示を維持し、そして種々の普通のスイッチング機能を維持する。ディスプレイリード 32 は、普通の LCD クロックのための信号及び表示器回路 24 内に配置されるディスプレイを追跡する信号を供給する。デジタル回路は、米国特許第 4,702,259 号に開示されている型であることもできる。他のリード 33 が、電圧レギュレータ回路 26、抵抗測定回路 20、及び増幅器回路 30 から種々の手動コントロール (図示していない) に接続されている。これらのリードが無線信号を捕らえて無線周波数 (RF) 干渉をもたらし得る。本発明の好ましい実施例では、回路基板は手動コントロールのワイパーリード 37 から伸びるインダクタを含んでいる。これらの手動コントロールは、機能スイッチ、低電圧ポテンショメータ、遠隔低電圧ポテンショメータ、トリム可変抵抗、及び感度コントロールを含み得る。

30

40

本発明によれば、増幅器回路 30 は、一般に 2 つの増幅器段を含んでいる。第 1 増幅器回路 34 は、測定信号を受信して対数増幅する。第 1 増幅器回路 34 の出力に接続されている第 2 増幅器回路 36 は、測定信号の利得をカスタマイズして増幅する。コンピュータインタフェース 40 は、オプションとして、シミュレートした測定信号を望む場合に使用するために、電圧・電流変換器回路 38 に入力を供給する。第 2 増幅器回路の出力に接続されている電圧・電流変換器回路 38 は、測定信号を表示器回路 24 が使用可能な形状に変

50

更する。電圧・電流変換器回路 38 は、第 2 増幅器及びコンピュータインタフェース 40 へフィードバックも供給する。可変抵抗回路 42 が第 2 増幅器回路 36 に接続され、増幅器フィードバック信号を供給して抵抗測定回路 20 からの測定信号を増幅させる。可変抵抗回路 42 は、高及び低プログラマブル利得セグメント 46 及び 44 を含んでいる。手動利得調整のために、絶縁ブースタスイッチング回路 48 が可変抵抗回路 42 に接続されている。可変抵抗回路 42 には、較正回路 50 も接続されている。較正回路 50 は、増幅器回路の出力を調整する較正手段として機能する。現在では好ましい実施例では、較正回路 50 は、フィードバック回路 52、コントローラ回路 54、及び補償器回路 55 を含んでいる。

好ましい実施例の抵抗測定回路 (図 3) は、分圧器型である。分圧器回路では高電圧電位 56 が第 1 の分圧抵抗 58 に直列に接続されている。第 1 の抵抗は、第 1 の抵抗値をトリムする、またはオフセットさせるために可変抵抗 60 を使用することができる。手動選択式か、またはデジタル回路 28 の制御の下にある普通のメータチェックスイッチ 62 が、1 対の外部リード 66 とリー 64 との間の分圧器回路の経路を任意選択的にスイッチし、生体と、生体の代わりにチェック抵抗として動作する 5K 抵抗 68 とを切り替える。生体に接続することを意図する普通の電極がプラグ (図示してない) を介して取付けられる。プラグを物理的に挿入すると、外部リード 64 及び 66 が生体に接続されるようになる。プラグを抜くと、第 2 のスイッチ 70 が高電位リード 66 を 5K 抵抗 68 に接続する。更に、外部リード 64 と 66 との間に、キャパシタ 72 がインダクタ 86 と直列に接続されている。第 2 の分圧抵抗が、メータチェックスイッチと出力リード 88 との間に形成されている。第 3 の分圧抵抗 74 が、出力リード 88 と低電圧電位 76 との間に直列に接続されている。

低電圧電位値は、手動調整デバイス 78 を使用して手動で調整可能である。手動調整デバイス 78 は、高電圧と低電圧との間に接続されているポテンショメータ 82 からのワイパリード 80 を含むことが好ましい。ワイパリード 80 の回路は、普通は、アナログスイッチング回路 90 を通してリード 91 と直列に接続されているインダクタ 87 と、接地されているキャパシタ 92 とを含み、干渉を最小にしている。手動調整デバイス 78 は、内蔵ポテンショメータ 82 であることも、または外部ポテンショメータ 94 であることもできる。外部ポテンショメータ 94 も高電圧リード 96 と低電圧リード 98 とにまたがって接続され、ワイパリード 100 はアナログスイッチング回路に接続されている。外部可変抵抗 94 は、反転 REM、即ち遠隔信号リード 102 及び接地リード 104 をも含んでいる。通常は手動スイッチ、または分圧器及びラッチを含むことができるアナログスイッチング回路 90 は、内部または外部ポテンショメータを選択的に作動させるアナログスイッチ (図示してない) に接続されている。第 2 の場合には、ポテンショメータの選択は、反転 REM 信号リード 102 の電圧状態に従って行われる。この信号は、内部ポテンショメータ 82 を使用する場合には「高」に維持され、外部ポテンショメータの場合にはリード 106 によって接地 104 に接続される。使用中のポテンショメータからのワイパの電圧値 91、高電圧値 108 及び低電圧値 100 は、デジタル回路 28 (図 2) へ送られてデジタルポテンショメータ信号の読みが計算される。ワイパ出力リード 91 は、低電圧電位 76 の電流損失を防ぐために電圧フォロアからなる信号バッファ 112 を通して送られる。

図 4 A、B、及び C を参照する。第 1 増幅器回路 34 は、抵抗測定回路信号出力リード 88 から供給される測定信号を受信する。第 1 増幅器回路 34 は、抵抗測定回路 20 (図 1) からの信号出力リード 88 に接続されている正入力 126 を有する演算増幅器 124 を含んでいる。演算増幅器 124 は電圧フォロアとして構成されており、フィードバックリード 128 は演算増幅器出力リード 130 と負入力 132 とを接続している。キャパシタ 134 が正入力 126 と負入力 132 との間に接続されていて、測定信号内の RF 干渉を減衰させる。演算増幅器出力リード 130 は、フィードバックループ 136 と並列に演算増幅器 138 (第 1 段増幅器として機能する) の負入力に接続されている。抵抗 140 が電圧フォロアの出力 130 と直列に接続されている。抵抗 140 は、2 つの並列抵抗枝路

10

20

30

40

50

を通して、プリセット型ポテンシオメータ142及び第1段増幅器の出力リード144に接続されている。第1の枝路は、プリセット型ポテンシオメータ142と第1の抵抗140との間に接続されている抵抗146を含む。第2の枝路は、抵抗150及びプリセット型可変抵抗142と直列に接続される普通のユーザが調整するポテンシオメータ(電極148に接続される)を含む。ユーザが調整するポテンシオメータ(図示してない)は、感度ポテンシオメータとして機能する。感度ポテンシオメータ電極148のワイパリード152は、インダクタ156を通して第1段増幅器の負入力リード154に接続されている。第1段演算増幅器の正入力リード158は、5.25Vの安定参照を供給する電圧レギュレータ26から電圧参照信号160を受けている。電圧参照リード160は、第2のプリセット型可変抵抗162、及び第1増幅器回路の出力リード166に接続されている固定抵抗164を含む抵抗フィードバック枝路にも接続されている。第1段増幅器の出力144は、固定抵抗170を通して出力リード166にも接続されている。当分野に精通していれば理解されるように、この第1段増幅器回路の構成は、抵抗測定回路20からの信号出力リード88の値を演算増幅器138の利得だけ増幅し、電圧参照160と加算する減算型の加算増幅器になっている。第1段回路の演算増幅器124及び138は、マサチューセッツ州ノーウズのAnalog Devices, Inc.製OP420である。この加算され、増幅された信号の出力リード166は、第2段増幅器回路36に接続されている。第1増幅器回路は、可変抵抗142が低抵抗値から高抵抗値まで変化すると、この計装の利得を1から10まで対数的に変化させる。

第2段増幅器回路36は、Analog Devices, Inc.製OP90演算増幅器172を可変抵抗フィードバック枝路と共に含んでいる。この特定の型の増幅器は、ワイパ178を介して接地176に接続されている可変抵抗174を使用してオフセット補償する必要がある。この目的に適する他の型の増幅器では、このような回路を必要としないかも知れない。第1段増幅器回路34の出力リード166は第2段演算増幅器172の正入力リード180に接続されている。可変抵抗回路42は、第2増幅器172の負入力リード182への利得フィードバックを与える。第2段増幅器172の出力リード184は、複数のラッチゲート186-187の1つのゲート186に接続されている。これらのゲートは、電圧・電流変換器38を、第2段回路36及びコンピュータインタフェース40に選択的に接続する。このスイッチングは、普通に行われているように、オペレータの選択に应答して、デジタル回路28によって達成される。

コンピュータインタフェース40は、ラッチゲート188及び189を通して電圧・電流回路38に接続されている。コンピュータインタフェース40は、第2段回路と類似の増幅器190を含み、信号バスから伸びるE__入力信号リード192が増幅器の正入力リード194に接続されている。濾波型のフィードバックを与える第1のキャパシタ196が、増幅器190の負入力リードと出力との間に接続されている。負入力リードは、電圧参照201、2つのプルアップ抵抗202及び203、ラッチゲート188、及び接地されている第3の抵抗204を含む分圧器フィードバック回路にも接続されている。コンピュータインタフェースE__入力リード192は、プレイバック信号、または先に記録されたセッションのエミュレートされたプレイバック信号を受信し、コンピュータインタフェースの増幅器190を使用して表示器回路上に出力を複製する。信号リードE__出力206は、表示器回路24から生体の抵抗の変化を表す信号を受信し、測定信号をコンピュータインタフェース40へ伝送する。

電圧・電流変換器回路38は、バイアス抵抗202を介して「高」電圧レベル201に接続されているエミッタリード210を有するトランジスタ208、及びラッチゲート187及び188を含んでいる。ベースリード212は、プルアップ抵抗214、及びベースリード212に対して逆バイアスされている2つの直列ダイオード216-217を介して「高」電圧に接続されている。ダイオード216-217は、ラッチ186及び189を通して、それぞれ第2段増幅器172の出力及びコンピュータインタフェース増幅器出力リードに接続されている。トランジスタのコレクタリードは、表示器回路24に接続される出力リード221を形成している。

10

20

30

40

50

可変抵抗回路 4 2 (図 4 B) は、プログラマブル利得低回路 4 4 及びプログラマブル利得高回路 4 6 を含む。後述するように、抵抗測定回路からの低電圧電位 7 6 (図 3) の変化は、これらの可変抵抗回路のどちらを使用して可変利得を得るのかを指令する。可変抵抗回路 4 2 は、リード 2 2 6 (図 4 A 及び 4 B) を通して演算増幅器の負入力リード 1 8 2 に接続され、リード 2 2 8 及びラッチゲート 1 8 7 を通して電圧・電流変換器 3 8 と、抵抗 2 0 2 を通して電源 2 0 1 とに接続されている。正及び負入力リード 1 8 0 及び 1 8 2 の間に接続されているキャパシタ 2 2 3 は、RF 干渉信号を更に減衰させる。プログラマブル利得高回路 4 6 は、可変抵抗回路の 2 つのリード 2 2 6 と 2 2 8 との間に並列に接続されている 4 つの回路セグメントを含んでいる。第 1 のセグメントは、キャパシタ 2 3 0 を含んでいる。第 2 のセグメントは、ラッチゲート 2 3 2 及び抵抗 2 3 4 を含み、第 3 のセグメントは、ラッチゲート 2 3 6 及び抵抗 2 3 8 を含んでいる。第 4 の段は、直列に接続されている 3 つの抵抗 2 4 0 - 2 4 2 を含む。2 つのラッチゲート 2 3 2 及び 2 3 6 は、絶縁ブースタスイッチ回路 4 8 によって制御される。プログラマブル利得低回路 4 4 は、詳細を後述する較正回路 5 0 に接続されている分離したラッチゲート 2 4 4 と、並列接続された 3 つの枝路とを含んでいる。プログラマブル利得低部分の各枝路は、分離したラッチゲート 2 4 6、2 4 8、及び 2 5 0 を含み、これらのラッチゲートは絶縁ブースタスイッチング回路 4 8 のセッティングに依存して、それぞれ抵抗 2 5 2、2 5 3、及び 2 5 4 を回路内に選択的に接続する。

ブースタスイッチ回路 4 8 は、低 2 6 0、正常 2 6 2、及び高 2 6 4 の分離した 3 つをセッティングできるワイパ 2 5 8 を有するスイッチ 2 5 6 を含む。リード 2 6 0、2 6 2、及び 2 6 4 は全て、それぞれブルダウン抵抗 2 6 8、2 6 7、及び 2 6 6 を通して接地されている。これらの各リードが接続されているゲートは、接地電圧を検出した場合には閉じている。スイッチ 2 5 6 のワイパ 2 5 8 は、正の、または高電圧レベルを含んでいる。ワイパが高 2 6 4、正常 2 6 2、または低 2 6 0 回路の何れかに接触すると、接続されたリードは高電圧レベルに引張られる。それぞれのリードに接続されているラッチゲートは、この高電圧を検出するとラッチされた回路を開く。たとえプログラマブル利得低モードにあっても、プログラマブル利得高回路は常にオンである。第 1 段増幅器からの入力信号は、演算増幅器の利得を 10 スケールで線形に変化させるブースタスイッチの低、正常、及び高セッティングに従って更に増幅される。第 2 段演算増幅器は、ブースタスイッチの低ブースタ位置では $\times 1$ の利得が、正常ブースタ位置では $\times 10$ の利得が、そして高ブースタ位置では $\times 100$ の利得が得られるように、付加的な利得を与える。更に、第 2 段演算増幅器は、完全に MCU の制御の下に、 $\times 0.7$ 乃至 $\times 50$ の範囲の利得も与える。マイクロ制御された利得は感度及びブースタには無関係であるから、これは第 3 段と考えることができる。これらの 3 つの各段は、出力利得がこれら 3 つの段の積となるように回路の総合利得に貢献する。最低可能な利得は $1.0 \times 1.0 \times 0.7 = 0.7$ であり、最高可能な利得は $10 \times 100 \times 50 = 50,000$ である。

制御及びフィードバック回路 5 0 (図 4 C) は、抵抗測定回路 2 0 の手動調整デバイス 7 8 の変化、即ち動きにตอบสนองして、増幅器の能動較正を行う。制御及びフィードバック回路 5 0 は、リード 2 2 6 (図 4 B) と演算増幅器 1 7 2 の負入力 1 8 2 を直列に接続しているリード 3 5 6 (図 4 C) によって図示してあるように、演算増幅器の負入力リード 1 8 2 において可変抵抗回路に接続され、また制御及びフィードバック回路 5 0 は、プログラマブル利得低/高ラッチゲート 2 4 4 の制御ラッチリード 2 7 2 (図 4 b 及び c) に接続されている。制御及びフィードバック回路 5 0 は、回路の何等かの変化 (測定信号内に望ましくない特性をもたらす) にตอบสนองする能動較正を行うのに使用することができる。現在では好ましい実施例では、制御及びフィードバック回路は手動調整デバイス 7 8 の変化を監視し、それに反応する。図 3 及び抵抗測定回路を参照すれば、手動調整デバイス 7 8 は分圧器の低電圧電位 7 6 を制御することが理解されよう。当分野に精通していれば理解されるように、低電圧電位の変化は、分圧器にまたがって印加される電圧を逆方向に変化させる。分圧器にまたがって印加される電圧が変化すると、測定信号 8 8 の最大値を限定する演算範囲が低電圧電位リード 7 6 における値とは逆方向に変化する。演算範囲のこの変

10

20

30

40

50

化は、表示器回路24上に供給される最大値を限定する表示器範囲に影響を与える。表示器回路24における表示器範囲を較正された一定レベルに維持するために、フィードバック及び制御回路は第2段増幅器回路のフィードバック利得を調整して測定信号88の演算範囲の変化を補償する。低電圧電位76を上側電圧レベル56と精密に整合するように調整すると、抵抗の差を測定することができる電圧範囲は極めて小さくなることも理解されよう。このような小さい範囲の場合には、プログラブル利得高回路が必要である。低電圧電位値の範囲全体にわたって、フィードバック及び制御回路は、演算増幅器の負入力リードにおける利得を調整することによって演算増幅器出力を調整する。演算増幅器の負入力リードにおける利得の調整を遂行し、プログラブル利得高モードとプログラブル利得低モードとの間を切り替えるために、フィードバック及び制御回路はフィードバック回路52、制御回路54、及び補償回路55を含んでいる。

10

フィードバック及び制御回路のフィードバック回路52は、低電圧電位リード76に接続されているリードを含み、このリードは抵抗306を通してMCUへの低分解能入力リード308に接続され、信号を濾波するために接地されているキャパシタ310を含んでいる。抵抗306の出力は、演算増幅器314の正入力リード312にも接続されている。演算増幅器の負入力リード316は、抵抗フィードバック枝路318を含む利得回路を含んでいる。抵抗フィードバック枝路318はポテンショメータ324と直列であり、負入力リード316と出力リードの間には容量性枝路320も含まれている。ポテンショメータ324は、所望の増幅オフセットを得るために、1対の固定抵抗326及び328、及び可変抵抗330によって平衡される。高分解能入力リード332は、抵抗331を通して高分解能演算増幅器314の出力に接続されている。

20

コントローラ回路54は、テキサス州キャロルトンのSGS Thompson Electronics製ST62TIB6/SWDマイクロコントローラユニット(MCU)を含んでいる。この特定の場合、一般的には中央処理ユニット(CPU)とも呼ばれているMCU334は、ピン14及び15を通してフィードバック回路の2つの出力リード308及び332をそれぞれ受けのように、ソフトウェアによって構成されている第1の8ビットポートを含んでいる。これらのピンは、MCU内に含まれている内部アナログ・デジタル変換器に回路内で接続され、入力信号内の離散した変化を認識できるように0乃至255増分ステップの範囲にスケールする。約1.4V乃至5.2Vの範囲の電圧変化に対応する0.5乃至6.5の範囲で手動調整デバイス78を動かすと、低分解能入力値は連続的に変化する。高分解能入力値は活動的ではあるが、手動調整デバイス78が約4.8Vより高くなるまでは、電圧は実際的に変化しない。このレベルよりも低い場合には、高分解能入力値は約0.7Vに(1増分電圧降下分だけ接地より高く)留まる。高分解能入力範囲は、手動調整デバイス78が5.0Vに到達すると1.00Vに到達するように構成されており、電圧は、手動調整デバイス78が6.5Vに上昇した時の約5.2Vまで線形に増加し続ける。

30

コントローラ回路54(図4C)は、ラッチ式作動回路336をも含む。コントローラ54は、手動調整デバイス78を動かしている時だけ必要である。この活動は間欠的であるので、コントローラ54はエネルギー節約休眠フリップフロップ338を含んでいる。フリップフロップ338は、Motorola製4013Bセット・リセットフリップフロップである。デジタル回路28(図2)からのリード340は、通常はラッチゲートをトリガして「高」電圧341にセットさせている。デジタル回路28が低電位ワイパリード出力91(図3)の変化を検出すると、それは信号を「高」から「低」へ変化させ、リード340を通して指示器回路24へ伝える。このリード340は作動回路336にも接続されている。レベル340が接地に引下げられる、即ち「低」にされると、フリップフロップ338は信号出力342を変化させ、割り込み信号をMCUに送る。これは、実質的にMCU「目覚め」させる。

40

コントローラ回路54は、ピン1、2、5、6、及び20に接続されている電力及び接地リード344及び346を含んでいる。MCUリセット割り込み回路348が、MCUのピン7に接続されている。リセットスイッチは、回路電力が低下した場合にリセット信号がピン7に印加されるようにタイミングがとられている。リセットは、電圧が4.5Vを通

50

過するとオン/オフにトグルするように設計されている。電圧が0から上昇して4.5Vに接近するまでは、リセットはオフに留まる。電圧が4.5V以上に通過するとリセットがターンオンし、電圧が4.5Vまたはそれ以上を維持している限りオンに留まる。もし電圧が4.5V以下に降下すればリセットはターンオフし、電圧が4.5V以下を維持している限りオフに留まる。4MHzで動作するPanasonic製PX400クロック350がピン3及び4に接続されている。

フィードバック回路52にตอบสนองし、ソフトウェアの制御の下にあるコントローラ54は、較正信号を生成するように動作する。較正信号は、MCUのピン18、19、及びリード356を介して補償器回路55へ送られる。

好ましい実施例の補償器回路55は、デジタル的に制御される可変抵抗354、即ちデジタルポテンショメータを含んでいる。デジタルポテンショメータ354は、カリフォルニア州ミルピタスのXicor製X9C103である。デジタルポテンショメータ354は、入力信号として入力電圧TA_{Ref}160を受けている。可変抵抗回路の出力リード357は、接地されているキャパシタ358によってRF雑音干渉に対して濾波され、図4Aの226において第2演算増幅器の負入力182に接続されている。このリードは、図4A及び4CにリードR₊としても示されている。デジタルポテンショメータ354の抵抗は、MCU334からの較正信号にตอบสนองして変化する。可変抵抗の変化は、測定信号に予測される望ましくない特性の効果を打ち消すように働く。

図4A、B、及びCを参照する。MCU334は較正機能を遂行させるために、MCU334に能動的に回路を監視させるソフトウェアの制御の下に、フィードバック52及び補償器回路54と共働する。ソフトウェアプログラムは、主ルーチン及び11のサブルーチンを含んでいる。流れ図内のTAは、手動調整デバイス78に対応している。各好ましい実施例を以下に説明する。

主ルーチン400(図5A-B)は初期化ルーチンを含み、これは割り込みアドレスベクトルセットアップステップ401と、MCUハードウェア及びポートの構成ステップ402を含んでいる。次に、MCUピン・リードがそれらの所定のレベルに安定するのを考慮する遅延サイクルが遂行される。このサイクルは、カウンタ初期化ステップ403及び2サイクルにわたって遅延サブルーチン呼び出すドゥー・アンティル(do-until)ループ404を含む。次のステップ408において、デジタルポテンショメータがセットされる。デジタルポテンショメータの範囲は100増分ステップにスケールされており、正及び負の限界が決定されている。次にデジタルポテンショメータ構成ルーチン(clockdp)410が遂行され、デジタル抵抗のための初期値がセットされる。構成ルーチンに続いてメータ型(selmeter)サブルーチン412が遂行される。メータ型サブルーチン412が完了すると初期化ルーチンは完了し、能動較正モードが開始される。

能動較正モードは、MPU334(図4C)によって遂行される主サブルーチンであり、MCUが活動している時間中連続して繰り返される。第1に、休眠フリップフロップが、TA可能化検出ステップ414においてTAレベル変化を検出するように構成される。次に、低レベル分解能サブルーチン(adlow)416においてTAポテンショメータ測定が呼出される。ブーストセットサブルーチン(setboost)418は、高または低のプログラブル利得のためにブースタゲートを決定し、構成する。次いでモードセットサブルーチン(setmode)420が、分解能モードを内部的に「高」または「低」分解能に決定し、セットする。次に、分解能チェックステップ422において分解能モードがチェックされる。もし分解能フラグビットが高であれば、高分解能サブルーチン(adhigh)424においてTA測定が呼出される。そうでない場合には、測定は行われぬ。次のステップで、TA見出しサブルーチン(TAfind)426がTA値を決定する。次に、図5C-1に示すデジタルポテンショメータセットサブルーチン(dpsset)428が、必要な較正の量を決定する。次に、clockdpサブルーチン430が呼出され、デジタルポテンショメータが所望の新しい較正位置に再構成される。補償器の構成に続いて、ステップ432においてTAレベルの変化のチェックが遂行される。もしTAポテンショメータに変化が発生すれば、ステップ434において休眠フリ

10

20

30

40

50

ップフロップがクリアされ、主プログラマブルはT A 可能化 4 1 4 ステップへ戻る。そうでなければ、主プログラムはフリップフロップ再構成ステップ 4 3 6 へ進んで、フリップフロップが適切に構成されたことを確認する。

次に、図 5 C - 1 を参照する。ステップ 4 3 8 において、カウンタレジスタが 3 サンプル実行 (do) ループに構成される。図 5 C - 2 に示すように、ステップ 4 4 0 の高分解能のチェックにおいて、もし高が検出されれば、高分解能 T A 測定サブルーチン 4 4 2 が呼出される。そうでなければ、低分解能 T A 測定サブルーチン 4 4 4 が呼出される。次のステップ 4 4 6 は、測定したサンプルをメモリ内に記憶する。もしサンプルが 3 つより少なければ、サンプルカウンタデクレメント及びサンプリングの終わりチェックステップ 4 4 8 から分解能チェックステップへ戻される。そうでなければ、プログラムは、サンプルされたデータの試験を開始する。この試験の目的は、オペレータが手動調整デバイスを新しい位置へ調整し終わったか否かを決定することである。MCU は、3 つのデータサンプルの何れか 2 つが等しい場合に、オペレータがデバイスの回転を完了したこと、及び今は測定が安定であることを認識する。オペレータが手動調整デバイスの調整を完了したか否かを決定するために、他のステップ及び他のデータサンプルを遂行することはできるが、好ましい実施例は 3 つのデータ状態ステップ 4 5 0 (図 5 C - 2)、4 5 2 (図 5 D - 1)、及び 4 5 4 (図 5 D - 1) を含んでいる。

第 1 の試験ステップ 4 5 0 では、第 1 のデータサンプルが第 2 のデータサンプルと比較される。もし第 1 のデータサンプルと第 2 のデータサンプルとが等しければ試験は停止され、プログラムは T A 状態チェックステップ 4 5 6 (図 5 D - 1) へ進む。そうでなければ、試験は第 2 の試験ステップ 4 5 2 へ進んで、第 1 のデータサンプルが第 3 のデータサンプルと比較される。もし第 1 及び第 3 のデータサンプルが等しければ、試験は停止され、プログラムは T A 状態チェックステップ 4 5 6 へ進む。そうでなければ、試験は第 3 の試験ステップ 4 5 4 へ進んで、第 2 のデータサンプルが第 3 のデータサンプルと比較される。もし第 2 及び第 3 のデータサンプルが等しければ、プログラムは T A 状態チェックステップ 4 5 6 へ進む。もしそうでなければ、T A は未だ調整中であり、プログラムは T A 可能化ステップ 4 1 4 (図 5 B) の較正ルーチンの始まりに戻る。

もし何れかのデータサンプルが等しく、手動調整が完了して有効データが存在していることを指示していれば、T A 状態チェックステップ 4 5 6 が遂行され、T A フリップフロップを調べることによってサンプリング以降に手動調整デバイスが動かされたか否かが決定される。もしフリップフロップがトリガされていれば、ステップ 4 5 8 (図 5 D - 1) においてフリップフロップはクリアされ、リセットされ、プログラムは T A 可能化ステップ 4 1 4 へ戻る。そうでなければ、補償器が、a 2 d l o w 4 1 6 (図 5 B)、s e t b o o s t サブルーチン 4 6 0 (図 5 D - 1)、t a f i n d サブルーチン (図 5 D - 1)、d p s e t サブルーチン 4 6 4 (図 5 D - 2)、及び c l k d p サブルーチン 4 6 2 (図 5 D - 2) の順番に再度較正される。もし動かされていれば、T A フリップフロップはクリアされ (4 7 0)、プログラムは T A 可能化ステップ 4 1 4 へ戻る。そうでなければ、プログラムは休眠モード 4 7 2 に入り、電力を保存し、雑音を禁止する。MCU ハードウェアの活動部分は、T A フリップフロップからの入力信号を監視する。もし割り込みを受信すれば MCU はステップ 4 7 4 において目覚め、ステップ 4 6 8 に戻って T A の動きをチェックする。このようにして、主プログラムは増幅器回路の較正を維持する。

休眠モードは有用であることが分かっている。それは、そのようにしなければ MCU 3 3 4 が増幅器回路を絶えず較正し続けるからである。これにより、抵抗測定回路には無関係である表示回路出力が周期的にジャンプされる。休眠モードはランダムなジャンプを排除し、安定期間中にコントローラ回路を休眠させることによって補償器回路を安定化させる。

主ルーチンに関して説明したように、サブルーチンは主ルーチン内の特定のタスクを遂行する。これらのサブルーチンに関して、それらが主プログラムにおいて呼出される順序に説明する。

遅延 (d l y 1) サブルーチン 4 8 0 は、実行ループのためのカウンタ定数ロードステ

10

20

30

40

50

ップ482、カウンタデクレメントステップ484、及びループの終わりチェックステップ486を含む。所要数のサブルーチンについてループを完了すると、サブルーチンはそれを呼出したプログラムに戻る。

メータ選択 (s e l m e t e r) 440サブルーチンは、主プログラムの初期化部分において呼出される。本発明のフィードバック及び制御回路は、前述し、引用した型の分圧器または抵抗ブリッジを使用するどのような先在Eメータに対しても適用することができる。本発明の回路及びソフトウェアは、好ましい実施例において説明した分圧器回路、または抵抗ブリッジ回路の何れとも動作するように構成することができる。メータ選択サブルーチンは、MCU上のポートピンをチェックする。このピンは、使用される抵抗測定回路の型に依存して、「高」または「低」電圧の何れかにされる。メータ選択サブルーチン490は、ピンチェックステップ492を含んでいる。もしこのピンが「高」であれば、分圧器回路のための初期化ステップ494が遂行される。そうでなければ、抵抗ブリッジ回路のための初期化ステップ496が遂行される。何れかの初期化ステップが完了すると、プログラムは主プログラムへ戻る。

a 2 d l o wサブルーチン500は、低分解能モードにおけるTAレベルを測定する。このサブルーチンは、MCUの内部アナログ・デジタル変換器を低分解能モードにセットする初期化ステップ502を含んでいる。次に、ステップ504においてアナログ・デジタル変換器 (a 2 d)サブルーチンが呼出される。戻されると、ステップ506においてアナログ・デジタル変換器はリセットされ、サブルーチンはそれを呼出したプログラムへ戻される。

a 2 d h i g hサブルーチン510は、高分解能モードにおけるTAレベルを測定する。このサブルーチンは、MCUの内部アナログ・デジタル変換器を高分解能モードにセットする初期化ステップ512を含んでいる。次に、ステップ514においてa 2 dサブルーチンが呼出される。戻されると、ステップ516においてアナログ・デジタル変換器がリセットされ、サブルーチンはそれを呼出したプログラムへ戻される。

高及び低分解能モードを使用することによって、8ビット内部アナログ・デジタル変換器を、低分解能が1 - 4.8Vの範囲内にあり、高分解能が4.8 - 5.2Vの範囲内にあって全電圧範囲が0 - 5.2Vを必要とする実質的に12ビットアナログ・デジタル変換器として動作させることができる。低分解能モードでは、AD変換器は、1.4V乃至5.2Vの電圧範囲を約67乃至255の10進値に対応させるように、TAワイパ電圧を直接感知する。高分解能モードでは、AD変換器は、TAワイパにおける約4.8V乃至5.2Vの範囲に対応する約1.0V乃至5.2Vの入力範囲を感知し、それを約49乃至255の10進値に対応させる。

アナログ信号測定ステップ522のa 2 dサブルーチン520は、ステップ500においてa 2 d l o wによって呼出された時にはMCUのピン14において測定したアナログ信号をデジタル値に変換し、ステップ510においてa 2 d h i g hによって呼出された時にはMCUのピン15において測定したアナログ信号をデジタル値に変換する。次いでa 2 dサブルーチン520は、MCUのアナログ・デジタル変換器が変換を完了させることを可能にする待機モードに入る。変換が完了すると、MCUはa 2 d i n tサブルーチン528へのアドレスベクトルを含む割り込み524を生成する。a 2 d i n tサブルーチン528はアナログ・デジタルデータを検索して記憶し、関連ハードウェアを終了させる (530)。a 2 d i n tサブルーチンはa 2 dサブルーチンに戻り、a 2 dサブルーチンはそれを呼出したプログラムへ戻る。

ブースタセットサブルーチン540は、可変抵抗回路内のブースタ抵抗を、可変抵抗回路のプログラマブル利得高部分とプログラマブル利得低部分との間でスイッチさせる。ブースタセットサブルーチンは、TAアナログ・デジタルセッティングが高分解能モードであるのか、または低分解能モードであるのかを決定するために、電圧電位を試験することを含む。もしステップ542において高分解能モードがセットされていると判断されれば、プログラムはプログラマブル利得高活動スイッチ544へジャンプする。そうでなければ、付加的な試験が行われる。この場合、もしTAレベルがプログラマブル利得低限界よりも大きければ、TAレベルとプログラマブル利得低限界とを比較するステップ546はブ

10

20

30

40

50

プログラマブル利得高活動ステップ544へジャンプする。そうでなければ、付加的な試験が遂行される。この場合、もしTAレベルがプログラマブル利得高限界よりも小さければ、TAレベルとプログラマブル利得高限界とを比較するステップ548はプログラマブル利得低活動ステップ550へジャンプする。そうでなければ、プログラマブルはプログラマブル利得高活動ステップ544へ進む。プログラマブル利得高活動ステップ544またはプログラマブル利得低活動ステップ550の何れの場合も、サブルーチンはプログラマブル利得ラッチリード552を対応する高または低セッティングに構成する。次いでsetboostルーチンは、それを呼出したプログラムへ戻る。

現在では好ましい実施例では、プログラマブル利得低限界値は、プログラマブル利得高限界値よりも小さい。当分野に精通していれば、この試験のためのTAレベルは常にプログラマブル利得高限界よりも小さいので、これらの場合、説明した流れ図ではプログラマブル利得高値に対する比較を必要としないことが理解されよう。しかしながら、代替実施例ではプログラマブル利得高限界がプログラマブル利得低限界よりも小さい。このセッティングは、セッティング間のスイッチングにヒステリシス関数をもたらす。これは、表示器回路を読み出す際の不要のジャンプを防ぐのに有用である。

setmodeサブルーチン560は、アナログ・デジタル変換器モードを高分解能モード、または低分解能モードの何れかにセットする。このサブルーチンは、TAレベルを高分解能限界と比較することを含む(562)。もしTAレベルが高分解能限界よりも大きければ、プログラムは高分解能ビットフラグを高に、即ち論理真にセットする(564)。そうでなければ、プログラムは高分解能ビットを低に、即ち偽にセットする(566)。高分解能ビットフラグをセッティングした後、プログラムはそれを呼出したプログラムへ戻る。

tafindサブルーチン570は、抵抗測定回路からの信号出力内の何等かの望ましくない特性を排除するのに必要な較正を決定するために、TAレベルを使用する。現在では好ましい実施例においては、能動較正はTAレベルを感知してTAセッティングの変化を検出する。分圧器の場合には、抵抗の変化を測定できるプログラム電圧範囲は、TAバッファされた電圧レベルの増加に正比例して減少する。TAレベルが5K乃至12.5Kの好ましい範囲より大きくなる、即ちこの範囲を超えると、生体の抵抗の変化を表す信号の振幅が相応に、そして望ましくなく減少する。tafindサブルーチンは、ルックアップテーブルを使用してこれらの変化を補償し、TA電圧の変化を補償するために増幅器回路内のフィードバックを相応に調整し、測定信号較正を維持して可変抵抗回路内の調整レベルを決定することによって、この問題を解消する。tafindサブルーチン570は、分圧器型または抵抗ブリッジ型抵抗測定回路のための正しいルックアップテーブルを探知するセットアップステップ572を含んでいる。次に、高分解能チェックステップ574は、デバイスが高分解能にあるのか、または低分解能にあるのかをチェックする。もし高分解能にあれば、高分解能のためのルックアップテーブルの部分がメモリスステップ576において探知される。次に、準備段階578において、MCUはTAレベル及びルックアップテーブル値をメモリ内にロードする。次いでTAチェックステップ58において、TAレベルがTAインデックス値に対して試験される。テーブル値は、MCUによって最低から最高への順序で読み出される。もしTAレベルがインデックスよりも小さければ、次のTAインデックス値がロードされ(582)、ルーチンは試験ステップ580へ戻される。そうでなければ、ルックアップステップ584において、対応するデジタルポテンシオメータ値がロードされる。次に、デジタルポテンシオメータ変化セットアップステップ586が、デジタルポテンシオメータの抵抗を変化させるのに必要な値をロードする。次いでサブルーチンは、それを呼出したプログラムへ戻る。

dpssetサブルーチン590は、デジタルポテンシオメータを調整するようにMCUを構成する。サブルーチン590は、レジスタロードステップ592、新位置計算ステップ594、及び新しい値がより高いか、より低いかを決定するチェックステップ596を含んでいる。もし値がより高ければ、上方へ運動させる方向フラグセットステップ598が遂行され、そうでなければ、下方へ運動させる方向フラグセットステップ600が遂行

10

20

30

40

50

される。次に、値がロードされてデジタルポテンシオメータの較正が開始される(602)。次いで、サブルーチンは、それを呼出したプログラムへ戻る。

clockpサブルーチン610は、TAポテンシオメータから測定した電圧レベルにตอบสนองしてデジタルポテンシオメータを較正する。このサブルーチンは、方向フラグチェックステップ612を含む。もしフラグが高であれば、デジタルポテンシオメータは上方にカウントするように信号される(614)。もしフラグが低であれば、デジタルポテンシオメータは下方にカウントするように信号される(616)。次に、動きがなかったか否かのチェックが行われる(618)。もし変化が0であれば、サブルーチンはそれを呼出したプログラムへ戻される。そうでなければ、デジタルポテンシオメータが初期化され(620)、可変抵抗を変化させ始める。デジタルポテンシオメータは、方向チェックステップ中に決定された方法に1単位だけ増分的に変化するよう信号される。好ましいデジタルポテンシオメータを使用する場合、この増分的な変化は100である。次に、遅延サブルーチン624が呼出され、デジタルポテンシオメータが信号を受信し、処理することが可能になる。カウンタがデクレメントされると、チェックが行われる(626)。カウンタが0より大きければ、プログラムは信号ステップ622へ戻り、デジタルポテンシオメータを別の増分ステップで前進させる。カウンタが0に到着すると、プログラムは終了し、それを呼出したプログラムステップへ戻される。

以上の説明から、本発明が、何等かの既知の所定の望ましくない特性に対して増幅器を能動的に較正するのに使用できることが理解されたであろう。これは、特性が識別され、その特性が内部信号の測定可能な変化に対応していれば達成することができる。マイクロプロセッサは、利得補償係数の「ルックアップテーブル」をメモリ内に格納しており、これらのテーブルは、総合入力抵抗の選択された各点毎の所与の抵抗変化の振幅を測定することによって経験的に導出されたものである。これらの補償係数に基づいて、必要利得及びそれらの対応フィードバック抵抗を計算し、それによって低電圧(76)電位対可変抵抗42内に確立されている利得抵抗のテーブルを確立することができる。

動作に際してデバイスは、低電圧電位76(図3)が5Kメータチェック抵抗68に対して平衡するように、トリムコントロール60(図3)、ブースタスイッチ回路48(図4B)、及び感度コントロール(図示してない)を調整することによって初期化される。次いで抵抗測定回路の外部リード64と66とにまたがって生体を接続する。生体の総合抵抗に従って回路を平衡させるために、低電圧電位76が生体の総合抵抗と平衡するまで手動調整デバイス78を動かす。生体内の総合抵抗と平衡を達成するように低電圧電位76を変化させている間、フィードバック回路52(図2及び4C)は低電圧電位76の変化を制御回路54に供給する。通常は休眠モードにある制御回路54は、デジタル回路28によって信号されると目覚めて、手動制御デバイス78を動かす。制御回路54は、調整が完了してしまうまで手動制御デバイス78の動きを監視する。調整が完了すると)制御回路54は、ルックアップテーブルを使用して利得調整値を決定し、補償器回路56に信号して増幅器回路の利得を調整させる。利得は、低電圧電位76の増加にตอบสนองして減少する感度の望ましくない特性を排除するように調整される。利得は、低電圧電位76の変化には無関係に感度を一定のレベルに維持するように自動的に調整される。

較正回路の代替実施例では、増幅器回路内に電圧制御演算増幅器が含まれている(図示してない)。この実施例では、低電圧電位76は増幅器の制御電圧入力に接続される。増幅器は、電圧フォロアのリード130(図4A)に対応する出力リードの所に、負入力リード及び出力リードと直列に配置することができる。正入力リードは一定の高電圧源に接続される。この演算増幅器は、低電圧電位の変化に比例して増幅器の利得を較正する。この目的に適する型の演算増幅器は、アリゾナ州トゥーソンのBurr Brown製VCA610である。

較正回路の第2の代替実施例では、手動調整デバイス78は普通の二連ポテンシオメータを含むことができる。この二連ポテンシオメータの第2の抵抗は非線形に増分的に、可変抵抗82の値(図3)に対して逆抵抗に調整されるものであることができる。第2のポテンシオメータは、参照電圧(図4C)と第2の演算増幅器回路(図4B)の負入力リード

10

20

30

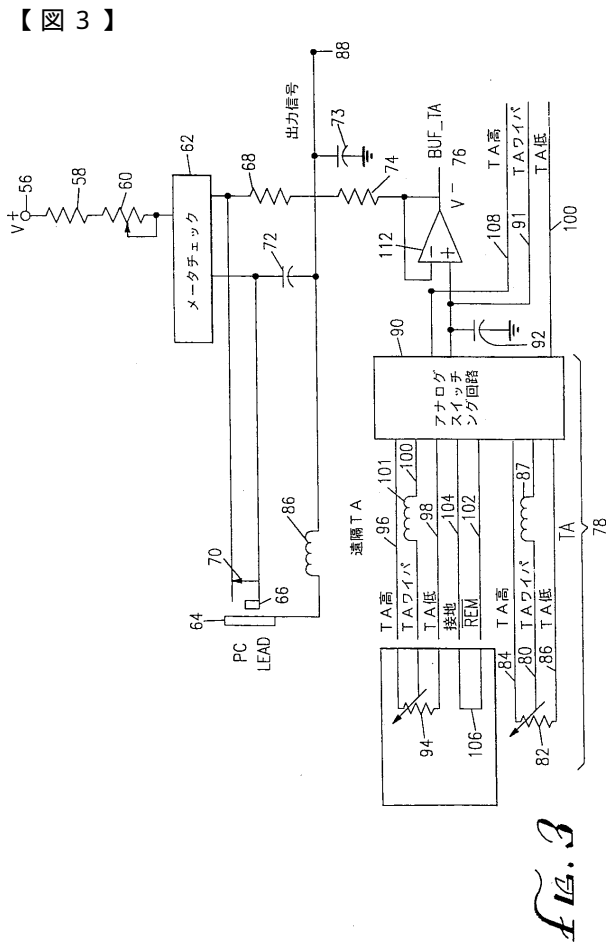
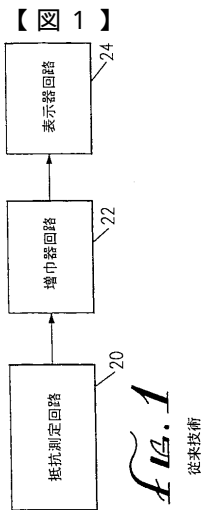
40

50

との間に接続される。

無線周波数緩衝を減少させることができる別の実施例は、本発明のためのハウジングの内面に被膜された無線周波数絶縁塗料を更に含むことができる。この目的のために適する塗料は、イリノイ州ポートバイロンのSandstrom Products Co.が製造、販売している S a n p r o A 4 0 5 (シルバリング E M I / R F I シールドコーティングペイントとしても知られている)である。

以上に本発明を、現在では最も実際的であると考えられるもの、及び好ましい実施例に関連して説明したが、本発明は開示した実施例に限定されるものではなく、その反対に、請求の範囲に記載されている本発明の思想の中に含まれる種々の変更及び等価配列をカバーすることを意図するものであり、その範囲はこれらの変更及び等価構造の全てを包含するように広義に解釈されるべきである。



【図2】

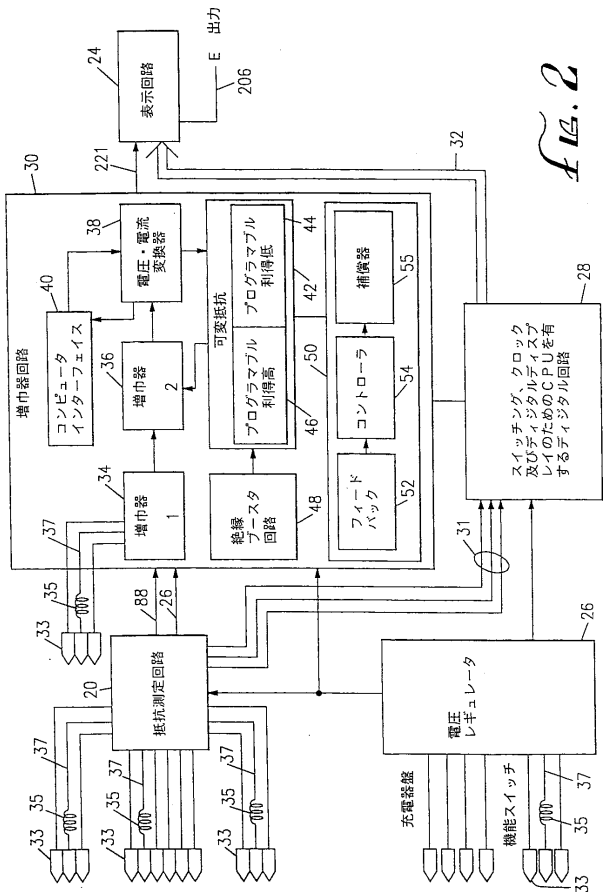


FIG. 2

【図4】

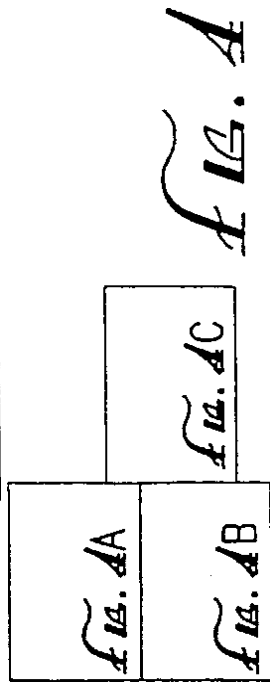


FIG. 4

【図4A】

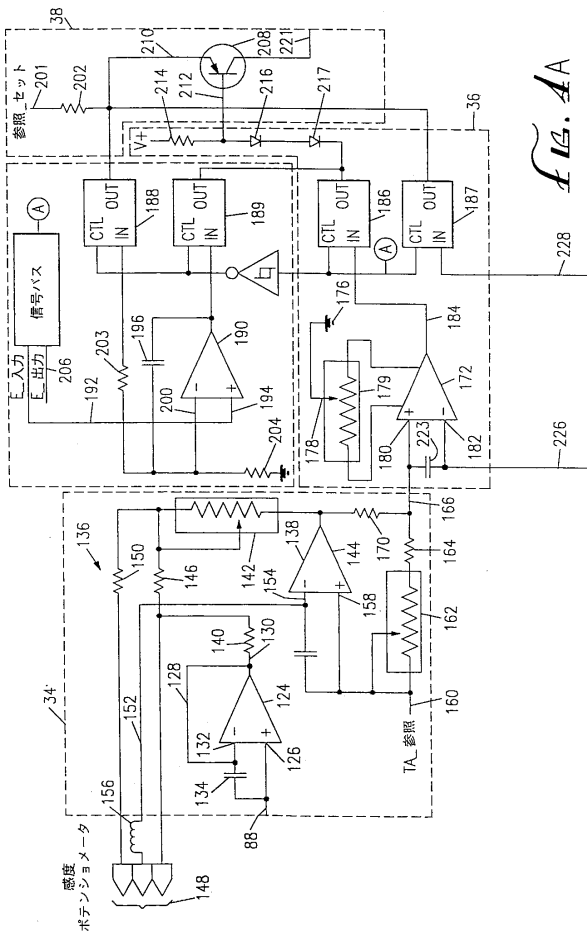


FIG. 4A

【図4B】

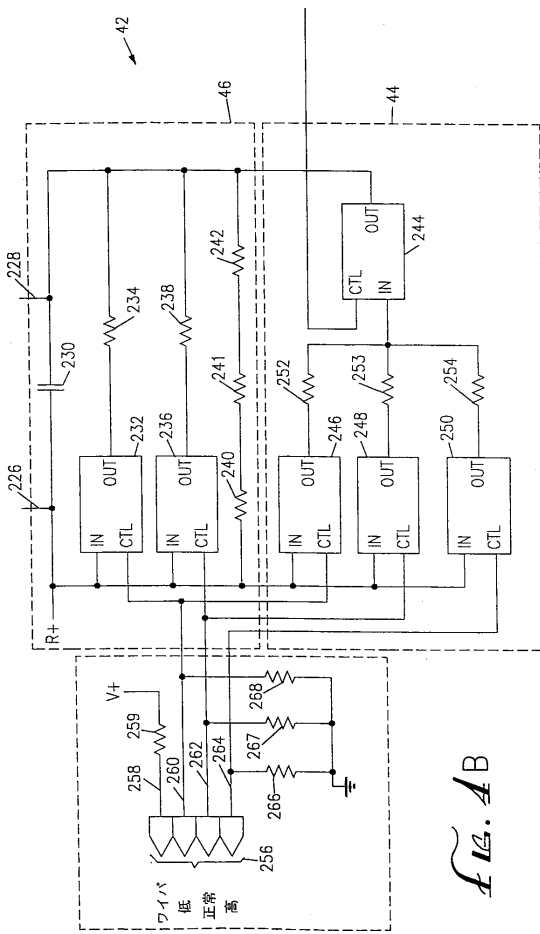


FIG. 4B

【図4C】

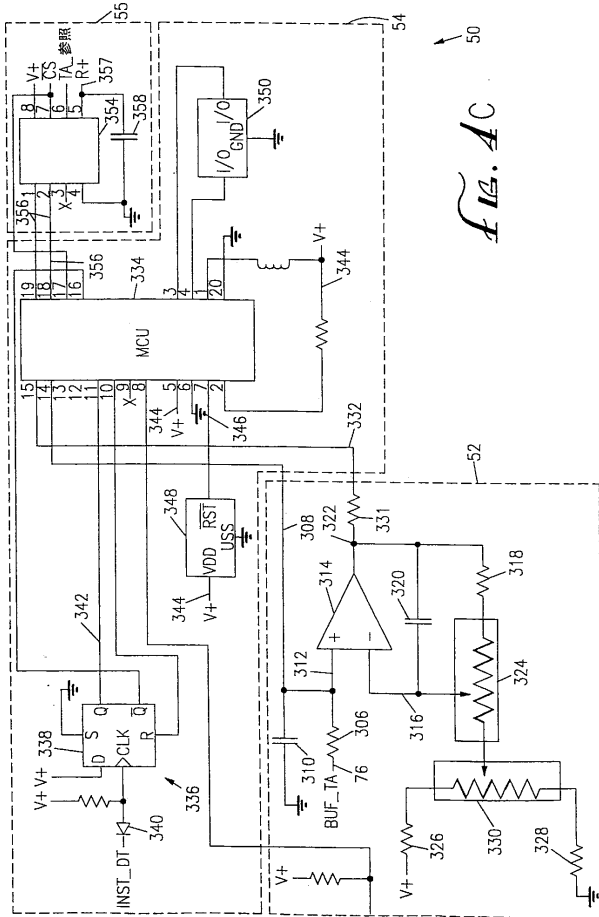


FIG. 4C

【図5A】

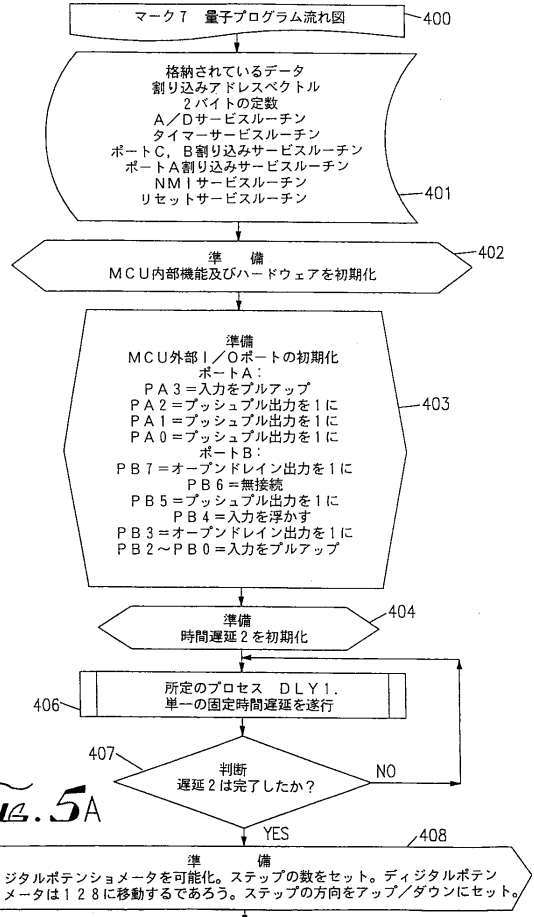


FIG. 5A

【図5B】

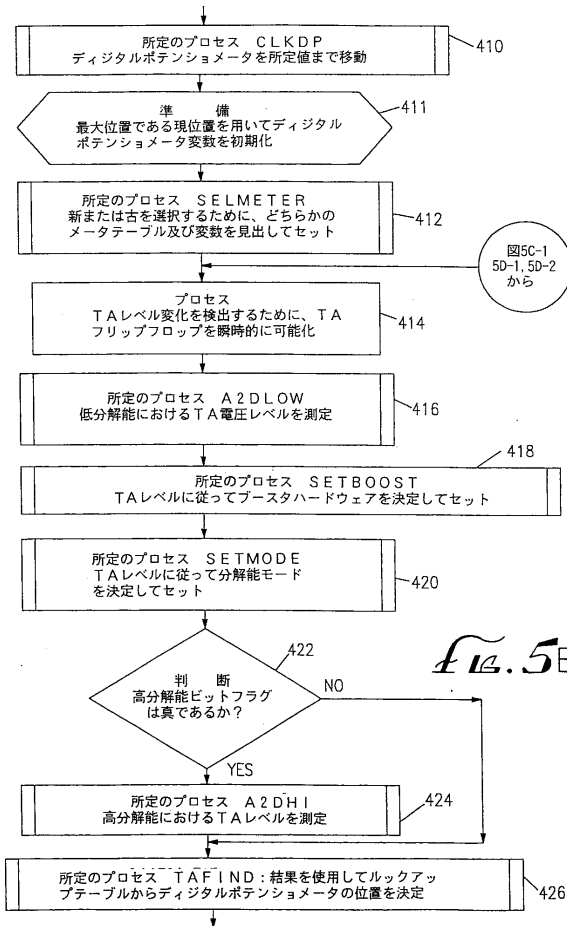


FIG. 5B

【図5C】

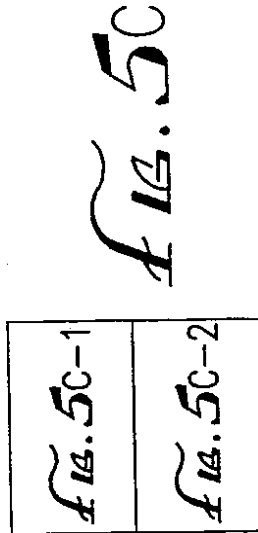


FIG. 5C

【図5C-1】

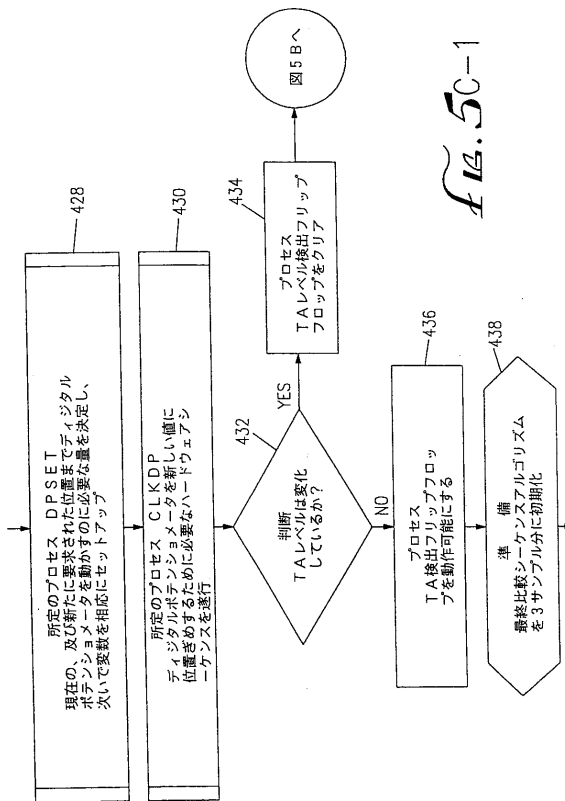


FIG. 5C-1

【図5C-2】

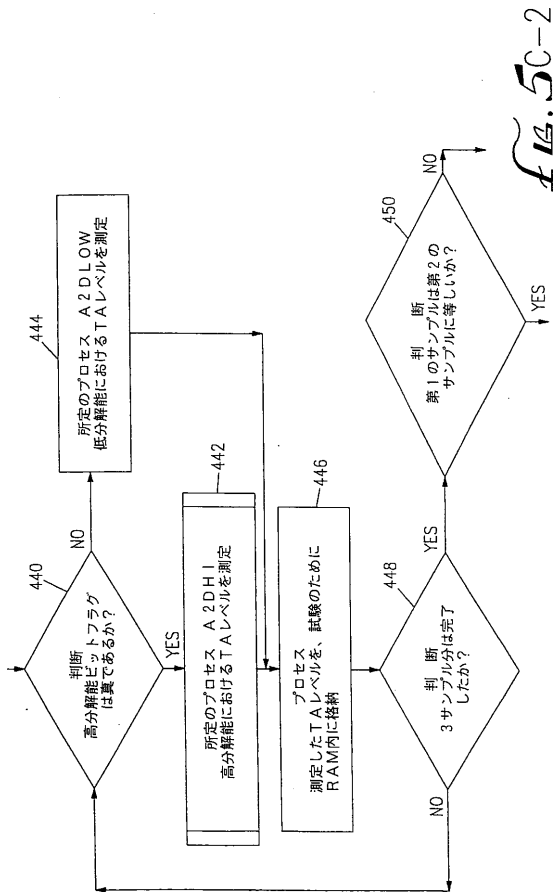


FIG. 5C-2

【図5D】

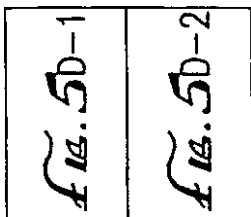


FIG. 5D

【図5D-1】

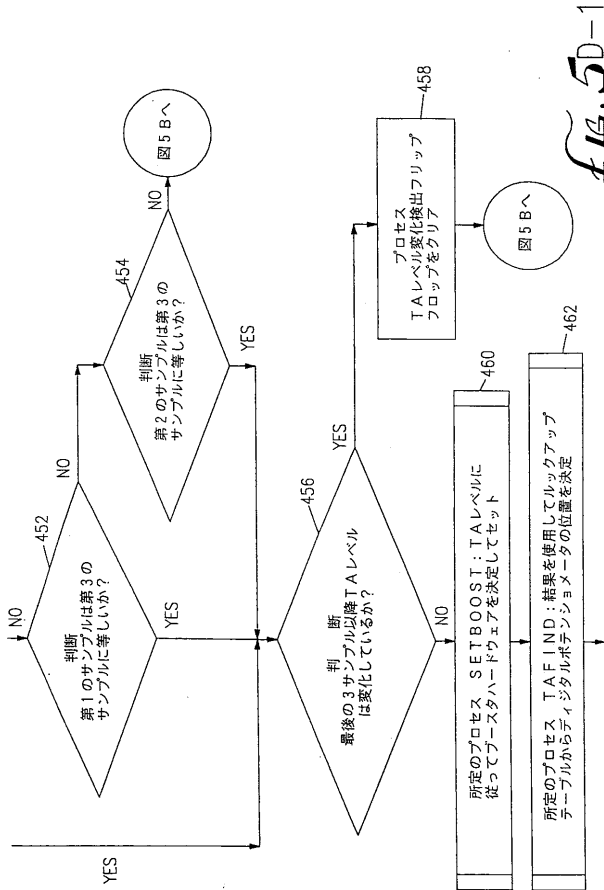


FIG. 5D-1

【図5D-2】

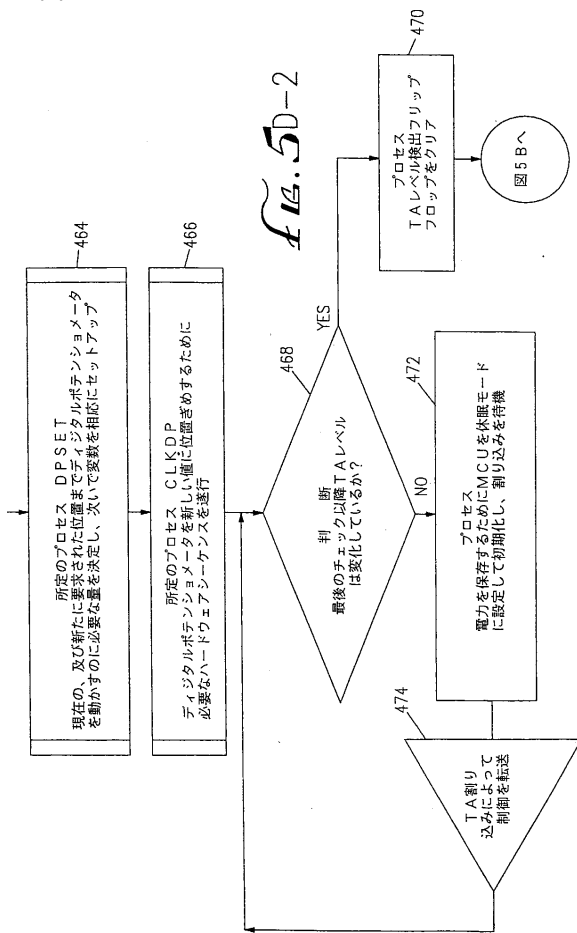


Fig. 5D-2

【図6】

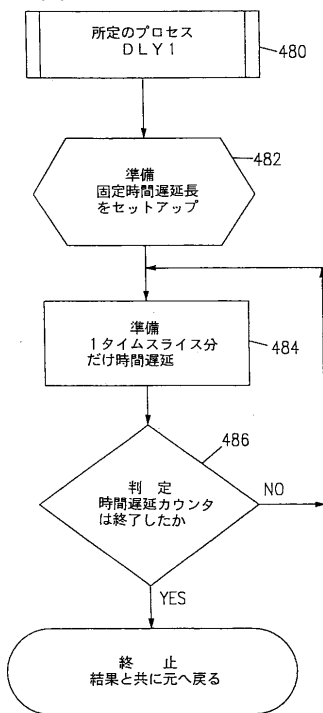


Fig. 6

【図7】

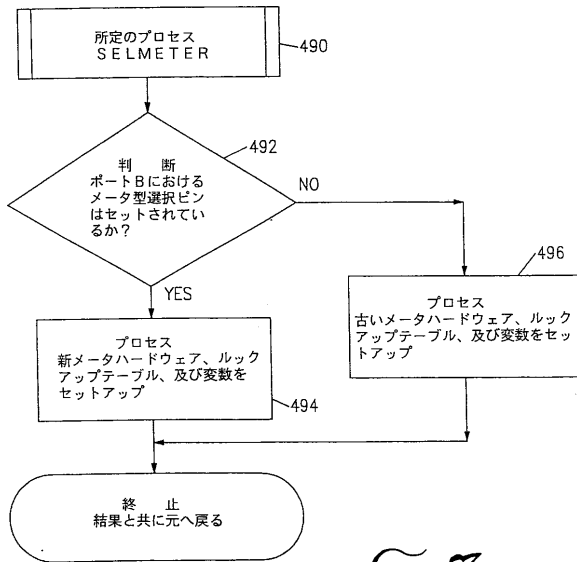


Fig. 7

【図8】

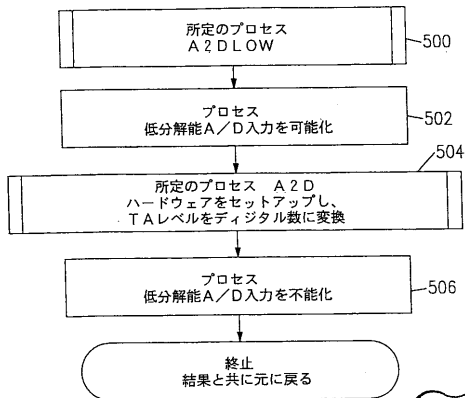


Fig. 8

【図9】

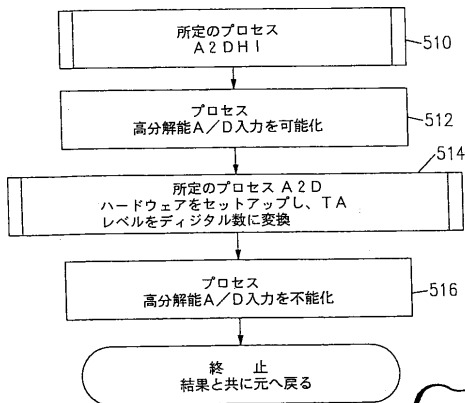


Fig. 9

【図10】

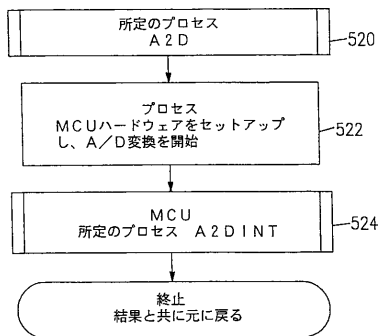


Fig. 10

【図11】

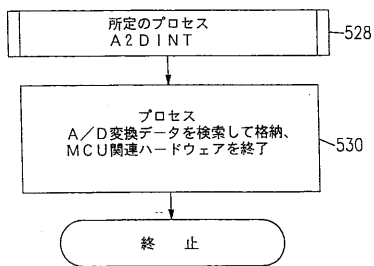


Fig. 11

【図13】

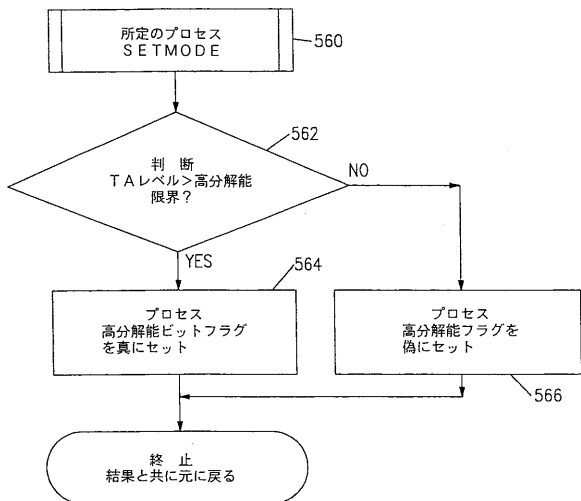


Fig. 13

【図12】

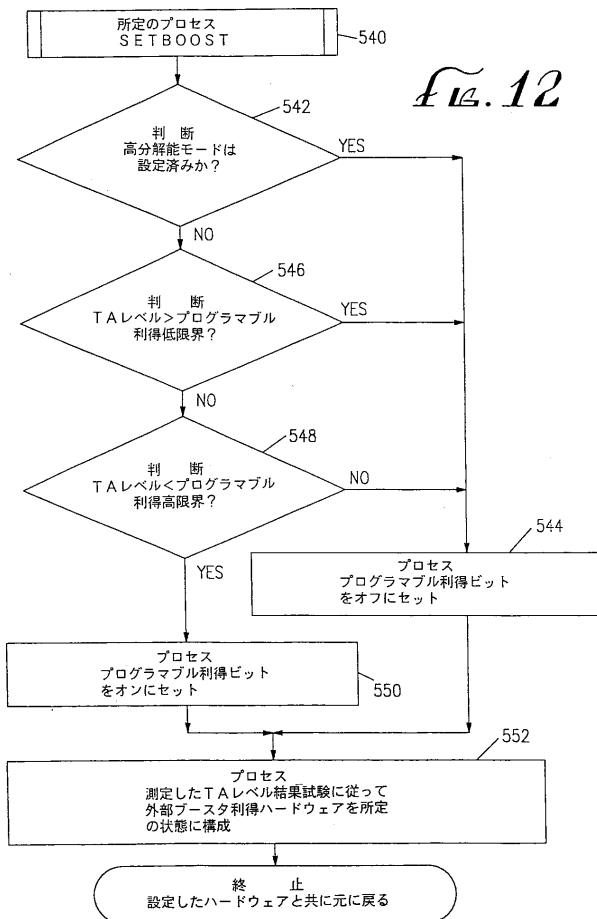


Fig. 12

【図14】

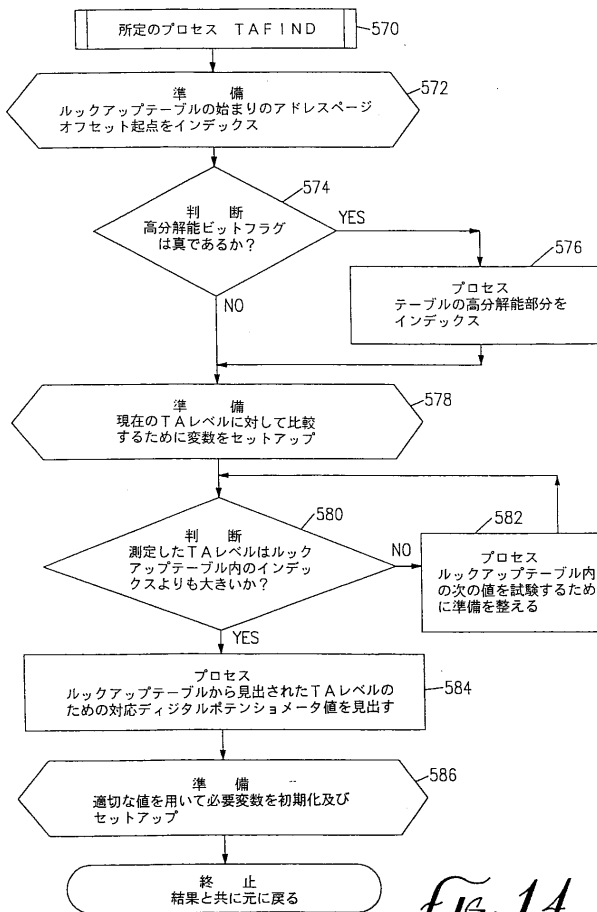


Fig. 14

【図15】

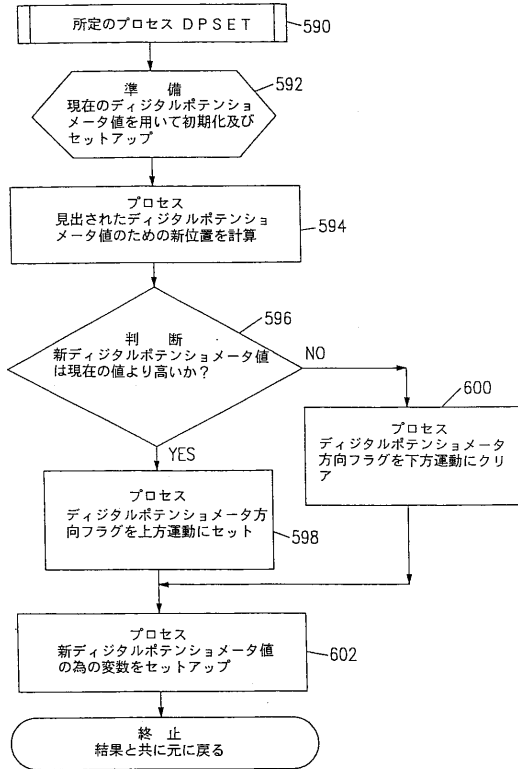


Fig. 15

【図16】

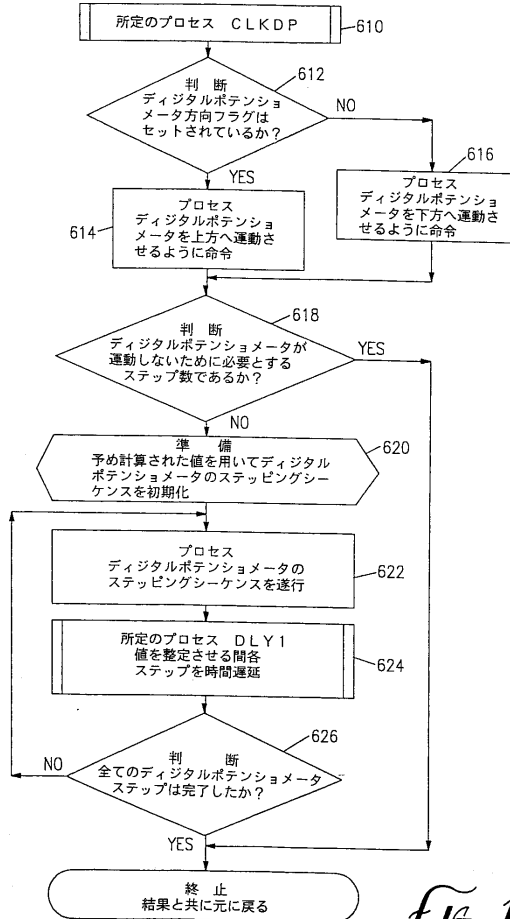


Fig. 16

フロントページの続き

- (72)発明者 ハバード ラファイト ロナルド
イギリス アールエイチ1 94 ジェイワイ サセックス イースト グリンスティード セント
ヒル マナー (番地なし)
- (72)発明者 マコーミック ジョン
アメリカ合衆国 カリフォルニア州 92570 ペリス サンタ ローザ マイン ロード 1
7305
- (72)発明者 スタヴロポロス ジェームズ
アメリカ合衆国 カリフォルニア州 90278 レドンド ビーチ ゲイツ アベニュー 20
17
- (72)発明者 スティーネット リチャード
アメリカ合衆国 カリフォルニア州 91720 コロナ アシンズ サークル 2850

審査官 谷垣 圭二

- (56)参考文献 特開昭61-141344(JP,A)
特開平06-254057(JP,A)
特開昭63-139531(JP,A)
実開平02-097675(JP,U)
米国特許第03971365(US,A)

- (58)調査した分野(Int.Cl., DB名)
A61B 5/05