(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.[4]
G11C 11/34

(11) 공개번호 특1988-0003328
(43) 공개일자 1988년05월16일

(21) 출원번호 특1987-0008484
(22) 출원일자 1987년08월01일
(30) 우선권주장 181567 1986년08월01일 일본(JP)
181568 1986년08월01일 일본(JP)
(71) 출원인 후지쓰 가부시끼가이샤 야마모도 다꾸마
일본국 가나가와껜 가와사끼시 나까하라꾸 가미고다나까 1015반지
(72) 발명자 스즈끼 아쓰시
일본국 가나가와껜 가와사끼시 사이와이꾸 오구라 1쪼오메 1 I-315
(74) 대리인 장용식

심사청구 : 있음

# (54) 반도체 메모리장치

## 요약

내용 없음

## 대표도

도5

## 명세서

[발명의 명칭]

반도체 메모리장치

[도면의 간단한 설명]

제5도는 본 발명의 실시예에 따른 반도체 메모리장치의 개략적인 다이아그램,

제6도는 1메모리 부분에 대한 제5도의 반도체 메모리 장치에의 신호입력 및 출력동작을 나타내며,

제7도는 제5도의 반도체 메모리 장치에 나타나는 신호의 파형을 도시하며.

본 내용은 요부공개 건이므로 전문 내용을 수록하지 않았음

## (57) 청구의 범위

### 청구항 1

N 메모리 세트를 포함하는 주메모리, 상기 메모리세트의 각각은 다수의 메모리 블록으로 구성되며, n이 N보다 작은 n 메모리 세트의 데이타를 기억하도록 채용된 캐쉬 메모리 및 중앙처리 장치로 된 데이타 처리시스템용 반도체 메모리 장치에 있어서: 상기 캐쉬 메모리에 있는 어드레스에 기억된 데이타의 메모리 세트를 각각 지정하는 상위 어드레스 부분의 어드레스 데이타를 기억하기 위한 메모리 수단, 상기 어드레스 데이타는 상기 캐쉬 메모리에 있는 상기 어드레스에 대응하는 상기 메모리 장치에 있는 어드레스에 기억되며, 양 어드레스는 상기 지정메모리 세트에 있는 메모리 블록을 지정하며, 상기 메모리 수단의 각 어드레스에 있는 어드레스 데이타의 유효/무효상태를 표시하는 유효비트를 기억하기 위한 수단, 및 모든 상기 유효비트를 초기화하기 위한 초기화수단으로 구성되는 것을 특징으로 하는 반도체 메모리 장치.

### 청구항 2

제1항에 있어서, 캐쉬 메모리의 태그메모리의 각 부분은 태그데이타 부분 및 유효비트 부분을 포함하는 것을 특징으로 하는 반도체 메모리 장치.

### 청구항 3

제2항에 있어서, 상기 태그데이타 부분은 비트라인, 워드라인, 메모리셀, 메모리셀용 전송게이트 및 전원 공급제어 트랜지스터 쌍들을 포함하는 것을 특징으로 하는 반도체 메모리 장치.

**청구항 4**

제3항에 있어서, 상기 전원공급제어 트랜지스터중 하나는 제어신호 ($PG_1$)를 수신하는 것을 특징으로 하는 반도체 메모리 장치.

**청구항 5**

제2항에 있어서, 유효비트부분은 한쌍의 비트라인, 워드라인, 메모리셀, 메모리셀용 전송게이트 및 전원공급제어 트랜지스터를 포함하는 것을 특징으로 하는 반도체 메모리 장치.

**청구항 6**

제5항에 있어서, 상기 전원공급제어 트랜지스터중 하나는 제어신호 ($PG_1$)를 수신하는 것을 특징으로 하는 반도체 메모리 장치.

**청구항 7**

제4항에 있어서, 유효비트 부분에 있는 각 워드라인은 NOR 게이트 및 반전기의 직렬회로와 연결되며, NOR 게이트는 제어신호($PG_2$)를 수신하는 것을 특징으로 하는 반도체 메모리 장치.

**청구항 8**

제1항에 있어서, 태그데이타 부분으로부터 판독된 데이타와 상위 어드레스 부분사이의 비교결과가 그들 사이에 일치를 나타낼 때 출력신호($S_i$)하이를 만들기 위해 비교기가 태그 메모리의 각 부분에 연결되는 것을 특징으로 하는 반도체 메모리장치.

**청구항 9**

제1항에 있어서, 기입버퍼는 태그메모리의 각 부분에 연결되어 기입신호에 응하여 태그메모리의 지정된 하위 어드레스 부분에 상위 어드레스 부분의 정보를 기입하며, 하위 어드레스 부분을 위한 유효비트 부분에 데이타 "1"의 기입은 기입신호에 일치하여 동시에 실행되는 것을 특징으로 하는 반도체 메모리 장치.

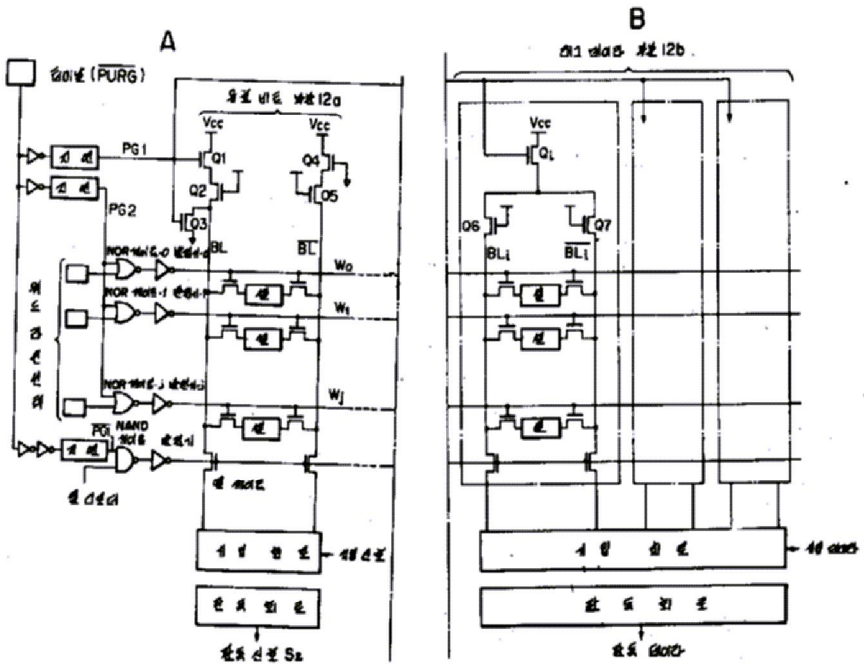
**청구항 10**

제1항에 있어서, 상기 초기와 회로는 메모리장치의 모든 워드라인을 선택하기 위한 워드라인 선택 회로 및 전원에 의한 태그데이타 부분의 모든 비트라인에 전압공급을 방지하며, 유효비트 부분의 메모리셀에 데이타 "0"을 기입하기 위한 유효비트 초기화 회로를 포함하는 것을 특징으로 하는 반도체 메모리장치.

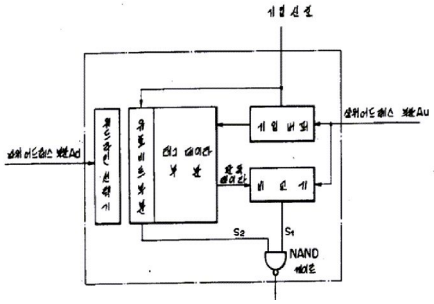
※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

## 도면

### 도면5



도면6




도면7

