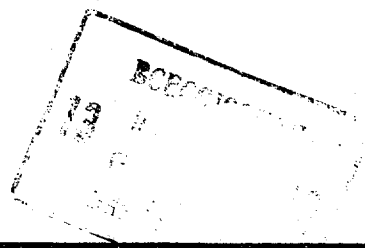




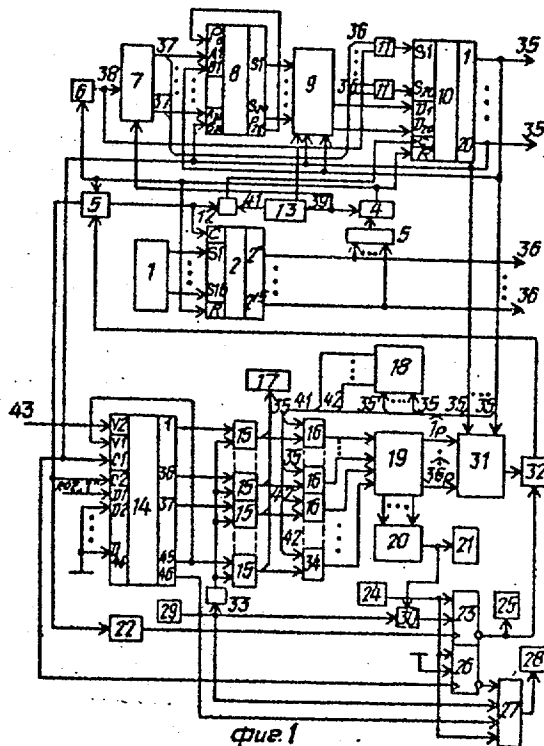
ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



(61) 1038926
(21) 3965539/24-24
(22) 16.10.85
(46) 15.03.87. Бюл. № 10
(72) А.Л.Самойлов
(53) 621.396(088.8)
(56) Авторское свидетельство СССР
№ 1038926, кл. G 05 B 23/02, 1981.
Авторское свидетельство СССР
№ 1137540, кл. G 11 C 29/00, 1983.
Авторское свидетельство СССР
№ 1073799, кл. G 11 C 29/00, 1982.

(54) УСТРОЙСТВО ДЛЯ ЗАДАНИЯ ТЕСТОВ
(57) Изобретение относится к регули-
рующим и управляющим системам общего
назначения и может быть использовано
для испытаний, контроля и диагности-
ки неисправностей устройств ввода-вы-
вода двоичной информации. Цель изо-
бретения - расширение области приме-
нения устройства за счет возможности
осуществления контроля блоков коррек-
ции ошибок, входящих в состав запо-
минающих устройств, путем введения



искусственной однократной ошибки в каждый разряд блока коррекции. Устройство содержит блок 1 установки адреса, первый счетчик 2 импульсов, дешифратор 3, второй формирователь 4 импульсов, генератор 5 тактовых импульсов, первый формирователь 6 импульсов, блок 7 задания начального кода, блок 8 сумматоров, коммутатор 9, регистр 10 числа, первый блок 11 элементов И, первый дополнительный элемент И 12, блок 13 управления, сдвигающий регистр 14, второй блок 15 элементов И, первый блок 16 эле-

ментов ИСКЛЮЧАЮЩЕЕ ИЛИ, блок 17 индикации, блок 18 кодирования, блок 19 декодирования, блок 20 обнаружения ошибок, третий элемент 21 индикации, элемент 22 задержки, второй D-триггер 23, блок 24 сброса, второй элемент 25 индикации, первый D-триггер 26, второй коммутатор 27, первый элемент 28 индикации, блок 29 отключения, элемент ИСКЛЮЧАЮЩЕЕ ИЛИ 30, блок 31 сравнения, второй дополнительный элемент И 32, элемент НЕ 33, второй блок 34 элементов ИСКЛЮЧАЮЩЕЕ ИЛИ. 6 ил.

1

Изобретение относится к регулирующим и управляющим системам общего назначения, а также к вычислительной технике, в частности к запоминающим устройствам, и может быть использовано для испытаний, контроля и диагностики неисправностей устройств ввода-вывода двоичной информации, в том числе запоминающих устройств.

Для выявления однократных ошибок блока коррекции, используемого в ЗУ, к которым предъявляются требования по исправлению однократных ошибок (как более вероятных), необходимо перевести однократную ошибку в двухкратную путем введения искусственной ошибки последовательно в каждый разряд блока коррекции. Возникающая при этом двухкратная ошибка в неисправном разряде блока коррекции не корректируется в нем и прибор контроля фиксирует характер ошибки. Ошибки более высокой кратности (2^x , 3^x и т.д. кратности) обнаруживаются в блоках коррекций с помощью известного устройства для задания тестов. Для этого должен быть предусмотрен режим отключения дополнительного теста, формирующегося с помощью предлагаемого технического решения.

Цель изобретения - расширение области применения устройства за счет возможности осуществления контроля таких ответственных компонентов ЗУ, как блоки коррекции ошибок.

На фиг. 1 приведена функциональная схема устройства; на фиг. 2 - схема

2

блока задания начального кода; на фиг. 3 - схема блока кодирования; на фиг. 4 - схема 1-го разряда блока 19 декодирования; на фиг. 5 - пример порождающей H-матрицы, корректирующего кода "45, 36"; на фиг. 6 - схема блока обнаружения ошибок.

Устройство содержит блок 1 установки адреса, первый счетчик 2 импульсов, дешифратор 3, второй формирователь 4 импульсов, генератор 5 тактовых импульсов, первый формирователь 6 импульсов, блок 7 задания начального кода, блок 8 сумматоров, коммутатор 9, регистр 10 числа, первый блок элементов И 11, первый дополнительный элемент И 12, блок 13 управления, сдвигающий регистр 14, второй блок 15 элементов И, первый блок 16 элементов ИСКЛЮЧАЮЩЕЕ ИЛИ, блок 17 индикации, блок 18 кодирования, блок 19 декодирования, блок 20 обнаружения ошибок, третий элемент 21 индикации, элемент 22 задержки, второй D-триггер 23, блок 24 сброса, второй элемент 25 индикации, первый D-триггер 26, второй коммутатор 27, первый элемент 28 индикации, блок 29 отключения, элемент ИСКЛЮЧАЮЩЕЕ ИЛИ 30, блок 31 сравнения, второй дополнительный элемент И 32, элемент НЕ 33, второй блок 34 элементов ИСКЛЮЧАЮЩЕЕ ИЛИ, первую и вторую группы выходов 35 и 36 устройства, выходы 37 блока 7 задания начального кода, выход 38 первого формирователя импульсов, первый 39, третий 40,

второй 41 выходы блока управления, выходы 42 кодирующего блока, управляющий вход 43 устройства.

Блок 7 задания начального кода (фиг.2) содержит элемент И 44, элемент 45 задержки, элемент И-НЕ 46, сдвигающий регистр 47, установочный регистр 48, переключатель 49.

Блок 13 управления (фиг.2) содержит кнопку 50 сброса, триггер 51, переключатель 52.

Блок 18 кодирования (фиг.3) содержит сумматоры 53 - 61 по модулю 2, на которые подается информация в соответствии с порождающей H-матрицей, приведенной на фиг.5.

Блок 19 декодирования (фиг.4) содержит блок 62 мажоритарных элементов, сумматоры 63 по модулю 2. Блок 19 декодирования для корректирующего кода "45, 36" содержит 36 одинаковых разрядов в соответствии с разрядностью скорректируемой информации. Количество мажоритарных элементов 62 равно количеству разрядов блока 19 декодирования. Количество сумматоров 63 по модулю 2 вдвое больше. На входы сумматоров по модулю 2 заведены разряды информации в соответствии с H-матрицей (фиг.5). Пример организации первого разряда блока 19 декодирования показан на фиг.4. На первый сумматор 63 заведены 2...8 и 37 разряды, на второй сумматор 63 - 1, 9...15 и 38 разряды. Сам корректируемый 1-й разряд заведен непосредственно на один из входов мажоритарного элемента 62. Два других входа мажоритарного элемента 62 соединены с соответствующими выходами сумматоров 63 по модулю 2. Выход мажоритарного элемента 62 является первым информационным выходом скорректированной информации, соединенным с первым выходом 35 устройства. Аналогично выполнены и другие разряды блока 19.

Блок 20 обнаружения ошибок (фиг.6) содержит элемент И 64 и блок трехвыходных элементов 65 сравнения.

Блок 1 установки адреса предназначен для фиксации счетчика 2 импульсов в положении "0" или "1" при локализации неисправностей в проверяемом блоке, а также для сокращения разрядности счетчика в зависимости от информационной емкости объекта испытаний. В опытном варианте в блоке установки адресов применен 16-раз-

рядный тумблерный регистр, обеспечивающий установку разряда счетчика в одно из трех положений "1", "0", "Счет".

Счетчик 2 импульсов предназначен для формирования полного набора управляющих символов, стимулирующих входное воздействие на адресные шины контролируемого блока, а также для получения информации о конце цикла программы контроля. В опытном образце использован 16-разрядный счетчик импульсов.

Дешифратор 3 служит для получения сигнала запуска формирователя 4 импульсов при достижении максимального состояния счетчика 2 импульсов.

Второй формирователь 4 импульсов необходим для установки в исходное положение регистра 10 числа, счетчика 2 импульсов, запуска первого формирователя 6 импульсов и подготовки генератора 5 тактовых импульсов к работе в следующем цикле. Формирователи 4 и 6 импульсов выполнены на стандартных логических элементах И-НЕ.

Генератор 5 тактовых импульсов вырабатывает последовательность импульсов для изменения состояния счетчика 2 импульсов, регистра 10 числа и сдвигающего регистра 14. В опытном образце применен генератор на микросхемах И-НЕ с периодом следования импульсов 0,5; 1; 2; 4; 10000 мкс.

Первый формирователь 6 импульсов управляет работой блока 7 задания начального кода и блока И 11 элементов. Блок 7 задания начального кода формирует исходный код тестовой программы в виде 20-разрядного двоичного числа, меняющего свое значение после прохождения полного цикла контроля испытуемого блока. Блок 8 сумматоров с кольцевым переносом вырабатывает тесты типа "Псевдослучайный код". Для повышения быстродействия в опытном образце применен 20-разрядный сумматор на микросхемах 133ИМ3 с переносом, запоминаемым на счетных триггерах.

Коммутатор 9 предназначен для трансляции кода числа с блока 8 сумматоров или с i-го выхода на i + 1 вход регистра 10 числа. Коммутатор 9 переключается с блока 13 управления в зависимости от режима, выбранного оператором. Коммутатор 9 выполнен на логических элементах 2И-ИЛИ-НЕ.

Регистр 10 числа служит для запоминания двойчного кода, поступающего с коммутатора 9. В опытном образце используют 20-разрядный регистр числа на D-триггерах со счетным входом (микросхемы серии 133ТМ2).

Блок 11 элементов И является буферным каскадом в цепи импульсной установки в регистр 10 числа исходного кода, поступающего с блока 7 начального кода.

Элемент запрета И 12 запрещает прохождение счетных импульсов на регистр 10 числа. Сигнал запрета подается с блока 13 управления в режиме формирования теста "Постоянный код".

Блок 13 управления служит для установки в исходное состояние регистра 10 числа, счетчика 2 импульсов, генератора 5 тактовых импульсов, блока 7 задания начального кода, а также для управления работой коммутатора 9 и элемента И 12. Изменение режимов работы осуществляет оператор с помощью кнопки 50 и переключателя 52, введенных на панель управления.

Сдвигающий регистр 14 формирует сигнал "Бегущая 1" для поочередного внесения ошибки в каждый из разрядов входной информации блока 19 декодирования. Исходная информация в виде кода 0...01 вводится в регистр 14 при поступлении на второй управляющий вход (V_2) потенциала. "1" из прибора контроля, куда входит устройство для задания тестов. Этот сигнал формируется в приборе контроля в режиме записи информации. При этом с поступлением из генератора 5 синхросигнала на второй синхровход C_2 регистра 14 происходит запись кода, действующего на входах $D_1...D_{46}$. При переходе прибора контроля в режим считывания со сравнением (т.е. с анализом на блоке 31 сравнения) потенциал на втором управляющем входе V_2 становится нулевым, что соответствует разрешению сдвига информации, который происходит при поступлении на первый синхровход C_1 синхросигналов. Этот нулевой потенциал на втором управляющем входе V_2 запрещает запись информации с входов $D_1...D_{46}$ на время работы прибора контроля в режиме считывания. При переключении прибора контроля в режим записи работа регистра 14 повторяется.

В опытном образце для проверки кодирующе-декодирующих блоков 18 - 20

с корректирующим кодом "45, 36" используют 46-ти разрядный сдвигающий регистр на микросхемах 133ИР1.

Блок 15 элементов И служит для 5
запрещения прохождения сигналов с сдвигающего регистра 14 на входы блоков 16 и 34 элементов ИСКЛЮЧАЮЩЕЕ ИЛИ в режиме отключения ошибки. Сигнал запрета поступает из блока 29 10
отключения ошибки через элемент НЕ 33.

Блоки 16 и 34 элементов ИСКЛЮЧАЮЩЕЕ ИЛИ обеспечивают инверсию значения сигнала того разряда, на который 15
в данный момент поступает "1" из сдвигающего регистра 14 через блок 15 элементов И. При этом вводится искусственная ошибка на один из входов блока 19 декодирования. В опытном образце блоки 16 и 34 позволяют 20
использовать 45-разрядный код и реализованы на микросхемах 133ЛП5.

Блок 17 индикации необходим для 25
высвечивания в момент останова прибора контроля номера разряда, в который вводится в данный момент времени ошибка для дальнейшего анализа характера ошибки. В опытном образце 30
используется 45-разрядный индикатор на светодиодах. Блок 18 кодирования служит для формирования избыточной информации, необходимой для обнаружения и коррекции ошибок в блоке 19 декодирования и блоке 20 обнаружения 35
ошибок. В опытном образце для корректирующего кода "45, 36" используется 9-разрядный блок кодирования, обеспечивающий обнаружение и коррекцию 40
ошибок 36-разрядной информации, с мажоритарным декодированием. В блоке 18 кодирования формируется избыточная информация (дополнительные разряды). В конкретном случае основная информация содержит 36 разрядов, а избыточная 9. При этом 37-й избыточный разряд формируется при сложении значений разрядов, отмеченных в строке 37-го разряда N-матрицы (фиг.5), на сумматоре по модулю 2. 45
При этом на входы первого сумматора 53 заведены в соответствии с N-матрицей 1...8 разряды. На входы второго сумматора 54, формирующего на своем выходе информацию 38-го избыточного разряда, заведены 1, 9... 15 разряды и т.д. 50
55

Блок 19 декодирования осуществляет исправление однократных ошибок и

формирует промежуточные признаки ошибок для блока 20 обнаружения ошибок. В опытном образце для корректирующего кода "45, 36" используется 36-разрядный блок 19 декодирования, обеспечивающий исправление однократных ошибок в 36-разрядной информации.

Блок 19 декодирования работает следующим образом.

Для примера рассмотрим работу первого разряда блока 19 декодирования. В первом разряде блока 19 обеспечивается коррекция (исправление) 1-го разряда информации. Если на вход блока 19 поступает информация с искаженным значением 1-го разряда, то эта неверная информация попадает на один из входов мажоритарного элемента 62. На другие входы мажоритарного элемента поступают суммарные значения с выходов сумматоров 63 по модулю 2. Эти значения на обоих выходах сумматоров 63 равны истинному значению первого разряда информации, так как сумма получается сложением по модулю 2 тех разрядов, какие участвуют в формировании избыточных разрядов, содержащих информацию о первом разряде. Так, например, первый разряд попадает на сумматоры формирования 37 и 38-го избыточных разрядов (фиг.3) блока 18 кодирования. Следовательно, на первый сумматор 63 заводятся все разряды, кроме первого (включая избыточный 37-й разряд), участвовавшие в формировании 37-го разряда. Аналогично, на втором сумматоре 63 заводятся все разряды кроме первого (включая 38-й разряд), участвовавшие в формировании 38-го разряда. Исходя из условия исправления только однократных ошибок (ошибка в 1 разряде на входе декодера 19) будем полагать, что на все остальные входы 2...15, 37, 38 разрядов обоих сумматоров 63 поступает правильная информация. В этом случае на выходах обоих сумматоров правильная информация, соответствующая истинному значению первого разряда. При этом на два из трех входов мажоритарного элемента 62 поступает правильное значение первого разряда. Мажоритарный элемент 62 формирует на своем выходе правильное значение, соответствующее истинному значению 1-го разряда информации, т.е. мажоритарный элемент 62 выполняет функцию выбора сигнала по большинству значений на его входах. Аналогично выполняется коррек-

ция однократной ошибки и в других разрядах информации.

Блок 20 обнаружения ошибок формирует окончательный признак однократных и двухкратных ошибок. Особенностью блока 20 обнаружения ошибок является то, что входы трехвходовых схем 65 сравнения подключены не ко всем разрядам блока 19 декодирования, а только к 5 разрядам - к 1, 16, 27, 34 и 36. Это объясняется тем, что эти разряды блока 19 декодирования имеют информацию обо всех разрядах информации, поступающей на входы блока 19. Таким образом, для корректирующего кода 45, 36 разрядов минимально необходимая разрядность блока 20 обнаружения ошибок - 5. Схема блока 20 обнаружения ошибок обеспечивает обнаружение всех однократных и двухкратных ошибок. При этом формируется сигнал неисправности, поступающий на выход блока 20 обнаружения ошибок.

Блок 20 обнаружения ошибок работает следующим образом.

Если в каком-либо разряде блока 19 декодирования на входы соответствующего мажоритарного элемента 62 (фиг.4) поступают разноименные значения информации, что свидетельствует о наличии однократной или двухкратной ошибки, то эти сигналы обязательно попадают на один или несколько элементов 65 сравнения. При этом, вследствие неравнозначности сигналов, схема сравнения на своем выходе формирует сигнал нулевой полярности, который проходит через элемент И 64 и поступает на выход блока 20 обнаружения ошибок в виде сигнала ошибки нулевой полярности.

Блок 18 кодирования, блок 19 декодирования и блок 20 обнаружения ошибок являются в зависимости от ситуации объектами контроля или эталонными устройствами. Причем, объектом контроля может быть только один из трех указанных блоков, а два других должны быть эталонными, прошедшими все надлежащие виды контроля.

Элемент 21 индикации сигнализирует о наличии ошибки, зафиксированной в блоке 20 обнаружения ошибок. Элемент 22 задержки осуществляет задержку сигнала относительно импульса сдвига на время переходных процессов в блоках 14, 15, 16, 18, 19, 20. Д-триггер 23 запоминает сигнал ошибки,

поступающий из блока 20 обнаружения ошибок через элемент ИСКЛЮЧАЮЩЕЕ ИЛИ 30. Блок 24 сброса необходим для приведения Д-триггеров 23 и 26 и коммутатора 27 в исходное состояние. Сигнал сброса формируется с помощью кнопки.

Элемент 25 индикации включается в положение "Брак", если в Д-триггер 23 записывается сигнал ошибки. В опытном образце элемент 25 индикации выполнялся на светодиоде.

Д-триггер 26 служит для формирования сигнала окончания цикла контроля, который проходит через коммутатор 27 и включает элемент 28 индикации "Норма".

Коммутатор 27 пропускает сигнал с выхода Д-триггера 26 или с выхода 46-го разряда сдвигающего регистр 14 на элемент 28 индикации.

Элемент 28 индикации включается в положение "Норма" в режиме отключения ошибки от Д-триггера 26, а в режиме с включением ошибки - от 46-го разряда сдвигающего регистра 14. В опытном образце элемент 25 индикации выполнялся на светодиоде.

Блок 29 отключения ошибки необходим для управления устройством при переключении его в режим работы без внесения искусственной ошибки или в режим с имитацией однократной ошибки. В опытном образце блок 29 выполнялся в виде тумблера, формирующего логический "0" при включении ошибки и логическую "1" при отключении ошибки.

Элемент ИСКЛЮЧАЮЩЕЕ ИЛИ 30 формирует признак ошибки в зависимости от режима работы. При этом признак неисправности на выходе элемента 30 будет только в случае появления признака ошибки на выходе блока 20 обнаружения ошибки при отключенной ошибке в блоке 20 или в случае отсутствия ошибки при включении ошибки в блоке 29. Таблица истинности работы элемента 30 описывается следующим образом.

Блок 31 сравнения проверяет на идентичность эталонную информацию с выхода регистра 10 числа и информацию с выхода блока 19 декодирования. При неравенстве эталонной и проверяемой информации блок 31 сравнения формирует сигнал неравенства и высвечивает номера разрядов, в кото-

рых произошло несравнение. В опытном образце 36-разрядный блок 31 сравнения выполнялся на микросхемах 133ЛП5 со светодиодной индикацией неисправных разрядов.

Элемент И 32 пропускает сигнал ошибки нулевой полярности с выхода блока 31 сравнения и с выхода Д-триггера 23 на вход останова генератора 5 импульсов.

В опытном образце в целях экономии оборудования, повышения быстродействия и улучшения условий работы оператора используются 20-разрядные блоки 7 - 11. Следовательно, эталонная информация на выходе 35 регистра 10 числа была 20-разрядной для объектов контроля (блоков 18 - 20), для корректирующего кода "45, 36" с мажоритарным декодированием - 36. Поэтому выходная информация с выхода 35 регистра 10 числа в опытном образце распараллеливалась на входах блоков 16, 18 и 31. Так, например, с выхода 1-го разряда регистра 10 числа информация подается на 1 и 21 разряды входов блоков 16, 18, 31, с выхода 2-го разряда регистра 10 числа - на 2 и 22 разряды входов блоков 16, 18 и 31 и т.д. Вероятность пропуска ошибки при таком сокращении разрядности блоков 7 - 11 менее 10^{-9} , что вполне допустимо для контрольной аппаратуры. Принципиального ограничения в разрядности блоков 7 - 11 нет.

Устройство работает следующим образом.

Устройство обеспечивает формирование тестов типа "Псевдослучайный код", "Сдвиговый код", "Постоянный код", а также вновь введенного теста проверки кодирующе-декодирующих блоков, входящих в состав ЗУ с обнаружением и исправлением ошибок.

Исходное состояние устройства для задания тестов определяется переключателем 49 (фиг.2) тумблеров 48 установочного регистра в блоке 7 задания начального кода, переключателем 52, кнопкой 50 в блоке 13 управления и тумблером в блоке 29 отключения ошибки.

Формирование теста типа "Псевдослучайный код". Для работы в этом режиме оператор устанавливает переключатель 52 (фиг.2) в блоке 13 управления в положение "Перем.". Положение переключателей 49 и установочного регистра 48 в блоке 7 задания началь-

ного кода может быть произвольным в зависимости от выбранной вариации (т.е. со сдвигом начального кода или без него), а также с произвольным начальным кодом, набираемым на тумблерах установочного регистра 48). Положение тумблера в блоке 29 отключения ошибки безразлично, так как выходная информация снимается в этом режиме с выходов 35, а блоки 14 - 33 в работе не участвуют.

С блока 13 управления подается сигнал на управляющий вход коммутатора 9, разрешающий прохождение двоичного числа с выхода блока 8 сумматоров на Д-входы регистра 10 числа. Одновременно с блока 13 управления поступают сигналы разрешения на управляющий вход элемента И 12. Для приведения устройства в исходное состояние в блоке 13 управления формируется сигнал сброса, который проходит через формирователь 4 импульсов и устанавливает в начальное состояние счетчик 2 импульсов, регистр 10 числа, генератор 5 тактовых импульсов и поступает на формирователь 6 импульсов, где по заднему фронту вырабатывается сигнал, устанавливающий в исходное состояние блок 7 задания начального кода, в котором оператор предварительно набирает исходный код с помощью регистра 48. Исходный код с выхода блока 7 установки начального кода через блок 11 элементов И записывается в регистр 10 числа, формируя двоичный код, который является первым испытательным информационным стимулом псевдослучайного теста. Затем тактовые импульсы с генератора 5 импульсов поступают на счетный вход счетчика 2 импульсов и через элемент И 12 - на счетный вход регистра 10 числа.

Исходное число с блока 7 задания начального кода поступает на вторые А-входы блока 8 сумматоров, на первые В-входы которого приходит двоичный код с выхода регистра 10 числа. В блоке 8 сумматоров происходит сложение исходного числа с кодом, ранее записанным в регистр 10 числа с блока 7 заданий начального кода. Например, из блока 7 задания начального кода поступает число 00011001 (для примера взято восьмиразрядное слово), которое является первым проверочным стимулом. Вторым провероч-

ным стимулом является результат от сложения

00011001

+

00011001

00110010..

С выхода блока 8 сумматоров двоичный код транслируется через коммутатор на Д-входы регистра 10 числа и при поступлении первого тактового импульса с элемента И 12 записывается в него. Так заканчивается формирование второго информационного стимула, который с выходов 31 регистра 10 числа посылается в испытываемый блок и на первый В-входы блока 8 сумматоров, где происходит сложение результирующего кода с исходным кодом, т.е.

00110010

+

00011001

01001011..

При поступлении на С-вход регистра 10 числа тактового импульса результат суммирования записывается через коммутатор 9 в регистр 10 числа, образуя третий испытательный стимул теста. Аналогично получают четвертый тест

01001011

+

00011001

01100100..

Чтобы проанализировать полученные тесты, их выписывают в порядке следования

00011001

00110010

01001011

01100100..

Представленные тесты не имеют упорядоченной структуры, но строго детерминированы во времени, т.е. мо-

гут быть повторены в той же последовательности, что необходимо при контроле запоминающих устройств, когда в первом цикле проверки осуществляется запись информации, а в следующем — считывание. Такие тесты носят название "псевдослучайные". Всего в предлагаемом устройстве может быть сформировано $M = 2^n$ тестов, где M — информационная емкость испытуемого блока, $n = 1, 2, 3 \dots 16$ — разрядность счетчика 2 импульсов.

Одновременно с формированием испытательных тестов на контролируемый блок посылаются упорядоченные тесты со счетчика 2 импульсов, являющиеся адресными стимулами (кодами адреса), по которым посылаются проверочные тесты в испытуемый блок.

Упорядоченные коды адреса вырабатываются следующим образом.

На блоке 1 установки адреса оператор задает необходимую разрядность счетчика 2 импульсов. С блока 13 управления через формирователь 4 импульсов поступает сигнал на обнуляющий вход счетчика 2 импульсов, устанавливая его в нулевое состояние.

Код первого адресного стимула на выходах 36 устройства имеет вид 00...00. С приходом первого тактового импульса на счетный вход счетчика 2 импульсов меняет на единицу свое состояние, формируя код адресного стимула, по которому в испытуемый блок 35 поступает второй информационный стимул с выходов 35 регистра 10 числа.

При достижении максимального состояния счетчика 2 импульсов сигнал с выхода дешифратора 3 запускает формирователь 4 импульсов, с выхода которого сигнал устанавливает регистр 10 числа и счетчик 2 импульсов в нулевое состояние и подготавливает генератор 5 импульсов к работе в следующем такте. По заднему фронту сигнала формирователя 4 импульсов запускается формирователь 6 импульсов, который управляет работой блока 7 задания начального кода и блоком 11 элементов И.

Таким образом, с выходов счетчика 2 импульсов в испытуемый блок посылаются тесты в виде двоичного кода

0000 0000

0000 0001

00 0 0010

00 0 0011

5 00 0 0100

11 1 1111,

10 Указанные тесты имеют упорядоченную структуру и определяют порядок выбора адреса, по которому посылается проверочный тест с выходов 35 регистра 10 числа в испытуемый блок.

15 Режим формирования теста типа "Сдвиговой код" и разновидностей "Шахматного кода". В этом режиме с блока 13 управления поступает сигнал на управляющий вход коммутатора 9. При этом входы регистра 10 числа через коммутатор 9 соединяются с выходами, причем выход i -го разряда регистра 10 числа соединяется с D -входом $i + 1$ разряда, выход последнего разряда регистра 10 числа соединяется с D -входом первого разряда, образуя кольцевой сдвигающий регистр.

30 Исходный код числа с блока 7 задания начального кода по импульсу формирователя 6 через блок 11 элементов И записывается по S -входам в регистр 10 числа. Записанный код является первым информационным стимулом, который посылается с выходов 35 регистра 10 числа в испытуемый блок, в ячейку, соответствующую поступившему адресному стимулу с выхода 36 счетчика 2 импульсов.

40 С приходом первого тактового импульса на счетный вход регистра 10 числа код, записанный в него, сдвигается на один шаг, образуя следующий информационный стимул.

45 При установке блока 7 задания начального чередующегося кода 101010....10 на выходе регистра 10 числа формируется код типа "Шахматный тест", который может иметь разновидность вида 1100 1100..... 1100

50 и другие.

55 Режим формирования теста типа "Постоянный код". В этом режиме с блока 13 управления поступает сигнал на элемент И 12, запрещающий прохождение тактовых импульсов на S -вход регистра 10 числа. Поэтому в регистре 10 числа есть постоянная информация, записанная по S -входам с блока 7 задания на-

чального кода через блок 11 элементов И.

Для изменения кода в регистре 10 числа необходимо с помощью регистра 48 в блоке 7 задания начального кода установить новый код. Далее в блоке 13 управления формируется сигнал сброса, который поступает через формирователь 4 импульсов на обнуляющие входы регистра 10 числа и счетчика 2 и подготавливает генератор 5 к работе, через первый формирователь 6 импульсов записывает исходный код в блоке 7 задания начального кода, с выхода которого новый код поступает на входы блока 11 элементов И. С приходом сигнала с выхода первого формирователя 6 импульсов на управляющий вход блока 11 элементов И код переписывается по входам в регистр 10 числа. Далее в процессе контролирования испытуемого блока код с выхода регистра 10 числа не меняется.

Адресные стимулы с выходов 36 счетчика 2 импульсов и информационные стимулы с выходов 35 регистра 10 числа могут подаваться на выход испытуемого объекта через преобразователи для трансформации двоичного параллельного кода в любой другой код в зависимости от типа контролируемого блока и его адресной организации, что не является принципиальным для предлагаемого устройства.

Режим формирования теста для проверки кодирующе-декодирующих блоков, входящих в состав ЗУ с обнаружением и исправлением однократных ошибок. К кодирующе-декодирующим блокам относятся кодеры, декодеры и обнаружители ошибок. Предлагается проверять кодирующе-декодирующие блоки путем эталонного замещения. Это означает, что в прибор контроля вводятся эталонные блоки (блок кодирования, блок декодирования и блок обнаружения ошибок), полностью исправлены и прошедшие все надлежащие виды контроля. При необходимости проверить, отрегулировать и сдать готовую продукцию (блок кодирования, блок декодирования или блок обнаружения ошибок) соответствующий эталонный блок изымается из прибора контроля, а на его место вставляется проверяемый аналогичный блок. В данном случае проверке и регулировке может быть подвергнут один из трех блоков -

блок кодирования, блок декодирования или блок обнаружения ошибок (эти блоки взяты как пример для ЗУ с обнаружением и исправлением однократных ошибок).

Проверка работоспособности блока кодирования. Для этого из устройства извлекается эталонный блок 18 кодирования, а на его место вставляется проверяемый блок кодирования. В блоке 7 задания начального кода оператор устанавливает регистром 48 (фиг.2) исходный код 00...01 и включает тумблер 49. В блоке 15 установки адреса все тумблеры устанавливаются в нейтральное положение, обеспечивающее работу всех разрядов счетчика 2 импульсов в счетном режиме. В блоке 13 управления задается режим работы переключателем 52, соответствующий тесту "Псевдослучайный код". Для этого переключатель 52 устанавливается в положение "Перем.". Прибор контроля, куда входит предлагаемое устройство для задания тестов, имеет два режима работы - "Запись" и "Считывание". В режиме "Запись" на вход V_2 сдвигающего регистра 14 поступает сигнал "Логический 1". Этот сигнал разрешает произвести запись исходной информации, поступающей на Д-входы сдвигающего регистра 14. Исходная информация в виде кода 00...01 будет записана с поступлением импульса с второго выхода генератора 5 импульсов.

При переходе прибора контроля из режима записи в режим считывания потенциал на выходе 43 меняется с единичного на нулевой. При этом сдвигающий регистр 14 переходит из режима записи в режим сдвига. Единица, записанная в 1-й разряд сдвигающего регистра 14, сдвигается во 2-й разряд с поступлением отрицательного перепада фронта на вход С1 с выхода последнего разряда регистра 10 числа.

Проверка блока 18 кодирования осуществляется в два этапа. На первом этапе проверяется блок кодирования без внесения искусственной ошибки в блок 19 декодирования. Для этого в блоке 29 отключения ошибки тумблер устанавливается в положение "Отключено". Нулевой потенциал с выхода элемента НЕ 38 поступает на один из входов блока 15 элементов И. В этом случае сигнал "Бегущая 1" со сдвигово-

го регистра 14 не проходит через блок 15 элементов И. На выходах блока 15 элементов И нулевые потенциалы, поступающие на один из входов блоков 16 и 34 элементов ИСКЛЮЧАЮЩЕЕ ИЛИ, которые при этом пропускают сигналы, поступающие с выходов 35 регистра 10 числа и с выходов 42 блока 18 кодирования в прямом коде на входы блока 19 декодирования.

Если ошибок в проверяемом кодере 18 нет, то на первой группе выходов блока 19 декодирования информация будет точно такая же, как и на выходах 35. В этом случае, блок 31 сравнения дает заключение о равенстве эталонной информации на выходах 35 и на выходах блока 19 декодирования. Это означает, что в проверяемом блоке 18 кодирования нет ошибок кратностью 2 и более.

Если информация на обеих группах входов блока 31 сравнения неодинакова, то дается заключение о наличии ошибок кратностью 2 и более в блоке 18 кодирования. В этом случае блок 19 декодирования не в состоянии скорректировать многократную ошибку и неверная информация проходит на выходы блока декодирования декодера. В результате прибор контроля производит останов для выяснения характера ошибки. Положительный результат сравнения информации не свидетельствует о полной исправности проверяемого блока 18 кодирования, так как в случае наличия в нем однократной ошибки блок 19 декодирования скорректирует эту ошибку и неисправность будет "замаскирована" блоком 19 декодирования.

Для выявления однократной ошибки переходят к второму этапу проверки. Для этого необходимо включить тумблер в блоке 29 отключения ошибки. При этом сигналы с выходов сдвигающего регистра 14 "Бегущая 1" будет проходить через блок 15 элементов И и на входы блоков ИСКЛЮЧАЮЩЕЕ ИЛИ 16 и 34. При этом тот разряд блоков ИСКЛЮЧАЮЩЕЕ ИЛИ 16 и 34, на который поступила в данный момент времени "1" с сдвигающего регистра 14, будет пропускать информацию в инверсном виде, т.е. исказить истинное значение информации, что означает внесение искусственной ошибки в каждый разряд информации, поступающей на входы блока 19 декодирования. В этом случае,

если в блоке 18 кодирования была однократная ошибка, поступившая на один из входов блока 19 декодирования, то к ней добавляется другая ошибка. При попадании этих двух ошибок в один разряд внутри блока 19 декодирования (это обязательно происходит, так как ошибка вносится последовательно в каждый разряд информации, поступающей на входы блока 19 декодирования) данный разряд блока декодирования нескорректирует ошибку, которая поступила из блока 18 кодирования, так как корректируется только однократная ошибка, т.е. ошибка, находящаяся в проверяемом блоке 18 кодирования будет выявлена (демаскирована) эталонным блоком 19 декодирования с помощью искусственно внесенной второй ошибки. Если же в проверяемом кодере блоке 18 кодирования ошибок не было, то внесенная искусственная ошибка, поступая последовательно на каждый из входов блока 19 декодирования, будет скорректирована в каждом из разрядов блока 19. В этом случае на выходах блока декодирования будет правильная информация. Таким образом, ошибки кратностью 2 и более выявляются без внесения искусственной однократной ошибки, а однократные — только при внесении искусственным путем второй однократной ошибки.

При наличии ошибок на входах блока 19 декодирования (или внутри блока 19) блок 20 обнаружения ошибок фиксирует на своем выходе сигнал нулевой полярности, который включает элемент 21 индикации ошибки и поступает на второй вход элемента ИСКЛЮЧАЮЩЕЕ ИЛИ 30, на первый вход которого подается потенциал с выхода блока 29 отключения ошибки. При этом возможны два варианта. В первом случае, когда искусственная ошибка не вводилась на входы блока 19 декодирования, с выхода блока 29 отключения ошибки на первый вход элемента ИСКЛЮЧАЮЩЕЕ ИЛИ 30 поступает логическая "1". При этом, если в блоке 20 обнаружения ошибки не было зафиксировано ошибок, то на обеих входах элемента ИСКЛЮЧАЮЩЕЕ ИЛИ 30 будут единичные сигналы, что обуславливает на его выходе нулевой потенциал, который записывается в Д-триггера 23 с приходом импульса, поступившего с второго выхода генера-

тора 5 импульсов через элемент 22 задержки на синхровход Д-триггера 23. В этом случае на инверсном выходе Д-триггера 23 будет записана "1", которая подается на элемент 25 индикации, который в этом случае остается выключенным, и на первый вход элемента И 32. Этот сигнал не останавливает работу генератора 5 импульсов, так как ошибка не вводилась и поэтому не была обнаружена.

Если при отключенной ошибке в блоке 29 отключения ошибок блок 20 обнаружения ошибок зафиксирует неисправность, то на первом входе элемента ИСКЛЮЧАЮЩЕЕ ИЛИ 30 будет нулевой потенциал, а на втором по-прежнему единичный. В этом случае в Д-триггер 23 записывается "1", т.е. на инверсном на выходе будет "0", который включает элемент 25 индикации (высвечивается табло "Брак"), и нулевой потенциал через элемент И 32 останавливает работу генератора 5 импульсов. Это свидетельствует о наличии ошибок в проверяемом блоке 18 кодирования.

Второй вариант работы - когда в блоке 29 отключения ошибок включена ошибка. В этом случае, если ошибок в проверяемом блоке 18 кодирования нет, то блок 31 сравнения зафиксирует равенство сигналов на его обоих входах. Поэтому остановка генератора 5 через элемент И 32 не будет.

На выходе блока 20 обнаружения ошибок будет "0", свидетельствующий об обнаружении искусственно введенной ошибки. В этом случае на обоих входах элемента ИСКЛЮЧАЮЩЕЕ ИЛИ 30 будут сигналы "0", в Д-триггер 23 записывается "0", на инверсном выходе Д-триггера 23 будет "1", свидетельствующая о правильном обнаружении введенной ошибки. Потенциал "1" не включает элемент 25 индикации и не останавливает через элемент И 32 работу генератора 5 импульсов.

Если же в проверяемом блоке 18 кодирования есть ошибка, то блок 19 декодирования не исправляет ошибки, так как ошибок 2 (одна введенная и одна естественная в блоке 18 кодирования). В этом случае блок 31 сравнения фиксирует неравенство, на его выходе будет "0", который проходит через элемент И 32 и останавливает работу генератора 5. При этом в Д-триггер 23 записывается "0", элемент

25 индикации не включается, т.е. ошибка была и она обнаружена. Таким образом, останов генератора 5 происходит от блока 31 сравнения в случае наличия ошибок в информации на выходах блока 19 декодирования (декодер не корректирует ошибок), а останов от триггера 23 будет при обнаружении ошибок блоком 20 при условии, что ошибка в блоке 29 не включалась, а также в случае обнаружения ошибок в блоке 20 при включенной ошибке в блоке 29, что свидетельствует о неисправности в блоке 20 обнаружения ошибок.

Аналогично осуществляется проверка блока 19 декодирования и блока 20 обнаружения ошибок при замещении соответствующего эталонного блока проверяемым. При этом признаком исправности блока 18 кодирования и блока 19 декодирования является равенство кодов на входах блока 31 сравнения, а признаком исправности блока 20 обнаружения ошибок - потенциал "0" на выходе элемента ИСКЛЮЧАЮЩЕЕ ИЛИ 30 при включении и отключении ошибок в блоке 29 отключения ошибки.

В случае отсутствия ошибок в контролируемых блоках 18 - 20 заключение об исправности этих блоков дается при включении элемента 28 индикации, в котором зажигается табло "Норма". При этом возможны два варианта включения элемента 28 индикации.

В первом случае, когда ошибка в блоке 29 отключена, коммутатор 27 пропускает сигнал с инверсного выхода Д-триггера 26 на элемент 28 индикации. В исходном положении Д-триггеры 23 и 26 установлены в положение "1" с помощью кнопки в блоке 24 сброса. Д-триггер 26 переключается в положение "0" с приходом положительного перепада фронта на синхровход С, который поступает с выхода последнего разряда регистра 10 числа, что свидетельствует об окончании полного цикла проверки испытуемого блока.

Во втором случае, когда ошибка в блоке 29 включена, коммутатор 27 запоминает и пропускает сигнал с выхода последнего разряда сдвигающего регистра 14 на вход элемента 28 индикации. При этом табло "Норма" включается после того, как признак ошибки пройдет по всем разрядам сдвигаю-

щего регистра 14, т.е. ошибка поочередно будет введена в каждый из разрядов блока 19 декодирования.

В случае останова генератора 5 импульсов нулевым потенциалом с выхода элемента И 32 в блоке 17 индикации высвечивается номер разряда (один из 45 для корректирующего кода "45, 36"), в который внесена искусственная ошибка. Одновременно в блоке 31 сравнения индицируется номер разряда, в котором произошло несравнение эталонной и считанной из блока 19 декодирования информации. По результатам индикации блока 17 и блока 31 сравнения с помощью порождающей матрицы корректирующего кода "45, 36" с мажоритарным декодированием производится диагностика неисправности объекта контроля (блока 18 кодирования, блока 19 декодирования или блока 20 обнаружения ошибок).

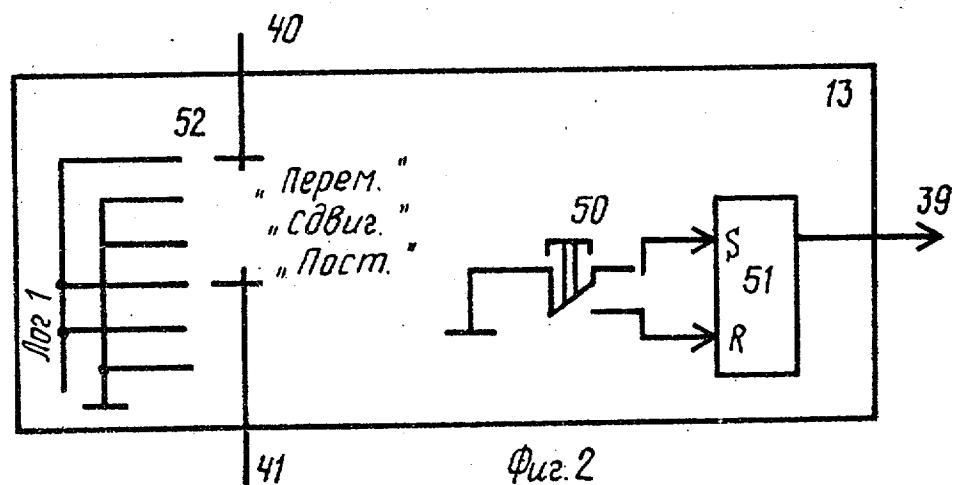
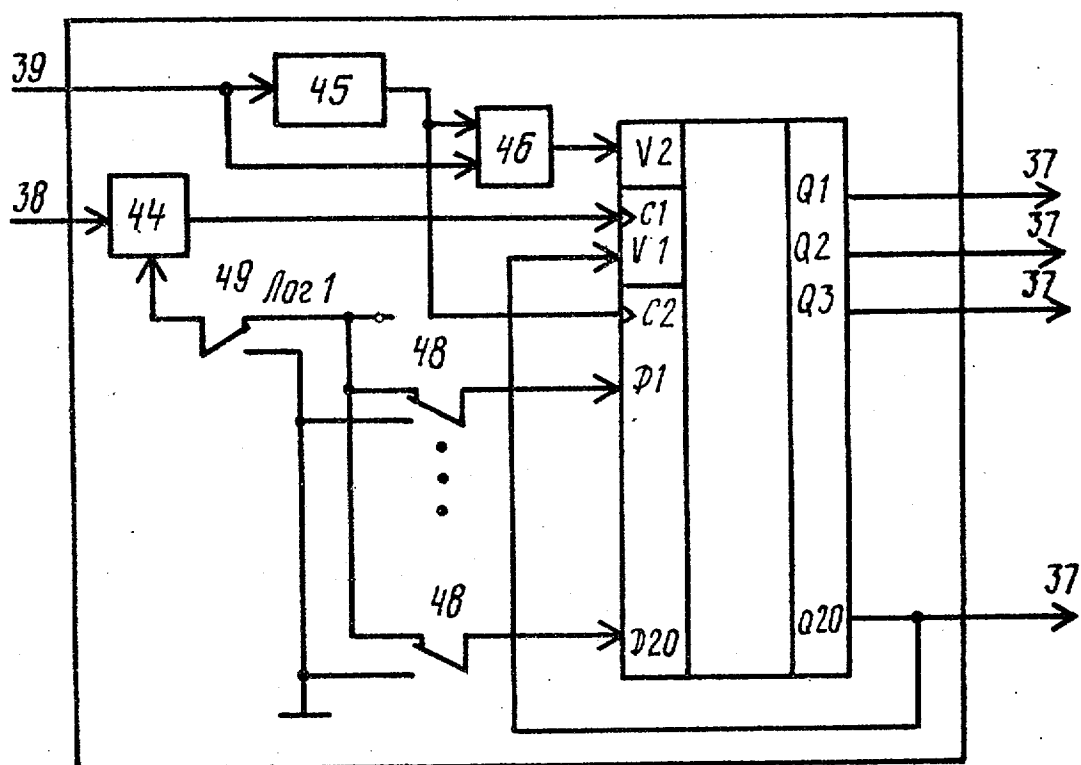
Ф о р м у л а и з о б р е т е н и я

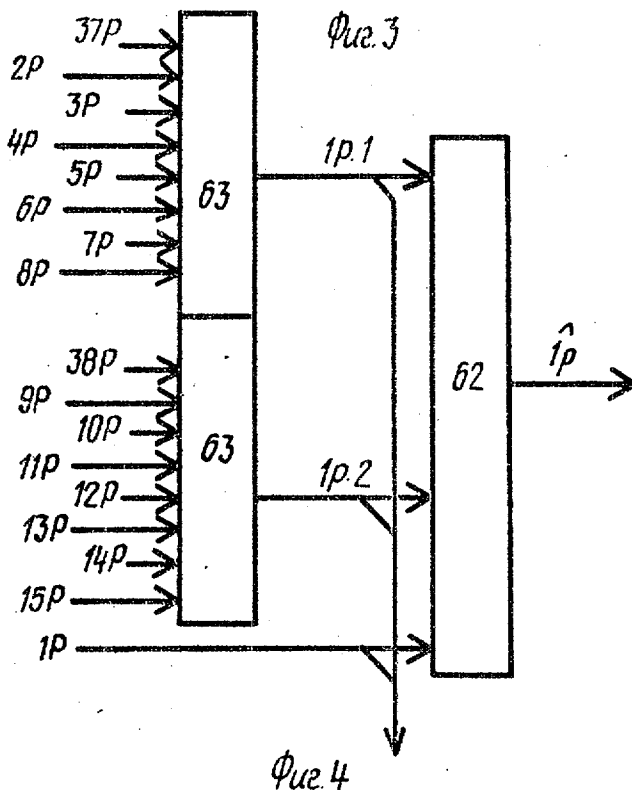
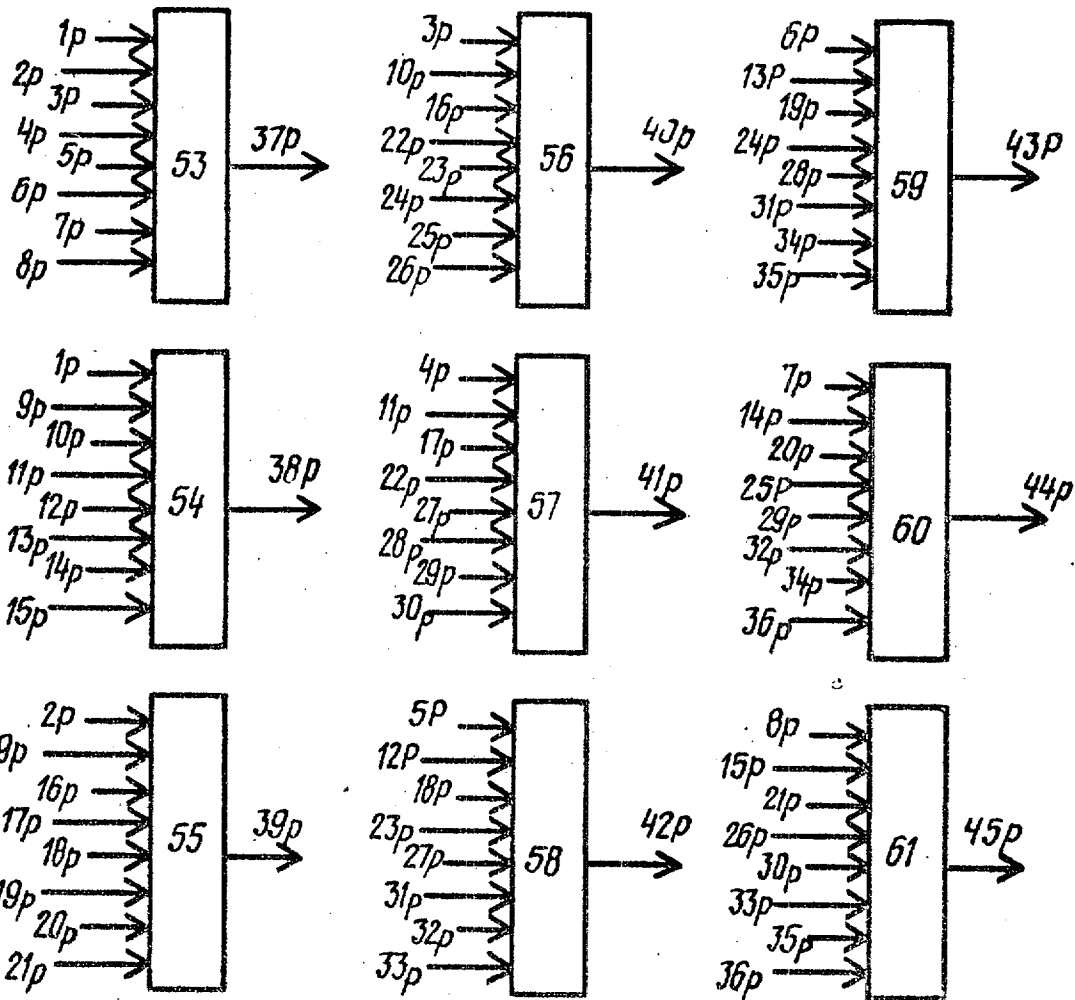
Устройство для задания тестов по авт.св. № 1038926, отличающееся с тем, что, с целью расширения области применения устройства, введены сдвигающий регистр, второй блок элементов И, два блока элементов ИСКЛЮЧАЮЩЕЕ ИЛИ, блок индикации, блок кодирования, блок декодирования, блок обнаружения ошибок, три элемента индикации, элемент задержки, два Д-триггера, блок сброса, коммутатор, блок отключения, элемент ИСКЛЮЧАЮЩЕЕ ИЛИ, блок сравнения, второй дополнительный элемент И и элемент НЕ, соединенный входом с выходом блока отключения, с первым входом элемента ИСКЛЮЧАЮЩЕЕ ИЛИ и с первым входом второго коммутатора, а выходом - с первой группой входов второго блока элементов И, подключенного второй группой входов к разрядным выходам сдвигающего регистра, за исключением последнего разряда сдвигающего регистра, соединенного первым и вторым управляющими входами соответственно с выходом предпоследнего разряда сдвигающего регистра и с управляющим входом устройства, а первым синхровходом - с выходом последнего разря-

да регистра чисел, и с С-входом первого Д-триггера, подключенного Д-входом к шине "Логический ноль", а инверсным выходом - к второму входу второго коммутатора, связанного выходом с входом первого элемента индикации, а третьим входом - с выходом последнего разряда сдвигающего регистра, подключенного первым установочным входом к шине "Логическая единица", группой вторых установочных входов - к шине "Логический ноль", а вторым синхровходом - к второму выходу генератора тактовых импульсов и через элемент задержки - к С-входу второго Д-триггера, соединенного S-входом с выходом блока сброса, с S-входом первого Д-триггера и с четвертым входом коммутатора, Д-входом - с выходом элемента ИСКЛЮЧАЮЩЕЕ ИЛИ, а инверсным выходом - с входом второго элемента индикации и с первым входом второго дополнительного элемента И, подключенного выходом к второму входу генератора тактовых импульсов, а вторым входом - к выходу блока сравнения, связанного первой группой входов с первыми выходами блока декодирования, а второй группой входов - с выходами регистра числа, с первой группой входов первого блока элементов ИСКЛЮЧАЮЩЕЕ ИЛИ и входами блока кодирования, подключенного выходами к первой группе входов второго блока элементов ИСКЛЮЧАЮЩЕЕ ИЛИ, связанного выходами с первой группой входов блока декодирования, а второй группой входов - с первой группой выходов второго блока элементов И, подключенного второй группой входов к второй группе входов первого блока ИСКЛЮЧАЮЩЕЕ ИЛИ, подключенного выходами - к второй группе входов блока декодирования, соединенного второй группой выходов с входами блока обнаружения ошибок, подключенного выходом к входу третьего элемента индикации и второму входу элемента ИСКЛЮЧАЮЩЕЕ ИЛИ, входы блока индикации связаны с первой и второй группой выходов второго блока элементов И.

В блоке 29	В блоке 20	Признак не- исправности на выходе элемента 30
Ошибка включена	Ошибка обнаружена	

Нет	Нет	"0"
Нет	Да	"1"
Да	Нет	"1"
Да	Да	"0"

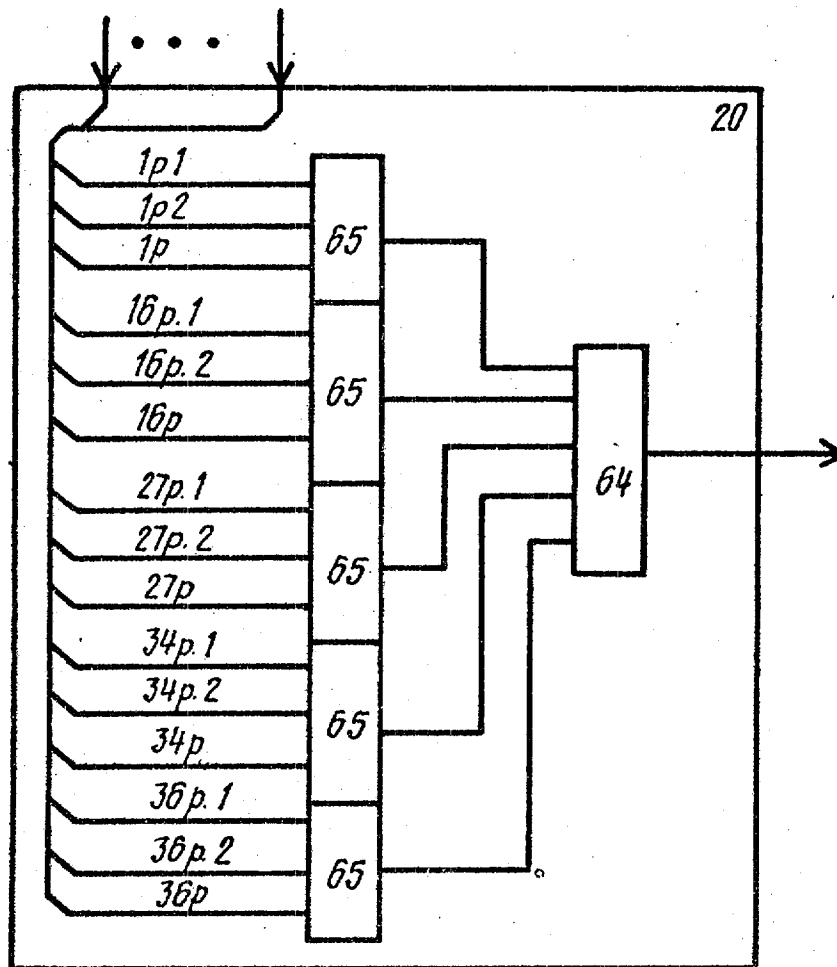




поражающая H-матрица корректирующего кода "45, 36"

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32	33	34	35	36
37	1	1	1	1	1	1	1	1																												
38	1								1	1	1	1	1	1	1																					
39		1							1							1	1	1	1	1	1															
40			1							1						1	1	1	1	1	1															
41				1						1							1				1															
42					1						1							1				1														
43						1						1							1				1													
44							1						1							1				1												
45								1							1						1				1											

Фиг. 5



Фиг. 6

Редактор И. Касарда Составитель Н. Горбунова Техред А. Кравчук Корректор Г. Решетник

Заказ 779/50

Тираж 864

Подписное

ВНИИПИ Государственного комитета СССР
по делам изобретений и открытий

113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-полиграфическое предприятие, г. Ужгород, ул. Проектная, 4