

【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第6部門第3区分
 【発行日】平成17年3月3日(2005.3.3)

【公表番号】特表2004-510269(P2004-510269A)
 【公表日】平成16年4月2日(2004.4.2)
 【年通号数】公開・登録公報2004-013
 【出願番号】特願2002-531362(P2002-531362)
 【国際特許分類第7版】

G 0 6 T 15/00

G 0 6 T 1/20

【F I】

G 0 6 T 15/00 1 0 0 A

G 0 6 T 1/20 B

【手続補正書】

【提出日】平成15年4月4日(2003.4.4)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

グラフィックおよびビデオ機能を共有するために構成される第1および第2グラフィック制御器であって、各々がブロック変換(BLT)動作の一部を並列に実行し、ピクセル・データのブロックを表示画面のグラフィック表面上でソースから宛先へ転送する、第1および第2グラフィック制御器と、

前記第1および第2グラフィック制御器に接続され、前記第1グラフィック制御器および前記第2グラフィック制御器に割り当てられた前記グラフィック表面上における指定されたパターンの前記ソースのピクセル・データを格納するために構成されるメモリ装置と、スクラッチ・パッドであって、各々は前記BLT動作を実行するためのリクエストにより、他のグラフィック制御器によって制御されかつ前記メモリ装置からコピーされた領域にある前記ソースのすべてのピクセル・データを格納するスクラッチ・パッドと、から構成されることを特徴とするグラフィック・メカニズム。

【請求項2】

前記第1グラフィック制御器に接続され、前記第1グラフィック制御器に割り当てられた前記グラフィック表面上における指定されたパターンの前記ソースのピクセル・データを格納するために構成される第1ローカル・メモリと、

前記第2グラフィック制御器に接続され、前記第2グラフィック制御器に割り当てられた前記グラフィック表面上における指定されたパターンの前記ソースのピクセル・データを格納するために構成される第2ローカル・メモリと、

から構成されることを特徴とする請求項1記載のグラフィック・メカニズム。

【請求項3】

前記スクラッチ・パッドは、それぞれの第1および第2ローカル・メモリに具備され、前記BLT動作を実行する際、他のグラフィック制御器によって制御され、かつ別の前記ローカル・メモリからコピーされた領域にある前記ソースのすべてのピクセル・データを格納することを特徴とする請求項2記載のグラフィック・メカニズム。

【請求項4】

前記BLT動作は、前記グラフィック表面上の前記宛先のピクセル・データを得るために

、前記ソースおよび他のオペランド（OPERAND(s)）のピクセル・データに対する論理動作を含むことを特徴とする請求項1記載のグラフィック・メカニズム。

【請求項5】

前記BLT動作は、前記グラフィック表面上の前記宛先のピクセル・データを得るために、前記ソースおよび他のオペランド（OPERAND(s)）のピクセル・データに対する論理動作を含むことを特徴とする請求項2記載のグラフィック・メカニズム。

【請求項6】

前記第1グラフィック制御器は、チップセットに集積され、前記第2グラフィック制御器は、高度なグラフィック・アプリケーションのための拡張カードに差し込まれることを特徴とする請求項1記載のグラフィック・メカニズム。

【請求項7】

前記第1および第2グラフィック制御器各々は、BLTおよび関連する動作を行なうために構成されたBLTグラフィック・エンジンを含むことを特徴とする請求項6記載のグラフィック・メカニズム。

【請求項8】

前記第1および第2グラフィック制御器各々は、まず他のグラフィック制御器によって制御される領域にある前記ソースのピクセル・データすべてをそれぞれのスクラッチ・パッドへコピーし、そのコピーが生成されたことを示すために他方のグラフィック制御器へ同期書き込みを送出し、他方のグラフィック制御器からの同期書き込みを受領して、他方のグラフィック制御器のためのソースである前記宛先に対するあらゆるピクセル・データの更新を開始することを特徴とする請求項6記載のグラフィック・メカニズム。

【請求項9】

前記第1および第2グラフィック制御器のいずれか1つが、いつでも他のグラフィック制御器のためのソースでない前記宛先のためのすべてのピクセル・データを更新することを特徴とする請求項8記載のグラフィック・メカニズム。

【請求項10】

前記第1および第2グラフィック制御器の一方は、前記第1および第2グラフィック制御器のいずれかに割り当てられた前記指定されたパターン中の前記ソースのピクセル・データまたはコピーされる前記ソースのピクセル・データを使用して、前記宛先の新しい値をそれぞれ計算し、前記指定されたパターンの前記グラフィック表面上に前記宛先を書くことを特徴とする請求項8記載のグラフィック・メカニズム。

【請求項11】

前記第1および第2グラフィック制御器は、
各ローカル・メモリへのアクセスを制御するローカル・メモリ制御装置と、
3Dオブジェクトの表現からラスタ化された2D表示画像を作成することを含む様々な3Dグラフィック機能を実行する3D（テクスチャ・マッピング）エンジンと、
前記グラフィック表面上の前記ソースから前記宛先へピクセル・データのブロックを転送するために前記BLT動作を含む2D機能を実行するグラフィックBLTエンジンと、
ビデオまたはグラフィック画像の視覚的な表示を制御する表示エンジンと、
前記ローカル・メモリ制御装置、前記3Dエンジン、前記グラフィックBLTエンジン、
および前記表示エンジンに結合されたルータであって、そのルータはオペレーティング・システム（OS）と相互に作用して、前記BLT動作を実行するためにリクエストを前記ローカル・メモリのメモリ・アドレスへ変換する、ルータと、
BLTコマンドを含むユーザ・コマンドを解釈し、制御のスレッドを前記ローカル・メモリ制御装置、前記3Dエンジン、前記グラフィックBLTエンジン、および前記表示エンジンへ送出するコマンド・デコーダと、
1つ以上のプロセッサへまたはからの通信または信号にインターフェイスを提供するインターフェイスと、
から構成されることを特徴とする請求項8記載のグラフィック・メカニズム。

【請求項12】

前記グラフィック表面の前記指定されたパターンは、チェッカー盤のうちの2つが前記第1グラフィック制御器に割り当てられ、かつ前記チェッカー盤のうちの他の2つが前記第2グラフィック制御器に割り当てられた前記チェッカー盤に対応することを特徴とする請求項1記載のグラフィック・メカニズム。

【請求項13】

1つ以上のプロセッサと、
表示画面を有する表示モニタと、
前記1つ以上のプロセッサに接続され、前記表示モニタ上の視覚的な表示用ビデオ・データを処理する内部グラフィック制御器および前記内部グラフィック制御器に取り付けられたローカル・メモリを含むチップセットと、
拡張カードを介して、外部グラフィック制御器、および前記チップセットに結合されたローカル・メモリであって、グラフィックおよびビデオ機能を前記チップセットの前記内部グラフィック制御器と共有するために構成され、ブロック変換(BLT)動作の一部を並列に実行してピクセル・データのブロックを前記表示画面のグラフィック表面上のソースから宛先へ転送することを含む、外部グラフィック制御器およびローカル・メモリと、から構成され、
ここで、前記内部および外部グラフィック制御器のローカル・メモリの各々は、各グラフィック制御器に割り当てられた指定されたパターンのグラフィック表面上における前記ソースのピクセル・データを格納するために構成され、かつ前記BLT動作を実行するリクエストで、他のグラフィック制御器によって制御されかつ前記他のローカル・メモリからコピーされた領域にある前記ソースの全ピクセル・データを格納するスクラッチ・パッドを含むことを特徴とするコンピュータ・システム。

【請求項14】

前記BLT動作は、前記グラフィック表面上の前記宛先のピクセル・データを得るために、前記ソースおよび他のOPERAND(s)のピクセル・データに対する論理動作を含むことを特徴とする請求項13記載のコンピュータ・システム。

【請求項15】

前記内部および外部グラフィック制御器各々は、BLTおよび関連する動作を行なうために構成されたBLTグラフィック・エンジンを含むことを特徴とする請求項13記載のコンピュータ・システム。

【請求項16】

前記内部および外部グラフィック制御器は、まず他のグラフィック制御器によって制御される領域にある前記ソースのピクセル・データすべてをそれぞれのスクラッチ・パッドへコピーし、そのコピーが生成されたことを示すために他方のグラフィック制御器へ同期書き込みを送出し、他方のグラフィック制御器からの同期書き込みを受領して、他方のグラフィック制御器のためのソースである前記宛先に対するあらゆるピクセル・データの更新を開始することを特徴とする請求項13記載のコンピュータ・システム。

【請求項17】

前記内部および外部グラフィック制御器のいずれか1つが、いつでも他のグラフィック制御器のためのソースでない前記宛先のためのすべてのピクセル・データを更新することを特徴とする請求項16記載のコンピュータ・システム。

【請求項18】

前記内部および外部グラフィック制御器の一方は、前記内部および外部グラフィック制御器のいずれかに割り当てられた前記指定されたパターン中の前記ソースのピクセル・データまたはコピーされた前記ソースのピクセル・データを使用して、前記宛先の新しい値をそれぞれ計算し、前記指定されたパターンの前記グラフィック表面上に前記宛先を書くことを特徴とする請求項17記載のコンピュータ・システム。

【請求項19】

前記内部および外部グラフィック制御器は、
各ローカル・メモリへのアクセスを制御するローカル・メモリ制御装置と、

3Dオブジェクトの表現からラスタ化された2D表示画像を作成することを含む様々な3Dグラフィック機能を実行する3D(テクスチャ・マッピング)エンジンと、前記グラフィック表面上の前記ソースから前記宛先へピクセル・データのブロックを転送するために前記BLT動作を含む2D機能を実行するグラフィックBLTエンジンと、ビデオまたはグラフィック画像の視覚的な表示を制御する表示エンジンと、前記ローカル・メモリ制御装置、前記3Dエンジン、前記グラフィックBLTエンジン、および前記表示エンジンに結合されたルータであって、そのルータはオペレーティング・システム(OS)と相互に作用して、前記BLT動作を実行するためにリクエストを前記ローカル・メモリのメモリ・アドレスへ変換する、ルータと、BLTコマンドを含むユーザ・コマンドを解釈し、制御のスレッドを前記ローカル・メモリ制御装置、前記3Dエンジン、前記グラフィックBLTエンジン、および前記表示エンジンへの送出手続きをコマンド・デコーダと、1つ以上のプロセッサへまたはからの通信または信号にインターフェイスを提供するインターフェイスと、から構成されることを特徴とする請求項17記載のコンピュータ・システム。

【請求項20】

前記グラフィック表面の前記指定されたパターンは、チェッカー盤のうちの2つが前記第1グラフィック制御器に割り当てられ、かつ前記チェッカー盤のうちの他の2つが前記第2グラフィック制御器に割り当てられた前記チェッカー盤に対応することを特徴とする請求項13記載のコンピュータ・システム。

【請求項21】

コンピュータ・システム中の複数のグラフィック制御器がブロック変換(BLT)動作の一部を並列に実行することを可能にするプロセスにおいて、ピクセル・データのブロックを指定されたパターンのグラフィック表面上のソースから宛先へ転送する前記BLT動作を実行するリクエストの受領で、各グラフィック制御器が他のグラフィック制御器によって制御された領域にある全ソース・ピクセルをローカル・メモリへコピーすることを可能にする段階と、各グラフィック制御器が同期書込みを送出し、そのコピーが作成されたことを示すことを可能にする段階と、前記他のグラフィック制御器からの同期書込みの受領で、各グラフィック制御器が前記他のグラフィック制御器のためのソースである宛先ピクセルのいずれかを更新し、前記BLT動作を実行することを可能にする段階と、から構成されることを特徴とするプロセス。

【請求項22】

前記BLT動作は、前記グラフィック表面上の前記宛先のピクセル・データを得るために、前記ソースおよび他のオペランド(OPERAND(s))のピクセル・データに対する論理動作を含むことを特徴とする請求項21記載のプロセス。

【請求項23】

複数のグラフィック制御器のいずれか1つが、いつでも他のグラフィック制御器のためのソースでない前記宛先のためのすべてのピクセル・データを更新することを特徴とする請求項21記載のプロセス。

【請求項24】

前記グラフィック表面の前記指定されたパターンは、チェッカー盤のうちの2つが前記第1グラフィック制御器に割り当てられ、かつ前記チェッカー盤のうちの他の2つが前記第2グラフィック制御器に割り当てられた前記チェッカー盤に対応することを特徴とする請求項21記載のプロセス。

【請求項25】

ローカル・メモリと、グラフィックおよびビデオ機能を共有するための複数のグラフィック・エンジンであって、各々がブロック変換(BLT)動作の一部を並列に実行し、前記複数のグラフィック・

エンジンに割り当てられたグラフィック表面上における指定されたパターンのピクセル・データのブロックを表示画面のソースから宛先へ転送する、複数のグラフィック・エンジンと、によって構成され、

ここで、前記 B L T 動作を実行するためのリクエストにより、各グラフィック・エンジンは、まず他のグラフィック・エンジンによって制御される領域にある前記ソースのピクセル・データをそれぞれのローカル・メモリへコピーし、そのコピーが生成されたことを示すために他方のグラフィック・エンジンへ同期書き込みを送出し、他方のグラフィック・エンジンからの同期書き込みを受領して、他方のグラフィック・エンジンのためのソースである前記宛先に対するあらゆるピクセル・データの更新を開始することを特徴とするメカニズム。

【請求項 26】

前記グラフィック・エンジンのいずれか 1 つが、いつでも他のグラフィック・エンジンのためのソースでない前記宛先のためのすべてのピクセル・データを更新することを特徴とする請求項 25 記載のメカニズム。

【請求項 27】

前記グラフィック・エンジンの一方は、前記グラフィック・エンジンのいずれか 1 つに割り当てられた前記指定されたパターン中の前記ソースのピクセル・データまたはコピーされる前記ソースのピクセル・データを使用して、前記宛先の新しい値をそれぞれ計算し、前記指定されたパターンの前記グラフィック表面上に前記宛先を書くことを特徴とする請求項 25 記載のメカニズム。

【請求項 28】

前記グラフィック・エンジンの各々は、

各ローカル・メモリへのアクセスを制御するローカル・メモリ制御装置と、

3D オブジェクトの表現からラスタ化された 2D 表示画像を作成することを含む様々な 3D グラフィック機能を実行する 3D (テクスチャ・マッピング) エンジンと、

前記グラフィック表面上の前記ソースから前記宛先へピクセル・データのブロックを転送するために前記 B L T 動作を含む 2D 機能を実行するグラフィック B L T エンジンと、

ビデオまたはグラフィック画像の視覚的な表示を制御する表示エンジンと、

前記ローカル・メモリ制御装置、前記 3D エンジン、前記グラフィック B L T エンジン、

および前記表示エンジンに結合されたルータであって、そのルータはオペレーティング・システム (OS) と相互に作用して、前記 B L T 動作を実行するためにリクエストを前記ローカル・メモリのメモリ・アドレスへ変換する、ルータと、

B L T コマンドを含むユーザ・コマンドを解釈し、制御のスレッドを前記ローカル・メモリ制御装置、前記 3D エンジン、前記グラフィック B L T エンジン、および前記表示エンジンへ送出手続きを含むコマンド・デコーダと、

1 つ以上のプロセッサへまたはからの通信または信号にインターフェイスを提供するインターフェイスと、

から構成されることを特徴とする請求項 25 記載のメカニズム。

【請求項 29】

前記グラフィック表面の前記指定されたパターンは、チェッカー盤の 1 / 2 が一方のグラフィック・エンジンに割り当てられ、前記チェッカー盤の他の 1 / 2 が他方のグラフィック・エンジンに割り当てられたチェッカー盤に対応することを特徴とする請求項 25 記載のメカニズム。

【請求項 30】

前記 B L T 動作は、前記グラフィック表面上の前記宛先のピクセル・データを得るために、前記ソースおよび他のオペランド (OPERAND (s)) のピクセル・データに対する論理動作を含むことを特徴とする請求項 25 記載のメカニズム。