

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7477594号
(P7477594)

(45)発行日 令和6年5月1日(2024.5.1)

(24)登録日 令和6年4月22日(2024.4.22)

(51)国際特許分類		F I	
G 0 9 F	9/30 (2006.01)	G 0 9 F	9/30 3 3 8
H 1 0 K	50/10 (2023.01)	G 0 9 F	9/30 3 3 9 Z
H 1 0 K	59/123 (2023.01)	H 1 0 K	50/10
H 1 0 K	59/124 (2023.01)	H 1 0 K	59/123
		H 1 0 K	59/124
請求項の数 18 (全57頁)			
(21)出願番号	特願2022-504709(P2022-504709)	(73)特許権者	510280589
(86)(22)出願日	令和2年3月25日(2020.3.25)		京東方科技集團股▲ふん▼有限公司
(65)公表番号	特表2023-527944(P2023-527944 A)		BOE TECHNOLOGY GROU P CO., LTD.
(43)公表日	令和5年7月3日(2023.7.3)		中華人民共和國100015北京市朝陽 區酒仙橋路10號
(86)国際出願番号	PCT/CN2020/081228		No. 10 Jiuxianqiao R d., Chaoyang Distri ct, Beijing 100015, CHINA
(87)国際公開番号	WO2021/189331	(73)特許権者	511121702
(87)国際公開日	令和3年9月30日(2021.9.30)		成都京東方光電科技有限公司
審査請求日	令和5年3月23日(2023.3.23)		CHENGDU BOE OPTOELE CTRONICS TECHNOLOGY CO., LTD.
		最終頁に続く	

(54)【発明の名称】 表示基板及び表示装置

(57)【特許請求の範囲】

【請求項1】
表示基板であって、
ベース基板と、
前記ベース基板に位置する第1のゲート層と、
前記第1のゲート層の前記ベース基板から離れた一側に位置する第2のゲート層と、
前記第2のゲート層の前記ベース基板から離れた一側に位置する第1の導電層と、
を備え、
前記第1のゲート層は、第1の方向に沿って延伸するリセット信号線及び第1の電極ブ
ロックを備え、
前記第2のゲート層は、前記第1の電極ブロックとストレージコンデンサを形成するよ
うに構成される第2の電極ブロックを備え、
前記第1の導電層は、第2の方向に沿って延伸する電源線を備え、
前記リセット信号線と前記電源線は、第1の重なり領域を有し、
前記第2の電極ブロックと前記電源線は、第2の重なり領域を有し、
前記第1の重なり領域に位置する前記電源線の幅が前記第2の重なり領域に位置する前
記電源線の幅未満であり、
前記第1の方向と前記第2の方向とは交差し、
前記第1の導電層は、前記第2の方向に沿って延伸するデータ線をさらに備え、
前記データ線と前記リセット信号線は、第4の重なり領域を有し、前記リセット信号線の

前記第 4 の重なり領域での幅は前記リセット信号線の平均幅未満である、
表示基板。

【請求項 2】

前記電源線の前記第 1 の重なり領域での幅は、前記電源線の平均幅未満である、
請求項 1 に記載の表示基板。

【請求項 3】

前記電源線は、本体延伸部及び縮小部を備え、
前記縮小部の幅は、前記本体延伸部の幅未満であり、
前記縮小部の前記ベース基板での正射影と前記リセット信号線の前記ベース基板での正射影とが重なる、
請求項 1 に記載の表示基板。

10

【請求項 4】

前記第 1 のゲート層は、前記第 1 の方向に沿って延伸するゲート線をさらに備え、
前記ゲート線と前記電源線は、第 3 の重なり領域を有し、前記第 3 の重なり領域に位置する前記電源線の幅は、前記第 2 の重なり領域に位置する前記電源線の幅未満である、
請求項 1 又は 2 に記載の表示基板。

【請求項 5】

前記電源線の前記第 1 の重なり領域での幅は、前記電源線の平均幅未満である、
請求項 4 に記載の表示基板。

【請求項 6】

前記電源線は、本体延伸部及び縮小部を備え、
前記縮小部の幅は、前記本体延伸部の幅未満であり、
前記縮小部の前記ベース基板での正射影と前記ゲート線の前記ベース基板での正射影とが重なる、
請求項 4 に記載の表示基板。

20

【請求項 7】

前記第 4 の重なり領域に位置する前記リセット信号線の幅は、前記リセット信号線の最大幅の $\frac{3}{4}$ 未満である、
請求項 1 に記載の表示基板。

【請求項 8】

前記第 1 のゲート層の前記ベース基板に近い一側に位置する半導体層をさらに備え、
前記第 2 のゲート層は、前記第 1 の方向に沿って延伸する初期化信号線を備え、
前記データ線と前記初期化信号線は、第 5 の重なり領域を有し、
前記初期化信号線と前記半導体層は、第 6 の重なり領域を有し、
前記第 5 の重なり領域に位置する前記初期化信号線の幅は、前記第 6 の重なり領域に位置する前記初期化信号線の幅未満である、
請求項 1 又は 7 に記載の表示基板。

30

【請求項 9】

前記第 5 の重なり領域に位置する前記初期化信号線の幅は、前記初期化信号線の平均幅未満である、
請求項 8 に記載の表示基板。

40

【請求項 10】

前記電源線は、本体延伸部及び縮小部を備え、
前記縮小部の幅は、前記本体延伸部の幅未満であり、
前記縮小部の前記ベース基板での正射影と前記半導体層の前記ベース基板での正射影とが重ならない、
請求項 8 に記載の表示基板。

【請求項 11】

前記第 2 のゲート層は、導電ブロックをさらに備え、
前記本体延伸部は、前記導電ブロックと接続されている接続部を備え、

50

前記接続部のベース基板での正射影と前記半導体層の前記ベース基板での正射影とが部分的に重なり、

前記接続部は、前記縮小部と前記第 2 の方向に隣接する、
請求項 10 に記載の表示基板。

【請求項 12】

前記半導体層は、第 1 のユニット、第 2 のユニット、第 3 のユニット、第 4 のユニット、第 5 のユニット、第 6 のユニット及び第 7 のユニットを備え、

前記第 1 のユニットは、第 1 のチャンネル領域及び前記第 1 のチャンネル領域の両側に位置する第 1 のソース領域と第 1 のドレイン領域を備え、

前記第 2 のユニットは、第 2 のチャンネル領域及び前記第 2 のチャンネル領域の両側に位置する第 2 のソース領域と第 2 のドレイン領域を備え、

前記第 3 のユニットは、第 3 のチャンネル領域及び前記第 3 のチャンネル領域の両側に位置する第 3 のソース領域と第 3 のドレイン領域を備え、

前記第 4 のユニットは、第 4 のチャンネル領域及び前記第 4 のチャンネル領域の両側に位置する第 4 のソース領域と第 4 のドレイン領域を備え、

前記第 5 のユニットは、第 5 のチャンネル領域及び前記第 5 のチャンネル領域の両側に位置する第 5 のソース領域と第 5 のドレイン領域を備え、

前記第 6 のユニットは、第 6 のチャンネル領域及び前記第 6 のチャンネル領域の両側に位置する第 6 のソース領域と第 6 のドレイン領域を備え、

前記第 7 のユニットは、第 7 のチャンネル領域及び前記第 7 のチャンネル領域の両側に位置する第 7 のソース領域と第 7 のドレイン領域を備える、

請求項 8 ～ 11 のいずれか一項に記載の表示基板。

【請求項 13】

前記第 6 のドレイン領域は、前記第 3 のドレイン領域と接続されており、

前記第 3 のソース領域、前記第 1 のドレイン領域及び前記第 5 のソース領域は、第 1 のノードに接続され、

前記第 1 のソース領域、前記第 2 のドレイン領域及び前記第 4 のドレイン領域は、第 2 のノードに接続され、

前記第 5 のドレイン領域は、前記第 7 のドレイン領域と接続されている、

請求項 12 に記載の表示基板。

【請求項 14】

前記第 6 のソース領域及び前記第 7 のソース領域は、前記初期化信号線と接続されている、

請求項 13 に記載の表示基板。

【請求項 15】

前記第 2 のソース領域は、前記データ線と接続されている、

請求項 13 に記載の表示基板。

【請求項 16】

前記第 4 のソース領域は、前記電源線と接続されている、

請求項 13 に記載の表示基板。

【請求項 17】

前記第 1 の導電層の前記ベース基板から離れた一側に位置する第 1 の平坦層と、

前記第 1 の平坦層の前記第 1 の導電層から離れた一側に位置し、且つ接続電極を備える第 2 の導電層と、

前記第 2 の導電層の前記第 1 の平坦層から離れた一側に位置する第 2 の平坦層と、

前記第 2 の平坦層の前記第 2 の導電層から離れた一側に位置するアノードと、をさらに備え、

前記第 1 の平坦層は、第 1 のビアを備え、

前記接続電極は、前記第 1 のビアを介して第 5 のドレイン領域と接続されており、

前記第 2 の平坦層は、第 2 のビアを備え、

前記アノードは、前記第2のビアを介して前記接続電極と接続されている、
請求項8～16のいずれか一項に記載の表示基板。

【請求項18】

請求項1～17のいずれか一項に記載の表示基板を備える、表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本開示の実施例は表示基板及び表示装置に関する。

【背景技術】

【0002】

表示技術の継続的な発展に伴って、有機発光ダイオード（Organic Light Emitting Diode、OLED）表示技術は自己発光、広視野角、高コントラスト、低電力、高応答速度等のメリットによりさまざまな電子機器に適用されている。

【0003】

一方では、有機発光ダイオード表示技術の継続的な発展に伴って、有機発光ダイオード表示製品の電力、色かぶり、輝度、安定性等の性能に対する要求が高まっている。

【発明の概要】

【課題を解決するための手段】

【0004】

本開示の実施例は表示基板及び表示装置を提供する。リセット信号線と電源線が重なる第1の重なり領域内の電源線の幅を減少させることにより、該表示基板は、リセット信号線の負荷を低減させることができ、それにより、画素駆動回路の充電時間を長くし、さらに該表示基板の表示効果を向上させることができる。

【0005】

本開示の少なくとも1つの実施例は、ベース基板と、前記ベース基板に位置する第1のゲート層と、前記第1のゲート層の前記ベース基板から離れた一側に位置する第2のゲート層と、前記第2のゲート層の前記ベース基板から離れた一側に位置する第1の導電層と、を備え、前記第1のゲート層は第1の方向に沿って延伸するリセット信号線及び第1の電極ブロックを備え、前記第2のゲート層は前記第1の電極ブロックとストレージコンデンサを形成するように構成される第2の電極ブロックを備え、前記第1の導電層は第2の方向に沿って延伸する電源線を備え、前記リセット信号線と前記電源線は第1の重なり領域を有し、前記第2の電極ブロックと前記電源線は第2の重なり領域を有し、前記第1の重なり領域に位置する前記電源線の幅は前記第2の重なり領域に位置する前記電源線の幅未満であり、前記第1の方向と前記第2の方向とは交差する表示基板を提供する。

【0006】

たとえば、本開示の一実施例に係る表示基板において、前記電源線の前記第1の重なり領域での幅は前記電源線の平均幅未満である。

【0007】

たとえば、本開示の一実施例に係る表示基板において、前記電源線は本体延伸部及び縮小部を備え、前記縮小部の幅は前記本体延伸部の幅未満であり、前記縮小部の前記ベース基板での正射影と前記リセット信号線の前記ベース基板での正射影とが重なる。

【0008】

たとえば、本開示の一実施例に係る表示基板において、前記第1のゲート層は前記第1の方向に沿って延伸するゲート線をさらに含み、前記ゲート線と前記電源線は第3の重なり領域を有し、前記第3の重なり領域に位置する前記電源線の幅は前記第2の重なり領域に位置する前記電源線の幅未満である。

【0009】

たとえば、本開示の一実施例に係る表示基板において、前記電源線の前記第2の重なり領域での幅は前記電源線の平均幅未満である。

【0010】

10

20

30

40

50

たとえば、本開示の一実施例に係る表示基板において、前記電源線は本体延伸部及び縮小部を備え、前記縮小部の幅は前記本体延伸部の幅未満であり、前記縮小部の前記ベース基板での正射影と前記ゲート線の前記ベース基板での正射影とが重なる。

【0011】

たとえば、本開示の一実施例に係る表示基板において、前記第1の導電層は前記第2の方向に沿って延伸するデータ線をさらに備え、前記データ線と前記リセット信号線は第4の重なり領域を有し、前記リセット信号線の前記第4の重なり領域での幅は前記リセット信号線の平均幅未満である。

【0012】

たとえば、本開示の一実施例に係る表示基板において、前記第4の重なり領域に位置する前記リセット信号線の幅は前記リセット信号線の最大幅の $3/4$ 未満である。

10

【0013】

たとえば、本開示の一実施例に係る表示基板は、前記第1のゲート層の前記ベース基板に近い側に位置する半導体層をさらに備え、前記第2のゲート層は前記第1の方向に沿って延伸する初期化信号線を備え、前記データ線と前記初期化信号線は第5の重なり領域を有し、前記初期化信号線と前記半導体層は第6の重なり領域を有し、前記第5の重なり領域に位置する前記初期化信号線の幅は前記第6の重なり領域に位置する前記初期化信号線の幅未満である。

【0014】

たとえば、本開示の一実施例に係る表示基板において、前記第5の重なり領域に位置する前記初期化信号線の幅は前記初期化信号線の平均幅未満である。

20

【0015】

たとえば、本開示の一実施例に係る表示基板において、前記電源線は本体延伸部及び縮小部を備え、前記縮小部の幅は前記本体延伸部の幅未満であり、前記縮小部の前記ベース基板での正射影と前記半導体層の前記ベース基板での正射影とが重ならない。

【0016】

たとえば、本開示の一実施例に係る表示基板において、前記第2のゲート層は導電ブロックをさらに備え、前記本体延伸部は前記導電ブロックと接続されている接続部を備え、前記接続部のベース基板での正射影と前記半導体層の前記ベース基板での正射影とが部分的に重なり、前記接続部は前記縮小部と前記第2の方向に隣接する。

30

【0017】

たとえば、本開示の一実施例に係る表示基板において、前記半導体層は第1のユニット、第2のユニット、第3のユニット、第4のユニット、第5のユニット、第6のユニット及び第7のユニットを備え、前記第1のユニットは第1のチャンネル領域及び前記第1のチャンネル領域の両側に位置する第1のソース領域と第1のドレイン領域を備え、前記第2のユニットは第2のチャンネル領域及び前記第2のチャンネル領域の両側に位置する第2のソース領域と第2のドレイン領域を備え、前記第3のユニットは第3のチャンネル領域及び前記第3のチャンネル領域の両側に位置する第3のソース領域と第3のドレイン領域を備え、前記第4のユニットは第4のチャンネル領域及び前記第4のチャンネル領域の両側に位置する第4のソース領域と第4のドレイン領域を備え、前記第5のユニットは第5のチャンネル領域及び前記第5のチャンネル領域の両側に位置する第5のソース領域と第5のドレイン領域を備え、前記第6のユニットは第6のチャンネル領域及び前記第6のチャンネル領域の両側に位置する第6のソース領域と第6のドレイン領域を備え、前記第7のユニットは第7のチャンネル領域及び前記第7のチャンネル領域の両側に位置する第7のソース領域と第7のドレイン領域を備える。

40

【0018】

たとえば、本開示の一実施例に係る表示基板において、前記第6のドレイン領域は前記第3のドレイン領域と接続されており、前記第3のソース領域、前記第1のドレイン領域及び前記第5のソース領域は第1のノードに接続され、前記第1のソース領域、前記第2のドレイン領域及び前記第4のドレイン領域は第2のノードに接続され、前記第5のドレ

50

イン領域は前記第 7 のドレイン領域と接続されている。

【0019】

たとえば、本開示の一実施例に係る表示基板において、前記第 6 のソース領域及び前記第 7 のソース領域は前記初期化信号線と接続されている。

【0020】

たとえば、本開示の一実施例に係る表示基板において、前記第 2 のソース領域は前記データ線と接続されている。

【0021】

たとえば、本開示の一実施例に係る表示基板において、前記第 4 のソース領域は前記電源線と接続されている。

【0022】

たとえば、本開示の一実施例に係る表示基板は、前記第 1 の導電層の前記ベース基板から離れた一側に位置する第 1 の平坦層と、前記第 1 の平坦層の前記第 1 の導電層から離れた一側に位置し、且つ接続電極を備える第 2 の導電層と、前記第 2 の導電層の前記第 1 の平坦層から離れた一側に位置する第 2 の平坦層と、前記第 2 の平坦層の前記第 2 の導電層から離れた一側に位置するアノードと、をさらに備え、前記第 1 の平坦層は第 1 のビアを備え、前記接続電極は前記第 1 のビアを介して第 5 のドレイン領域と接続されており、前記第 2 の平坦層は第 2 のビアを備え、前記アノードは前記第 2 のビアを介して前記接続電極と接続されている。

【0023】

本開示の少なくとも 1 つの実施例は上記いずれか一項に記載の表示基板を備える表示装置をさらに提供する。

【0024】

本開示の実施例の技術案をより明確に説明するために、以下、実施例の図面を簡単に説明し、明らかなように、以下の記述における図面は本開示のいくつかの実施例に過ぎず、本開示を限定するものではない。

【図面の簡単な説明】

【0025】

本開示の実施例の技術案をより明確に説明するために、以下、実施例の図面を簡単に説明し、明らかなように、以下の記述における図面は本開示のいくつかの実施例に過ぎず、本開示を限定するものではない。

【図 1】図 1 は表示基板の部分断面概略図である。

【図 2】図 2 は図 1 に示されている表示基板が発光する概略図を示す。

【図 3】図 3 は本開示の一実施例に係る表示基板の概略平面図である。

【図 4 A】図 4 A は本開示の一実施例に係る図 3 の A A 方向における表示基板の断面概略図である。

【図 4 B】図 4 B は本開示の一実施例に係る図 3 の A A 方向における表示基板の他の断面概略図である。

【図 5 A】図 5 A は本開示の一実施例に係る図 3 の B B 方向における表示基板の断面概略図である。

【図 5 B】図 5 B は本開示の一実施例に係る図 3 の G G 方向における表示基板の断面概略図である。

【図 6】図 6 は本開示の一実施例に係る表示基板の発光素子の概略平面図である。

【図 7】図 7 は本開示の一実施例に係る表示基板の第 2 の導電層とアノード層との平面関係の概略図である。

【図 8】図 8 は本開示の一実施例に係る表示装置の概略図である。

【図 9】図 9 は他の表示基板の部分断面概略図である。

【図 10】図 10 は他の表示基板の部分断面概略図である。

【図 11】図 11 は本開示の一実施例に係る他の表示基板の概略平面図である。

【図 12 A】図 12 A は本開示の一実施例に係る図 11 の H H 方向における表示基板の断

10

20

30

40

50

面概略図である。

【図 1 2 B】図 1 2 B は本開示の一実施例に係る図 1 1 の J J 方向における表示基板の断面概略図である。

【図 1 3】図 1 3 は本開示の一実施例に係る他の表示基板の概略平面図である。

【図 1 4】図 1 4 は本開示の一実施例に係る他の表示基板の概略平面図である。

【図 1 5】図 1 5 は本開示の一実施例に係る他の表示基板の概略平面図である。

【図 1 6】図 1 6 は本開示の一実施例に係る表示装置の概略図である。

【図 1 7】図 1 7 はファインメタルマスクで蒸着するプロセスの概略図である。

【図 1 8】図 1 8 は本開示の一実施例に係る表示基板の概略平面図である。

【図 1 9】図 1 9 は本開示の一実施例に係る図 1 8 の C C 方向における表示基板の断面概略図である。

10

【図 2 0】図 2 0 は本開示の一実施例に係る他の表示基板の概略平面図である。

【図 2 1】図 2 1 は本開示の一実施例に係る図 2 0 の D D 方向における表示基板の断面概略図である。

【図 2 2】図 2 2 は本開示の一実施例に係る図 2 0 の E E 方向における表示基板の断面概略図である。

【図 2 3】図 2 3 は本開示の一実施例に係る表示装置の概略図である。

【図 2 4】図 2 4 は本開示の一実施例に係る表示基板の製造方法である。

【図 2 5】図 2 5 は本開示の一実施例に係るマスク板グループの概略平面図である。

【図 2 6】図 2 6 は本開示の一実施例に係るマスク板グループの概略平面図である。

20

【図 2 7】図 2 7 は本開示の一実施例に係るマスク板グループの概略平面図である。

【図 2 8 A】図 2 8 A は本開示の一実施例に係る他の表示基板の部分概略図である。

【図 2 8 B】図 2 8 B は本開示の一実施例に係る他の表示基板の部分概略図である。

【図 2 9】図 2 9 は本開示の一実施例に係る図 2 8 A の F F 方向における表示基板の断面概略図である。

【図 3 0 A】図 3 0 A は本開示の一実施例に係る表示基板の複数のフィルム層の概略平面図である。

【図 3 0 B】図 3 0 B は本開示の一実施例に係る表示基板の複数のフィルム層の概略平面図である。

【図 3 0 C】図 3 0 C は本開示の一実施例に係る表示基板の複数のフィルム層の概略平面図である。

30

【図 3 0 D】図 3 0 D は本開示の一実施例に係る表示基板の複数のフィルム層の概略平面図である。

【図 3 1】図 3 1 は本開示の一実施例に係る表示基板の画素駆動回路の等価概略図である。

【図 3 2】図 3 2 は本開示の一実施例に係る表示装置の概略図である。

【図 3 3】図 3 3 は本開示の一実施例に係る表示基板の部分概略図である。

【図 3 4】図 3 4 は本開示の一実施例に係る図 3 3 の K K 方向における表示基板の断面概略図である。

【図 3 5 A】図 3 5 A は本開示の一実施例に係る図 3 3 の M M 方向における表示基板の断面概略図である。

40

【図 3 5 B】図 3 5 B は本開示の一実施例に係る図 3 3 の N N 方向における表示基板の断面概略図である。

【図 3 5 C】図 3 5 C は本開示の一実施例に係る図 3 3 の Q Q 方向における表示基板の断面概略図である。

【図 3 6】図 3 6 は本開示の一実施例に係る他の表示基板の概略平面図である。

【図 3 7 A】図 3 7 A は本開示の一実施例に係る他の表示基板の部分概略図である。

【図 3 7 B】図 3 7 B は本開示の一実施例に係る他の表示基板の部分概略図である。

【図 3 8】図 3 8 は本開示の一実施例に係る表示装置の概略図である。

【発明を実施するための形態】

【0 0 2 6】

50

本開示の実施例の目的、技術案、及びメリットをより明確に説明するために、以下、本開示の実施例の図面を参照しながら、本開示の実施例の技術案について明確かつ完全に説明する。明らかなように、説明される実施例は本開示のいくつかの実施例に過ぎず、すべての実施例ではない。説明される本開示の実施例に基づいて、当業者が創造的な労働を必要とせずに行うことができるその他の実施例は、いずれも本開示の範囲に属するものとなる。

【0027】

特に定義されていない限り、ここで使用される専門用語又は科学用語は当業者が理解できる通常の意味であるべきである。本開示において使用される「第1」、「第2」及び類似の用語は、いかなる順序、数量又は重要性も示さず、異なる構成要素を区別するためにのみ使用される。「備える」又は「含む」等のような用語は、該用語の前に示される素子又は要素が該用語の後に挙げられた素子又は要素及びその同等物をカバーするが、その他の素子又は要素を排除しないことを意味する。

【0028】

表示装置は電力、輝度、色座標等の多くの性能仕様があり、色かぶりはそのうちの1つの重要なパラメータである。通常、有機発光ダイオード（OLED）表示装置の色かぶりに影響を与える要素は多く、表示基板（有機発光ダイオードのアレイ基板又はリアパネル）の設計の観点から、アノードの平坦度は色かぶりに対して大きな影響を与えている。

【0029】

図1は表示基板の部分断面概略図である。図2は図1に示されている表示基板が発光する概略図を示す。図1に示すように、該表示基板のサブ画素は、順に設置されているベース基板110と、半導体層120と、第1のゲート層130と、第2のゲート層140と、第1の導電層150と、第1の平坦層241と、第2の導電層160と、第2の平坦層242と、アノード175と、画素画定層190と、を備える。

【0030】

半導体層120、第1のゲート層130、第2のゲート層140、及び第1の導電層150は、薄膜トランジスタ及びストレージコンデンサを備える画素駆動回路を形成でき、第2の導電層160は、第1の平坦層241のビア（図示せず）を介して画素駆動回路と接続されている接続電極161を備え、アノード170は、第2の平坦層242のビア271を介して接続電極161と接続されている。画素画定層190は、一部のアノード170を露出させるための開口部191を備え、後続の有機発光層180が開口部191内に形成される場合、アノード175は有機発光層180に接触して有機発光層が発光するように駆動でき、開口部191により画定された領域は該サブ画素の有効発光領域である。

【0031】

第2の平坦層242のビア271はアノード175の平坦性に影響を与え、ビア271と開口部191（すなわち、有効発光領域）との距離が近い場合、開口部191の位置にあるアノード175は「傾斜」して、該サブ画素の発光方向がずれることを引き起こす。異なる色のサブ画素のアノードの「傾斜」方向が異なる場合、異なる色（たとえば赤色、緑色、青色）のサブ画素から異なる方向へ発する光の強度が一致せず、色かぶり現象が発生する。たとえば、該表示基板を有する表示装置の一側から観察する時に表示画面が赤くなるが、該表示装置の他側から観察する時に表示画面が青くなるという現象である。

【0032】

これに対して、本開示の実施例は表示基板及び表示装置を提供している。該表示基板は、ベース基板と、第1の導電層と、第1の平坦層と、第2の導電層と、第2の平坦層と、複数の発光素子群と、を備え、第1の導電層は、ベース基板上に位置し、第1の平坦層は、第1の導電層のベース基板から離れた一側に位置し、第2の導電層は、第1の平坦層の第1の導電層から離れた一側に位置し、第2の平坦層は、第2の導電層の第1の平坦層から離れた一側に位置し、複数の発光素子群は、第2の平坦層のベース基板から離れた一側に位置する。

【0033】

10

20

30

40

50

複数の発光素子群は、第1の方向に沿って配置することで複数の発光素子列を形成し、第2の方向に沿って配置することで複数の発光素子行を形成し、発光素子群のそれぞれは、1つの第1の発光素子と、1つの第2の発光素子と、1つの第3の発光素子と、1つの第4の発光素子と、を備え、第2の発光素子及び第3の発光素子は、第2の方向に沿って配置して発光素子対を形成し、第1の発光素子、発光素子対及び第3の発光素子は第1の方向に沿って配置しており、第1の発光素子は第1のアノードを備え、第2の発光素子は第2のアノードを備え、第3の発光素子は第3のアノードを備え、第4の発光素子は第4のアノードを備え、第2の導電層は第1の接続電極、第2の接続電極、第3の接続電極及び第4の接続電極を備え、第2の平坦層は第1のビア、第2のビア、第3のビア及び第4のビアを備え、第1のアノードは、第1のビアを介して第1の接続電極と接続されており、第2のアノードは、第2のビアを介して第2の接続電極と接続されており、第3のアノードは、第3のビアを介して第3の接続電極と接続されており、第4のアノードは、第4のビアを介して第4の接続電極と接続されており、1つの発光素子行に対応する複数の第3のビアは、ほぼ、第1の方向に沿って延伸する第1の直線上にあり、第1の直線との距離が最も近い第4のビアのベース基板での正射影が第1の直線の第4のビアに対応する第4のアノードに近い側に位置する。

10

【0034】

それによって、該表示基板は第4のビアの位置を第4のアノードに近い方向へ移動することで、第4のビアと隣接する第1の発光素子の有効発光領域との間の距離を増加させ、それにより第1の発光素子の有効発光領域に位置する第1のアノードの平坦性を確保し、さらに色かぶり現象の発生を回避し、第4のビアと第4の発光素子の有効発光領域との間の距離を短縮させることにより、第4の発光素子の有効発光領域に位置する第4のアノードと第4の接続電極との間の抵抗を低減させ、且つ第1のアノードと第4のアノードとの間の距離を増加することで、製造過程での残留物による第1のアノードと第4のアノードとの短絡を回避できる。

20

【0035】

以下、図面を参照しながら、本開示の実施例により提供されている表示基板及び表示装置を詳細に説明する。

【0036】

本開示の一実施例は表示基板を提供している。図3は本開示の一実施例に係る表示基板の概略平面図であり、図4A及び図4Bは本開示の一実施例に係る図3のAA方向における表示基板の断面概略図であり、図5Aは本開示の一実施例に係る図3のBB方向における表示基板の断面概略図であり、図5Bは本開示の一実施例に係る図3のGG方向における表示基板の断面概略図であり、図6は本開示の一実施例に係る表示基板の発光素子の概略平面図である。

30

【0037】

図3、図4A、図4B、図5A、図5B、及び図6に示すように、該表示基板100は、ベース基板110と、第1の導電層150と、第1の平坦層241と、第2の導電層160と、第2の平坦層242と、複数の発光素子群310と、を備え、第1の導電層150は、ベース基板110上に位置し、第1の平坦層241は、第1の導電層150のベース基板110から離れた一側に位置し、第2の導電層160は、第1の平坦層241の第1の導電層150から離れた一側に位置し、第2の平坦層242は、第2の導電層160の第1の平坦層241から離れた一側に位置し、複数の発光素子群310は、第2の平坦層242のベース基板110から離れた一側に位置する。

40

【0038】

複数の発光素子群310は第1の方向に沿って配置することで複数の発光素子列320を形成し、第2の方向に沿って配置することで複数の発光素子行330を形成し、発光素子群310のそれぞれは、1つの第1の発光素子311と、1つの第2の発光素子312と、1つの第3の発光素子313と、1つの第4の発光素子314と、を備え、第2の発光素子312及び第3の発光素子313は第2の方向に沿って配置して発光素子対315

50

を形成し、第1の発光素子311、発光素子対315及び第4の発光素子314は第1の方向に沿って配置しており、第1の発光素子311は第1のアノード1751を備え、第2の発光素子312は第2のアノード1752を備え、第3の発光素子313は第3のアノード1753を備え、第4の発光素子314は第4のアノード1754を備え、第2の導電層160は、第1の接続電極1611、第2の接続電極1612、第3の接続電極1613及び第4の接続電極1614を備え、第2の平坦層242は、第1のビア2421、第2のビア2422、第3のビア2423及び第4のビア2424を備え、第1のアノード1751は、第1のビア2421を介して第1の接続電極1611と接続されており、第2のアノード1752は、第2のビア2422を介して第2の接続電極1612と接続されており、第3のアノード1753は、第3のビア2423を介して第3の接続電極1613と接続されており、第4のアノード1754は、第4のビア2424を介して第4の接続電極1614と接続されており、1つの発光素子行330に対応する複数の第3のビア2423は、ほぼ、第1の方向に沿って延伸する第1の直線301上にあり、第1の直線301との距離が最も近い第4のビア2424のベース基板110での正射影が、第1の直線301の第4のビア2424に対応する第4のアノード1754に近い側に位置する。ただし、上記第1の導電層及び第2の導電層はベース基板から離れる方向に沿って順に積層して設けられる。

10

【0039】

本開示の実施例により提供されている表示基板において、第2の発光素子及び第3の発光素子は、第2の方向に沿って配置して発光素子対を形成し、第1の発光素子、発光素子対及び第3の発光素子は第1の方向に沿って配置しており、つまり、第2のアノード及び第3のアノードは第2の方向に沿って配置してアノード対を形成し、第1のアノード、アノード対及び第3のアノードは第1の方向に沿って配置している。

20

【0040】

第1の直線との距離が最も近い第4のビアのベース基板での正射影が、第1の直線の第4のアノードに近い側に位置し、すなわち、該表示基板は第4のビアの位置を第4のアノードに近い方向へ移動する。それにより、該表示基板は、以下の有益な効果を有する。

(1) 第4のビアと隣接する第1の発光素子の有効発光領域との間の距離を増加することで、第1の発光素子の有効発光領域に位置する第1のアノードの平坦性を確保し、さらに色かぶり現象の発生を回避し、(2) 第4のビアと第4の発光素子の有効発光領域との間の距離を短縮させることにより、第4の発光素子の有効発光領域に位置する第4のアノードと第4の接続電極との間の抵抗を低減させ、(3) 第1のアノードと第4のアノードとの間の距離を増加することで、製造過程での残留物による第1のアノードと第4のアノードとの短絡を回避できる。

30

【0041】

たとえば、図5A、図5B、及び図6に示すように、該表示基板は第4のビア2424の位置を第4のアノード1754に近い方向へ移動し、従って第4のビア2424と隣接する第1の発光素子の有効発光領域（すなわち、開口部1951により画定された領域）との間の距離が増加する。且つ、第4のアノードはその下方の画素駆動回路と接続されている接続部を有するため、第4のビア2424の位置を第4のアノード1754に近い方向に移動しても、第4の発光素子の有効発光領域（すなわち、開口部1954により画定された領域）と重なることがない。

40

【0042】

この時、第4のビア2424と隣接する第1の発光素子の有効発光領域及び第4の発光素子の有効発光領域との間にいずれも適切な距離があり、それにより第1の発光素子の有効発光領域に位置する第1のアノード及び第4の発光素子の有効発光領域に位置する第4のアノードの平坦性を同時に確保でき、さらに色かぶり現象の発生を回避する。

【0043】

たとえば、図5A、図5B、及び図6に示すように、該表示基板は第4のビア2424の位置を第4のアノード1754に近い方向へ移動することにより、さらに第4のビア2

50

4 2 4と第4の発光素子の有効発光領域との間の距離を短縮させ、それにより第4の発光素子の有効発光領域に位置する第4のアノードと第4の接続電極との間の抵抗を低減させる。一方、該表示基板は第4のビア2 4 2 4の位置を第4のアノード1 7 5 4に近い方向へ移動することにより、さらに第1のアノード1 7 5 1と第4のアノード1 7 5 4との間の距離を増加させ、それにより製造過程での残留物による第1のアノード1 7 5 1と第4のアノード1 7 5 4との短絡を回避できる。

【0 0 4 4】

たとえば、第1のアノードのベース基板での正射影と隣接する第4のアノードのベース基板での正射影との間の最短距離は第1の発光素子の有効発光領域の第1の方向における幅の0.8倍を超えることで、製造過程での残留物による第1のアノードと第4のアノードとの短絡を効果的に回避できる。

10

【0 0 4 5】

たとえば、図6に示すように、第4のアノード1 7 5 4は、本体部1 7 5 4 Aと、接続部1 7 5 4 Bとを備え、第4の発光素子3 1 4の有効発光領域は本体部1 7 5 4 Aのベース基板1 1 0での正射影の内部にあり、接続部1 7 5 4 Bは第4のビア2 4 2 4を介して対応する第4の接続電極1 6 1 4と接続されており、第1の直線3 0 1の本体部1 7 5 4 Aに近い一側に位置し、それにより接続部の面積を効果的に減少させることができ、それにより、第4の発光素子の有効発光領域に位置する第4のアノードと第4の接続電極との間の抵抗を低減させる。

【0 0 4 6】

20

たとえば、図6に示すように、第4のアノード1 7 5 4は、第1の補足部1 7 5 4 Cをさらに備え、第1の補足部1 7 5 4 Cは、対応する画素駆動回路の補償薄膜トランジスタの2つのチャネル領域をカバーでき、それにより補償薄膜トランジスタの安定性を高め、耐用年数を延ばし、該表示基板の長期発光安定性を高め、耐用年数を延ばすことができる。

【0 0 4 7】

いくつかの例において、図6に示すように、第1の補足部1 7 5 4 Cは、第4の本体部1 7 5 4 Aから第3のアノード1 7 5 3へ突出し、第4の接続部1 7 5 4 Bの第4の本体部1 7 5 4 Aに近い一側に位置する。

【0 0 4 8】

いくつかの例において、図6に示すように、第1の補足部1 7 5 4 Cは、第4の本体部1 7 5 4 A及び第4の接続部1 7 5 4 Bの両方と接続されている。それにより、該表示基板は、表示基板上の面積を十分に利用して、第1のアノード、第2のアノード、第3のアノード及び第4のアノードを密接に配置して、それにより表示基板の解像度を確保できる。

30

【0 0 4 9】

たとえば、図4 Aに示すように、該表示基板は、順に設置されたベース基板1 1 0と、半導体層1 2 0と、第1の絶縁層3 6 1と、第1のゲート層1 3 0と、第2の絶縁層3 6 2と、第2のゲート層1 4 0と、層間絶縁層3 6 3と、第1の導電層1 5 0と、第1の平坦層2 4 1と、第2の導電層1 6 0と、第2の平坦層2 4 2と、を備える。第1のゲート層1 3 0は、ゲート線1 3 1及び第1の電極ブロックC E 1を備えてもよく、第2のゲート層は、第2のゲートブロックC E 2を備えてもよく、第1の電極ブロックC E 1のベース基板1 1 0での正射影と第2の電極ブロックC E 2のベース基板1 1 0での正射影とが少なくとも部分的に重なり、それによりストレージコンデンサを形成できる。

40

【0 0 5 0】

たとえば、図4 Aに示すように、第1の導電層1 5 0は、電源線及びデータ線をさらに備えてもよく、第2の導電層1 6 0は、電源線と重なり、電源線と電氣的に接続されてもよく、電源線の抵抗を低減させることができる導電部を備えてもよい。

【0 0 5 1】

たとえば、図4 Bに示すように、該表示基板は、第1の導電層1 5 0と第1の平坦層2 4 1との間に位置する保護層3 6 4をさらに備えてもよい。もちろん、本開示の実施例はこれに制限されず、該表示基板には保護層が設置されなくてもよい。

50

【0052】

いくつかの例において、図6に示すように、第1の直線301に対応する発光素子行330に隣接する発光素子行330に対応する複数の第2のビア2422もほぼ第1の直線301上にある。

【0053】

いくつかの例において、図3に示すように、1つの発光素子群310の第4のビア2424は、第2の方向において該発光素子群310に隣接する発光素子群310の第1のアノード1751の第2の方向に沿う二等分線の一侧、たとえば、第1のアノード1751の第2の方向に沿う二等分線の、該第1のアノード1751の位置する発光素子群310の第2のアノード1752に近い一侧に位置する。つまり、1つの発光素子群の第4のビアは、第2の方向において発光素子群に隣接する発光素子群の第1のアノードの第2の方向に沿う二等分線の一侧に位置する。いくつかの例において、図3に示すように、1つの発光素子群310において、第1のビア2421は第1のアノード1751の第2の方向に沿う二等分線の一侧、たとえば、第1のアノード1751の第2の方向に沿う二等分線の、第3のアノード1753に近い一侧に位置し、第2のビア2422は、第2のアノード1752の第2の方向に沿う二等分線の、第1のアノード1751に近い一侧に位置し、第3のビア2423は、第3のアノード1753の第2の方向に沿う二等分線の、第1のアノード1751に近い一侧に位置する。

10

【0054】

いくつかの例において、図6に示すように、1つの発光素子行330に対応する複数の第4のビア2424は、ほぼ、第1の方向に沿って延伸し、該発光素子行330に対応する複数の第1のアノード1751又は複数の第1のビア2421を通過する直線上にある。

20

【0055】

いくつかの例において、図6に示すように、1つの発光素子列320に対応する複数の第4のビア2424は、ほぼ、第2の方向に沿って延伸し、該発光素子列320に対応する複数の第1のアノード1751又は複数の第1の発光素子311の有効発光領域を通過する第2の直線上にある。

【0056】

いくつかの例において、図6に示すように、第4のアノード1754からそれとの距離が最も近い第1のアノード1751までの距離は、同じ行に位置する第1のアノード1751からそれとの距離が最も近い第4のアノード1754までの距離よりも小さい。

30

【0057】

いくつかの例において、図6に示すように、発光素子群310は、第2の方向において隣接して、それぞれ隣接する2つの発光素子行330内に設置されている第1の発光素子群と、第2の発光素子群とを備え、第1の発光素子群の第4のアノード1754の接続部と第2の発光素子群の第1のアノード1751の接続部とはいずれも、該第4のアノード1754の第2の方向に沿う二等分線の同じ側に位置する。つまり、第4のアノードの本体部の第2の方向に沿う二等分線の同じ側には、第4のアノードの接続部及び第2の方向において第4のアノードに隣接する第1のアノードの接続部が設置されている。

【0058】

いくつかの例において、図6に示すように、第1のアノード1751の本体部の形状は六角形を含み、第1のアノード1751の、第2の方向において第1のアノード1751に隣接する第4のアノード1754との距離が最も近い点は六角形の頂点である。

40

【0059】

いくつかの例において、図6に示すように、隣接する2つの発光素子行330は1/2ピッチずれて設置されており、上記ピッチは、第1の方向に隣接する2つの発光素子群310の2つの第1の発光素子311の有効発光領域の中心間の距離に等しい。

【0060】

いくつかの例において、図6に示すように、第1の直線301は隣接する2つの発光素子行330の間に位置する。

50

【0061】

いくつかの例において、図5A、図5B、及び図6に示すように、第1の直線301との距離が最も近い第1のビア2421のベース基板110での正射影は、第1の直線301の該第1のビア2421に対応する第1のアノード1751に近い側に位置する。つまり、該表示基板は、第1のビアの位置を第1のアノードに近い方向へ移動する。それにより、該表示基板は以下の有益な効果を有する。(1)第1のビアと第2の方向に距離が最も近い第4の発光素子の有効発光領域との間の距離を増加させ、それにより隣接する第4の発光素子の有効発光領域に位置する第4のアノードの平坦性を確保し、さらに色かぶり現象の発生を回避し、(2)第1のビアと第1の発光素子の有効発光領域との間の距離を短縮させ、それにより第1の発光素子の有効発光領域に位置する第1のアノードと第1の接続電極との間の抵抗を低減させ、(3)第1のアノードと第4のアノードとの間の距離を増加させ、それにより製造過程での残留物による第1のアノードと第4のアノードとの短絡を回避できる。もちろん、本開示の実施例はこれに制限されず、第1のビアのベース基板での正射影は第1の直線上にあってもよい。

10

【0062】

いくつかの例において、図6に示すように、第4のビア2424のベース基板110での正射影と第1の直線301のベース基板110での正射影との間の距離は、第1のビア2421のベース基板110での正射影と第1の直線301のベース基板110での正射影との間の距離よりも大きい。つまり、第1の直線に比べて、第4のビアのオフセット量の方が大きい。もちろん、本開示の実施例はこれに制限されず、第1の直線に比べて、第4のビアのオフセット量は第1のビアのオフセット量と同じであってもよい。

20

【0063】

いくつかの例において、図6に示すように、第2の発光素子312の有効発光領域のベース基板110での正射影と第2のビア2422のベース基板110での正射影との間には第1の最短距離L1を有し、第3の発光素子313の有効発光領域のベース基板110での正射影と前記第3のビア2423のベース基板110での正射影との間には第2の最短距離L2を有し、第1の最短距離L1と第2の最短距離L2とはほぼ同じである。ただし、上記第1の最短距離と第2の最短距離とがほぼ同じであることは、第1の最短距離と第2の最短距離とが完全に同じである場合を含むだけでなく、第1の最短距離と第2の最短距離との差が1ミクロン未満である場合を含む。

30

【0064】

それにより、該表示基板によれば、第2の発光素子の有効発光領域に位置する第2のアノードと第3の発光素子の有効発光領域に位置する第3のアノードの傾斜程度が同じであるが、傾斜方向が反対であることを可能にすることで、色かぶり現象の発生を効果的に回避できる。ただし、第2の発光素子の有効発光領域に位置する第2のアノードと第3の発光素子の有効発光領域に位置する第3のアノードが傾斜しない場合、第2の発光素子の有効発光領域の第2のアノードと第3の発光素子の有効発光領域に位置する第3のアノードの傾斜程度はゼロであると考えられ、また、上記第2の発光素子の有効発光領域のベース基板での正射影と第2のビアのベース基板での正射影との間の第1の最短距離は、第2の発光素子の有効発光領域のベース基板での正射影のエッジと第2のビアのベース基板での正射影のエッジとの間の最短距離であってもよく、同様に、第3の発光素子の有効発光領域のベース基板での正射影と前記第3のビアのベース基板での正射影との間の第2の最短距離は、第3の発光素子の有効発光領域のベース基板での正射影のエッジと前記第3のビアのベース基板での正射影のエッジとの間の最短距離であってもよい。

40

【0065】

いくつかの例において、図6に示すように、第4のビア2424のベース基板110での正射影と第2の方向に隣接する第1の発光素子311の有効発光領域のベース基板110での正射影との間の距離Cは、第2の方向に隣接する第1の発光素子311の有効発光領域の第1の方向における幅Aの1.2倍を超えている。それにより、該表示基板は、第1の発光素子の有効発光領域に位置する第1のアノードが比較的高い平坦性を有すること

50

を確保できる。

【0066】

いくつかの例において、図6に示すように、1つの発光素子群310の第4のビア2424と、隣接する発光素子群310の第1のアノード1751との最短距離Bは、該発光素子群310の第4のビア2424と、対応する第4の発光素子314の有効発光領域との間の距離E未満である。

【0067】

いくつかの例において、図6に示すように、1つの発光素子群310の第4のアノード1754と第2の方向において該第4のアノード1754との距離が最も近い発光素子群310の第1のアノード1751との最短距離は、隣接する発光素子群310の第1のアノード1751の頂点と発光素子群310の第4のアノード1754との間の距離である。つまり、隣接する発光素子群310の第1のアノード1751の頂点は、発光素子群310の第4のアノード1754との距離が最も近い点である。たとえば、第1のアノード1751のベース基板110での正射影の形状は六角形であり、上記頂点は六角形の長軸上の頂点である。

【0068】

いくつかの例において、図3、図4A、図4B、図5A、図5B、及び図6に示すように、該表示基板100は、第1のアノード1751、第2のアノード1752、第3のアノード1753及び第4のアノード1754のベース基板110から離れた一側に位置し、第1の開口部1951、第2の開口部1952、第3の開口部1953及び第4の開口部1954を有する画素画定層190をさらに備える。第1の発光素子311は第1の発光部1851を備え、第2の発光素子312は第2の発光部1852を備え、第3の発光素子313は第3の発光部1853を備え、第4の発光素子314は第4の発光部1854を備える。第1の開口部1951は、第1のアノード1751のベース基板110での正射影の内部にあり、第1の発光部1851の少なくとも一部は第1の開口部1951に位置して第1のアノード1751の露出された部分をカバーし、第2の開口部1952は、第2のアノード1752のベース基板110での正射影の内部にあり、第2の発光部1852の少なくとも一部は第2の開口部1952に位置して第2のアノード1752の露出された部分をカバーし、第3の開口部1953は、第3のアノード1753のベース基板110での正射影の内部にあり、第3の発光部1853の少なくとも一部は第3の開口部1953に位置して第3のアノード1753の露出された部分をカバーし、第4の開口部1954は、第4のアノード1754のベース基板110での正射影の内部にあり、第4の発光部1854の少なくとも一部は第4の開口部1954に位置して第4のアノード1754の露出された部分をカバーする。第1の開口部1951により画定された領域は第1の発光素子313の有効発光領域であり、第2の開口部1952により画定された領域は第2の発光素子312の有効発光領域であり、第3の開口部1953により画定された領域は第3の発光素子313の有効発光領域であり、第4の開口部1954により画定された領域は第4の発光素子314の有効発光領域である。

【0069】

いくつかの例において、図6に示すように、第4のビア2424のベース基板110での正射影と第2の方向に隣接する第1の開口部1951のベース基板110での正射影との間の距離Cは、第1の開口部1951の第1の方向における幅Aの1.2倍を超えている。それにより、該表示基板は、第1の開口部に位置する第1のアノード（すなわち、第1のアノードの第1の開口部により露出された部分）が比較的高い平坦性を有することを確保できる。

【0070】

いくつかの例において、図3、図4A、図4B、図5A、図5B、及び図6に示すように、該表示基板100は、第1の平坦層241と、第1の導電層150とを備え、第1の平坦層241は第2の導電層160のベース基板110に近い一側に位置し、第1の導電層150は第1の平坦層241のベース基板110に近い一側に位置する。第1の導電層

10

20

30

40

50

150は、第1のドレイン1511、第2のドレイン1512、第3のドレイン1513及び第4のドレイン1514を備え、第1の平坦層241は、第5のビア2415、第6のビア2416、第7のビア2417及び第8のビア2418を備え、第1の接続電極1611は第5のビア2415を介して第1のドレイン1511と接続されており、第2の接続電極1612は第6のビア2416を介して第2のドレイン1512と接続されており、第3の接続電極1613は第7のビア2417を介して第3のドレイン1513と接続されており、第4の接続電極1614は第8のビア2418を介して第4のドレイン1514と接続されている。

【0071】

いくつかの例において、図4A及び図4Bに示すように、該表示基板100は、第1の画素駆動回路2651と、第2の画素駆動回路2652と、第3の画素駆動回路2653と、第4の画素駆動回路2654と、をさらに備え、第1のドレイン1511は第1の画素駆動回路2651の一部であり、第2のドレイン1512は第2の画素駆動回路2652の一部であり、第3のドレイン1513は第3の画素駆動回路2653の一部であり、第4のドレイン1514は第4の画素駆動回路2654の一部である。第1の画素駆動回路2651は、第1の接続電極1611を介して第1のアノード1751と接続して、第1のアノード1751に駆動信号を印加し、第2の画素駆動回路2652は、第2の接続電極1612を介して第2のアノード1752と接続して、第2のアノード1752に駆動信号を印加し、第3の画素駆動回路2653は、第3の接続電極1613を介して第3のアノード1753と接続して、第3のアノード1753に駆動信号を印加し、第4の画素駆動回路2654は、第4の接続電極1614を介して第4のアノード1754と接続して、第4のアノード1754に駆動信号を印加する。

【0072】

図7は本開示の一実施例に係る表示基板の第2の導電層とアノード層との平面関係の概略図である。図6及び図7に示すように、第2のアノード1752及び第3のアノード1753は第2の方向に沿って配置してアノード対1755を形成し、第1のアノード1751、アノード対1755及び第4のアノード1754は第1の方向に沿って配置しており、第2の導電層160は、第2の方向に沿って延伸する第1の導電部1621、第2の導電部1622、第3の導電部1623及び第4の導電部1624をさらに備え、第1の導電部1621は、第1のアノード1751のアノード対1755から離れた一側に位置し、第2の導電部1622は第1のアノード1751とアノード対1755との間に位置し、第3の導電部1623はアノード対1755と第4のアノード1754との間に位置し、第4の導電部1624と第4のアノード1754とは重なる。該表示基板において、第2の方向に沿って延伸する第1の導電部1621、第2の導電部1622、第3の導電部1623及び第4の導電部1624は、第1の導電層150の電源線と接続して、電源線の抵抗を低減させることができる。

【0073】

いくつかの例において、図7に示すように、第1の導電部1621及び第2の導電部1622のベース基板110での正射影と第1のアノード1751のベース基板110での正射影とが重ならず、第2の導電部1622及び第3の導電部1623のベース基板110での正射影と前記アノード対1755のベース基板110での正射影とが重ならない。それにより、第1の導電部1621及び第2の導電部1622は第1のアノード1751の平坦性に対してほとんど影響を与えず、第2の導電部1622及び第3の導電部1623はアノード対1755の第2のアノード1752及び第3のアノード1753の平坦性に対してほとんど影響を与えない。もちろん、本開示の実施例はこれに制限されず、第1の導電部、第2の導電部及び第3の導電部はアノードと重なってもよい。

【0074】

たとえば、第1の導電部1621及び第2の導電部1622のベース基板110での正射影は、それぞれ第1のアノード1751のベース基板110での正射影と第1の重なり部及び第2の重なり部を有し、第1の重なり部と第2の重なり部の面積はほぼ同じであり

、それにより第1のアノード1751の平坦性を向上させることができる。同様に、第2の導電部1622及び第3の導電部1623のベース基板110での正射影は、それぞれアノード対1755のベース基板110での正射影と第3の重なり部及び第4の重なり部を有し、第3の重なり部と第4の重なり部の面積はほぼ同じであり、それによりアノード対1755の第2のアノード1752及び第3のアノード1753の平坦性を向上させることができる。ただし、上記「ほぼ同じ」は、完全に同じである場合と、両者の差が両者の平均値の10%未満である場合とを含む。

【0075】

たとえば、第1の重なり部及び第2の重なり部は第1のアノード1751の本体部、すなわち、第1の発光素子311の有効発光領域の第2の方向に沿う二等分線に対して対称的であり、それにより第1の発光素子311の有効発光領域の平坦性をさらに高めることができ、第3の重なり部及び第4の重なり部は、アノード対1755の第2の方向に沿う二等分線に対して対称的であり、それによりアノード対1755の第2のアノード1752及び第3のアノード1753の平坦性をさらに高めることもできる。

10

【0076】

いくつかの例において、図7に示すように、第4の導電部1624のベース基板110での正射影は第4のアノード1754のベース基板110での正射影の中心を通過し、第4の導電部1624の第2の方向に沿う二等分線のベース基板110での正射影と、第4の発光素子314の有効発光領域の第2の方向に沿う二等分線のベース基板110での正射影とが重なる。それにより第4のアノード1754の平坦性を向上させることもできる。

20

【0077】

いくつかの例において、図7に示すように、第2の導電層160は、第1の方向に沿って延伸する第5の導電部1625及び第6の導電部1626をさらに備え、第5の導電部1625は、第2の導電部1622及び第3の導電部1623とそれぞれ接続されており、且つ第2のアノード1752と第3のアノード1753との間に位置し、第6の導電部1626は、第3の導電部1623及び第4の導電部1624とそれぞれ接続されており、且つ第2の方向において隣接する第1のアノード1751と第4のアノード1754との間に位置する。それにより、上記第1の導電部1621、第2の導電部1622、第3の導電部1623、第4の導電部1624、第5の導電部1625及び第6の導電部1626は網状の構造を形成でき、それにより、第1の導電層の電源線の抵抗をさらに低減させ、さらに該表示基板の電氣的性能を高めることができる。

30

【0078】

いくつかの例において、図7に示すように、第2の導電部1622は、第2の方向に沿って延伸する本体部1622A、スペーサブロック1622B及び接続ブロック1622Cを備え、スペーサブロック1622Bは、本体部1622Aの第1のアノード1751に近い側に位置し、且つ本体部1622Aと間隔をおいて設置されており、接続ブロック1622Cを介して本体部1622Aと接続されている。一般的には、第1のアノードの第1の方向におけるサイズ（すなわち、幅）が小さいため、第1の導電部と第2の導電部の本体部との間の距離が大きく、上記スペーサブロックを設置すると、第1のアノードの両側の第1の導電部と第2の導電部の対称性を向上させることができ、それにより、第1のアノードの平坦性を向上させることができる。

40

【0079】

いくつかの例において、第1の発光素子は第1の色の光を発するように構成されており、第2の発光素子及び第3の発光素子は、第2の色の光を発するように構成されており、第4の発光素子は、第3の色の光を発するように構成されている。

【0080】

たとえば、第1の色は赤色（R）、第2の色は緑色（G）、第3の色は青色（B）である。つまり、該表示基板はGGRBの画素配置構造を用いている。

【0081】

本開示の一実施例は表示装置をさらに提供している。図8は本開示の一実施例に係る表

50

示装置の概略図である。図 8 に示すように、該表示装置 400 は、上記いずれかに記載の表示基板 100 を備える。それにより、該表示装置は、該表示基板の有益な効果に対応する有益な効果を有する。たとえば、該表示装置は、第 1 の発光素子の有効発光領域に位置する第 1 のアノードの平坦性を確保して、それにより色かぶり現象の発生を回避でき、第 4 の発光素子の有効発光領域に位置する第 4 のアノードと第 4 の接続電極との間の抵抗を低減させることができ、且つ第 1 のアノードと第 4 のアノードとの間の距離を増加させ、それにより製造過程での残留物による第 1 のアノードと第 4 のアノードとの短絡を回避できる。

【0082】

たとえば、該表示装置は表示パネルであってもよく、テレビ、コンピュータ、ノートパソコン、タブレットコンピュータ、携帯電話、ナビゲータ、及びデジタルフォトフレームなど表示機能を有する電子製品であってもよい。

【0083】

一方、本願の発明者は、アノード下の第 2 のソース／ドレイン金属層の厚さが大きく、不均一に分布しているため、第 2 のソース／ドレイン金属層もアノードが平坦ではない現象を引き起こすことを見出した。

【0084】

図 9 は他の表示基板の部分断面概略図であり、図 10 は他の表示基板の部分断面概略図である。図 9 に示すように、第 2 のソース／ドレイン金属層 160 は、複数の配線 168 を備え、アノード 175 の下方の一側に配線 168 があるが、他側に配線 168 がない場合、該アノード 175 の両側に高さ差があり、それによりアノード 175 の「傾斜」現象を引き起こし、さらに色かぶり現象を引き起こす。図 10 に示すように、アノード 175 の両側にはいずれも配線 168 があるかアノード 175 の下方に配線 168 がない場合、アノード 175 はより高い平坦度を確保でき、それによりアノード 175 の異なる方向における発光強度が一致することを確保でき、さらに色かぶり現象を効果的に改善できる。

【0085】

これに対して、本開示の実施例は表示基板及び表示装置を提供している。該表示基板は、ベース基板と、第 1 の導電層と、第 1 の平坦層と、第 2 の導電層と、第 2 の平坦層と、複数の発光素子群と、を備え、第 1 の導電層は、ベース基板上に位置し、第 1 の平坦層は第 1 の導電層のベース基板から離れた一側に位置し、第 2 の導電層は第 1 の平坦層の第 1 の導電層から離れた一側に位置し、第 2 の平坦層は第 2 の導電層の第 1 の平坦層から離れた一側に位置し、複数の発光素子群は第 2 の平坦層の第 2 の導電層から離れた一側に位置する。複数の発光素子群は、第 1 の方向に沿って配置することで複数の発光素子列を形成し、第 2 の方向に沿って配置することで複数の発光素子行を形成し、発光素子群のそれぞれは、1 つの第 1 の発光素子と、1 つの第 2 の発光素子と、1 つの第 3 の発光素子と、1 つの第 4 の発光素子と、を備え、第 1 の発光素子は第 1 のアノードを備え、第 2 の導電層は第 2 の方向に沿って延伸する第 1 の導電部及び第 2 の導電部を備え、第 1 の導電部は第 1 のアノードの一側に位置し、第 2 の導電部は第 1 のアノードの第 1 の導電部から離れた一側に位置し、第 1 の導電部は延伸部及びオフセット部を備え、第 1 の発光素子の有効発光領域の第 2 の方向に沿って延伸する直線上での正射影がオフセット部の該直線上での正射影により被覆され、オフセット部のベース基板での正射影と第 1 のアノードのベース基板での正射影とが間隔をおいて設置されており、延伸部は第 2 の導電部に近く且つ第 2 の方向に沿って延伸するエッジの位置する直線が第 1 の直線であり、オフセット部は第 1 の直線と間隔をおいて設置されており且つ第 1 の直線の第 2 の導電部から離れた一側に位置する。それにより、第 1 の導電部は第 1 のアノードの一側に位置し、第 2 の導電部は第 1 のアノードの第 1 の導電部から離れた一側に位置し、且つオフセット部のベース基板での正射影と第 1 のアノードのベース基板での正射影とが間隔をおいて設置されているため、第 2 の導電層の第 1 の導電部及び第 2 の導電部は第 1 のアノードの平坦度に対してほとんど影響を与えず、それにより、第 1 のアノードはより高い平坦度を確保でき、それにより、第 1 のアノードの異なる方向における発光強度が一致することを確保でき、さらに色か

10

20

30

40

50

ぶり現象を効果的に改善できる。

【0086】

以下、図面を参照しながら本開示の実施例により提供されている表示基板及び表示装置を詳細に説明する。

【0087】

本開示の一実施例は表示基板を提供している。図11は本開示の一実施例に係る他の表示基板の概略平面図であり、図12Aは本開示の一実施例に係る図11のHH方向における表示基板の断面概略図であり、図12Bは本開示の一実施例に係る図11のJJ方向における表示基板の断面概略図であり、図13は本開示の一実施例に係る他の表示基板の概略平面図であり、図14は本開示の一実施例に係る他の表示基板の概略平面図である。第2の導電層の各導電部とアノードとの位置関係を明確に示すために、図14には第2の導電層及びアノード層のみが示されている。

【0088】

図11-14に示すように、該表示基板100は、ベース基板110と、第1の導電層150と、第1の平坦層241と、第2の導電層160と、第2の平坦層242と、複数の発光素子群310と、を備え、第2の導電層160はベース基板110上に位置し、第2の平坦層242は第2の導電層160のベース基板110から離れた一側に位置し、複数の発光素子群310は、第2の平坦層242のベース基板110から離れた一側に位置する。複数の発光素子群310は第1の方向に沿って配置することで複数の発光素子列320を形成し、第2の方向に沿って配置することで複数の発光素子行330を形成し、発光素子群310のそれぞれは、1つの第1の発光素子311と、1つの第2の発光素子312と、1つの第3の発光素子313と、1つの第4の発光素子314と、を備え、第1の発光素子311は第1のアノード1751を備え、第2の発光素子312は第2のアノード1752を備え、第3の発光素子313は第3のアノード1753を備え、第4の発光素子314は第4のアノード1754を備え、第2のアノード1752及び第3のアノード1753は第2の方向に沿って配置してアノード対1755を形成し、第1のアノード1751、アノード対1755及び第4のアノード1754は第1の方向に沿って配置している。第2の導電層160は、第2の方向に沿って延伸する第1の導電部1621及び第2の導電部1622を備え、第1の導電部1621は、第1のアノード1751のアノード対1755から離れた一側に位置し、第2の導電部1622は第1のアノード1751とアノード対1755との間、すなわち第1のアノード1751の第1の導電部1621から離れた一側に位置する。第1の導電部1621は、延伸部1621A及びオフセット部1621Bを備え、第1の発光素子311の有効発光領域の第2の方向に沿って延伸する直線上での正射影がオフセット部1621Bの直線上での正射影により被覆され、すなわち、第1の発光素子311の有効発光領域の第1の導電部1621での正射影がオフセット部1621Bの位置にあり、つまり、オフセット部1621Bは第1の発光素子311の有効発光領域に対応する。オフセット部1621Bのベース基板110での正射影と第1のアノード1751のベース基板110での正射影とが間隔をおいて設置されており、延伸部1621Aは第2の導電部1622に近く且つ第2の方向に沿って延伸するエッジの位置する直線が第1の直線302であり、オフセット部1621Bは第1の直線302と間隔をおいて設置されており且つ第1の直線302の第2の導電部1622から離れた一側に位置する。ただし、上記第1の導電層及び第2の導電層はベース基板から離れる方向に沿って順に積層して設けられている。

【0089】

本開示の実施例により提供されている表示基板において、第1の導電部は第1のアノードの一側に位置し、第2の導電部は第1のアノードの第1の導電部から離れた一側に位置し、且つオフセット部のベース基板での正射影と第1のアノードのベース基板での正射影とが間隔をおいて設置されているため、第2の導電層の第1の導電部及び第2の導電部は第1のアノードの平坦度に対してほとんど影響を与えず、それにより第1のアノードはより高い平坦度を確保でき、それにより、第1のアノードの異なる方向における発光強度が

一致することを確保でき、さらに色かぶり現象を効果的に改善できる。また、オフセット部は第1の直線と間隔において設置されており且つ第1の直線の第2の導電部から離れた一側に位置するため、オフセット部は第1のアノードから離れる方向へオフセットし、第1のアノードの設置のために空間を提供し、それによりアノードの密接配置を実現すると同時に第1のアノードのより高い平坦度を確保できる。

【0090】

ただし、上記複数の発光素子の配置態様は図6に示される配置態様を参照してもよく、すなわち、隣接する2つの発光素子行は1/2ピッチずれて設置されており、上記ピッチは第1の方向に隣接する2つの発光素子群の2つの第1の発光素子の有効発光領域の中心間の距離に等しい。

【0091】

いくつかの例において、第1の発光素子311は第1の色の光を発するように構成されており、第2の発光素子312及び第3の発光素子313は第2の色の光を発するように構成されており、第4の発光素子314は第3の色の光を発するように構成されている。

【0092】

いくつかの例において、第1の色は赤色、第2の色は緑色、第3の色は青色である。

【0093】

いくつかの例において、図11-14に示すように、第1の直線302のベース基板110での正射影は第1のアノード1751のベース基板110での正投影を通過する。それにより、該表示基板はアノードの密接配置を実現すると同時に第1のアノードのより高い平坦度を確保できる。

【0094】

いくつかの例において、図11-14に示すように、延伸部1621Aの第2の方向に延伸する二等分線の位置する直線は第2の直線303であり、オフセット部1621Bは第2の直線303と間隔において設置されており且つ第2の直線303の第2の導電部1622から離れた一側に位置する。それにより、オフセット部が第2の直線と間隔において設置されており且つ第2の直線のアノード対から離れた一側に位置するため、オフセット部は第1のアノードから離れる方向へオフセットし、第1のアノードの設置のために空間を提供しており、それによりアノードの密接配置を実現すると同時に第1のアノードのより高い平坦度を確保できる。

【0095】

いくつかの例において、図11-14に示すように、第2の直線303のベース基板110での正射影は第1のアノード1751のベース基板110での正投影を通過する。それにより、該表示基板はアノードの密接配置を実現すると同時に第1のアノードのより高い平坦度を確保できる。

【0096】

いくつかの例において、図11-14に示すように、第1のアノード1751は第2の方向に沿って延伸し、第2の導電部1622は第2の方向に沿って延伸する本体部1622A及びスペーサブロック1622Bを備え、本体部1622Aのベース基板110での正射影と第1のアノード1751のベース基板110での正射影とが間隔において設置されており、スペーサブロック1622Bは、本体部1622Aの第1のアノード1751に近い一側に位置し、スペーサブロック1622Bのベース基板110での正射影と第1の発光素子311の有効発光領域の中心のベース基板110での正射影との間の距離と、第1の導電部1621のベース基板110での正射影と第1の発光素子311の有効発光領域の中心のベース基板110での正射影との間の距離とはほぼ同じである。

【0097】

該表示基板において、一般的には、第1のアノードの第1の方向におけるサイズ（すなわち、幅）が小さいため、第1の導電部と第2の導電部の本体部との間の距離が大きく、スペーサブロックのベース基板での正射影と第1の発光素子の有効発光領域の中心のベース基板での正射影との間の距離と、第1の導電部のベース基板での正射影と第1の発光

10

20

30

40

50

素子の有効発光領域の中心のベース基板での正射影との間の距離とはほぼ同じであり、従って上記スペーサブロックを設置すると、第1のアノードの両側の第1の導電部と第2の導電部との対称性を向上させることができ、さらに第1のアノードの平坦性を向上させることができる。

【0098】

いくつかの例において、図11-14に示すように、第1の導電部1621のベース基板110での正射影と第1の発光素子311の有効発光領域の中心のベース基板110での正射影との間の距離は、本体部1622Aのベース基板110での正射影と第1の発光素子311の有効発光領域の中心のベース基板110での正射影との間の距離未満である。

【0099】

たとえば、第1の導電部1621のベース基板110での正射影と第1の発光素子311の有効発光領域の中心のベース基板110での正射影との間の距離と、本体部1622Aのベース基板110での正射影と第1の発光素子311の有効発光領域の中心のベース基板110での正射影との間の距離の比は、 $1/3$ 以下である。

【0100】

いくつかの例において、図11-14に示すように、スペーサブロック1622Bのベース基板110での正射影と本体部1622Aのベース基板110での正射影とが間隔をおいて設置されており、第2の導電部1622は接続部1622Cをさらに備え、スペーサブロック1622Bは接続部1622Cを介して本体部1622Aと接続されている。それにより、スペーサブロック1622Bは接続部1622Cを介して本体部1622Aと接続されており、本体部1622Aと一体に形成するものではないため、第2の導電部1622と、半導体層、ゲート層等のような下方のフィルム層との間の過度の重なりを回避でき、それにより第2の導電部1622下のフィルム層の負荷を増加させることを回避する。それにより、該表示基板はスペーサブロックを増加させるとともに、各サブ画素の通常動作を確保できる。

【0101】

たとえば、図12Bに示すように、第1の導電層150は、第2の方向に沿って延伸する電源線151及びデータ線152、第1の接続ブロック1541及び第2の接続ブロック1542を備える。第1の接続ブロック1541は初期化信号線と画素駆動回路の対応するソース領域を接続し、第2の接続ブロック1542は補償薄膜トランジスタのドレイン領域と第1の電極ブロックCE1を接続し、第1の電極ブロックCE1は第2の電極ブロックCE2とストレージコンデンサを形成できるとともに、薄膜トランジスタを駆動するためのゲートとして使用されている。従って、スペーサブロック1622Bは接続部1622Cを介して本体部1622Aと接続されており、本体部1622Aと一体に形成するものではないため、第2の導電部1622と第2の接続ブロック1542との過度の重なりを回避でき、それにより第2の接続ブロック1542の負荷、すなわち、補償薄膜トランジスタのドレインと駆動薄膜トランジスタのゲートの負荷を低減させることができ、さらに該表示基板の性能を向上させることができる。ただし、該表示基板が用いたのは7T1Cの画素駆動回路であり、もちろん、本開示の実施例はこれに制限されず、該表示基板はその他の適切な画素駆動回路構造を用いてもよい。

【0102】

たとえば、図12Bに示すように、オフセット部1621Bのベース基板110での正射影と第1のアノード1751のベース基板での正射影とが間隔をおいて設置されており、スペーサブロック1622Bのベース基板110での正射影と第1のアノード1751のベース基板110での正射影とが間隔をおいて設置されている。たとえば、図12Bに示すように、該表示基板は、第1の導電層150と第1の平坦層241との間に位置する保護層364をさらに備えてもよい。もちろん、本開示の実施例はこれに制限されず、該表示基板には保護層が設置されなくてもよい。

【0103】

いくつかの例において、図11-14に示すように、スペーサブロック1622Bの

10

20

30

40

50

ベース基板 110 での正射影と本体部 1622A のベース基板 110 での正射影との間の距離は、スペーサブロック 1622B のベース基板 110 での正射影の前記第 1 の方向に沿う幅を超えている。それにより、該表示基板は、第 2 の導電部 1622 と、半導体層、ゲート層等のような下方のフィルム層との過度の重なりをさらに回避でき、それにより半導体層、ゲート層等のフィルム層の負荷を増加させることを回避できる。それにより、該表示基板はスペーサブロックを増加させるとともに、各サブ画素の通常動作を確保できる。

【0104】

いくつかの例において、図 11-14 に示すように、第 2 の導電部 1622 は 2 つの接続部 1622C を備え、2 つの接続部 1622C はそれぞれスペーサブロック 1622B の第 2 の方向における両端に位置し、スペーサブロック 1622B、2 つの接続部 1622C 及び本体部 1622A は 1 つの長方形開口部を囲む。それにより、該表示基板は、第 2 の導電部 1622 と、半導体層、ゲート層等のような下方のフィルム層との過度の重なりをさらに回避でき、それにより半導体層、ゲート層等の負荷を増加させることを回避できる。それにより、該表示基板はスペーサブロックを増加させるとともに、各サブ画素の通常動作を確保できる。

【0105】

いくつかの例において、スペーサブロックの第 1 の方向における幅と本体部の第 1 の方向における幅との比は $1/2$ 以下であり、スペーサブロックの第 1 の方向における幅と、本体部からスペーサブロックまでの距離との比は $1/2$ 以下である。

【0106】

いくつかの例において、スペーサブロックの第 2 の方向における長さ第 1 の発光素子の有効発光領域の第 2 の方向における長さとの比は $7/8$ 以上である。

【0107】

いくつかの例において、第 1 の発光素子の有効発光領域とスペーサブロックとの中心接続線と、第 1 の方向との間の夾角は 30 度未満である。たとえば、第 1 の発光素子の有効発光領域とスペーサブロックとの中心接続線と、第 1 の方向との間の夾角はゼロであり、すなわち、第 1 の発光素子の有効発光領域とスペーサブロックとの中心接続線は第 1 の方向に平行である。

【0108】

いくつかの例において、スペーサブロックのベース基板での正射影と第 1 のアノードのベース基板での正射影とが間隔をおいて設置されており、第 1 の導電部のベース基板での正射影と第 1 のアノードのベース基板での正射影とが間隔をおいて設置されている。

【0109】

いくつかの例において、スペーサブロックのベース基板での正射影と第 1 のアノードのベース基板での正射影との重なり面積と、第 1 の導電部のベース基板での正射影と第 1 のアノードのベース基板での正射影との重なり面積とはほぼ同じである。いくつかの例において、図 11-14 に示すように、第 2 の導電層 160 は、第 2 の方向に沿って延伸する第 3 の導電部 1623 及び第 4 の導電部 1624 をさらに備え、第 3 の導電部 1623 はアノード対 1755 と第 4 のアノード 1754 との間に位置し、第 4 の導電部 1624 と第 4 のアノード 1754 とは重なる。

【0110】

いくつかの例において、図 11-14 に示すように、第 2 の導電部 1622 の本体部 1622A のベース基板 110 での正射影と第 2 の発光素子 312 の有効発光領域の第 2 の方向に沿う二等分線のベース基板 110 での正射影との間の距離と、第 3 の導電部 162 のベース基板 110 での正射影と第 2 の発光素子 312 の有効発光領域の第 2 の方向に沿う二等分線のベース基板 110 での正射影との間の距離とはほぼ同じである。それにより、該表示基板はアノード対の両側の第 2 の導電部と第 3 の導電部との対称性を向上させることができ、それにより第 2 のアノードと第 3 のアノードの平坦性をさらに向上させることができる。

10

20

30

40

50

【0111】

いくつかの例において、図11-14に示すように、第4のアノード1754は第2の方向に沿って延伸し、第4の導電部1624のベース基板110での正射影は第4の発光素子314の有効発光領域のベース基板110での正射影の中心を通過する。それにより、第4の導電部162と第4のアノード1754とが重なっても、第4の導電部1624のベース基板110での正射影が第4の発光素子314の有効発光領域のベース基板110での正射影の中心を通過するため、第4の導電部は第4のアノードのより高い平坦度を確保でき、それにより第4のアノードの異なる方向における発光強度が一致することを確保でき、さらに色かぶり現象を効果的に改善できる。

【0112】

いくつかの例において、図11-14に示すように、第2の導電層160は、第1の方向に沿って延伸する第5の導電部1625及び第6の導電部1626をさらに備え、第5の導電部1625は本体部1622A及び第3の導電部1623とそれぞれ接続されており、アノード対1755の第2のアノード1752と第3のアノード1753との間に位置し、第6の導電部1626は第3の導電部1623及び第4の導電部1624とそれぞれ接続されており、第2の方向において隣接する第1のアノード1751と第4のアノード1754との間に位置する。それにより、上記第1の導電部1621、第2の導電部1622、第3の導電部1623、第4の導電部1624、第5の導電部1625及び第6の導電部1626は網状の構造を形成でき、それにより第1の導電層の電源線の抵抗をさらに低減させることができ、さらに該表示基板の電気的性能を向上させることができる。

【0113】

いくつかの例において、図11-14に示すように、第2の導電層160は、第1の接続電極1611、第2の接続電極1612、第3の接続電極1613及び第4の接続電極1614を備え、第2の平坦層242は、第1のビア2421、第2のビア2422、第3のビア2423及び第4のビア2424を備え、第1のアノード1751は、第1のビア2421を介して第1の接続電極1611と接続されており、第2のアノード1752は、第2のビア2422を介して第2の接続電極1612と接続されており、第3のアノード1753は、第3のビア2423を介して第3の接続電極1613と接続されており、第4のアノード1754は、第4のビア2424を介して第4の接続電極1614と接続されている。

【0114】

いくつかの例において、図11-14に示すように、第1の平坦層241は第2の導電層160のベース基板110に近い一側に位置し、第1の導電層150は第1の平坦層241のベース基板110に近い一側に位置する。第1の導電層150は、第1のドレイン1511、第2のドレイン1512、第3のドレイン1513及び第4のドレイン1514を備え、第1の平坦層241は第5のビア2415、第6のビア2416、第7のビア2417及び第8のビア2418を備え、第1の接続電極1611は第5のビア2415を介して第1のドレイン1511と接続されており、第2の接続電極1612は第6のビア2416を介して第2のドレイン1512と接続されており、第3の接続電極1613は第7のビア2417を介して第3のドレイン1513と接続されており、第4の接続電極1614は第8のビア2418を介して第4のドレイン1514と接続されている。

【0115】

いくつかの例において、図11-14に示すように、該表示基板100は、第1の画素駆動回路2651と、第2の画素駆動回路2652と、第3の画素駆動回路2653と、第4の画素駆動回路2654と、をさらに備え、第1のドレイン1511は第1の画素駆動回路2651の一部であり、第2のドレイン1512は第2の画素駆動回路2652の一部であり、第3のドレイン1513は第3の画素駆動回路2653の一部であり、第4のドレイン1514は第4の画素駆動回路2654の一部である。第1の画素駆動回路2651は、第1の接続電極1611を介して第1のアノード1751と接続して、第1のアノード1751に駆動信号を印加し、第2の画素駆動回路2652は、第2の接続電極

10

20

30

40

50

1 6 1 2を介して第2のアノード1 7 5 2と接続して、第2のアノード1 7 5 2に駆動信号を印加し、第3の画素駆動回路2 6 5 3は、第3の接続電極1 6 1 3を介して第3のアノード1 7 5 3と接続して、第3のアノード1 7 5 3に駆動信号を印加し、第4の画素駆動回路2 6 5 4は、第4の接続電極1 6 1 4を介して第4のアノード1 7 5 4と接続して、第4のアノード1 7 5 4に駆動信号を印加する。

【0 1 1 6】

たとえば、第2の導電層の厚さ範囲は0.6-0.8ミクロンであってもよく、たとえば0.7ミクロンであり、第2の平坦層の厚さ範囲は1.3-1.7ミクロンであってもよく、たとえば1.5ミクロンである。

【0 1 1 7】

図15は本開示の一実施例に係る他の表示基板の概略平面図である。第2の導電層の各導電部とアノードとの位置関係を明確に示すために、図15には第2の導電層及びアノード層のみが示されている。図15に示すように、第2の導電層160の第2の導電部1622にはスペーサブロックが設置されておらず、第2の導電層160の第1の導電部1621は延伸部1621A及びオフセット部1621Bを備え、第1の発光素子311の有効発光領域の第1の導電部1621での正射影がオフセット部1621Bの位置にあり、つまり、オフセット部1621Bは第1の発光素子311の有効発光領域に対応する。オフセット部1621Bのベース基板110での正射影と第1のアノード1751のベース基板110での正射影とが間隔をおいて設置されており、延伸部1621Aは第1のアノード1751に近く且つ第2の方向に沿って延伸するエッジの位置する直線は第1の直線302であり、オフセット部1621Bは第1の直線302と間隔をおいて設置されており且つ第1の直線302のアノード対1755から離れた一側に位置する。

【0 1 1 8】

本開示の実施例により提供されている表示基板において、第1の導電部は第1のアノードのアノード対から離れた一側に位置し、第2の導電部は第1のアノードとアノード対との間に位置し、且つオフセット部のベース基板での正射影と第1のアノードのベース基板での正射影とが間隔をおいて設置されているため、第2の導電層の第1の導電部及び第2の導電部は第1のアノードの平坦度に対してほとんど影響を与えず、それにより第1のアノードのより高い平坦度を確保でき、それにより、第1のアノードの異なる方向における発光強度が一致することを確保でき、さらに色かぶり現象を効果的に改善できる。また、オフセット部と第1の直線とが間隔をおいて設置されており且つ第1の直線のアノード対から離れた一側に位置するため、オフセット部は第1のアノードから離れる方向へオフセットし、第1のアノードの設置のために空間を提供しており、それによりアノードの密接配置を実現すると同時に第1のアノードのより高い平坦度を確保できる。

【0 1 1 9】

たとえば、図15に示すように、第1のアノード1751は本体部1751A、接続部1751B及び補足部1751Cを備えてもよく、第1の発光素子の有効発光領域は本体部1751Aにあり、接続部1751Bは第1のアノード1751に対応する画素駆動回路と接続し、補足部1751Cは対応する画素駆動回路の駆動薄膜トランジスタT1のゲートG1と補償薄膜トランジスタT3のドレインD3での電位をカバーし、それにより駆動薄膜トランジスタT1のゲートG1と補償薄膜トランジスタT3のドレインD3での電位を安定化して、さらに該表示基板の長期発光安定性を高め、耐用年数を延ばす。

【0 1 2 0】

たとえば、図15に示すように、第1のアノード1751とオフセット部1621Bとの間の距離の範囲は2.5-3.2ミクロンであってもよく、たとえば2.9ミクロンであり、第1のアノード1751の本体部1751Aと第2の導電部1622との間の距離の範囲は9-11ミクロンであってもよく、たとえば、10.5ミクロンであり、第1のアノード1751の接続部1751Bと第2の導電部1622との間の距離の範囲は5-7ミクロンであってもよく、第1のアノード1751の補足部1751Cと第2の導電部1622とが部分的に重なってもよく、且つ重なり部分の第1の方向における幅は1ミク

10

20

30

40

50

ロン未満であり、たとえば、0.79ミクロンである。補足部の第2の導電部に近いエッジと本体部との間の距離が大きいため、補足部1751Cは第2の導電部1622と部分的に重なり第1のアノードの平坦性にほとんど影響を与えない。

【0121】

本開示の一実施例は表示装置をさらに提供している。図16は本開示の一実施例に係る表示装置の概略図である。図16に示すように、該表示装置400は、上記いずれかに記載の表示基板100を備える。それにより、該表示装置は、該表示基板の有益な効果に対応する有益な効果を有する。たとえば、該表示装置は、第1の発光素子の有効発光領域に位置する第1のアノードの平坦性を確保し、それにより色かぶり現象の発生を回避でき、第4の発光素子の有効発光領域に位置する第4のアノードと第4の接続電極との間の抵抗を低減させることができ、且つ第1のアノードと第4のアノードとの間の距離を増加させ、製造過程での残留物による第1のアノードと第4のアノードとの短絡を回避できる。

【0122】

たとえば、該表示装置は、テレビ、コンピュータ、ノートパソコン、タブレットコンピュータ、携帯電話、ナビゲータ、デジタルフォトフレームなど表示機能を有する電子製品であってもよい。

【0123】

一方、有機発光ダイオード表示装置の製造過程において、通常、蒸着プロセスで発光層を製造する。且つ、ファインメタルマスク（FMM）が蒸着プロセス中に有機発光ダイオード表示基板にタッチし且つそれを損傷させることを防止するために、通常、有機発光ダイオード表示基板上にスペーサーを形成し、且つファインメタルマスクをスペーサー上に置く必要がある。この場合、スペーサーはファインメタルマスクを支持し、それにより有機発光ダイオード表示基板を保護できる。

【0124】

しかしながら、研究を行ったところ、本願の発明者は、一般的に、スペーサーがサブ画素の有効発光領域の直辺の中間位置にあり、ファインメタルマスクで蒸着プロセスを行う時、ファインメタルマスクの開口縁がスペーサーの中間位置にあり、スペーサーの中間位置は製造プロセス等の理由で、通常、スペーサーの最も厚い位置（すなわち、スペーサーの最上部）であり、ファインメタルマスクの開口縁がスペーサーの最上部にちょうど接触し、それによりスペーサーを傷つけたり、粒子（Particle）等の異物が発生しやすいことを見出した。図17はファインメタルマスクで蒸着するプロセスの概略図である。図17に示すように、ファインメタルマスク250の開口縁252はスペーサー220の最上部に位置し、スペーサー220の最上部を傷つけたり、粒子等の異物が発生しやすく、蒸着プロセスの後、表示基板上にパッケージ層等のフィルム層を形成するが、発生した粒子等の異物によりパッケージ層のクラック（Crack）等の欠陥が発生しやすくなり、それにより製品の安定性及び信頼性の低下を引き起こす。

【0125】

これに対して、本開示の実施例は、表示基板及びその製造方法、表示装置をさらに提供している。該表示基板は、ベース基板と、発光層と、スペーサーと、を備え、発光層は、ベース基板上に位置し且つ複数の発光部を備え、スペーサーは発光層のベース基板から離れた一側に位置し、スペーサーのベース基板から離れた最上部のベース基板での正射影と発光部のベース基板での正射影のエッジとが間隔をおいて設置されている。それにより、ファインメタルマスクで蒸着プロセスを行って上記発光部を形成する時、ファインメタルマスクの開口縁のベース基板での正射影とスペーサーの最上部のベース基板での正射影とが間隔をおいて設置されており、それによりファインメタルマスクの開口縁がスペーサーの最上部に接触することを回避し、粒子等の異物の発生を回避でき、さらに該表示基板の歩留まり率を向上させることができる。

【0126】

以下、図面を参照しながら本開示の実施例により提供されている表示基板及びその製造方法、表示装置を詳細に説明する。

【0127】

本開示の一実施例は表示基板を提供している。図18は本開示の一実施例に係る表示基板の概略平面図であり、図19は本開示の一実施例に係る図18のCC方向における表示基板の断面概略図である。

【0128】

図18及び図19に示すように、該表示基板100は、ベース基板110、発光層180及びスペーサー220を備え、発光層180はベース基板110上に位置し且つ複数の発光部185を備え、スペーサー220はベース基板110の発光層180の位置する一側に位置する。スペーサー220のベース基板110から離れた最上部225のベース基板110での正射影と発光部185のベース基板110での正射影のエッジとが間隔をおいて設置されている。ただし、上記スペーサーの最上部とは、スペーサーのベース基板から離れた部分、すなわち、厚さが大きい部分であり、また、上記した「間隔をおいて設置されている」とは、スペーサーのベース基板から離れた最上部のベース基板での正射影と発光部のベース基板での正射影との間に所定の間隔を有し、互いに重ならず又は接触していないことを指す。

【0129】

本開示の実施例により提供されている表示基板の製造過程において、ファインメタルマスク250で蒸着プロセスを行って上記発光部185を形成する時、図19に示すように、ファインメタルマスク250の開口縁252のベース基板110での正射影とスペーサー220の最上部225のベース基板110での正射影とが間隔をおいて設置されており、それによりファインメタルマスク250の開口縁252がスペーサー220の最上部225に接触することを回避し、且つ粒子等の異物の発生を回避できる。たとえば、図19に示すように、ファインメタルマスク250の開口縁252はスペーサー220のエッジ部分に位置し、スペーサー220のエッジ部分の厚さがスペーサー220の最上部225の厚さ未満であるため、ファインメタルマスク250の開口縁252は宙吊り状態にあり、スペーサー220に接触しておらず、それにより、傷つけによる粒子等の異物の発生を回避できる。それにより、該表示基板は、表示基板の安定性、信頼性及び製品の歩留まり率を向上させることができる。

【0130】

いくつかの例において、図19に示すように、スペーサー220の中間部分のベース基板110に垂直な方向におけるサイズは、スペーサー220のエッジ部分のベース基板110に垂直な方向におけるサイズよりも大きい。つまり、スペーサー220の中間部分の厚さは、スペーサー220のエッジ部分の厚さよりも大きい。それにより、ファインメタルマスクの開口縁のベース基板での正射影とスペーサーの中間部分（すなわち、スペーサーの最上部）のベース基板での正射影とが間隔をおいて設置されている時、ファインメタルマスクの開口縁は宙吊り状態にあり、スペーサーに接触していないため、傷つけによる粒子等の異物の発生を回避できる。

【0131】

たとえば、図19に示すように、スペーサー220のベース基板110に垂直な平面での横断面形状は半円形を含んでもよい。もちろん、本開示の実施例はこれに制限されていない。たとえば、スペーサー220の横断面形状が半円形である場合、該半円形の傾斜度の範囲は8-10度である。

【0132】

いくつかの例において、図18に示すように、スペーサー220のベース基板110での正射影の形状は長方形であり、スペーサー220の長さ方向における中軸線のベース基板110での正射影と発光部185のベース基板110での正射影のエッジとが間隔をおいて設置されている。それにより、該表示基板はファインメタルマスクの開口縁がスペーサーの最上部に接触することを回避でき、且つ粒子等の異物の発生を回避でき、それにより、表示基板の安定性、信頼性及び製品の歩留まり率を向上させることができる。もちろん、本開示の実施例のスペーサーのベース基板での正射影の形状は上記長方形を含むが、

これに制限されず、その他の形状であってもよい。

【0133】

いくつかの例において、図18に示すように、スペーサー220の長さ方向における中軸線のベース基板110での正射影と発光部185のベース基板110での正射影のエッジとの間の距離は6ミクロンよりも大きい。それにより、該表示基板はファインメタルマスクの開口縁がスペーサーの最上部に接触することを効果的に回避でき、且つ粒子等の異物の発生を回避でき、それにより、表示基板の安定性、信頼性及び製品の歩留まり率を向上させることができる。

【0134】

図20は本開示の一実施例に係る他の表示基板の概略平面図であり、図21は本開示の一実施例に係る図20のDD方向における表示基板の断面概略図である。スペーサーと発光部との間の関係を明確に示すために、図20にはベース基板、アノード層、発光層及びスペーサーのみが示されている。図20に示すように、スペーサー220のベース基板110から離れた最上部225のベース基板110での正射影と発光部185のベース基板110での正射影のエッジとが間隔をおいて設置されている。図21に示すように、ファインメタルマスクで蒸着プロセスを行って上記発光部を形成する時、ファインメタルマスク250の開口縁252は宙吊り状態にあり、スペーサー220に接触していない。従って、該表示基板は、ファインメタルマスクの開口縁がスペーサーの最上部に接触することを回避でき、且つ粒子等の異物の発生を回避でき、それにより、表示基板の安定性、信頼性及び製品の歩留まり率をさらに向上させることができる。

【0135】

いくつかの例において、図20に示すように、複数の発光部185は、第1の方向に沿って配置することで複数の発光グループ列280を形成し、第2の方向に沿って配置することで複数の発光グループ行290を形成する複数の発光グループ1850を備え、各発光グループ1850は、1つの第1の発光部1851、1つの第2の発光部1852、1つの第3の発光部1853及び1つの第4の発光部1854を備え、隣接する2つの発光グループ行290は1/2ピッチずれて設置されており、上記ピッチは第1の方向に隣接する2つの発光グループ1850の2つの第1の発光部1851の中心間の距離に等しく、第2の発光部1852及び第3の発光部1853は第2の方向に沿って配置して発光対1855を形成し、第1の発光部1851、発光対1855及び第4の発光部1854は第1の方向に沿って配置されている。図20に示すように、スペーサー220の最上部225のベース基板110での正射影は、1つの発光グループ1850の第1の発光部1851のベース基板110での正射影と第3の発光部1853のベース基板110での正射影、及び、第2の方向に隣接するもう1つの発光グループ1850の第2の発光部1852及び第4の発光部1854のベース基板110での正射影の間に位置する。それにより、該表示基板は、スペーサー220の最上部225のベース基板110での正射影と、第1の発光部1851、第2の発光部1852、第3の発光部1853及び第4の発光部1854のベース基板110での正射影とがいずれも間隔をおいて設置されていることを確保でき、且つ表示基板上の空間を十分に利用できる。

【0136】

たとえば、第1の方向と第2の方向とがほぼ垂直である。ただし、上記第1の方向と第2の方向とがほぼ垂直であることは、第1の方向と第2の方向との間の夾角が90度である場合を含むだけでなく、第1の方向と第2の方向との間の夾角の範囲が85-95度である場合を含む。

【0137】

たとえば、図20に示すように、該表示基板100において、第2の方向に隣接する2つの発光グループ1850は、第1の発光グループ1850A及び第2の発光グループ1850Bであってもよく、スペーサー220の最上部225のベース基板110での正射影は、第1の発光グループ1850Aの第1の発光部1851のベース基板110での正射影、第1の発光グループ1850Aの第3の発光部1853のベース基板110での正

射影、第2の発光グループ1850Bの第2の発光部1852のベース基板110での正射影及び第2の発光グループ1850Bの第4の発光部1854のベース基板110での正射影の間に位置する。それにより、該表示基板は、スペーサー220の最上部225のベース基板110での正射影と、第1の発光部1851、第2の発光部1852、第3の発光部1853及び第4の発光部1854のベース基板110での正射影とがいずれも間隔をおいて設置されていることを確保でき、且つ表示基板上の空間を十分に利用できる。

【0138】

たとえば、スペーサー220のベース基板110での正射影は、長さが20ミクロン、幅が9.5ミクロンの長方形であってもよい。この場合、スペーサー220のベース基板110での正射影と第1の発光グループ1850Aの第3のアノード1753のベース基板110での正射影との間の距離範囲は8.5-9.5ミクロンであってもよく、たとえば8.9ミクロンであり、スペーサー220のベース基板110での正射影と第2の発光グループ1850Bの第4のアノード1754のベース基板110での正射影との間の距離範囲は6-7ミクロンであってもよく、たとえば6.3ミクロンである。

【0139】

たとえば、スペーサー220のベース基板110での正射影と第1の発光グループ1850Aの第3の発光部1853のベース基板110での正射影との間の距離範囲は0ミクロンであってもよく、さらに互いに重なってもよい。スペーサー220のベース基板110での正射影と第2の発光グループ1850Bの第2の発光部1852のベース基板110での正射影との間の距離範囲は0ミクロンであってもよく、さらに互いに重なってもよい。

【0140】

いくつかの例において、図20及び図21に示すように、該表示基板100は、アノード層170及び画素画定層190をさらに備え、アノード層170は、ベース基板110とスペーサー220との間に位置し、画素画定層190はアノード層170のスペーサー220に近い側に位置する。アノード層170は、複数のアノード175を備え、画素画定層190は、複数のアノード175を露出させるように複数の開口部195を備える。複数のアノード175は複数の発光部185と対応して設置されており、複数の開口部195は、複数の発光部185と対応して設置されており、複数の開口部グループ1950を備え、開口部グループ1950のそれぞれは、1つの第1の開口部1951、1つの第2の開口部1952、1つの第3の開口部1953及び1つの第4の開口部1954を備え、複数のアノード175は複数の発光部185と対応して設置されており、複数のアノードグループ1750を備え、アノードグループ1750のそれぞれは、1つの第1のアノード1751、1つの第2のアノード1752、1つの第3のアノード1753及び1つの第4のアノード1754を備え、第1の発光部1851は、少なくとも部分的に第1の開口部1951内に位置し且つ露出された第1のアノード1751をカバーし、第2の発光部1852は、少なくとも部分的に第2の開口部1952内に位置し且つ露出された第2のアノード1752をカバーし、第3の発光部1853は、少なくとも部分的に第3の開口部1953内に位置し且つ露出された第3のアノード1753をカバーし、第4の発光部1854は、少なくとも部分的に第4の開口部1954内に位置し且つ露出された第4のアノード1754をカバーする。

【0141】

たとえば、図20及び図21に示すように、スペーサー220のベース基板110での正射影と第1のアノード1751のベース基板110での正射影とが部分的に重なってもよい。

【0142】

たとえば、図20及び図21に示すように、第1の仮想直線はスペーサー220の長さ方向に平行であり且つスペーサー220の中心を通過し、第1の開口部1951のベース基板110での正射影の形状は略楕円形であり、該楕円形の長軸方向における頂点から第1の仮想直線までの距離と、第1の開口部1951から第1の仮想直線までの最短距離と

10

20

30

40

50

の比の範囲は、 $1.5 - 1$ である。

【0143】

たとえば、第1の開口部1951と第2の開口部1952との間の距離範囲は $20 - 25$ ミクロンであり、第1の開口部1951と第3の開口部1953との間の距離も $20 - 25$ ミクロンであり、第1の開口部1951と第4の開口部1954との間の距離範囲も $20 - 25$ ミクロンである。もちろん、本開示の実施例はこれに制限されず、各開口部の間の距離は、実際の製品のサイズにより決められてもよい。

【0144】

いくつかの例において、図20及び図21に示すように、スペーサー220のベース基板110での正射影と第1の開口部1951のベース基板110でのスペーサーブロックとが設置されている。それにより、本開示の実施例により提供されている表示基板の製造過程において、ファインメタルマスクで蒸着プロセスを行って上記発光部を形成する時、該表示基板は、ファインメタルマスクの開口縁がスペーサーの最上部に接触することを回避でき、且つ粒子等の異物の発生を回避できる。

【0145】

たとえば、図20及び図21に示すように、スペーサー220のベース基板110での正射影と第1の開口部1951のベース基板110での正射影とが間隔をおいて設置されている。

【0146】

いくつかの例において、図20及び図21に示すように、第1の開口部1951のベース基板110での正射影の形状は略楕円形であり、スペーサー220のベース基板110での正射影の形状は長方形であり、第1の開口部1951のベース基板110での正射影の形状の長軸方向とスペーサー220のベース基板110での正射影の延伸方向との間の夾角の範囲は $20 - 70$ 度である。

【0147】

いくつかの例において、図20及び図21に示すように、該表示基板100は、アノード層170のベース基板110に近い側に位置し、且つ複数の画素駆動回路265を有する画素回路層260をさらに備え、複数の画素駆動回路265は複数のアノード175と対応して設置されており、各アノード175は対応する画素駆動回路265と電氣的に接続されており、第1のアノード1751は、本体部1751Aと、本体部1751Aと接続されている接続部1751Bとを備え、第1の開口部1951のベース基板110での正射影は本体部1751Aのベース基板110での正射影の内部にあり、接続部1751Bは対応する画素駆動回路265と電氣的に接続されている。

【0148】

いくつかの例において、図20及び図21に示すように、スペーサー220のベース基板110での正射影と接続部1751Bのベース基板110での正射影とが少なくとも部分的に重なる。それにより、該表示基板は、ファインメタルマスクの開口縁がスペーサーの最上部に接触することを回避でき、且つ粒子等の異物の発生を回避すると同時に、表示基板上の空間を十分に利用できる。

【0149】

いくつかの例において、図20及び図21に示すように、接続部1751Bは、本体部1751Aの、同じ発光グループ1850の第3のアノード1753及び第2の方向に隣接する発光グループ1850の第4のアノード1754に近い位置にある。

【0150】

いくつかの例において、第1の開口部1951により画定された領域は第1のサブ画素の第1の有効発光領域であり、第2の開口部1952により画定された領域は第2のサブ画素の第2の有効発光領域であり、第3の開口部1953により画定された領域は第3のサブ画素の第3の有効発光領域であり、第4の開口部1954により画定された領域は第4のサブ画素の第4の有効発光領域である。それにより、上記複数の発光グループ、複数の開口部グループ及び複数のアノードグループは、それぞれ、複数の画素構造に対応する。

10

20

30

40

50

【0151】

いくつかの例において、第1の発光部は第1の色の光を発するように構成されており、第2の発光部と第3の発光部とは接続されており、第2の色の光を発するように構成されており、第4の発光部は第3の色の光を発するように構成されている。

【0152】

たとえば、第1の色は赤色（R）、第2の色は緑色（G）、第3の色は青色（B）である。つまり、該表示基板はGGRBの画素配置構造を用いている。

【0153】

図22は本開示の一実施例に係る図20のEE方向における表示基板の断面概略図である。図22に示すように、実際の製造過程において、ファインメタルマスクで形成した発光部185（たとえば、第1の発光層1851及び第4の発光層1854）は拡散して、薄い拡散部（たとえば、拡散部1851A及び1854A）を形成するため、最終的に得た発光層185のサイズがファインメタルマスクの開口部のサイズよりも大きいことを引き起こし、その結果、スペーサー220と重なるようになり、さらに隣接する発光部が接触し又は重なるようになる。この場合、上記発光層とは、発光層の厚さが拡散部の厚さ以上の部分であり、拡散部を含まない。

【0154】

本開示の一実施例は表示装置をさらに提供している。図23は本開示の一実施例に係る表示装置の概略図である。図23に示すように、該表示装置400は、上記いずれかに記載の表示基板100を備える。それにより、該表示装置は、該表示基板の有益な効果に対応する有益な効果を有する。たとえば、該表示装置は、製造過程においてファインメタルマスクの開口縁252がスペーサーの最上部に接触することを回避でき、且つ粒子等の異物の発生を回避でき、それにより、表示基板の安定性、信頼性及び製品の歩留まり率を向上させることができる。

【0155】

たとえば、該表示装置は、テレビ、コンピュータ、ノートパソコン、タブレットコンピュータ、携帯電話、ナビゲータ、デジタルフォトフレームなど表示機能を有する電子製品であってもよい。

【0156】

本開示の一実施例は、表示基板の製造方法をさらに提供している。図24は本開示の一実施例に係る表示基板の製造方法である。図24に示すように、該表示基板の製造方法は、以下のステップS101-S103を含む。

【0157】

ステップS101：ベース基板上に、複数の開口部を備える画素画定層を形成する。

【0158】

たとえば、ベース基板は、石英基板、ガラス基板、プラスチック基板等を用いてもよく、画素画定層は、気相成長プロセスで製造されてもよく、複数の開口部はエッチングプロセスで製造されてもよい。もちろん、本開示の実施例はこれに制限されない。

【0159】

ステップS102：画素画定層のベース基板から離れた一側にスペーサーを形成する。

【0160】

たとえば、スペーサーは画素画定層とともに、同じフィルム層を使用することによりハーフトーンマスク又はグレートンマスクを介して形成され、それによりマスクプロセスを省き、コストを削減させることができる。たとえば、まず、ベース基板上に画素画定層及びスペーサーを形成するための層構造を形成し、そして、ハーフトーンマスク又はグレートンマスクを利用して層構造のベース基板から離れた一側に、完全保持部分、部分保持部分及び完全除去部分を有する第1のフォトリジストパターンを形成し、第1のフォトリジストパターンを利用して層構造に対してエッチング（たとえば、ウェットエッチングプロセス）を行い、完全除去部分に対応する層構造を除去して、画素画定層の複数の開口部を形成し、その後、第1のフォトリジストパターンに対して灰化プロセスを行い、部分

10

20

30

40

50

保持部分を除去して第2のフォトリジストパターンを形成し、第2のフォトリジストパターンを利用して層構造をさらにエッチングして、完全保持部分に対応する層構造にスペーサーを形成し、部分保持部分に対応する層構造に画素画定層を形成する。もちろん、本開示の実施例はこれに制限されず、スペーサーは単独に形成してもよい。

【0161】

ステップS103：スペーサーのベース基板から離れた一側にマスク板を置き、且つマスク板をマスクとして複数の開口部内に発光材料を蒸着させて複数の発光部を有する発光層を形成し、マスク板は複数のマスク開口部を備え、スペーサーのベース基板から離れた最上部のベース基板での正射影とマスクの開口部のベース基板での正射影のエッジとが間隔をおいて設置されている。

10

【0162】

本開示の実施例により提供されている表示基板の製造過程において、スペーサーのベース基板から離れた一側にマスク板を置き、且つマスク板をマスクとして複数の開口部内に発光材料を蒸着させて複数の発光部を有する発光層を形成する時、マスク板の開口縁のベース基板での正射影とスペーサーの最上部のベース基板での正射影とが間隔をおいて設置されており、それにより、マスク板の開口縁がスペーサーの最上部に接触することを回避でき、且つ粒子等の異物の発生を回避できる。それにより、該表示基板の製造方法は、表示基板の安定性、信頼性及び製品の歩留まり率を向上させることができる。

【0163】

いくつかの例において、上記マスク板はファインメタルマスク（FMM）である。

20

【0164】

いくつかの例において、スペーサーのベース基板での正射影の形状は長方形であり、スペーサーの長さ方向における中軸線のベース基板での正射影と発光部のベース基板での正射影のエッジとが間隔をおいて設置されている。それにより、該表示基板の製造方法は、ファインメタルマスクの開口縁がスペーサーの最上部に接触することを回避でき、且つ粒子等の異物の発生を回避でき、それにより、表示基板の安定性、信頼性及び製品の歩留まり率を向上させることができる。

【0165】

いくつかの例において、スペーサーのベース基板での正射影と発光部のベース基板での正射影のエッジとが間隔をおいて設置されている。それにより、該表示基板は、ファインメタルマスクの開口縁がスペーサーの最上部に接触することをさらに回避でき、且つ粒子等の異物の発生を回避でき、それにより、表示基板の安定性、信頼性及び製品の歩留まり率をさらに向上させることができる。

30

【0166】

図25－図27は本開示の一実施例に係るマスク板グループの概略平面図である。図25－図27に示すように、該マスク板グループは、第1のマスク板510、第2のマスク板520及び第3のマスク板530を備え、第1のマスク板510は、それぞれが上記第1の発光部1851を形成するための複数の第1のマスク開口部412を備え、第2のマスク板520は、それぞれが上記第2の発光部1852及び第3の発光部1853を形成するための複数の第2のマスク開口部422を備え、つまり、第2の発光部1852及び第3の発光部1853は同じマスク開口部を介して形成されており、第3のマスク板530は、それぞれが上記第4の発光部1854を形成するための複数の第3のマスク開口部432を備える。

40

【0167】

たとえば、図25－図27に示すように、該表示基板の製造方法において、上記ステップS103は、図25に示すように、スペーサー220のベース基板110から離れた一側に第1のマスク板510を置き、且つ第1のマスク板510をマスクとして複数の開口部1951内に発光材料を蒸着させて複数の第1の発光部1851を形成するステップと、第1のマスク板510を除去するステップと、図26に示すように、スペーサー220のベース基板110から離れた一側に第2のマスク板520を置き、且つ第2のマスク板

50

520をマスクとして複数の開口部1951及び1952内に発光材料を蒸着させて複数の第2の発光部1852及び複数の第3の発光部1853を形成するステップと、第2のマスク板520を除去するステップと、図27に示すように、スペーサー220のベース基板110から離れた一側に第3のマスク板530を置き、且つ第3のマスク板530をマスクとして複数の開口部1954内に発光材料を蒸着させて複数の第4の発光部1854を形成するステップと、を含む。

【0168】

たとえば、図25－図27に示すように、スペーサー220のベース基板110から離れた最上部のベース基板110での正射影と第1の発光部1851又は第4の発光部1854のベース基板110での正射影のエッジとが間隔をおいて設置されている。

【0169】

一方、有機発光ダイオード（OLED）表示技術の継続的な発展に伴って、表示効果に対する要件もますます高くなる。研究を行ったところ、本願の発明者は、有機発光ダイオード表示装置の表示効果に影響を与える要素が多く、ゲート層の負荷（Loading）は画素駆動回路の充電時間に影響を与えて、画素駆動回路の充電時間は表示効果に大きな影響を与えることを見出した。通常、ゲート層の負荷は主にゲート線及びリセット信号線の負荷からなる。一方、データ線（又はソース線）の負荷はICの電力に直接関係しており、データ線の負荷は大きければ大きいほど、ICドライバに対する要件が高くなり、それにより、ICの電力も大きくなる。従って、ゲート線とリセット信号線との間の負荷及びデータ線上の負荷を制御すると、有機発光ダイオード表示装置の表示効果を向上させることができ、有機発光ダイオード表示装置の電力を低減させることができる。

【0170】

これに対して、本開示の実施例は表示基板及び表示装置を提供している。該表示基板は、ベース基板と、第1のゲート層と、第2のゲート層と、第1の導電層とを備え、第1のゲート層はベース基板上に位置し、第2のゲート層は第1のゲート層のベース基板から離れた一側に位置し、第1の導電層は第2のゲート層のベース基板から離れた一側に位置し、第1のゲート層は、第1の方向に沿って延伸するリセット信号線及び第1の電極ブロックを備え、第2のゲート層は、第1の電極ブロックとストレージコンデンサを形成するように第2の電極ブロックを備え、第1の導電層は、第2の方向に沿って延伸する電源線を備え、リセット信号線と電源線とは第1の重なり領域を有し、第2の電極ブロックと電源線とは第2の重なり領域を有し、第1の重なり領域に位置する電源線の幅が、第2の重なり領域に位置する電源線の幅未満であり、第1の方向と第2の方向とは交差する。それにより、リセット信号線と電源線が重なる第1の重なり領域内の電源線の幅を減少させることにより、該表示基板は、リセット信号線の負荷を低減させることができ、それにより、画素駆動回路の充電時間を長くし、さらに該表示基板の表示効果を向上させることができる。

【0171】

以下、図面を参照しながら本開示の実施例により提供されている表示基板及び表示装置を詳細に説明する。

【0172】

本開示の一実施例は表示基板を提供している。図28Aは本開示の一実施例に係る他の表示基板の部分概略図であり、図28Bは本開示の一実施例に係る他の表示基板の部分概略図であり、図29は本開示の一実施例に係る図28AのFF方向における表示基板の断面概略図である。該表示基板内の画素駆動回路構造の各フィルム層の積層構造を明確に示すために、図28Bにはアノード層及び第2の導電層が省略されている。

【0173】

図28A、図28B、及び図29に示すように、該表示基板100は、ベース基板110、第1のゲート層130、第2のゲート層140及び第1の導電層150を備え、第1のゲート層130はベース基板110上に位置し、第2のゲート層140は第1のゲート層130のベース基板110から離れた一側に位置し、第1の導電層150は第2のゲ

ト層 140 のベース基板 110 から離れた一側に位置する。第 1 のゲート層 130 は、第 1 の方向に沿って延伸するリセット信号線 131 及び第 1 の電極ブロック CE1 を備え、第 2 のゲート層 140 は、第 1 の電極ブロック CE1 とストレージコンデンサを形成するように構成されている第 2 の電極ブロック CE2 を備え、第 1 の導電層 150 は、第 2 の方向に沿って延伸する電源線 151 を備え、リセット信号線 131 と電源線 151 とは第 1 の重なり領域 351 を有し、第 2 の電極ブロック CE2 と電源線 151 とは第 2 の重なり領域 352 を有し、第 1 の重なり領域 351 に位置する電源線 151 の幅が、第 2 の重なり領域 352 に位置する電源線 151 の幅未満である。つまり、電源線 151 の第 1 の重なり領域 351 での幅は縮小されており、第 1 の方向と第 2 の方向とは交差し、たとえば、互いに直交する。ただし、上記電源線の幅とは、電源線の第 1 の方向におけるサイズであり、対応して、電源線の長さとは、電源線の第 2 の方向におけるサイズである。

10

【0174】

本開示の実施例により提供されている表示基板において、リセット信号線と電源線が重なる第 1 の重なり領域内の電源線の幅を減少させると、リセット信号線と電源線との重なり面積を減少させることができ、それにより、リセット信号線と電源線との間の寄生容量の大きさを減少させることができる。それにより、リセット信号線と電源線が重なる第 1 の重なり領域内の電源線の幅を減少させると、該表示基板は、リセット信号線の負荷を低減させることができ、それにより、画素駆動回路の充電時間を長くし、さらに、該表示基板の表示効果を向上させることができる。

【0175】

20

いくつかの例において、第 1 の導電層は第 1 のソース／ドレイン金属層であってもよく、該表示基板はさらに第 2 の導電層、すなわち第 2 のソース／ドレイン金属層を備えてもよい。ただし、表示基板上のフィルム層構造を明確に示すために、図 28A に示されている表示基板には第 2 の導電層（第 2 のソース／ドレイン金属層）が示されておらず、もちろん、本開示の実施例はこれに制限されず、該表示基板は第 2 の導電層を備えない単層ソース／ドレイン金属層の表示基板であってもよい。

【0176】

いくつかの例において、第 1 の重なり領域 351 に位置する電源線 151 の幅は電源線 151 の平均幅未満である。

【0177】

30

いくつかの例において、図 28A 及び図 28B に示すように、第 1 の重なり領域 351 の電源線 151 の幅は電源線 151 の最大幅の $5/7$ 未満である。それにより、該表示基板は、リセット信号線の負荷を効果的に低減させることができる。

【0178】

いくつかの例において、図 28B に示すように、電源線 151 は本体延伸部 151A 及び縮小部 151B を備え、縮小部 151B の幅は本体延伸部 151A の幅未満であり、縮小部 151B のベース基板 110 での正射影とリセット信号線 131 のベース基板 110 での正射影とが重なる。

【0179】

いくつかの例において、図 28A 及び図 28B に示すように、第 1 のゲート層 130 は、第 1 の方向に沿って延伸するゲート線 132 をさらに備え、ゲート線 132 と電源線 151 とは第 3 の重なり領域 353 を有し、第 3 の重なり領域 353 の電源線 151 の幅は第 2 の重なり領域 352 に位置する電源線 151 の幅未満である。つまり、第 3 の重なり領域の電源線の幅も縮小されている。それにより、ゲート線と電源線が重なる第 2 の重なり領域内の電源線の幅を減少させることにより、該表示基板は、ゲート線の負荷を低減させることができ、それにより、画素駆動回路の充電時間をさらに長くし、さらに、該表示基板の表示効果を向上させることができる。

40

【0180】

いくつかの例において、第 3 の重なり領域 353 の電源線 151 の幅は電源線 151 の平均幅未満である。

50

【0181】

いくつかの例において、図28A及び図28Bに示すように、第3の重なり領域353の電源線151の幅は電源線151の最大幅の $5/7$ 未満である。それにより、該表示基板は、リセット信号線の負荷を効果的に低減させることができる。

【0182】

いくつかの例において、図28Bに示すように、電源線151は本体延伸部151A及び縮小部151Bを備え、縮小部151Bの幅は本体延伸部151Aの幅未満であり、縮小部151Bのベース基板110での正射影とゲート線132のベース基板110での正射影とが重なる。

【0183】

いくつかの例において、図28A及び図28Bに示すように、第1の導電層150は、第2の方向に沿って延伸するデータ線152をさらに備え、データ線152とリセット信号線131とは第4の重なり領域354を有し、第4の重なり領域354のリセット信号線131の幅はリセット信号線131の平均幅未満である。該表示基板において、第4の重なり領域のリセット信号線の幅を減少させると、リセット信号線とデータ線との重なり面積を減少させることができ、それにより、リセット信号線とデータ線との間の寄生容量の大きさを減少させることができる。それにより、第4の重なり領域のリセット信号線の幅を減少させることにより、該表示基板は、データ線の負荷を低減させることができ、それにより、駆動電力を低減させ、さらに該表示基板の電力を低減させることができる。ただし、上記リセット信号線の幅とはリセット信号線の第2の方向におけるサイズであり、対応して、リセット信号線の長さとはリセット信号線の第1の方向におけるサイズである。

【0184】

いくつかの例において、図28A及び図28Bに示すように、第4の重なり領域354のリセット信号線131の幅はリセット信号線131の最大幅の $3/4$ 未満である。それにより、該表示基板は、データ線の負荷を効果的に低減させることができる。

【0185】

いくつかの例において、図28A及び図28Bに示すように、該表示基板100は、第1のゲート層130のベース基板110に近い側に位置する半導体層120をさらに備え、第2のゲート層140は、前記第1の方向に沿って延伸する初期化信号線141を備え、データ線152と初期化信号線141とは第5の重なり領域355を有し、初期化信号線141と半導体層120とは第6の重なり領域356を有し、第5の重なり領域355に位置する初期化信号線141の幅は第6の重なり領域356に位置する初期化信号線141の幅未満である。該表示基板において、第5の重なり領域の初期化信号線の幅を減少させると、初期化信号線とデータ線との重なり面積を減少させることができ、それにより初期化信号線とデータ線との間の寄生容量の大きさを減少させることができる。それにより、第5の重なり領域の初期化信号線の幅を減少させることにより、該表示基板は、データ線の負荷をさらに低減させることができ、それにより駆動電力を低減させて、さらに該表示基板の電力を低減させることができる。ただし、上記初期化信号線の幅とは、初期化信号線の第2の方向におけるサイズであり、対応して、初期化信号線の長さとは、初期化信号線の第1の方向におけるサイズである。

【0186】

いくつかの例において、第4の重なり領域354に位置する初期化信号線141の幅は初期化信号線141の平均幅未満である。

【0187】

たとえば、図28Bに示すように、リセット信号線131と重なる縮小部151Bのベース基板110での正射影は初期化信号線141のベース基板110での正射影とも重なる。

【0188】

いくつかの例において、図28Bに示すように、電源線151は本体延伸部151A及び縮小部151Bを備え、縮小部151Bの幅は本体延伸部151Aの幅未満であり、縮

10

20

30

40

50

小部 151B のベース基板 110 での正射影と半導体層 110 のベース基板 110 での正射影とが重ならない。

【0189】

いくつかの例において、図 28B に示すように、第 2 のゲート層 140 は導電性ブロック 143 をさらに備え、本体延伸部 151A は導電性ブロック 143 と接続されており、ベース基板 110 での正射影と半導体層 110 のベース基板 110 での正射影とが部分的に重なり、縮小部 151B と第 2 の方向に隣接する接続部 151C を備える。

【0190】

たとえば、図 28B に示すように、接続部 151C は 2 つの縮小部 151B の間に位置してもよい。

【0191】

いくつかの例において、図 28A 及び図 28B に示すように、第 4 の重なり領域 354 の初期化信号線 141 の幅は初期化信号線 151 の最大幅の $3/4$ 未満である。それにより、該表示基板は、データ線の負荷を効果的に低減させることができる。

【0192】

たとえば、半導体層 120 は多結晶シリコンのようなシリコン系半導体材料を用いてもよい。もちろん、本開示の実施例はこれに制限されず、半導体層はさらに半導体材料を用いてもよい。

【0193】

図 30A - 図 30D は本開示の一実施例に係る表示基板の複数のフィルム層の概略平面図であり、図 31 は本開示の一実施例に係る表示基板の画素駆動回路の等価概略図である。

【0194】

たとえば、図 30A に示すように、半導体層 120 は、第 1 のユニット 121 と、第 2 のユニット 122 と、第 3 のユニット 123 と、第 4 のユニット 124 と、第 5 のユニット 125 と、第 6 のユニット 126 と、第 7 のユニット 127 と、を備え、第 1 のユニット 121 は、第 1 のチャネル領域 C1、第 1 のチャネル領域 C1 の両側に位置する第 1 のソース領域 S1 及び第 1 のドレイン領域 D1 を備え、第 2 のユニット 122 は第 2 のチャネル領域 C2、第 2 のチャネル領域 C2 の両側に位置する第 2 のソース領域 S2 及び第 2 のドレイン領域 D2 を備え、第 3 のユニット 123 は第 3 のチャネル領域 C3、第 3 のチャネル領域 C3 の両側に位置する第 3 のソース領域 S3 及び第 3 のドレイン領域 D3 を備え、第 4 のユニット 124 は第 4 のチャネル領域 C4、第 4 のチャネル領域 C4 の両側に位置する第 4 のソース領域 S4 及び第 4 のドレイン領域 D4 を備え、第 5 のユニット 125 は第 5 のチャネル領域 C5、第 5 のチャネル領域 C5 の両側に位置する第 5 のソース領域 S5 及び第 5 のドレイン領域 D5 を備え、第 6 のユニット 126 は第 6 のチャネル領域 C6、第 6 のチャネル領域 C6 の両側に位置する第 6 のソース領域 S6 及び第 6 のドレイン領域 D6 を備え、第 7 のユニット 127 は、第 7 のチャネル領域 C7、第 7 のチャネル領域 C7 の両側に位置する第 7 のソース領域 S7 及び第 7 のドレイン領域 D7 を備える。

【0195】

たとえば、図 30A 及び図 31 に示すように、第 6 のドレイン領域 D6 は第 3 のドレイン領域 D3 と接続されており、第 3 のソース領域 S3、第 1 のドレイン領域 D1 及び第 5 のソース領域 S5 は第 1 のノード N1 に接続されており、第 1 のソース領域 S1、第 2 のドレイン領域 D2 及び第 4 のドレイン領域 D4 は第 2 のノード N2 に接続されており、第 5 のドレイン領域 D5 は第 7 のドレイン領域 D7 と接続されている。

【0196】

たとえば、図 30B に示すように、第 1 のゲート層 130 は、第 1 の方向に沿って延伸するリセット信号線 131 と、第 1 の方向に沿って延伸するゲート線 132 と、第 1 の電極ブロック CE1 と、第 1 の方向に沿って延伸する送信制御線 133 とを備える。

【0197】

たとえば、図 30C に示すように、第 2 のゲート層 140 は、第 1 の方向に沿って延伸する初期化信号線 141 と、第 2 の電極ブロック CE2 と、導電性ブロック 143 とを備

10

20

30

40

50

える。たとえば、導電性ブロック 143 は電源線に接続されており、それにより電源線の抵抗を低減させる。

【0198】

図 31 に示すように、第 6 のソース領域 S6 及び第 7 のソース領域 S7 は初期化信号線 141 と接続されており、第 1 の電極ブロック CE1 と第 2 の電極ブロック CE2 はストレージコンデンサ Cst を形成することができる。

【0199】

たとえば、図 30D に示すように、第 1 の導電層 150 は、第 2 の方向に沿って延伸する電源線 151 及びデータ線 152 と、第 1 の接続ブロック 1541 と、第 2 の接続ブロック 1542 と、第 3 の接続ブロック 1543 と、を備える。第 1 の接続ブロック 1541 は、初期化信号線 141 を第 6 のソース領域 S6 及び第 7 のソース領域 S7 と接続し、第 2 の接続ブロック 1542 は、第 3 のドレイン領域 D3 を第 1 の電極ブロック CE1 と接続し、第 3 の接続ブロック 1543 は第 5 のドレイン領域 D5 と接続されており、ドレインとして対応するアノードと接続することができる。

【0200】

たとえば、図 31 に示すように、第 2 のソース領域 S2 はデータ線 152 と接続されており、第 4 のソース領域 S4 は電源線 151 と接続されている。それにより、半導体層 120 の第 1 のユニット 121、第 2 のユニット 122、第 3 のユニット 123、第 4 のユニット 124、第 5 のユニット 125、第 6 のユニット 126 及び第 7 のユニット 127 は上記リセット信号線 131 及びゲート線 132 と第 1 の薄膜トランジスタ T1、第 2 の薄膜トランジスタ T2、第 3 の薄膜トランジスタ T3、第 4 の薄膜トランジスタ T4、第 5 の薄膜トランジスタ T5、第 6 の薄膜トランジスタ T6 及び第 7 の薄膜トランジスタ T7 を形成することができる。

【0201】

以下、図 31 に示されている画素駆動回路の 1 つの動作モードを概略的に説明する。まず、リセット信号線 131 にリセット信号を送信し且つ第 7 の薄膜トランジスタ T7 を導通させる時、各サブ画素のアノードを流れた残り電流は、第 7 の薄膜トランジスタ T7 を介して第 6 の薄膜トランジスタ T6 に放電され、それにより、各サブ画素のアノードを流れた残り電流による発光を抑制する。そして、リセット信号線 131 にリセット信号を送信し且つ初期化信号線 141 に初期化信号を送信する時、第 6 の薄膜トランジスタ T6 を導通させ、且つ第 6 の薄膜トランジスタ T6 を介して第 1 の薄膜トランジスタ T1 の第 1 のゲート及びストレージコンデンサ Cst の第 1 の電極ブロック CE1 に初期化電圧 Vint を印加することにより、第 1 のゲート及びストレージコンデンサ Cst を初期化する。第 1 のゲートを初期化させると、第 1 の薄膜トランジスタ T1 を導通させることができる。

【0202】

その後、ゲート線 132 にゲート信号を送信し且つデータ線 152 にデータ信号を送信する時、第 2 の薄膜トランジスタ T2 及び第 3 の薄膜トランジスタ T3 をいずれも導通させ、第 2 の薄膜トランジスタ T2 及び第 3 の薄膜トランジスタ T3 を介して第 1 のゲートにデータ電圧 Vd を印加する。この場合、第 1 のゲートに印加した電圧は補償電圧 Vd + Vth であり、且つ第 1 のゲートに印加した補償電圧もストレージコンデンサ Cst の第 1 の電極ブロック CE1 に印加される。

【0203】

その後、電源線 151 はストレージコンデンサ Cst の第 2 の電極ブロック CE2 に駆動電圧 Vel を印加し、第 1 の電極ブロック CE1 に補償電圧 Vd + Vth を印加し、それぞれストレージコンデンサ Cst の 2 つの電極に印加された電圧の差に対応する電荷をストレージコンデンサ Cst 内に格納し、第 1 の薄膜トランジスタ T1 が所定の時間導通している。

【0204】

その後、送信制御線 133 に送信制御信号を印加する時、第 4 の薄膜トランジスタ T4

と第5の薄膜トランジスタT5をいずれも導通させ、第4の薄膜トランジスタT4が第5の薄膜トランジスタT5に駆動電圧V_{el}を印加するようにする。駆動電圧V_{el}はストレージコンデンサC_{st}により導通された第1の薄膜トランジスタT1を通過する時、対応する駆動電圧V_{el}とストレージコンデンサC_{st}を介して第1のゲートに印加した電圧との差により駆動電流I_dが第1の薄膜トランジスタT1の第1のドレイン領域D3を流れ、駆動電流I_dが第5の薄膜トランジスタT5を介して各サブ画素に印加され、それにより各サブ画素の発光層が発光する。

【0205】

いくつかの例において、図29及び図31に示すように、該表示基板100は、第1の平坦層241、第2の導電層160、第2の平坦層242及びアノード175をさらに備え、第1の平坦層241は、第1の導電層150のベース基板110から離れた一側に位置し、第2の導電層160は、第1の平坦層241の第1の導電層150から離れた一側に位置し、接続電極161を備え、第2の平坦層242は、第2の導電層160の第1の平坦層241から離れた一側に位置し、アノード175は、第2の平坦層242の第2の導電層160から離れた一側に位置し、第1の平坦層241は、第1のビアH1を備え、接続電極161は第1のビアH1を介して第5のドレイン領域S5と接続されており、第2の平坦層242は第2のビアH2を備え、アノード175は第2のビアH2を介して接続電極161と接続されている。

【0206】

本開示の一実施例は表示装置をさらに提供している。図32は本開示の一実施例に係る表示装置の概略図である。図32に示すように、該表示装置400は、上記いずれかに記載の表示基板100を備える。それにより、該表示装置は、該表示基板の有益な効果に対応する有益な効果を有する。たとえば、該表示装置は、ゲート層の負荷を低減させることができ、それにより、画素駆動回路の充電時間を長くし、さらに、該表示基板の表示効果を向上させることができる。

【0207】

たとえば、該表示装置は、テレビ、コンピュータ、ノートパソコン、タブレットコンピュータ、携帯電話、ナビゲータ、デジタルフォトフレームなど表示機能を有する電子製品であってもよい。

【0208】

一方、有機発光ダイオード(OLED)表示装置の長期発光安定性も有機発光ダイオード表示装置の1つの重要な仕様又は指標である。研究を行ったところ、本願の発明者は、有機発光ダイオード表示装置の長期発光安定性に影響を与える要素が多く、発光材料自体の耐用年数に加えて、画素駆動回路内の薄膜トランジスタの動作状態が発光輝度及び長期発光安定性のいずれにもある程度の影響を与えることを見出した。

【0209】

これに対して、本開示の実施例は表示基板及び表示装置を提供している。該表示基板は、ベース基板と、画素回路層と、アノード層と、を備え、画素回路層はベース基板上に位置し且つ複数の画素駆動回路を備え、アノード層は画素回路層のベース基板から離れた一側に位置し且つ複数のアノードを備える。複数の画素駆動回路は複数のアノードと一対一で対応して設置されており、それぞれ機能薄膜トランジスタを備え、隣接して設置されている第1の画素駆動回路及び第2の画素駆動回路を備え、第1の画素駆動回路内の機能薄膜トランジスタのチャネル領域及び第2の画素駆動回路内の機能薄膜トランジスタのチャネル領域のベース基板での正射影はいずれも第1の画素駆動回路に対応するアノードのベース基板での正射影と重なる。それにより、該表示基板はアノードを介して第1の画素駆動回路内の機能薄膜トランジスタのチャネル領域及び第2の画素駆動回路内の機能薄膜トランジスタのチャネル領域を同時に遮り、それにより機能薄膜トランジスタの安定性を高め、耐用年数を延ばすことができ、それにより該表示基板の長期発光安定性を高め、耐用年数を延ばすことができる。

【0210】

以下、図面を参照しながら本開示の実施例により提供されている表示基板及び表示装置を詳細に説明する。

【0211】

本開示の一実施例は表示基板を提供している。図33は本開示の一実施例に係る表示基板の部分概略図であり、図34は本開示の一実施例に係る図33のKK方向における表示基板の断面概略図であり、図35Aは本開示の一実施例に係る図33のMM方向における表示基板の断面概略図であり、図35Bは本開示の一実施例に係る図33のNN方向における表示基板の断面概略図であり、図35Cは本開示の一実施例に係る図33のQQ方向における表示基板の断面概略図である。

【0212】

図33及び図34に示すように、該表示基板100は、ベース基板110と、画素回路層260と、アノード層170と、を備え、画素回路層260はベース基板110上に位置し且つ複数の画素駆動回路265を備え、アノード層170は、画素回路層260のベース基板110から離れた一側に位置し且つ複数のアノード175を備える。複数の画素駆動回路265は複数のアノード175と一対一で対応して設置されており、各画素駆動回路265は、補償薄膜トランジスタT3のような機能薄膜トランジスタを備え、複数の画素駆動回路265は、隣接して設置されている第1の画素駆動回路2657及び第2の画素駆動回路2658を備え、第1の画素駆動回路2657内の補償薄膜トランジスタT3のチャネル領域及び第2の画素駆動回路2658内の補償薄膜トランジスタT3のチャネル領域のベース基板110での正射影はいずれも第1の画素駆動回路2657に対応するアノード175のベース基板110での正射影と重なる。ただし、上記第1の画素駆動回路及び第2の画素駆動回路内の「第1」及び「第2」は文字上で2つの画素駆動回路を区別するだけであり、この2つの画素駆動回路の具体的な構造は同じであり、また、上記機能薄膜トランジスタは画素駆動回路内のその他の薄膜トランジスタであってもよい。

【0213】

本開示の実施例により提供されている表示基板において、第1の画素駆動回路2657内の補償薄膜トランジスタT3のチャネル領域及び第2の画素駆動回路2658内の補償薄膜トランジスタT3のチャネル領域のベース基板110での正射影がいずれも第1の画素駆動回路2657に対応するアノード175のベース基板110での正射影と重なるため、第1の画素駆動回路2657に対応するアノード175は第1の画素駆動回路2657内の補償薄膜トランジスタT3のチャネル領域及び第2の画素駆動回路2658内の補償薄膜トランジスタT3のチャネル領域を部分的に遮り又は完全に遮ることができる。それにより、該表示基板は、第1の画素駆動回路内の補償薄膜トランジスタT3及び第2の画素駆動回路2658内の補償薄膜トランジスタT3の安定性を高め、耐用年数を延ばすことができ、それにより該表示基板の長期発光安定性を高め、耐用年数を延ばすことができる。図30A－図30Dは本開示の一実施例に係る表示基板の複数のフィルム層の概略平面図であり、図31は本開示の一実施例に係る表示基板の画素駆動回路の等価概略図である。該画素駆動回路は7T1Cの画素駆動構造を用い、発光段階で、N3ノードの電圧は第1の薄膜トランジスタT1（すなわち、駆動薄膜トランジスタ）のオンオフ状態を制御でき、第1の薄膜トランジスタT1の安定性は有機発光ダイオード表示装置の長期発光安定性に直接影響を与えており、充電段階で、N3ノードの充電電圧は第3の薄膜トランジスタT3（すなわち、補償薄膜トランジスタ）、第1の薄膜トランジスタT1及び第2の薄膜トランジスタT2の状態に関係がある。通常、薄膜トランジスタは特に光に敏感であり、薄膜トランジスタ（特にチャネル領域）は光にさらされる時、薄膜トランジスタの特性がドリフトしやすくなり、画素駆動回路の通常動作に影響を与える。本開示の実施例はアノードを介して補償薄膜トランジスタのチャネル領域を遮り、補償薄膜トランジスタの安定性を高め、耐用年数を延ばすことができ、それにより該表示基板の長期発光安定性を高め、耐用年数を延ばすことができる。

【0214】

いくつかの例において、図33－図35Cに示すように、第1の画素駆動回路2657

内の補償薄膜トランジスタT3のチャネル領域及び第2の画素駆動回路2658内の補償薄膜トランジスタT3のチャネル領域がいずれも第1の画素駆動回路2657に対応するアノード175（すなわち、第4のアノード1754）のベース基板110での正射影にあり、第1の画素駆動回路2657に対応するアノード175は第1の画素駆動回路2657内の補償薄膜トランジスタT3のチャネル領域及び第2の画素駆動回路2658内の補償薄膜トランジスタT3のチャネル領域を完全に遮ることができ、それによりさらに補償薄膜トランジスタの安定性を高め、耐用年数を延ばすことができ、さらに該表示基板の長期発光安定性を高め、耐用年数を延ばすことができる。

【0215】

いくつかの例において、図30Aに示すように、補償薄膜トランジスタT3はダブルゲート構造の薄膜トランジスタであってもよく、それにより補償薄膜トランジスタの信頼性を向上させることができる。補償薄膜トランジスタT3のチャネル領域は、間隔をおいて設置されている第1のチャネル領域C1及び第2のチャネル領域C2を備え、補償薄膜トランジスタT3は、第1のチャネル領域C1と第2のチャネル領域C2との間に位置する共通電極SEをさらに備える。図33～図35Bに示すように、第1の画素駆動回路2657内の補償薄膜トランジスタT3の共通電極SE及び第2の画素駆動回路2658内の補償薄膜トランジスタT3の共通電極SEのベース基板110での正射影はいずれも第1の画素駆動回路2657に対応するアノード175のベース基板110での正射影と重なる。それにより、第1の画素駆動回路2657に対応するアノード175は、第1の画素駆動回路2657内の補償薄膜トランジスタT3の共通電極SE及び第2の画素駆動回路2658内の補償薄膜トランジスタT3の共通電極SEを部分的に遮り又は完全に遮ることができ、それによりさらに補償薄膜トランジスタの安定性を高め、耐用年数を延ばすことができ、さらに該表示基板の長期発光安定性を高め、耐用年数を延ばすことができる。

【0216】

図36は本開示の一実施例に係る他の表示基板の概略平面図である。図36に示すように、複数のアノード175は複数のアノードグループ1750を備え、各アノードグループ1750は、1つの第1のアノード1751、1つの第2のアノード1752、1つの第3のアノード1753及び1つの第4のアノード1754を備える。ただし、上記第1のアノード、第2のアノード、第3のアノード及び第4のアノードは異なる形状及び異なる色のサブ画素のアノードであってもよい。もちろん、本開示の実施例はこれに制限されず、上記第1のアノード、第2のアノード、第3のアノード及び第4のアノードのうちの少なくとも2つは同じ形状及び同じ色のサブ画素のアノードであってもよい。

【0217】

いくつかの例において、図36に示すように、複数のアノード175は、第1の方向に沿って配置することで複数のアノードグループ列380を形成し、第2の方向に沿って配置することで複数のアノードグループ行390を形成する複数のアノードグループ1750を備え、各アノードグループ1750は、1つの第1のアノード1751、1つの第2のアノード1752、1つの第3のアノード1753及び1つの第4のアノード1754を備え、隣接する2つのアノードグループ行390は1/2ピッチずれて設置されており、ピッチは第1の方向に隣接する2つのアノードグループ1750の2つの第1のアノード1751の中心間の距離に等しい。第2のアノード1752及び第3のアノード1753は第2の方向に沿って配置してアノード対1755を形成し、第1のアノード1751、アノード対1755及び第4のアノード1754は第2の方向に沿って配置している。それにより、該表示基板は画素配置構造を提供し、それにより該表示基板を用いた表示装置の表示効果を向上させることができる。ただし、本開示の実施例により提供されているアノードグループは上記画素配置構造を含むがこれに制限されず、また、上記第1のアノードの中心は第1のアノードの本体部の中心であり、すなわち、第1のアノードに対応する第1の発光素子の有効発光領域である。たとえば、第1の方向と第2の方向とは略垂直である。ただし、上記第1の方向と第2の方向とが略垂直であることは、第1の方向と第2の方向との間の夾角が90度である場合を含むだけでなく、第1の方向と第2の方向と

10

20

30

40

50

の間の夾角の範囲が85－95度である場合を含む。

【0218】

いくつかの例において、図33に示すように、第1の画素駆動回路2657及び第2の画素駆動回路2658は前記第1の方向に沿って設置されており、1つのアノードグループ1750内の第4のアノード1754は第1の画素駆動回路2657に対応して設置されており且つ電氣的に接続されており、もう1つのアノードグループ1750内の第2のアノード1752は第2の画素駆動回路2658に対応して設置されており且つ電氣的に接続されている。

【0219】

いくつかの例において、図33、図34、及び図36に示すように、該表示基板100は、アノード層170のベース基板110から離れた一側に位置し且つ複数の開口部195を備える画素画定層190をさらに備え、複数の開口部195は、複数の開口部グループ1950を備え、開口部グループ1950のそれぞれは、1つの第1の開口部1951、1つの第2の開口部1952、1つの第3の開口部1953及び1つの第4の開口部1954を備え、第1の開口部1951は第1のアノード1751と対応して設置されており且つ第1のアノード1751を露出させ、第2の開口部1952は第2のアノード1752と対応して設置されており且つ第2のアノード1752を露出させ、第3の開口部1953は第3のアノード1753と対応して設置されており且つ第3のアノード1753を露出させ、第4の開口部1954は第4のアノード1754と対応して設置されており且つ第4のアノード1754を露出させる。

【0220】

図33及び図36に示すように、第1のアノード1751は第1の本体部1751A及び第1の接続部1751Bを備え、第1の開口部1951のベース基板110での正射影は第1の本体部1751Aのベース基板110での正射影の内部にあり、第1の接続部1751Bは第1のアノード1751に対応する画素駆動回路265と接続されており、第2のアノード1752は第2の本体部1752A及び第2の接続部1752Bを備え、第2の開口部1952のベース基板110での正射影は第2の本体部1752Aのベース基板110での正射影の内部にあり、第2の接続部1752Bは第2のアノード1752に対応する画素駆動回路265と接続されており、第3のアノード1753は第3の本体部1753A及び第3の接続部1753Bを備え、第3の開口部1953のベース基板110での正射影は第3の本体部1753Aのベース基板110での正射影の内部にあり、第3の接続部1753Bは第3のアノード1753に対応する画素駆動回路265と接続されており、第4のアノード1754は第4の本体部1754A及び第4の接続部1754Bを備え、第4の開口部1954のベース基板110での正射影は第4の本体部1754Aのベース基板110での正射影の内部にあり、第4の接続部1754Bは第4のアノード1754に対応する画素駆動回路265（たとえば、上記第1の画素駆動回路2657）と接続されている。

【0221】

いくつかの例において、図33及び図36に示すように、第1の本体部1751Aの形状と第1の開口部1951の形状とはほぼ同じであり、第2の本体部1752Aの形状と第2の開口部1952の形状とはほぼ同じであり、第3の本体部1753Aの形状と第3の開口部1953の形状とはほぼ同じであり、第4の本体部1754Aの形状と第4の開口部1954の形状とはほぼ同じである。たとえば、第4の開口部1954の形状が六角形である時、第4の本体部1754Aの形状も六角形である。もちろん、第4の開口部及び第4の本体部の形状は六角形に制限されず、たとえば、楕円形等のその他の形状であってもよい。

【0222】

たとえば、図33－図36に示すように、第4のアノード1754は第1の補足部1754Cをさらに備え、第4のアノード1754に対応する第1の画素駆動回路2657内の補償薄膜トランジスタT3の第1のチャネル領域C31及び第2のチャネル領域C32

のベース基板 110 での正射影は、それぞれ、第 1 の補足部 1754C のベース基板 110 での正射影と重なる。該表示基板において、第 4 のアノードに第 1 の補足部を増加させることにより、第 4 のアノードが対応する画素駆動回路内の補償薄膜トランジスタの 2 つのチャネル領域をカバーでき、それにより補償薄膜トランジスタの安定性を高め、耐用年数を延ばすことができ、それにより該表示基板の長期発光安定性を高め、耐用年数を延ばすことができる。

【0223】

いくつかの例において、図 33 - 図 36 に示すように、第 1 の補足部 1754C は第 4 の本体部 1754A から第 3 のアノード 1753 へ突出し、第 4 の接続部 1754B の第 4 の本体部 1754A に近い一侧に位置する。いくつかの例において、図 33 - 図 36 に示すように、第 1 の補足部 1754C は、第 4 の本体部 1754A 及び第 4 の接続部 1754B といずれも接続されている。それにより、該表示基板は、表示基板上の面積を十分に利用して、第 1 のアノード、第 2 のアノード、第 3 のアノード及び第 4 のアノードを密接に配置し、それにより表示基板の解像度を確保できる。

10

【0224】

たとえば、図 35A に示すように、第 1 の補足部 1754C のベース基板 110 での正射影と補償薄膜トランジスタ T3 の共通電極 SE のベース基板 110 での正射影とが部分的に重なる。

【0225】

たとえば、図 35A に示すように、第 1 の補足部 1754C のベース基板 110 での正射影は補償薄膜トランジスタ T3 の第 2 のチャネル領域 C32 のベース基板 110 での正射影をカバーする。

20

【0226】

たとえば、図 35A に示すように、第 4 の本体部 1754A のベース基板 110 での正射影は補償薄膜トランジスタ T3 のドレイン領域 D3 をカバーする。たとえば、図 35C に示すように、第 1 の導電層 150 は、補償薄膜トランジスタのドレイン領域を第 1 の電極ブロック CE1 と接続するための第 2 の接続ブロック 1542 を備え、第 1 の電極ブロック CE1 は第 2 の電極ブロック CE2 とストレージコンデンサを形成できると同時に、駆動薄膜トランジスタのゲートとして使用できる。第 2 のアノード 1752 の接続部 1752B は第 3 のアノード 1753 から離れる方向へ延伸し且つ上記第 2 の接続ブロック 1542 と重なり、さらに上記第 2 の接続ブロック 1542 をカバーするため、接続部 1752 は駆動薄膜トランジスタのゲート及び補償薄膜トランジスタのドレイン上での電位を安定化でき、それによりさらに該表示基板の長期発光安定性を高め、耐用年数を延ばすことができる。

30

【0227】

図 37A は本開示の一実施例に係る他の表示基板の部分概略図であり、図 37B は本開示の一実施例に係る他の表示基板の部分概略図である。各アノードの形状を明確に示すために、図 37B にはアノード層のみが示されている。

【0228】

図 37A 及び図 37B に示すように、第 4 のアノード 1754 は、第 2 の補足部 1754D をさらに備え、第 2 の画素駆動回路 2658 内の補償薄膜トランジスタ T3 の第 2 のチャネル領域 C2 のベース基板 110 での正射影と第 2 の補足部 1754D のベース基板 110 での正射影とが重なる。第 4 のアノードに第 2 の補足部を増加させることにより、第 4 のアノードが第 2 の画素駆動回路 2658 内の補償薄膜トランジスタ T3 の第 2 のチャネル領域 C2 を部分的さらに完全にカバーでき、それにより補償薄膜トランジスタの安定性を高め、耐用年数を延ばすことができ、それにより該表示基板の長期発光安定性を高め、耐用年数を延ばすことができる。

40

【0229】

いくつかの例において、図 37A 及び図 37B に示すように、第 2 の補足部 1754D は第 4 の本体部 1754A から第 1 の方向において隣接するアノードグループ 1750 内

50

の第1のアノード1751へ突出する。

【0230】

ただし、図37A及び図37Bに示すように、第2の画素駆動回路2658内の補償薄膜トランジスタT3の第1のチャンネル領域C1のベース基板110での正射影は第4の本体部1754Aのベース基板110での正射影の内部にある。

【0231】

いくつかの例において、図37A及び図37Bに示すように、第1の画素駆動回路2657内の補償薄膜トランジスタT3の共通電極SEと第1の補足部1754Cのベース基板110での正射影とが重なり、第2の画素駆動回路2658内の補償薄膜トランジスタT3の共通電極SEのベース基板110での正射影と第1の画素駆動回路2657に対応する第4のアノード1754の第4の本体部1754Aのベース基板110での正射影とが重なる。

【0232】

いくつかの例において、図37A及び図37Bに示すように、第1のアノード1751に対応する画素駆動回路265内の補償薄膜トランジスタT3のチャンネル領域のベース基板110での正射影は第1の本体部1751Aのベース基板110での正射影の内部にある。

【0233】

いくつかの例において、図31に示すように、画素駆動回路265は、ゲートG1が補償薄膜トランジスタT3のドレインD3と接続されている駆動薄膜トランジスタT1をさらに備える。図37Aに示すように、第1のアノード1751は、第3の補足部1751Cをさらに備え、第1の本体部1751Aから第3のアノード1753へ突出し、第1のアノード1751に対応する画素駆動回路265内の駆動薄膜トランジスタT1のゲートG1及び補償薄膜トランジスタT3のドレインD3のベース基板110での正射影は、第3の補足部1751Cのベース基板110での正射影の内部にある。それにより、該表示基板は、第3の補足部1751Cを介して駆動薄膜トランジスタT1のゲートG1及び補償薄膜トランジスタT3のドレインD3での電位を安定化し、それによりさらに該表示基板の長期発光安定性を高め、耐用年数を延ばすことができる。

【0234】

いくつかの例において、図37A及び図37Bに示すように、第3のアノード1753に対応する画素駆動回路265内の補償薄膜トランジスタT3の第1のチャンネル領域C31のベース基板110での正射影は第3の本体部1753Aのベース基板110での正射影の内部にある。

【0235】

いくつかの例において、図37A及び図37Bに示すように、第3のアノード1753は、第4の補足部1753Cをさらに備え、第3のアノード1753に対応する画素駆動回路265内の補償薄膜トランジスタT3の第2のチャンネル領域C32のベース基板110での正射影は、第4の補足部1753Cのベース基板110での正射影の内部にある。それにより、第3のアノードの本体部及び第4の補足部は、第3のアノード1753に対応する画素駆動回路265内の補償薄膜トランジスタT3の第1のチャンネル領域C31及び第2のチャンネル領域C32を部分的に遮り又は完全に遮り、それにより補償薄膜トランジスタの安定性を高め、耐用年数を延ばすことができ、それにより該表示基板の長期発光安定性を高め、耐用年数を延ばすことができる。

【0236】

いくつかの例において、図33及び図34に示すように、画素回路層260は、半導体層120と、第1のゲート層130と、第2のゲート層140と、第1の導電層150と、をさらに備え、第1のゲート層130は半導体層120のベース基板110から離れた一側に位置し、第2のゲート層140は第1のゲート層130のベース基板110から離れた一側に位置し、第1の導電層150は第2のゲート層140のベース基板110から離れた一側に位置する。

10

20

30

40

50

【0237】

たとえば、図30Aに示すように、半導体層120は、複数の画素駆動ユニット1200を備え、複数のアノード175と対応して設置されており、各画素駆動ユニット1200は、第1のユニット121と、第2のユニット122と、第3のユニット123と、第4のユニット124と、第5のユニット125と、第6のユニット126と、第7のユニット127と、を備え、第1のユニット121は第1のチャンネル領域C1、第1のチャンネル領域C1の両側に位置する第1のソース領域S1及び第1のドレイン領域D1を備え、第2のユニット122は第2のチャンネル領域C2、第2のチャンネル領域C2の両側に位置する第2のソース領域S2及び第2のドレイン領域D2を備え、第3のユニット123は第3のチャンネル領域C3、第3のチャンネル領域C3の両側に位置する第3のソース領域S3及び第3のドレイン領域D3を備え、第4のユニット124は第4のチャンネル領域C4、第4のチャンネル領域C4の両側に位置する第4のソース領域S4及び第4のドレイン領域D4を備え、第5のユニット125は第5のチャンネル領域C5、第5のチャンネル領域C5の両側に位置する第5のソース領域S5及び第5のドレイン領域S5を備え、第6のユニット126は第6のチャンネル領域C6、第6のチャンネル領域C6の両側に位置する第6のソース領域S6及び第6のドレイン領域D6を備え、第7のユニット127は第7のチャンネル領域C7、第7のチャンネル領域C7の両側に位置する第7のソース領域S7及び第7のドレイン領域D7を備える。

10

【0238】

たとえば、図30A及び図31に示すように、第6のドレイン領域D6は第3のドレイン領域D3と接続されており、第3のソース領域S3、第1のドレイン領域D1及び第5のソース領域S5は第1のノードN1に接続されており、第1のソース領域S1、第2のドレイン領域D2及び第4のドレイン領域D4は第2のノードN2に接続されており、第5のドレイン領域D5は第7のドレイン領域D7と接続されている。

20

【0239】

たとえば、図30Bに示すように、第1のゲート層130は第1の方向に沿って延伸するリセット信号線131と、第1の方向に沿って延伸するゲート線132と、第1の電極ブロックCE1と、第1の方向に沿って延伸する送信制御線133と、を備える。リセット信号線131は第7のチャンネル領域C7及び第6のチャンネル領域C6と重なり、第7のユニット127及び第6のユニット126と第7の薄膜トランジスタT7及び第6の薄膜トランジスタT6を形成し、ゲート線132はそれぞれ第3のチャンネル領域C3及び第2のチャンネル領域C2と重なり、第3のユニット123及び第2のユニット122と第3の薄膜トランジスタT3及び第2の薄膜トランジスタT2を形成し、第1の電極ブロックCE1は第1のチャンネル領域C1と重なり、第1のユニット121と第1の薄膜トランジスタT1を形成し、送信制御線133は第4のチャンネル領域C4及び第5のチャンネル領域C5と重なり、第4のユニット124及び第5のユニット125と第4の薄膜トランジスタT4及び第5の薄膜トランジスタT5を形成する。よって、上記第3の薄膜トランジスタT3は補償薄膜トランジスタである。

30

【0240】

たとえば、図30Bに示すように、リセット信号線131、ゲート線132及び送信制御線133はいずれも第1の方向に沿って延伸し、リセット信号線131、ゲート線132、第1の電極ブロックCE1及び送信制御線133は第2の方向に沿って配置している。

40

【0241】

たとえば、図30Cに示すように、第2のゲート層140は、第1の方向に沿って延伸する初期化信号線141と、第2の電極ブロックCE2と、導電性ブロック143と、を備える。たとえば、導電性ブロック143は電源線と接続されており、それにより電源線の抵抗を低減させる。また、初期化信号線141は第7のソース領域S7及び第1のソース領域S1と接続されており、第2の電極ブロックCE2のベース基板110での正射影と第1の電極ブロックCE1のベース基板110での正射影とが少なくとも部分的に重なりストレージコンデンサCstを形成する。ただし、導電性ブロックも所定の遮光役割を

50

果たすことができ、また、図 3 3 の最左側の導電性ブロックは一部のみが示されており、図 3 3 の最左側の導電性ブロックの形状はその他の導電性ブロックの形状と同じである。

【0 2 4 2】

たとえば、図 3 0 D に示すように、第 1 の導電層 1 5 0 は、第 2 の方向に沿って延伸する電源線 1 5 1 及びデータ線 1 5 2、第 1 の接続ブロック 1 5 4 1、第 2 の接続ブロック 1 5 4 2 及び第 3 の接続ブロック 1 5 4 3 を備える。データ線 1 5 2 は第 2 のソース領域 S 2 と接続されており、第 4 のソース領域 S 4 は電源線 1 5 1 と接続されており、第 1 の接続ブロック 1 5 4 1 は初期化信号線 1 4 1 を第 6 のソース領域 S 6 及び第 7 のソース領域 S 7 と接続し、第 2 の接続ブロック 1 5 4 2 は第 3 のドレイン領域 D 3 を第 1 の電極ブロック C E 1 と接続し、第 3 の接続ブロック 1 5 4 3 は第 5 のドレイン領域 D 5 と接続されており、ドレインとして対応するアノードと接続することができる。

10

【0 2 4 3】

以下、図 3 1 に示されている画素駆動回路の 1 つの動作モードを概略的に説明する。先ず、リセット信号線 1 3 1 にリセット信号を送信し且つ第 7 の薄膜トランジスタ T 7 を導通させる時、各サブ画素のアノードを流れた残り電流は、第 7 の薄膜トランジスタ T 7 を介して第 6 の薄膜トランジスタ T 6 に放電され、それにより、各サブ画素のアノードを流れた残り電流による発光を抑制する。そして、リセット信号線 1 3 1 にリセット信号を送信し且つ初期化信号線 1 4 1 に初期化信号を送信する時、第 6 の薄膜トランジスタ T 6 を導通させ、且つ第 6 の薄膜トランジスタ T 6 を介して第 1 の薄膜トランジスタ T 1 の第 1 のゲート及びストレージコンデンサ C s t の第 1 の電極ブロック C E 1 に初期化電圧 V i n t を印加することにより、第 1 のゲート及びストレージコンデンサ C s t を初期化する。第 1 のゲートを初期化させると、第 1 の薄膜トランジスタ T 1 を導通させることができる。

20

【0 2 4 4】

その後、ゲート線 1 3 2 にゲート信号を送信し且つデータ線 1 5 2 にデータ信号を送信する時、第 2 の薄膜トランジスタ T 2 及び第 3 の薄膜トランジスタ T 3 をいずれも導通させ、第 2 の薄膜トランジスタ T 2 及び第 3 の薄膜トランジスタ T 3 を介して第 1 のゲートにデータ電圧 V d を印加する。この場合、第 1 のゲートに印加した電圧は補償電圧 V d + V t h であり、且つ第 1 のゲートに印加した補償電圧もストレージコンデンサ C s t の第 1 の電極ブロック C E 1 に印加される。

30

【0 2 4 5】

その後、電源線 1 5 1 はストレージコンデンサ C s t の第 2 の電極ブロック C E 2 に駆動電圧 V e l を印加し、第 1 の電極ブロック C E 1 に補償電圧 V d + V t h を印加し、それぞれストレージコンデンサ C s t の 2 つの電極に印加された電圧の差に対応する電荷をストレージコンデンサ C s t 内に格納し、第 1 の薄膜トランジスタ T 1 が所定の時間導通している。

【0 2 4 6】

その後、送信制御線 1 3 3 に送信制御信号を印加する時、第 4 の薄膜トランジスタ T 4 と第 5 の薄膜トランジスタ T 5 をいずれも導通させ、第 4 の薄膜トランジスタ T 4 が第 5 の薄膜トランジスタ T 5 に駆動電圧 V e l に印加するようにする。駆動電圧 V e l がストレージコンデンサ C s t により導通された第 1 の薄膜トランジスタ T 1 を通過する時、対応する駆動電圧 V e l とストレージコンデンサ C s t を介して第 1 のゲートに印加した電圧との差により駆動電流 I d が第 1 の薄膜トランジスタ T 1 の第 1 のドレイン領域 D 3 を流れ、駆動電流 I d が第 5 の薄膜トランジスタ T 5 を介して各サブ画素に印加され、それにより各サブ画素の発光層が発光する。

40

【0 2 4 7】

いくつかの例において、図 3 3 及び図 3 4 に示すように、該表示基板 1 0 0 は、第 1 の平坦層 2 4 1 と、第 2 の導電層 1 6 0 と、第 2 の平坦層 2 4 2 と、アノード 1 7 5 と、をさらに備え、第 1 の平坦層 2 4 1 は、第 1 の導電層 1 5 0 のベース基板 1 1 0 から離れた一側に位置し、第 2 の導電層 1 6 0 は、第 1 の平坦層 2 4 1 の第 1 の導電層 1 5 0 から離

50

れた一側に位置し、且つ接続電極 161 を備え、第 2 の平坦層 242 は、第 2 の導電層 160 の第 1 の平坦層 241 から離れた一側に位置し、アノード 175 は、第 2 の平坦層 242 の第 2 の導電層 160 から離れた一側に位置し、第 1 の平坦層 241 は、第 1 のビア H1 を備え、接続電極 161 は第 1 のビア H1 を介して第 6 のドレイン領域 S6 と接続されており、第 2 の平坦層 242 は第 2 のビア H2 を備え、アノード 175 は第 2 のビア H2 を介して接続電極 161 と接続されている。

【0248】

いくつかの例において、図 33、図 34、及び図 36 に示すように、該表示基板 100 は、アノード層 170 のベース基板 110 から離れた一側に位置し、且つ複数の発光部 185 を備える発光層 180 をさらに備え、複数の発光部 185 は複数の発光グループ 1850 を備え、各発光グループ 1850 は、1 つの第 1 の発光部 1851、1 つの第 2 の発光部 1852、1 つの第 3 の発光部 1853 及び 1 つの第 4 の発光部 1854 を備え、第 1 の発光部 1851 は少なくとも部分的に第 1 の開口部 1951 に位置し且つ露出された第 1 のアノード 1751 をカバーし、第 2 の発光部 1852 は少なくとも部分的に第 2 の開口部 1952 に位置し且つ露出された第 2 のアノード 1752 をカバーし、第 3 の発光部 1753 は少なくとも部分的に第 3 の開口部 1953 に位置し且つ露出された第 3 のアノード 1753 をカバーし、第 4 の発光部 1854 は少なくとも部分的に第 4 の開口部 1954 に位置し且つ露出された第 4 のアノード 1754 をカバーし、第 1 の発光部 1851 は第 1 の色の光を発するように構成されており、第 2 の発光部 1852 及び第 3 の発光部 1853 は第 2 の色の光を発するように構成されており、第 4 の発光部 1854 は第 3

10

20

【0249】

たとえば、第 1 の色は赤色 (R)、第 2 の色は緑色 (G)、第 3 の色は青色 (B) である。つまり、該表示基板は GGRB の画素配置構造を用いている。

【0250】

たとえば、図 34 に示すように、第 1 のアノード 1751 の第 2 のアノード 1752 から離れた一側に位置する第 1 の導電部 1621 と第 1 の導電層 150 内に位置する電源線 151 との重なり面積は、第 1 のアノード 1751 の第 2 のアノード 1752 に近い一側に位置する第 2 の導電部 1622 と第 1 の導電層 150 内の電源線 151 との重なり面積未満である。

30

【0251】

本開示の一実施例は表示装置をさらに提供している。図 38 は本開示の一実施例に係る表示装置の概略図である。図 38 に示すように、該表示装置 400 は、上記いずれかに記載の表示基板 100 を備える。それにより、該表示装置は、該表示基板の有益な効果に対応する有益な効果を有する。たとえば、該表示装置は、補償薄膜トランジスタの安定性を高め、耐用年数を延ばすことができ、それにより該表示基板の長期発光安定性を高め、耐用年数を延ばすことができる。

【0252】

たとえば、該表示装置は、テレビ、コンピュータ、ノートパソコン、タブレットコンピュータ、携帯電話、ナビゲータ、デジタルフォトフレームなど表示機能を有する電子製品であってもよい。

40

【0253】

なお、

(1) 本開示の実施例の図面は本開示の実施例に関する構造のみに関し、他の構造は通常の設計を参照すればよい。

(2) 矛盾しない場合、本開示の同一実施例及び異なる実施例の特徴は互いに組み合わせることができる。

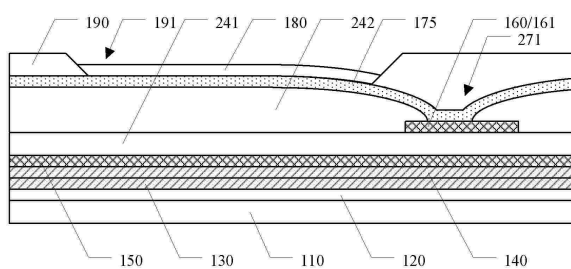
【0254】

以上、本開示の特定の実施形態を説明したが、本開示の保護範囲を制限するものではなく、本開示の特許範囲は添付特許請求の範囲に準じるべきである。

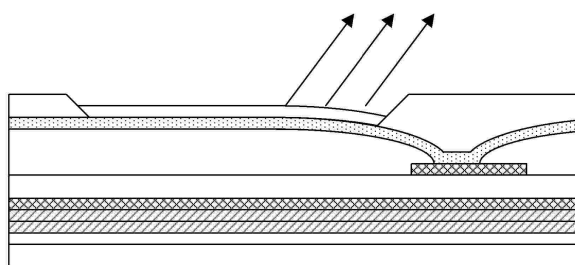
50

【図面】

【図 1】

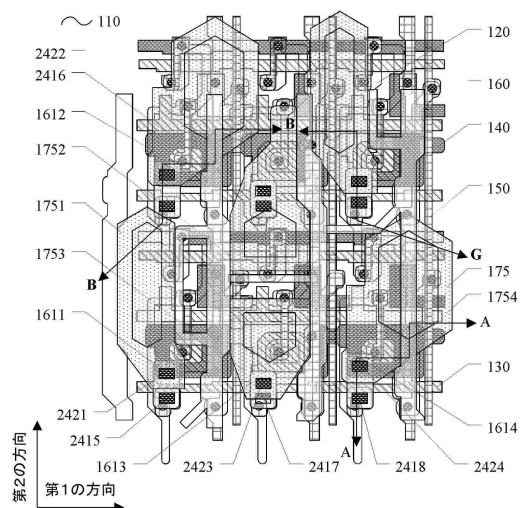


【図 2】

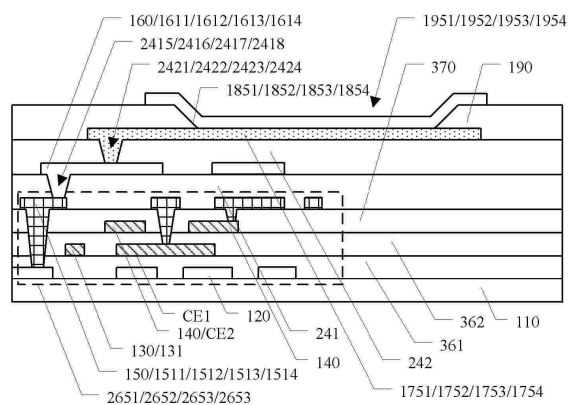


10

【図 3】

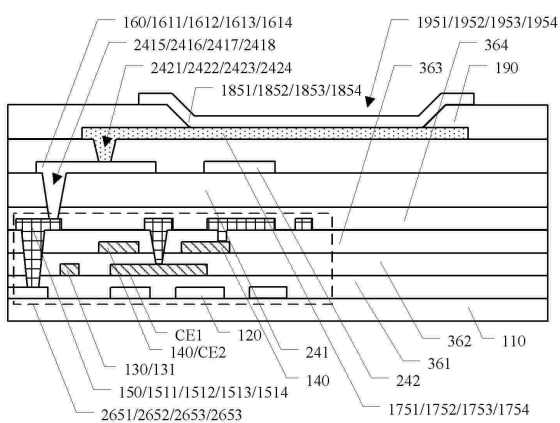


【図 4 A】

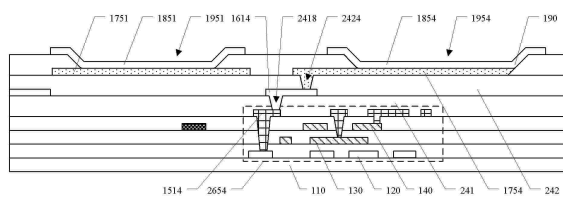


20

【図 4 B】



【図 5 A】

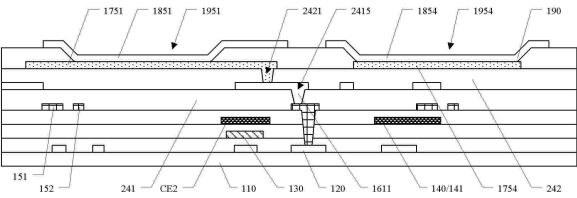


30

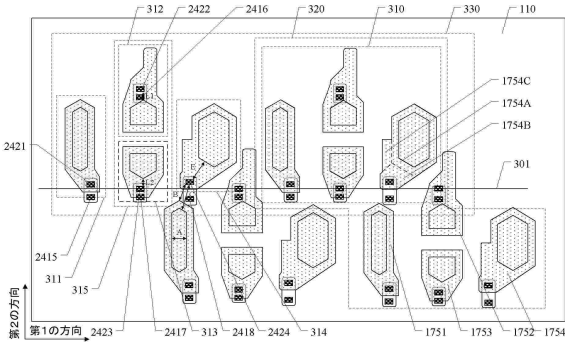
40

50

【図 5 B】

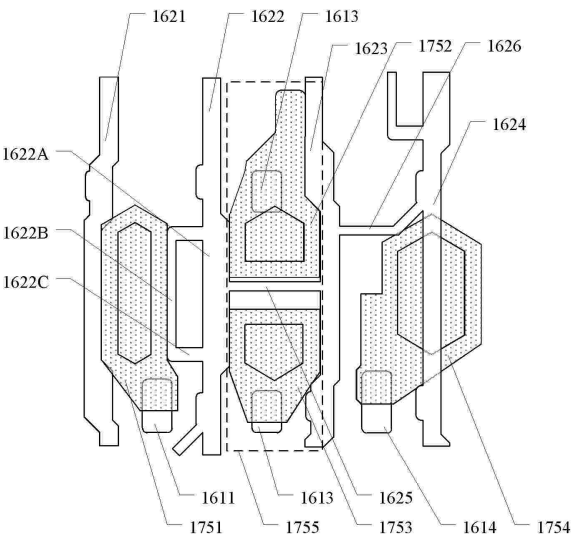


【図 6】



10

【図 7】

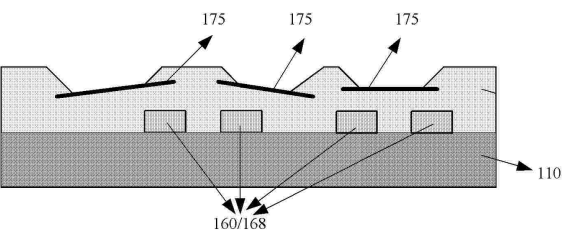


【図 8】

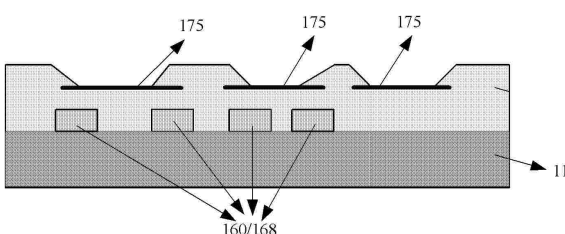


20

【図 9】



【図 10】

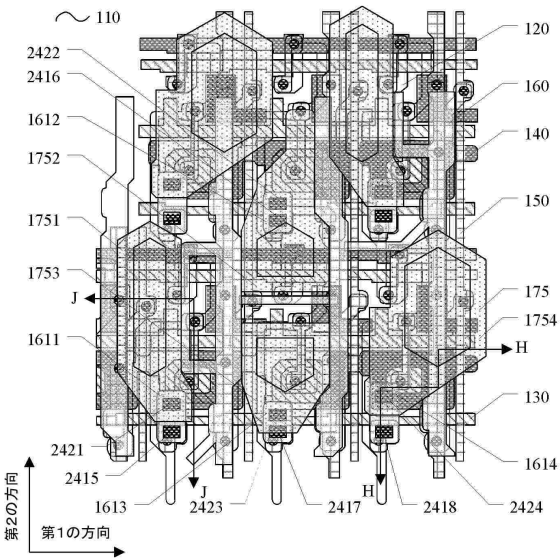


30

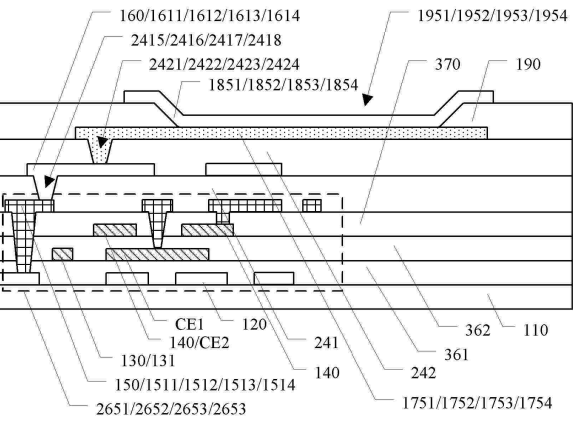
40

50

【図 1 1】

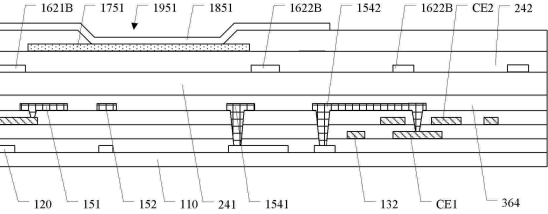


【図 1 2 A】

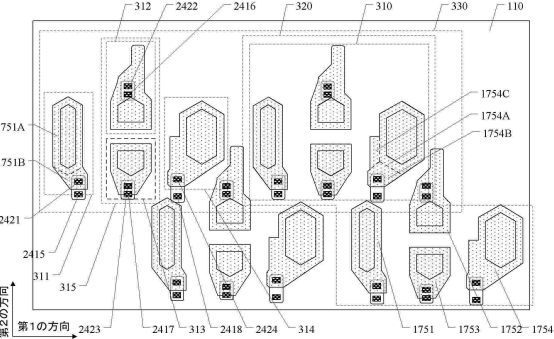


10

【図 1 2 B】



【図 1 3】



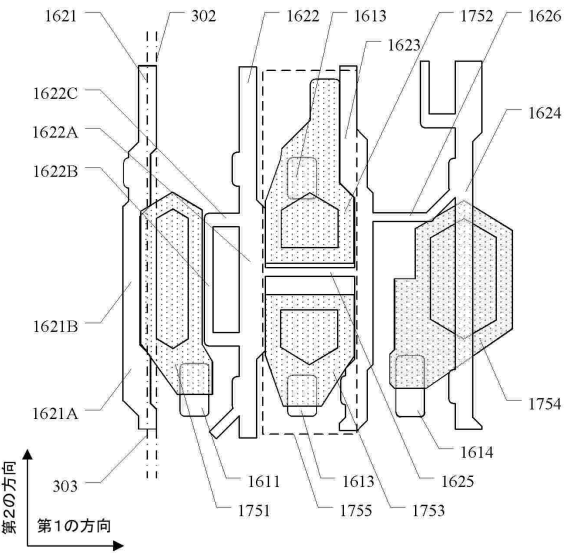
20

30

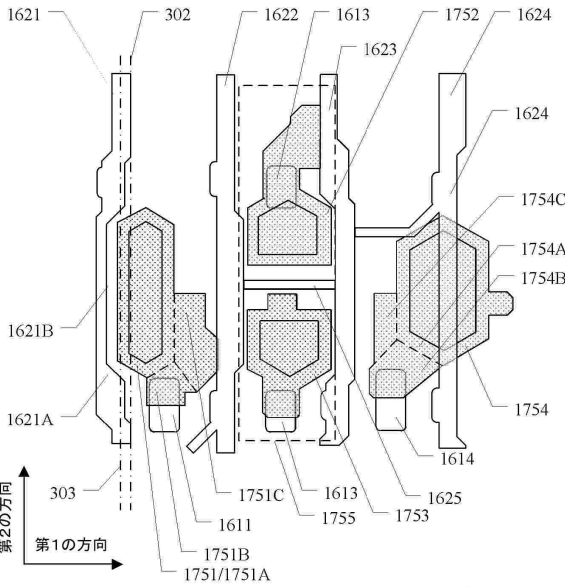
40

50

【図 1 4】



【図 1 5】

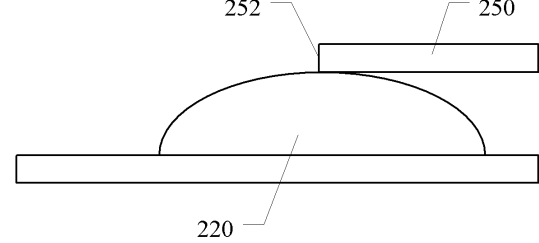


10

【図 1 6】



【図 1 7】



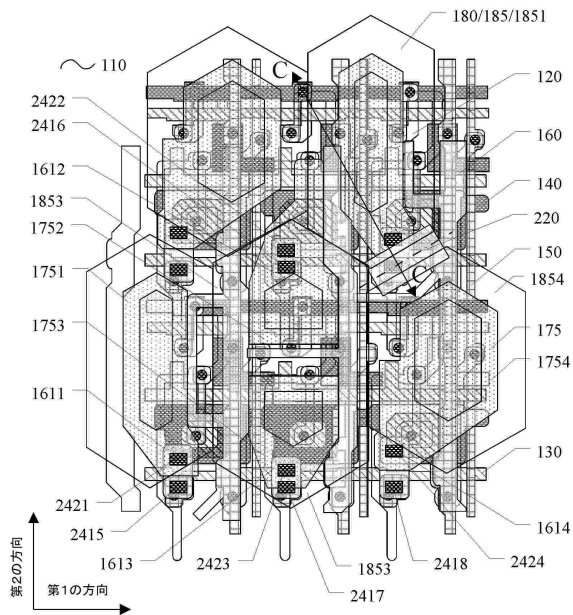
20

30

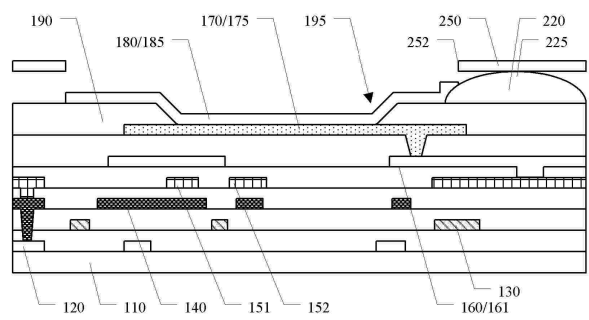
40

50

【図 18】

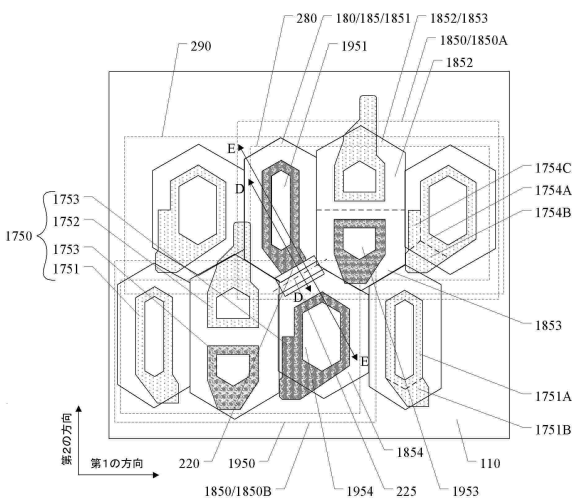


【図 19】

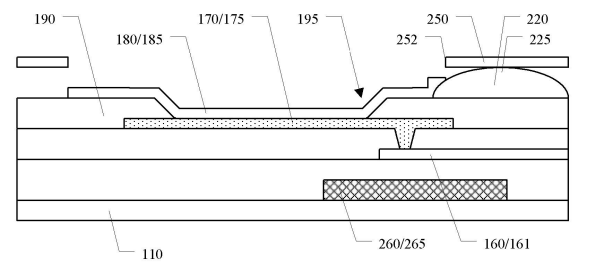


10

【図 20】



【図 21】



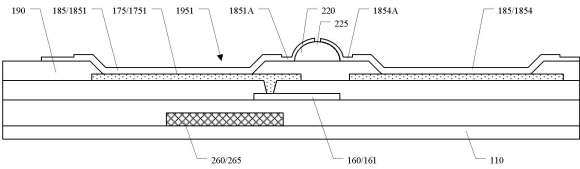
20

30

40

50

【図 2 2】

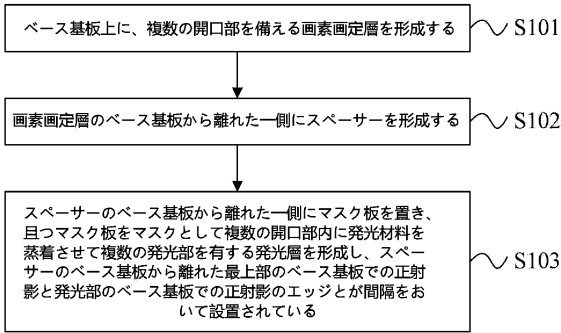


【図 2 3】

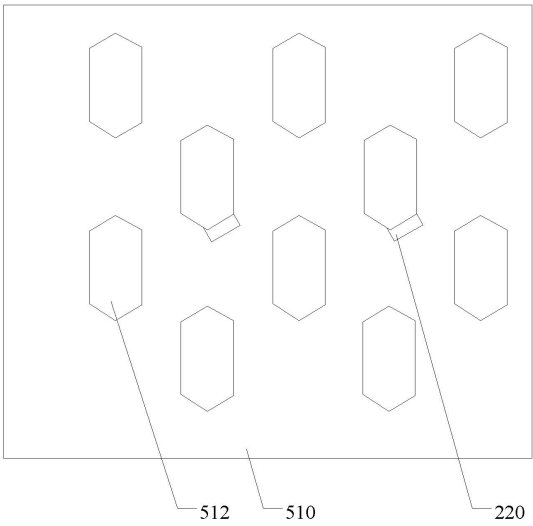


10

【図 2 4】



【図 2 5】



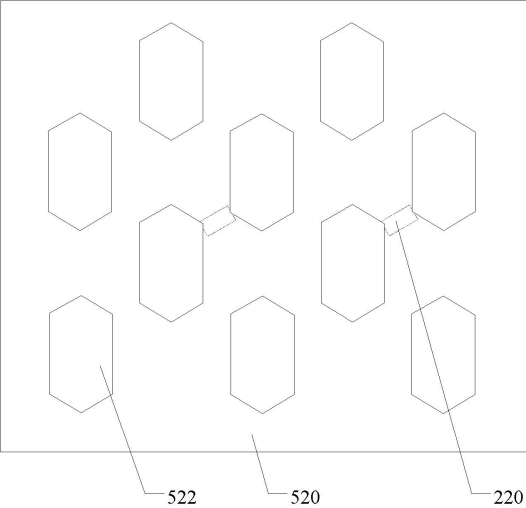
20

30

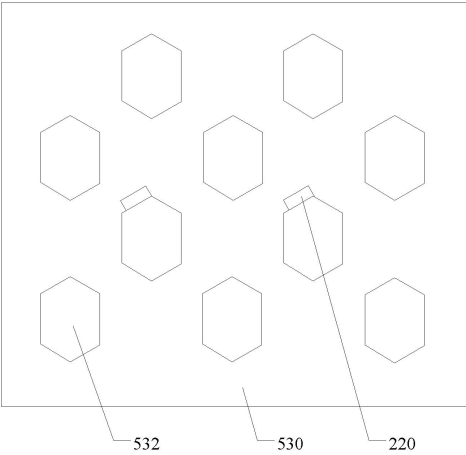
40

50

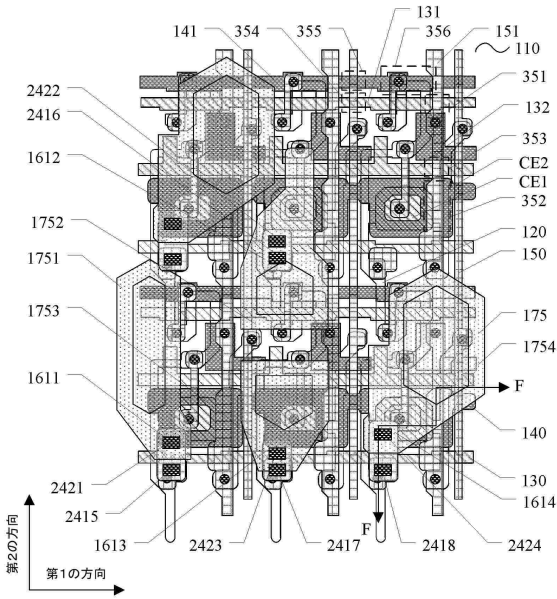
【図 2 6】



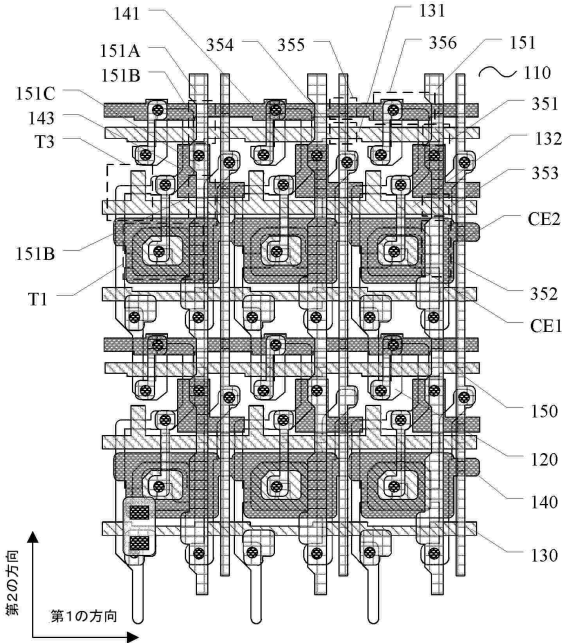
【図 2 7】



【図 2 8 A】



【図 2 8 B】



10

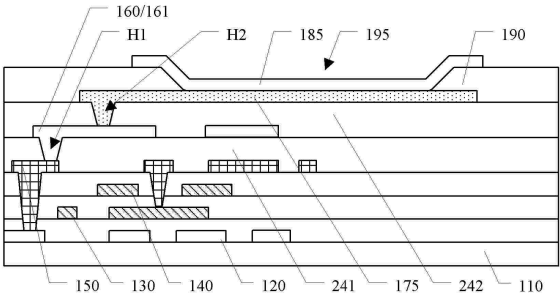
20

30

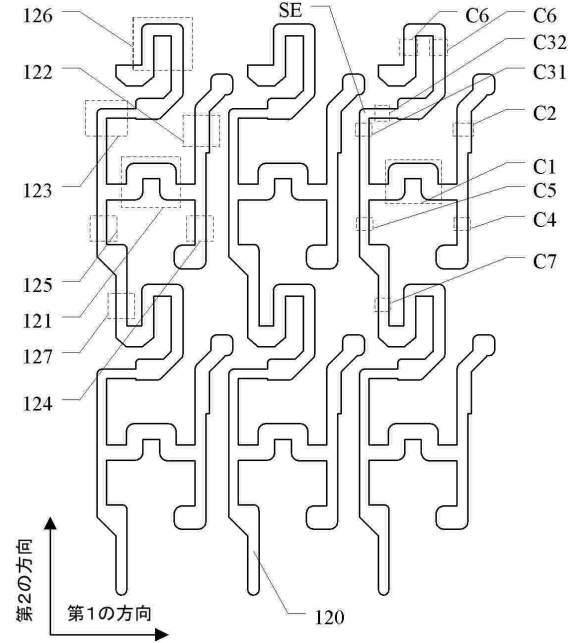
40

50

【図 2 9】



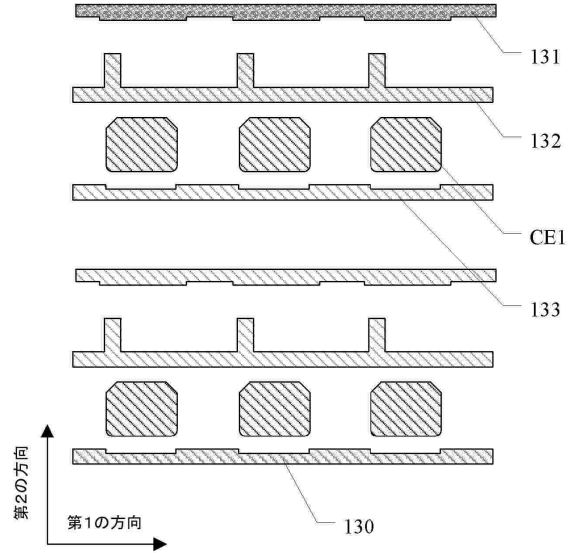
【図 3 0 A】



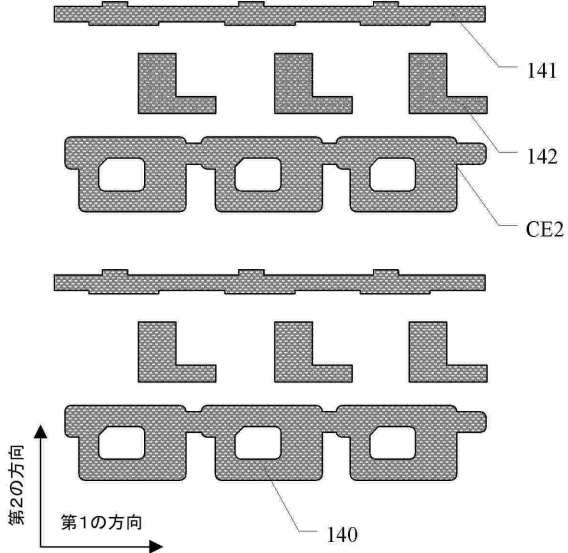
10

20

【図 3 0 B】



【図 3 0 C】

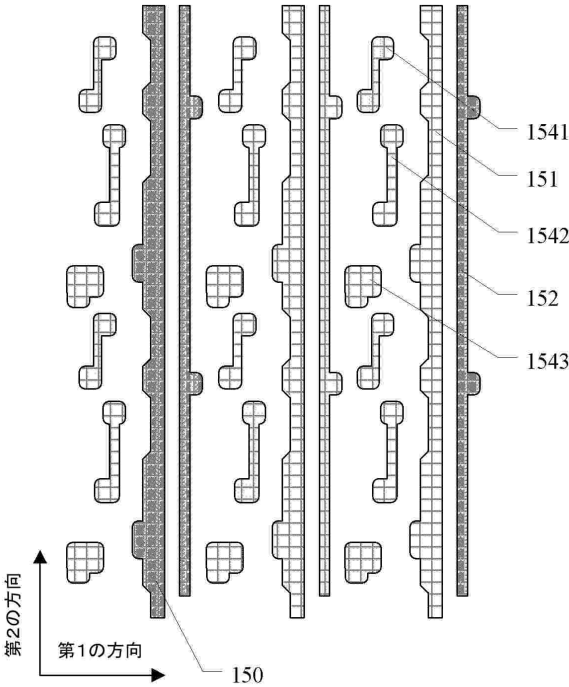


30

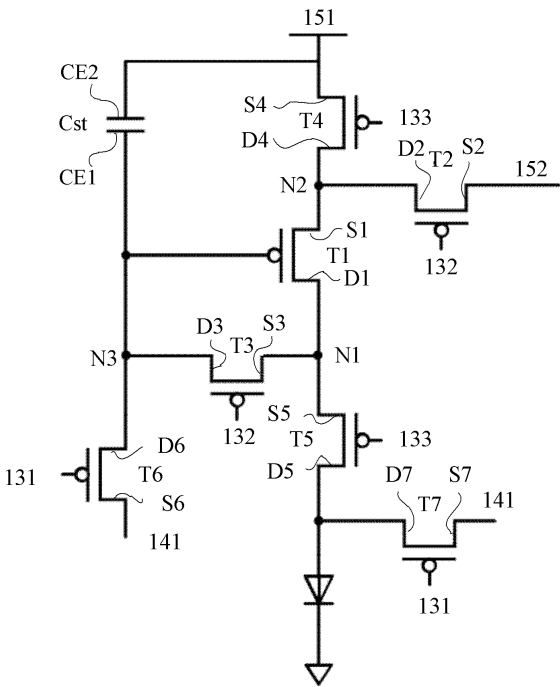
40

50

【図 3 0 D】



【図 3 1】



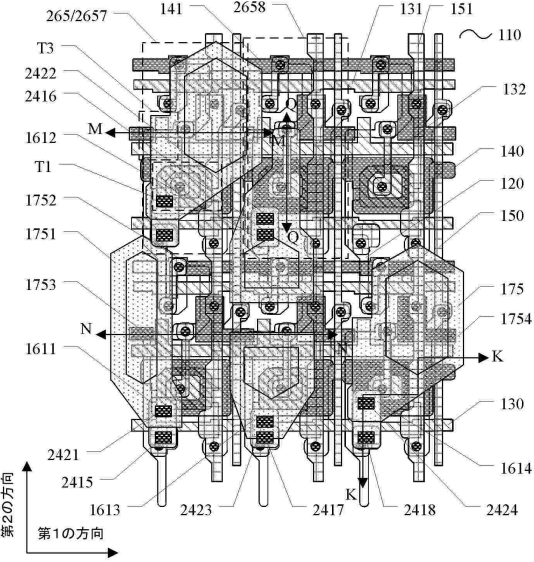
10

20

【図 3 2】



【図 3 3】

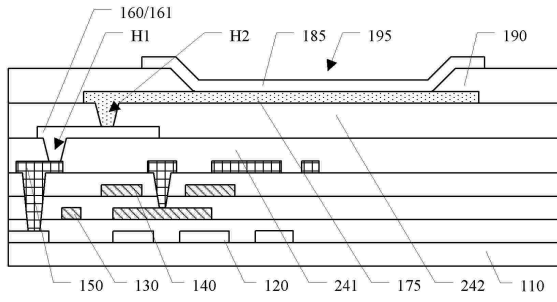


30

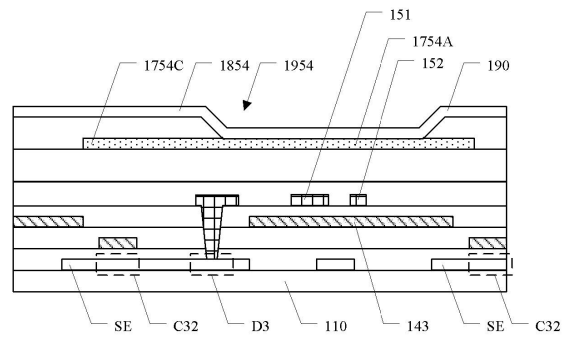
40

50

【図 3 4】

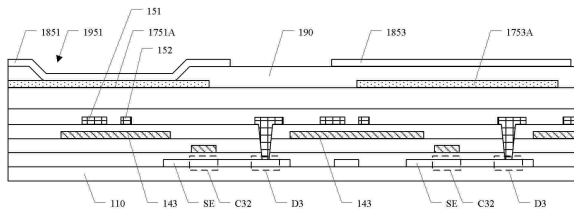


【図 3 5 A】

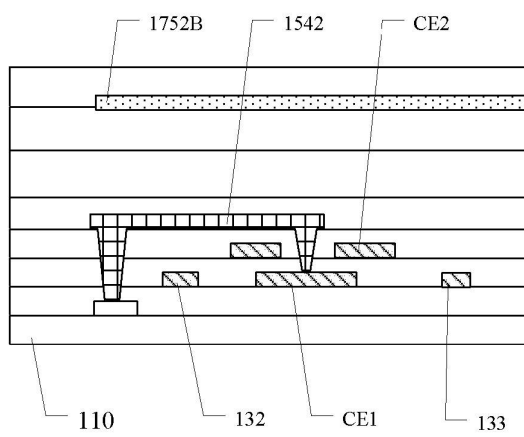


10

【図 3 5 B】



【図 3 5 C】



20

30

40

50

フロントページの続き

中華人民共和国 611731 四川省成都市高新區（西區）合作路 1188 號
No. 1188, Hezuo Rd., (West Zone), Hi-tech Development Zone, Chengdu, Sichuan, 611731, P. R. CHINA

(74)代理人 110002000

弁理士法人栄光事務所

(72)発明者 ヤン ルル

中華人民共和国 100176 ベイジン ビーディーイー ディゼ アールディー., ナンバー 9

(72)発明者 シャン ティンファ

中華人民共和国 100176 ベイジン ビーディーイー ディゼ アールディー., ナンバー 9

(72)発明者 チュー イ

中華人民共和国 100176 ベイジン ビーディーイー ディゼ アールディー., ナンバー 9

(72)発明者 ジャン シン

中華人民共和国 100176 ベイジン ビーディーイー ディゼ アールディー., ナンバー 9

(72)発明者 リ フィジュン

中華人民共和国 100176 ベイジン ビーディーイー ディゼ アールディー., ナンバー 9

(72)発明者 ジャン シャオフエン

中華人民共和国 100176 ベイジン ビーディーイー ディゼ アールディー., ナンバー 9

(72)発明者 ワン メンチ

中華人民共和国 100176 ベイジン ビーディーイー ディゼ アールディー., ナンバー 9

(72)発明者 ジャン メン

中華人民共和国 100176 ベイジン ビーディーイー ディゼ アールディー., ナンバー 9

(72)発明者 ワン シュ

中華人民共和国 100176 ベイジン ビーディーイー ディゼ アールディー., ナンバー 9

審査官 西田 光宏

(56)参考文献 米国特許出願公開第 2016/0284784 (US, A1)

中国特許出願公開第 103515544 (CN, A)

中国特許出願公開第 110265458 (CN, A)

中国特許出願公開第 110729324 (CN, A)

中国特許出願公開第 108122956 (CN, A)

米国特許出願公開第 2016/0078809 (US, A1)

米国特許出願公開第 2016/0321995 (US, A1)

中国特許出願公開第 104217675 (CN, A)

(58)調査した分野 (Int.Cl., D B 名)

G09F 9/00-9/46

G09G 3/12-3/14

G09G 3/30-3/3291

H01L 21/02

H01L 21/312-21/3213

H01L 21/336

H01L 21/47-21/475

H01L 21/76

H01L 21/768

H01L 21/822

H01L 21/8232-21/8238

H01L 21/8249

H01L 23/52-23/522

H01L 23/532

H01L 27/00-27/13

H01L 29/786

H10K 50/00-99/00