

双面影印

申請日期	90 - 10 - 02
案 號	90124294
類 別	H45k1/11

A4  
C4

512652

(以上各欄由本局填註)

# 發明專利說明書

一、發明名稱	中 文	差異匯流排分佈用電路板結構
	英 文	CIRCUIT BOARD CONSTRUCTION FOR DIFFERENTIAL BUS DISTRIBUTION
二、發明人	姓 名	(1)凱羅 R. 海尼 (2)大衛·迪克 (3)詹姆士 J. 德本斯
	國 籍	美 國
	住、居所	(1)美國加州派羅特丘陵·南斯大道5001號 (2)美國加州羅斯鎮溪林大道172號 (3)美國加州羅斯鎮南布勒夫大道1242號
三、申請人	姓 名 (名稱)	美商·惠普公司
	國 籍	美 國
	住、居所 (事務所)	美國加州帕羅亞托·哈諾維街3000號
	代 表 人 姓 名	安 O. 巴斯金

裝

訂

線

經濟部智慧財產局員工消費合作社印製

(由本局填寫)

承辦人代碼：
大 類：
IPC分類：

A6  
B6

本案已向：

美 國 ( 地區 ) 申請專利，申請日期： 案號： ， 有 無主張優先權  
 2001,02,27 09/795,603

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝 訂 線

經濟部智慧財產局員工消費合作社印製

## 五、發明說明 ( 1 )

### 前言部份

美國公民且是加州El Dorado郡Pilot Hill居民Carl R. Haynie，以及加州Placer郡Roseville之居民David M. Dickey與James J. DeBlanc發明一種嶄新且有用的差異匯流排分佈用電路板結構，以下係為其說明書。

### 發明背景

#### 1. 發明領域

本發明一般係有關於可用以支撐並互連電腦元件(諸如磁碟機與處理器)之電路板的改良。更具體而言，本發明係有關於多層電路板，其包括差異匯流排以及特殊的通道區域，以在電子元件之間提供高速的信號傳輸。

#### 2. 習知技藝之說明

現代的電腦系統利用高速數位匯流排連接高性能電腦元件，諸如磁碟機與處理器。通常，這些匯流排包括複數個平行傳導金屬線或跡線。該匯流排金屬線通常係佈置於一印刷電路板之上，其可具有藉著非傳導芯材隔開內部跡線或外部跡線。設計符合跡線特性阻抗之作用接點負荷作用接點負載係設置於各金屬線或跡線之尾端，這些負荷包括一負荷電阻器，並可包括一電壓來源或是電流來源。

電腦元件係藉著金屬線根段根段連接到該匯流排之緊鄰部分中的跡線。該金屬線根段延伸跨過匯流排，對橫向佈置之元件提供一平行的電子連接。由於根段係與該匯流排橫切，根段會將信號擾亂與噪音引入透過該電腦系統之匯流排傳輸的資料之中。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

## 五、發明說明 ( 2 )

在設計電路板佈置方面，使用根段會產生其他的問題。通常係使電腦元件插入接頭或插槽，將其安置於印刷電路板之上。該根段或其他連接跡線從接頭之插腳通到匯流排。由於電腦系統複雜性之增加，必須連接到匯流排之元件數目亦隨之增加。然而，較多數目之元件安置到電路板上並與匯流排互連，使得該電路板之電路佈置愈來愈難以實施。元件之間長且平行的跡線必須加以繞行，以維持一特定之跡線阻抗，使線路干擾以及電路板之空間消耗減到最低，使跡線長度相等，以及使用最少數目之板層。結果，使電腦系統在性能方面產生妥協，以便依需要互相連接所有的元件。

用以互連元件之匯流排可為單端(single-ended)或是差異式設計。單端匯流排係為複數個單一導體所構成的電路，其彼此隔開，並與所有接頭共用之一接地平面隔離。儘管使用單端匯流排係相對易於實行，其在資料傳輸速率方面具有顯著的限制，並且受到鄰接通道之雜訊干擾。

相反地，差異匯流排利用一對導體(或跡線對)，其以彼此隔開之關係並與一接地平面隔離的方式加以佈置。兩導體之間預先決定之間距，結合絕緣電介質以及接地平面，提供一經過控制的阻抗層，以快速且有效率地傳輸數位資料，該兩導體之電位隨時高於接地平面。在跡線對之各尾端使用發射器與接收器，以將其間預定之信號差異加以編碼或解碼。因此，與單端匯流排相比，差異匯流排提供了增加資料傳輸速率以及較不受雜訊干擾之優點。然

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 3 )

而，由於差異匯流排需要兩條跡線，其進一步限制了電路板佈置與設計之選擇。

就習知技藝設計中之上述困難而言，對於一電路板存在有一需求，其容許利用差異匯流排，且容許方便且有效率地使供電子元件與電線使用之接頭位於該電路板上。

### 發明概要

本發明之裝置利用一四層印刷電路板，用以安置且電子互連兩個或更多的電腦元件，這些元件可包括磁碟機、處理器，以及外部電線。各個這些元件係適合插入一習用之元件接頭，諸如一個四列二十行之SCSI(小型電腦系統界面)磁碟機接頭。該接頭能夠位於電路板之任一側上的所需位置，例如沿著一邊緣的一線路中，或是該電路板之相反邊緣上。

各接頭包括至少一個接頭跡線區域，用以連接到一差異匯流排。如果該接頭係連接到兩個接頭，則其包括兩個接頭跡線區域。該接頭跡線區域在接頭之插腳與匯流排之間提供一傳導轉變，該差異匯流排係由複數個導體之跡線對所構成，其延伸於鄰接的電腦元件之間。差異匯流排之第一長度係位於該電路板之一頂側上，且該匯流排之第二長度係位於電路板的底側上。

設置一通道跡線區域，以互連該匯流排之第一與第二長度。該通道跡線區域包括一頂通道區域以及一底通道區域，這些通道跡線區域之構造與尺寸大致上係與導體跡線區域相同。通道提供一穿過該電路板之傳導路徑，互相

(請先閱讀背面之注意事項再填寫本頁)

訂

錄

## 五、發明說明 ( 4 )

連接該頂通道與底通道區域。

通道跡線區域可包括輕微的起伏，以便使各差異匯流排中之跡線對的整體長度相等。該通道跡線區域亦係具選擇性地加以使用，以翻轉跡線對之群組的跡線或導體順序，消除跡線之間的感應電流，使其間的線路干擾減到最低。此跡線順序翻轉特性亦係用於該接頭跡線區域，以相同方式將線路干擾降到最低。

該通道區域可平行於共線佈置之元件，或正交於平行的元件或接頭，其中一接頭具有橫向偏移群組的插腳接頭，一通道區域亦包括偏移群組之通道，以使跡線長度相等。這些正交之通道區域亦具有使匯流排之長度相等的的能力，並能夠在該匯流排中翻轉導體之順序，以確保電腦元件之間信號傳輸之完整性。

在較佳的微條帶微條帶構造中，該跡線對係位於電路板的外層之上，且用於各組跡線對之接地平面係埋於該電路板之中。另外，在同樣揭露之條帶線構造中，該跡線對係埋於電路板中，且該外部電路板表面係為接地平面。

本發明之裝置的這些與其他目的將於以下之圖式以及較佳具體實施例的詳細說明中變得顯而易見。

### 圖式之簡單說明

第1圖係為本發明之裝置的一俯視平面圖，其顯示藉由一分佈匯流排以及一通道區域互相連接的兩個電腦元件；

第2圖係為習知技藝之匯流排佈置，其中該電腦元件

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 5 )

之接頭係以平行方式直接地安置於匯流排跡線上方，並連接到該匯流排跡線；

第3圖係為習知技藝之匯流排佈置，其中該電腦元件之接頭係共線對齊，且其中該匯流排跡線交替地起伏於接頭之上方與下方；

第4圖係為習知技藝之匯流排佈置，其中該電腦元件之接頭係共線對齊，並藉著根段連接到一平行匯流排；

第5圖係為一微條帶電路板之分段放大尺寸的橫截面圖，其具有頂層與底層跡線對、埋藏之接地平面，以及一中央芯材；

第6圖係為一條帶線電路板之分段放大尺寸的橫截面圖，其具有頂與底接地平面、埋藏之跡線對，以及一中央芯材；

第7圖係為一接頭以及一通道跡線區域，顯示一AABB導體順序圖案；

第8圖係為一接頭以及一通道跡線區域，顯示一ABBA導體順序圖案；

第9圖係為一通道區域以及位於該電路板之頂部與底部上的正交之跡線對之一平面圖；

第10圖係為第9圖之該通道區域放大尺寸之一平面圖，其顯示在該通道區域中實行跡線對調整的方式；

第11圖係為兩元件之接頭之一平面圖，其位於該電路板之相反側上，以一通道區域互相連接；

第12圖係為一硬碟機以及一電線接頭之一平面圖，

(請先閱讀背面之注意事項再填寫本頁)

訂

線

## 五、發明說明 ( 6 )

其位於該電路板之相反側上，以一具有偏移群組插腳之通道區域互相連接，以實行跡線長度調整；

第13圖係為結合本發明之特性之一電路板之平面圖，且包括四個元件與兩個電線接頭，其全部藉著一差異匯流排以及通道區域加以互相連接。

### 較佳實施例之詳細說明

現在參考圖式，第1圖顯示一最基本形式之裝置11，該裝置係設計用以支撐並互相連接電腦元件12、13。為求清晰起見，元件12與13僅以斷線顯示其輪廓，各元件係分別覆蓋並插入一第一元件接頭14以及一第二元件接頭16。元件12與13可為任何的電腦元件，諸如一磁碟機或是一處理器。

就應用方面，接頭14與16可為任何適當型式之接頭，但在此案例中，該接頭係為可移除的寬SCSI磁碟機接頭，其包括一陣列之插腳接點，該陣列係為四列高與二十行寬。該加長的接頭係以其軸線沿著一四層電路板17之一邊緣對齊的方式加以安置。應注意的是，該接頭亦能夠以平行之關係加以佈置，文中將更為詳細的加以說明。另外，該接頭可依需要用於電腦元件或電線連接。

在第5圖中，電路板17(業界熟知為一微條帶構造)係以一詳細橫截面加以顯示。電路板17具有一頂側18以及一底側19，其係以「預浸漬體」所製造，預浸漬體係指一預先滲入電介質之材料，該材料具有熱活化黏著之性質。一頂差異跡線對21，其包括單獨之頂跡線22與23，二跡線皆

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 7 )

以隔開之方式佈置於頂側18上，一傳導接地平面24係緊鄰頂側18之下方。將隔開之頂跡線22與23佈置於頂側18與接地平面24之上的組合構成了一受控制的阻抗層，一芯材25(亦由一電介質材料加以製造)係設於該電路板17之中心。此元件之基本組合係為差異匯流排之建造區塊，用以互相連接本發明之整個裝置11。

在該電路板之另一側係設置一底差異跡線對26，其包括單獨之跡線27與28，一傳導接地平面29係緊鄰底側19之上方。這些組件形成一受控制的組抗層，用以在該電路板17之底側上提供差異匯流排互相連接。

回到第1圖，一第一接頭跡線區域31係互連到接頭14，且一第二接頭跡線區域32係互連到接頭16。跡線區域31包括複數個頂跡線對21，其係個別地連接到「負」插腳33與「正」插腳34。在第7圖左側之負號與正號係指出特定插腳列之極性。藉著隨著這些插腳極性以及分別從該插腳所導出之跡線，接下來所說明之導體或是跡線順序的翻轉將更為明顯。為求方便起見，對一特定跡線對而言，插腳連接順序「A」表示使左方跡線對應到一「負」插腳連接，並使右方跡線連接到一「正」插腳連接。且插腳連接順序「B」表示使左方跡線對應到一「正」插腳連接，並使右方跡線連接到一「負」插腳連接。接著應體認到該第一接頭跡線區域31顯示一反覆的AABB之導體順序樣式。

在第8圖中係對該第二導體跡線區域32顯示一種不同的導體順序樣式。首先應注意到跡線區域32係位於電路板

(請先閱讀背面之注意事項再填寫本頁)

訂

線

## 五、發明說明 ( 8 )

17之底側19上，因此，在第1圖與第8圖中，區域32之跡線對係以斷線加以顯示。如第7圖中所示，該接頭插腳33與34係分別地標示成負腳與正腳，從跡線區域32之左上側行進到右側，可明顯發現其使用ABBA之導體順序樣式。

在該第一接頭14與第二接頭16之間係插入一通道跡線區域36。該通道跡線區域36其中一主要功能係為使差異匯流排兩長度之間產生一「摺疊」。「摺疊」有關於在一匯流排中跡線對之修正重新定位，以至於使鄰接元件之間的插腳連接正確與對稱。在第1圖所示之應用中，該通道跡線區域36之方向係平行於該共線對齊的接頭14與16之軸線。如本文中即將顯示者，同樣可以使用其他方向的通道區域，其係依照欲互連接頭之位置與方向而定。另外，該通道區域36較佳係位於接頭14與16之間的精確中間位置，此位置確保使該頂差異跡線對21與底差異跡線對26分別具有相同之長度，以及使彼此基本上成為鏡像對稱。

如第9與第10圖中更詳細所示，通道跡線區域36包括一頂通道區域37以及一底通道區域38。在該頂與底通道區域中之各跡線對的一尾端係連接到一個別的通道39。該頂通道區域37係使用AABB導體順序樣式連接到通道39，此係與該第一接頭跡線區域31所使用之導體順序樣式相同。該底通道區域38係使用ABBA導體順序樣式連接到通道39，此係與該第二接頭跡線區域32所使用之導體順序樣式相同。該二十七對通道39穿過電路板17，並在該頂通道跡線區域與底通道跡線區域之間提供一傳導路徑。因此，藉

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 9 )

著該通道區域36，在跡線對中可使用不同的導體順序樣式，同時使該差異匯流排接受一「摺疊」。

該頂與底通道跡線區域37、38之尺寸以及構造大致上係與第一以及第二接頭跡線區域31、32相同。另外，通道39的數目與樣式緊密地反映接頭14與16中之負插腳33與正插腳34的佈置。由於其通過接頭之間，在跡線區域構造以及插腳與通道佈置中的一般對稱對差異匯流排提供一均勻與相配之轉換。然而，亦應注意到，仔細檢視第10圖中跡線區域之詳細圖，在跡線路徑中的小起伏提供調整各跡線整體長度之機會。以此方式，具有選擇性的跡線路徑通過該跡線區域提供一第一機構，透過該機構，可以使匯流排中之跡線路徑的整體長度相等。

複數個構成一第一匯流排長度41之頂差異跡線對21，其在第一接頭跡線區域31與頂通道區域38之間延伸過電路板17之頂側18。在橫過接頭14與通道區域36之間的距離中，第一匯流排長度41在第一路徑中向上彎曲到右側，接著在一第二路徑中水平延伸到右側，且最後在一第三路徑中再度向右上方彎曲。以相同方式，複數個構成一第二匯流排長度42之底差異跡線對26，其在第二接頭跡線區域32與底通道區域38之間延伸過電路板17之底側19。在橫過接頭14與通道區域36之間的距離中，第二匯流排長度41在第一路段中向上彎曲到左側，接著在一第二路段中水平延伸到左側，且最後在一第三路段中再度向左上方彎曲。

其中該匯流排之第一與第二長度彼此上下交叉，其

(請先閱讀背面之注意事項再填寫本頁)

訂

線

## 五、發明說明 ( 10 )

彼此正交(參看第1圖與第9圖)。由於頂與底跡線所產生之磁場係彼此垂直，此一方位本質上在通道之間降低了線路雜訊。此外，對跡線而言，此方位降低了鄰接的交叉區域，使頂與底跡線之間的電容耦合降到最低。

另外，在該通道區域任一側上重新排列導體順序樣式抵銷了線路干擾。頂跡線對21係以一AABB之跡線對導體順序加以整理，在樣式A中，該「負」跡線係行進到左側，且「正」跡線係行進到右側；在樣式B中，該順序則係相反。第一對的正跡線(樣式A)與第二對負跡線(同為樣式A)之間的雜散電容量以及磁耦合會在該電路板17之頂側上產生線路干擾。如果該第一跡線對具有一正信號傳輸，該第一跡線對(加害者跡線)之導體會施加一正擾動到第二跡線對(受害者跡線)的負元件上。在以BB樣式佈置之第三與第四對跡線之間會產生相同的影響。

在該電路板之底側，相同的第一、第二、第三與第四對樣式係重新佈置成ABBA。以上參考相同之正信號傳輸在該電路板上底側上的第二跡線對之正構件上會產生相同極性的等效干擾，該第一對之正導體仍係為加害者跡線，但是現在該第二對之鄰接正跡線係為一新的受害者跡線。一旦該信號通過第一與第二匯流排長度，該第二對之兩跡線會帶有相同干擾以及相同極性，然而，在第二對上之干擾僅係為普通模式。在移除該干擾差異成分之後，連結到該匯流排之元件的差異接收器並不會對干擾有所反應。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 11 )

在抵銷線路干擾之第一範例中，該加害者跡線對在電路板之頂部與底部皆保持樣式A，該受害者跡線對從頂側到底側使導體順序由樣式A改變為樣式B。當該加害者跡線對改變樣式，且該受害者跡線對維持不變的導體順序時，會產生一不同的干擾抵銷程序。此情況係由於該第二與第三跡線對之間的電磁互動所產生。

如果該第二跡線對具有一正信號傳輸，該第二跡線對(加害者跡線)之正導體會施加一正干擾到該第三跡線對(受害者跡線)的正導體上。在該電路板之底側上，該第二跡線對之負導體現在成為新的加害者跡線，在該第三跡線對之相同正受害者跡線上衍生一負的干擾。因此，在該匯流排之第二長度上相等且相反的干擾會抵銷施加於該匯流排之第一長度上的初使干擾。在此案例中，該干擾係完全抵銷，留下沒有差異或共同模式之成分。這些兩個干擾抵銷機構在跨過匯流排的鄰接跡線對之間輪流交替。

使用於該裝置11中，用以抵銷線路干擾之機構係與抵銷在一束電線中扭曲金屬線對的線路干擾之機構相類似。在一束電線中，於鄰接的扭曲對之間有不規則的扭曲。當該電線夠長時，一扭曲對在一極性中衍生出多於其他線路干擾之可能性縮減到一可接受的程度。換言之，大約抵銷了相反扭曲對構件結合干擾的總合。在本發明中所使用的抵消方法略有不同，電路導體係位於一印刷電路板上的跡線中，而不是在成束的金屬線對中。另外，由於對稱的電路拓模結合具選擇性的導體順序翻轉，在鄰近元件之間延

(請先閱讀背面之注意事項再填寫本頁)

訂

線

## 五、發明說明 ( 12 )

伸的差異匯流排中準確地提供相反跡線對的作用，文中所使用之抵銷方法係更為有效。

相反的，對於在一電路板上佈置電腦元件而言，習知技藝之電路板佈置並無法展現相同的效果以及多樣性，而不受電路之線路干擾。例如，在第2圖中係顯示一習知技藝的匯流排佈置43，其中該電腦元件之接頭44係直接地安置於平行匯流排跡線46上方，並與其連接。儘管對匯流排跡線而言，如此提供了非常直的路徑，然其在電腦元件垂直的使用狀況中受到限制。

如果該電腦元件係為水平，該匯流排跡線必須隨著一彎曲的路徑進入並繞行該元件接頭，以維持相同的插腳順序，第3圖中係顯示此習知技藝匯流排佈置47。在佈置47之中，該元件接頭48係以使其軸線水平，且共線對齊之方式加以安置。然而，欲維持正確的插腳連接順序，該匯流排49必須經過一180度之重新定位路徑，其在該接頭之兩側上浪費了一可觀的電路板空間。另外，其妨礙了沿著該電路板之邊緣安置該元件接頭。

在第4圖中係顯示另一個習知技藝匯流排佈置51。在佈置51之中，該平行匯流排52係位於電路板之底側上(未顯示)，因此，匯流排52係以斷線加以顯示。各元件接頭53係藉著一個別的根本段54互相連接到該匯流排52。佈置51藉著利用電路板之兩側以及通過電路板的通道56達成匯流排「摺疊」，以連接匯流排52與該根本段54之尾端。然而，如先前所說明，由於該根本段並非正確地以一負載加以終結，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 13 )

且其橫向朝著該匯流排，故該根段在匯流排中會產生信號反射。

已經顯示該裝置11之最基本形式，並說明其作用特性與超越習知技藝匯流排佈置之優點，吾人現在可以轉移到相同原理針對其他需求之數種修改的揭露內容，用以安置與互相連接元件與接頭。在第11圖之範例中係顯示一通道區域57，該通道區域之方向與平行接頭58、59垂直。接頭58與59可接受兩個電腦元件、一電腦元件與一電線，或是兩條電線。與第1圖中所示之範例相反，該接頭58與59其軸線係以平行偏移之關係，沿著一電路板17之相反上緣與下緣加以安置。一包括複數個跡線對之差異匯流排61互相連接接頭58與59。

通道區域57之構造係與先前所說明的通道區域36相同，然而，由於其軸線相對於接頭58與59之方位，該通道區域57並非匯流排61中各跡線對之中心。一頂跡線路線62從接頭59向下延伸，並向左到達通道區域57，頂跡線路線62位於電路板17之頂側18上方。一底跡線路線63從通道區域57向下延伸，並向右到達接頭58，底跡線路線63位於該電路板之底側19上方。應注意的是，儘管該跡線對之總長度相等，位於該電路板頂側上的各跡線對長度係與位於電路板底側上的個別長度不同。例如，位於該電路板頂部上之短跡線對64係透過該通道區域57互連到位於電路板之底側上的長跡線對66，且位於該電路板頂部上之長跡線對67係透過該通道區域互連到位於電路板之底側上的短跡線對68。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

## 五、發明說明 ( 14 )

這些跡線對在該電路板之頂側與底側之間不同長度的比率會依照插腳對接頭58與59之佈置而改變，如此對抵銷線路干擾係為一不利條件，其中透過導體順序翻轉引發一相等且相反的干擾。此可藉著在該電路板之其他位置提供一類似「平衡」之組件互連作為某程度的補償。例如，位於一互連佈置之頂部上的長跡線對，在平衡互連佈置中之底跡線對上係為短跡線對。以下將更為詳細說明此特性，其中係說明一特定的電路板構造。

在一互連佈置中平衡影響之需求係更為複雜，其中在至少一個接頭中之插腳係分成兩個或更多的群組，其係彼此水平或橫向地加以排開。在第12圖中係顯示在一元件接頭71與一電線接頭72之間一典型的互連佈置69。儘管元件接頭71具有一習用且連續的直線插腳接頭，電線接頭72具有三個插腳接頭群組。由於接頭插腳群組之此偏移與排開關係，故提供一特定之補償通道區域73，以使該匯流排跡線對之長度相等。

一差異匯流排74包括一第一頂跡線群組76以及一第二頂跡線群組77，匯流排74亦包括一底跡線群組78，由於該群組78沿著電路板之底側19延伸，故在第12圖中以斷線加以顯示。電線接頭72包括一第一接頭區域79、一第二接頭區域81，以及一第三接頭區域82。通道區域73包括一上區域群組83、一中間區域群組84，以及一下區域群組86。這些區域群組在該電路板之頂側與底側上皆有對應的跡線，其係藉著通道87互相連接。為求簡潔起見，由於其構

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 15 )

造相同，這些以上已經詳細說明的構造將不再進一步加以說明。

第一跡線群組76互相連接第一接頭區域79與上區域群組83，第二跡線區域77互相連接第二接頭區域81與中間區域群組84，並互相連接第三接頭區域82與下區域群組86。底跡線群組78以一元件接頭區域88互相連接該區域73之上、中與下區域群組。由於接頭區域79、81與82係彼此橫向排開，該區域群組83、84與86係對應的水平偏移，以至於使該跡線對在匯流排74中之整體長度相等。應注意的是，中間區域群組84係對於下區域群組86中之鄰接跡線稍微垂直地加以排開，以便抵銷接頭區域81與82之間輕微的橫向位移。因此，該通道區域中之跡線對的群組之水平與垂直位移提供另外的機構，以使該匯流排跡線對之整體長度相等。

現在換到第13圖，該圖顯示本發明之裝置11的一特殊應用。SCSI背平面電路板89在其上方角落包括一第一SCSI電線接頭91以及一第二SCSI電線接頭92。磁碟機接頭93、94、95與96係沿著電路板89之下邊緣加以安置。在電線接頭91與磁碟機接頭93之間設置一左通道區域97，在磁碟機接頭93與磁碟機接頭94之間設置一中間通道區域98，在磁碟機接頭94與磁碟機接頭95之間設置一中間通道區域99，在磁碟機接頭95與磁碟機接頭96之間設置一中間通道區域101，並在磁碟機接頭96與電線接頭92之間設置一右通道區域102。

(請先閱讀背面之注意事項再填寫本頁)

訂

錄

## 五、發明說明 ( 16 )

首先從電路板89之左上方角落開始，應注意到的是，供該跡線對使用之導體順序樣式係對於該差異匯流排103之各連接段落加以設置。例如，在從接頭91到左通道區域97之該匯流排的第一頂段中係使用一ABBA導體順序樣式。接著，在從左通道區域97到接頭93之該匯流排的第一底段中係使用一BBAA導體順序樣式。應注意到的是，包括接頭92、右通道區域102，以及接頭96之該「平衡」互連佈置使用一BAAB與AABB導體順序樣式。對此特殊互連案例而言，所需之目的係為在各跡線對與鄰接跡線對之間仍然實現相等且相反的影響。然而，如此係藉著選擇導體順序樣式加以達成，該順序樣式在鄰接跡線對之間使「相同字母」配對(即AA或BB)與「相反字母」配對(即AB或BA)維持一相等比率之段落長度。

該第一與第二跡線對係以AB配對繞行於該電路板之頂側上，此係為一短段落。選擇BA配對作為「平衡」佈置之底層上的兩跡線對，此係為一長段落。對兩互連佈置之這些跡線而言，該兩個段落長度之總合等於總長的一半。相等且相反的干擾係產生於該左側佈置之底層以及右側佈置之頂層上，其中該樣式配對分別係為BB與AA。因此抵銷了位於這些佈置任一側上的元件之線路干擾；對位於這些互連佈置之間的元件而言，線路干擾係降低但並未完全地加以抵銷。

用於互連之導體順序樣式在磁碟機93與94之間從AABB改變成ABBA，與先前之說明一致。同樣地，用以

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 17 )

互連之導體順序樣式在磁碟機94將導體順序從ABBA改變成BBAA。如此係為用以改變導體順序樣式之導體跡線區域的一範例，該通道區域以完全相同之方式實行同樣的工作，通道區域99接著將樣式從BBAA改為BAAB。該導體順序樣式在磁碟機95之導體區域中再度發生改變(BAAB改為AABB)，如此對磁碟機接頭95與96之間的互連而言使其樣式從AABB回到ABBA。

儘管目前為止所有說明之電路板構造係為微條帶設計，本發明之裝置11亦能夠有助於連接條帶線電路板使用。第6圖中係顯示此一條帶線構造104，儘管微條帶構造具有本質上之高阻抗，一條帶線構造在跡線對之間產生一具有特性的低阻抗。

一條帶線構造包括跡線對106與107，該跡線對係埋於電路板之中。該電路板之外部表面包括頂接地平面108與底接地平面109，在跡線對106與接地平面108之間係設置一第一預浸漬體電介質層111；且在跡線對107與接地平面109之間係內藏一第二預浸漬體電介質層112。至於微條帶電路板而言，在該條帶線104之中心係設置一芯材113。

由於該跡線對106與107在條帶線中係相對地緊密，且其間並無接地平面，在某些應用中可能需要增加此一接地平面，或是額外的電介質層，以使條帶線之間的線路干擾降到最低。另一方面，由於鄰接該通道區域之橫跨區域中的跡線彼此總是垂直，使跡線對的層之間的電磁耦合降到最低，此修正可能並不必要。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

## 五、發明說明 ( 18 )

## 元件標號對照

11...裝置	37...通道區域
12...元件	38...通道區域
13...元件	39...通道
14...接頭	41...第一匯流排長度
16...接頭	42...第二匯流排長度
17...電路板	43...匯流排佈置
18...頂側	44...接頭
19...底側	46...匯流排跡線
21...跡線對	47...匯流排佈置
22...跡線	48...元件接頭
23...跡線	49...匯流排
24...接地平面	51...匯流排佈置
25...芯材	52...匯流排
26...跡線對	53...元件接頭
27...跡線	54...根段
28...跡線	56...通道
29...接地平面	57...通道區域
31...接頭跡線區域	58...接頭
32...接頭跡線區域	59...接頭
33...插腳	61...差異匯流排
34...插腳	62...頂跡線路線
36...通道區域	63...底跡線路線

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 19 )

- |             |                |
|-------------|----------------|
| 64...短跡線對   | 89...電路板       |
| 66...長跡線對   | 91...電線接頭      |
| 67...長跡線對   | 92...磁碟機接頭     |
| 68...短跡線對   | 94...磁碟機接頭     |
| 69...互連佈置   | 95...磁碟機接頭     |
| 71...元件接頭   | 96...磁碟機接頭     |
| 72...電線接頭   | 97...左通道區域     |
| 73...通道區域   | 99...中間通道區域    |
| 74...差異匯流排  | 101...中間通道區域   |
| 76...跡線群組   | 102...右通道區域    |
| 77...跡線群組   | 103...差異匯流排    |
| 78...跡線群組   | 104...條帶線      |
| 79...接頭區域   | 106...跡線對      |
| 81...接頭區域   | 107...跡線對      |
| 82...接頭區域   | 108...接地平面     |
| 83...區域群組   | 109...接地平面     |
| 84...區域群組   | 111...預浸漬體電介質層 |
| 86...區域群組   | 112...預浸漬體電介質層 |
| 87...通道     | 113...芯材       |
| 88...元件接頭區域 |                |

(請先閱讀背面之注意事項再填寫本頁)

訂

錄

## 四、中文發明摘要(發明之名稱： 差異匯流排分佈用電路板結構 )

一種包括差異匯流排跡線(21、26、106、107)之電路板(17)，該差異匯流排跡線係位於電路板的雙側上或埋於其中，其互相連接電子元件(12、13)，諸如磁碟機、處理器、以及供外部電線用之接頭。通道跡線區域(36)係位於該電路板上各接頭(14、16)之間，其呈現該元件與電線接頭(31、32)之尺寸與構造。該通道區域連接位於電路板其中一側上或之中的匯流排跡線(21、106)以及個別的匯流排跡線(26、107)，其係位於該電路板之另一側上或之中。通道區域(37、38)在跡線樣式中可包括細微的不規則起伏，以使所有跡線對具有相等之長度。該通道區域(37、38)以及接頭區域(31、32)於該電路板相反側上之跡線接頭中皆包括個別的導體順序翻轉，以降低通道之間的線路干擾。通道區域(36、73)可平行於共線佈置之元件(12、13)，或正交於平行之元件或接頭(71、72)。其中一接頭具有橫向偏移群組之插腳接頭(79、81、82)，一通道區域亦可包括偏移群組之通道(83、84、86)，以使跡線長度相等。

## 英文發明摘要(發明之名稱： CIRCUIT BOARD CONSTRUCTION FOR DIFFERENTIAL BUS DISTRIBUTION )

A circuit board (17) including differential bus traces (21, 26, 106, 107) on or buried within both sides of the board, interconnecting electronic devices (12, 13) such as disk drives, processors, and connectors for external cables. Via trace fields (36, ), which mimic the size and configuration of the device and cable connector fields (31, 32), are located between each connector (14, 16) on the board. The via fields link bus traces (21, 106) on or within one side of the board with respective bus traces (26, 107) on or within the other side of the board. The via fields (37, 38) may include subtle, unequal undulations in the trace patterns to provide equalization in the lengths of all trace pairs. The via fields (37, 38) and the connector fields (31, 32) both include repetitive conductor order reversals in the trace connections on opposing sides of the board, to reduce crosstalk between channels. The via fields (36, 73) may be oriented parallel with respect to collinearly arranged devices (12, 13), or orthogonal with respect to devices or connectors which are parallel (71, 72). Where a connector has laterally offset groups of pin connections (79, 81, 82), a via field may also include offset groups of vias (83, 84, 86) to provide trace length equalization.

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

## 六、申請專利範圍

1. 一種用以支撐並互相連接電子元件(12、13)之裝置(11)，該裝置包括：
  - a. 一電路板(17)，其具有一頂側與一底側；
  - b. 一第一接頭(14)，該第一接頭包括第一複數個插腳，其係連接到該頂側上或之中的一第一接頭跡線區域(31)；
  - c. 一第二接頭(16)，該第二接頭包括第二複數個插腳，其係連接到該底側上或之中的一第二接頭跡線區域(32)；
  - d. 一通道區域(36)，該通道區域包括一頂通道區域(37)以及一底通道區域(38)，該頂與底通道區域之尺寸及構造大致上係與該第一及第二接頭跡線區域(31、32)相同，該通道區域係位於該第一與第二接頭之間的電路板上或之中，該通道跡線區域包括跡線接頭(39)，其通過該電路板，並互相連接該頂與底通道區域；
  - e. 複數個頂差異匯流排跡線對(21)，其係位於該電路板之頂側上或之中，互相連接該第一接頭區域以及頂通道區域；及
  - f. 複數個底差異匯流排跡線對(26)，其係位於該電路板之底側上或之中，互相連接該第二接頭區域以及底通道區域。
2. 如申請專利範圍第1項之裝置，其中該頂與底通道區域(37、38)包括跡線對，且其中在至少其中一跡線對中設置不等的起伏，以使該其中一跡線對之整體長度與

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

其他跡線對的整體長度相等。

3. 如申請專利範圍第1項之裝置，其中該第一與第二接頭(14、16)具有共線的縱向軸線，且其中該通道區域(36)具有一縱向軸線，該軸線對於該接頭之縱向軸線係為平行且隔開之關係。
4. 如申請專利範圍第3項之裝置，其中該通道區域(36)位於該第一與第二接頭(14、16)之間的中間。
5. 如申請專利範圍第1項之裝置，其中該第一與第二接頭(71、72)之縱向軸線係為平行且隔開的關係，且其中該通道區域(73)之縱向軸線係正交於該接頭的縱向軸線。
6. 如申請專利範圍第5項之裝置，其中該接頭其中之一具有接頭區域之群組(79、81、82)，其係彼此橫向地排開；且該通道區域具有跡線區域群組(83、84、86)，其係彼此偏移，以補償該頂與底差異跡線對之長度差異，該長度差異係由於接頭區域之橫向位移所產生。
7. 如申請專利範圍第1項之裝置，其中該頂通道區域(37)以及底通道區域(38)在選擇的其中一該頂與底差異跡線對之間包括導體順序樣式翻轉。
8. 如申請專利範圍第7項之裝置，其中該導體順序翻轉係以一反覆樣式選擇性地加以實施，以抵銷該頂與底跡線對之間的線路干擾。
9. 一種用以支撐並互相連接電子元件(12、13)之裝置(11)，該裝置包括：

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 六、申請專利範圍

- a. 一電路板(17)，其具有一頂側與底側；
  - b. 一第一接頭(14)，該第一接頭包括第一複數個插腳，其係連接到該頂側上或之中的一第一接頭跡線區域(31)；
  - c. 一第二接頭(16)，該第二接頭包括第二複數個插腳，其係連接到該底側上或之中的一第二接頭跡線區域(32)；
  - d. 差異跡線構件(21、26)，用以互連該第一接頭跡線區域以及第二接頭跡線區域，該差異跡線構件包括一通道跡線區域(36)，其具有一頂通道區域(37)以及一底通道區域(38)，該頂與底通道區域之尺寸與構造大致上係與該第一及第二接頭跡線區域(31、32)相同，該通道跡線區域係位於第一與第二接頭之間的該電路板(17)之上或之中；該通道跡線區域包括通道接頭(39)，其穿過該電路板，並互相連接該頂與底通道區域。
10. 一種用以支撐並互相連接電子元件(12、13)之裝置(11)，該裝置包括：
- a. 一電路板(17)，其具有一頂側與一底側；
  - b. 一第一接頭(14)，該第一接頭包括第一複數個插腳，其係連接到該頂側上或之中的一第一接頭跡線區域(31)；
  - c. 一第二接頭(16)，該第二接頭包括第二複數個插腳，其係連接到該底側上或之中的一第二接頭跡線區

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

域(32)；

d. 一通道區域(36)，該通道區域包括一頂通道區域(37)以及一底通道區域(38)，該頂與底通道區域之尺寸及構造大致上係與該第一及第二接頭跡線區域(31、32)相同，該通道區域係位於該第一與第二接頭之間的電路板上或之中，該通道跡線區域包括跡線接頭(39)，其通過至少一部分之該電路板，並互相連接該頂與底通道區域；

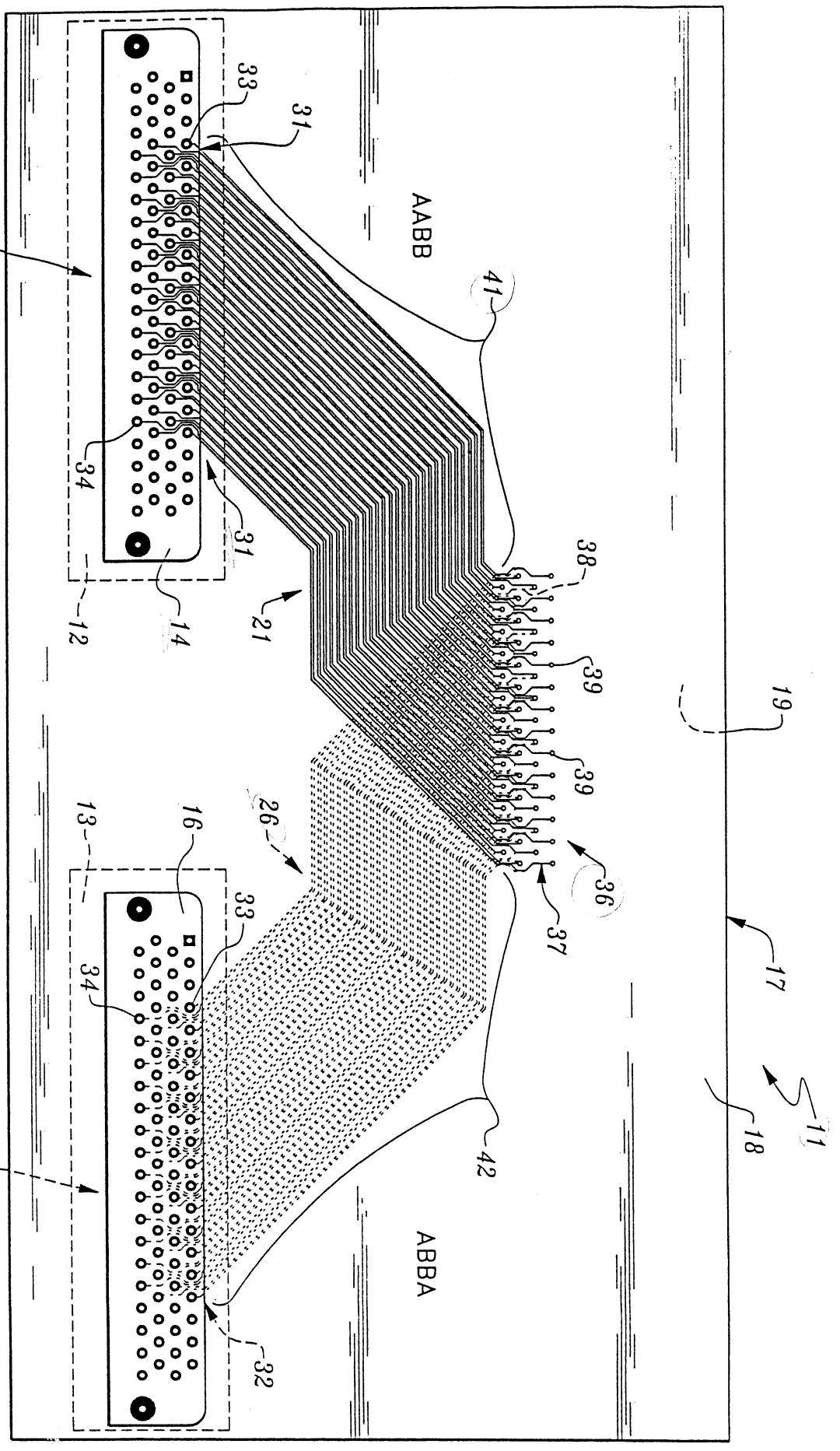
e. 複數個頂差異匯流排跡線對(106)，其係位於該電路板的頂側之中，互相連接該第一接頭區域(31)以及頂通道區域(37)；及

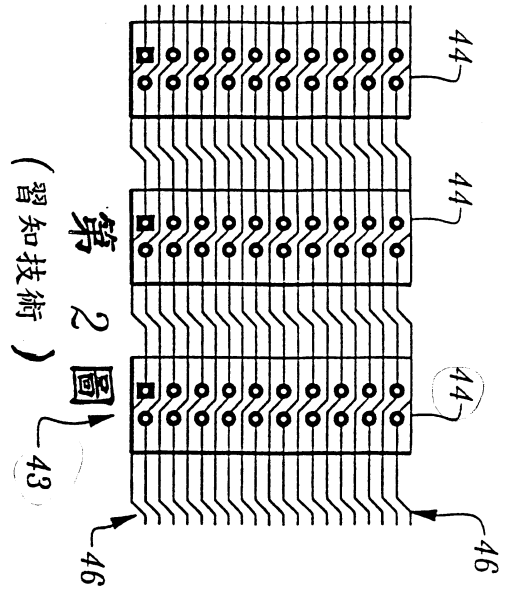
f. 複數個底差異匯流排跡線對(107)，其係位於該電路板的底側之中，互相連接該第二接頭區域(32)以及底通道區域(38)。

(請先閱讀背面之注意事項再填寫本頁)

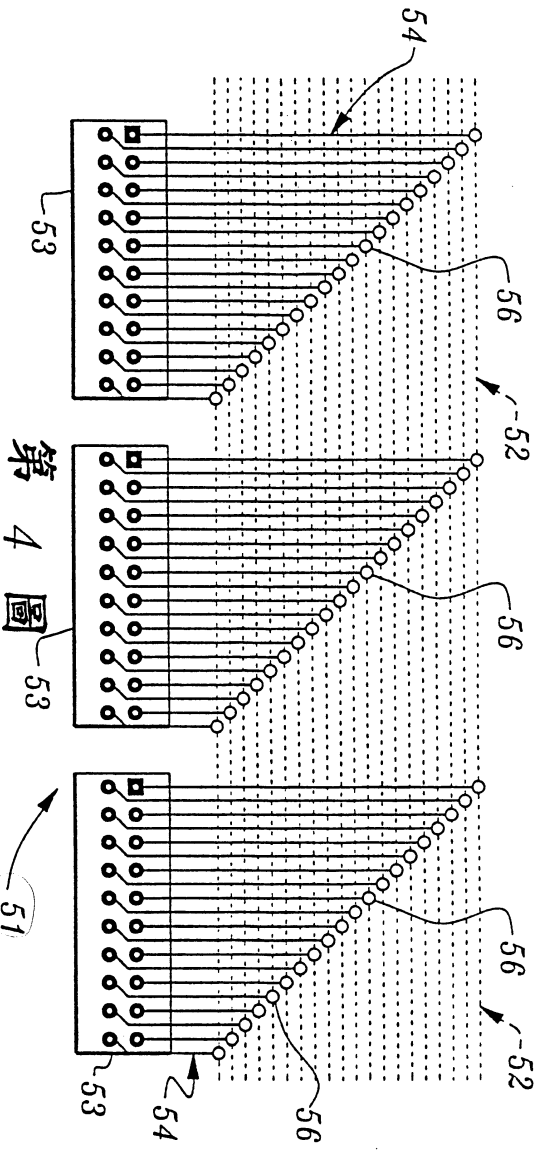
裝  
訂  
線

第 1 圖

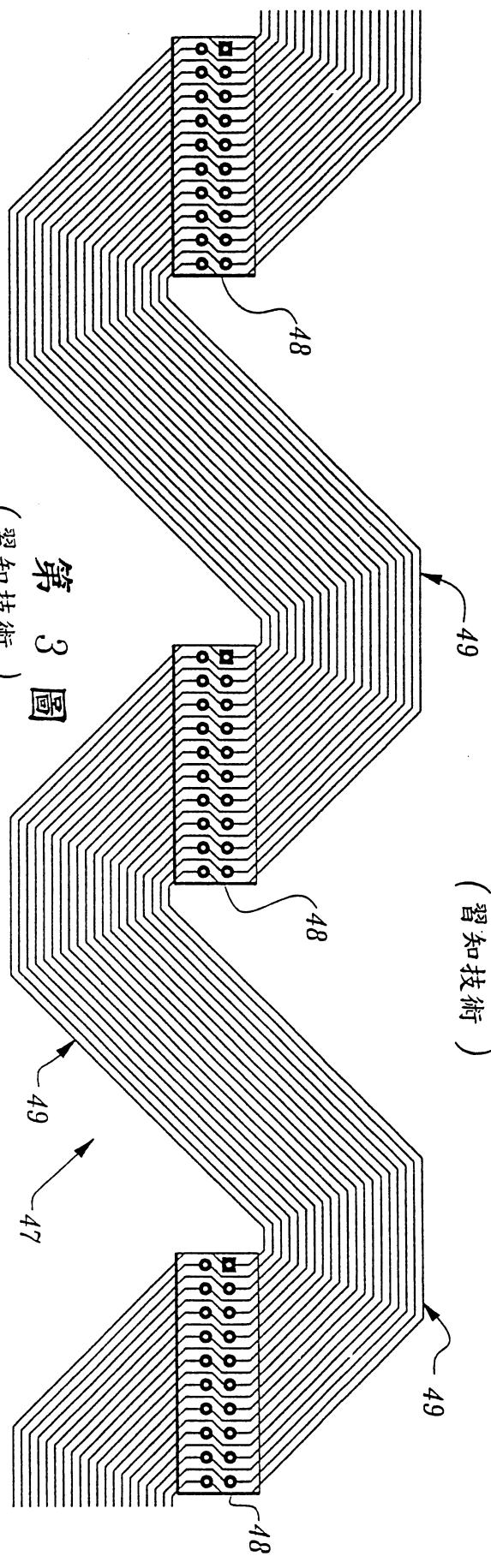




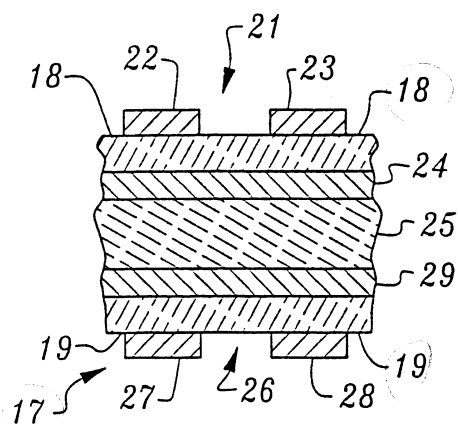
第 2 圖  
(習知技術)



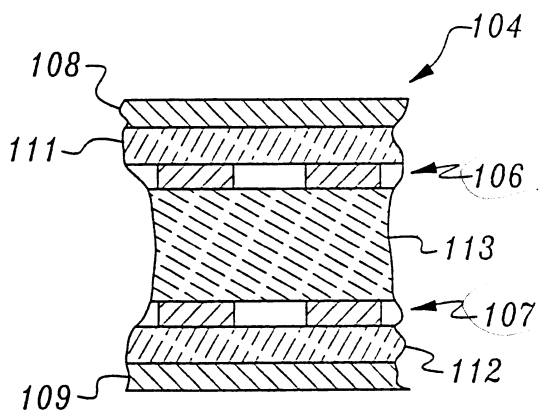
第 4 圖  
(習知技術)



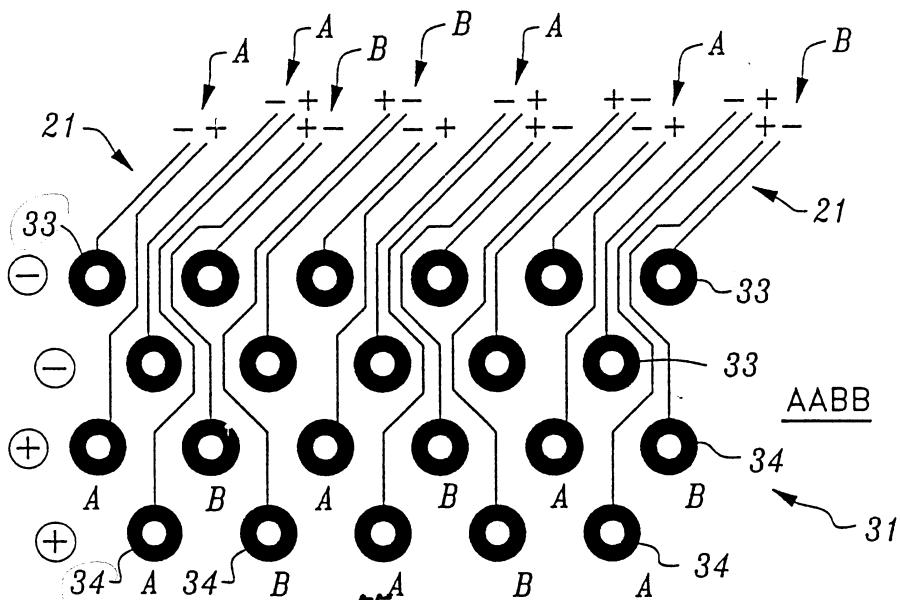
第 3 圖  
(習知技術)



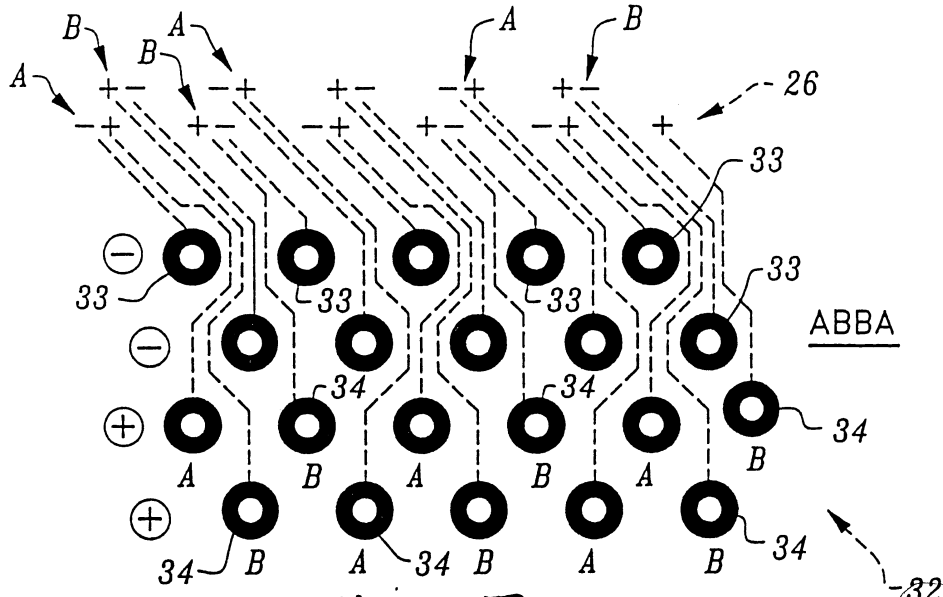
第 5 圖



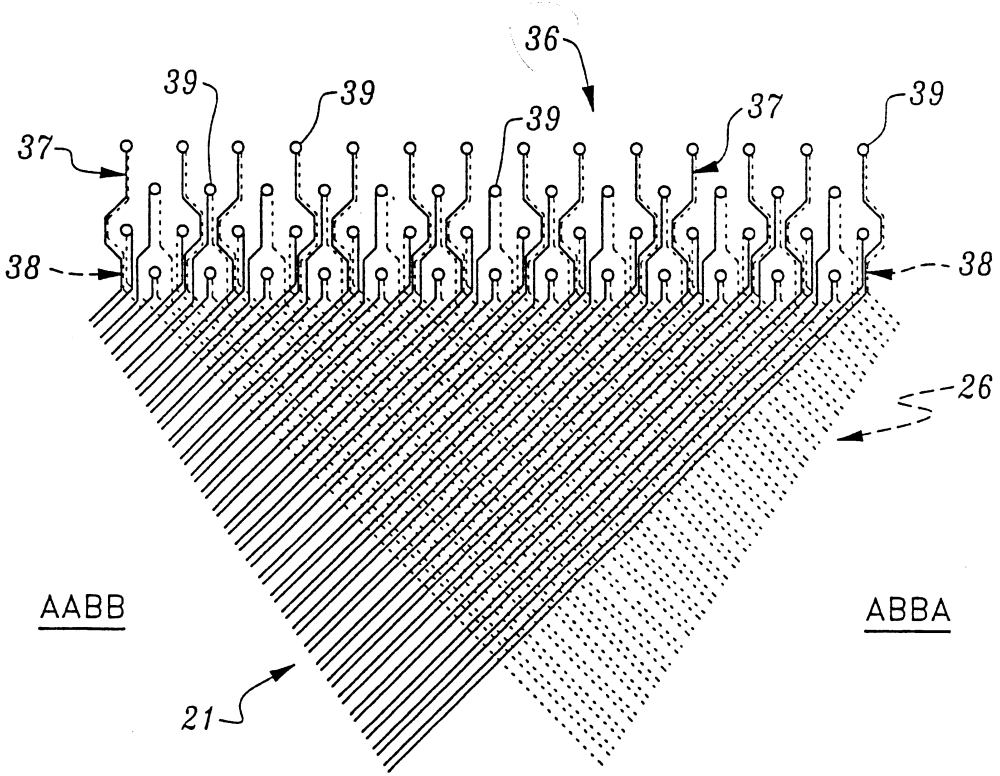
第 6 圖



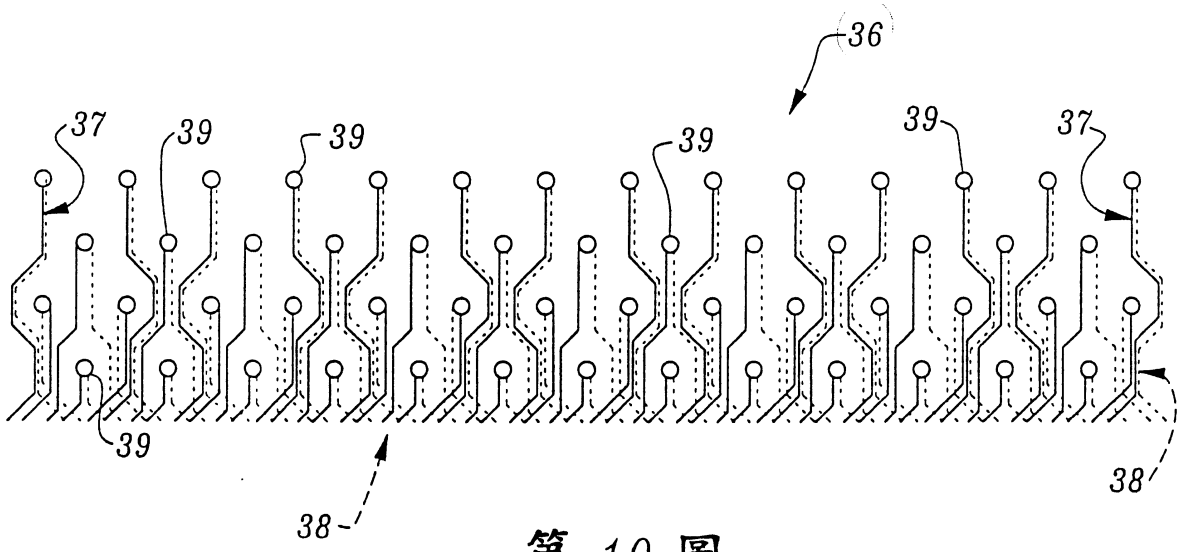
第 7 圖



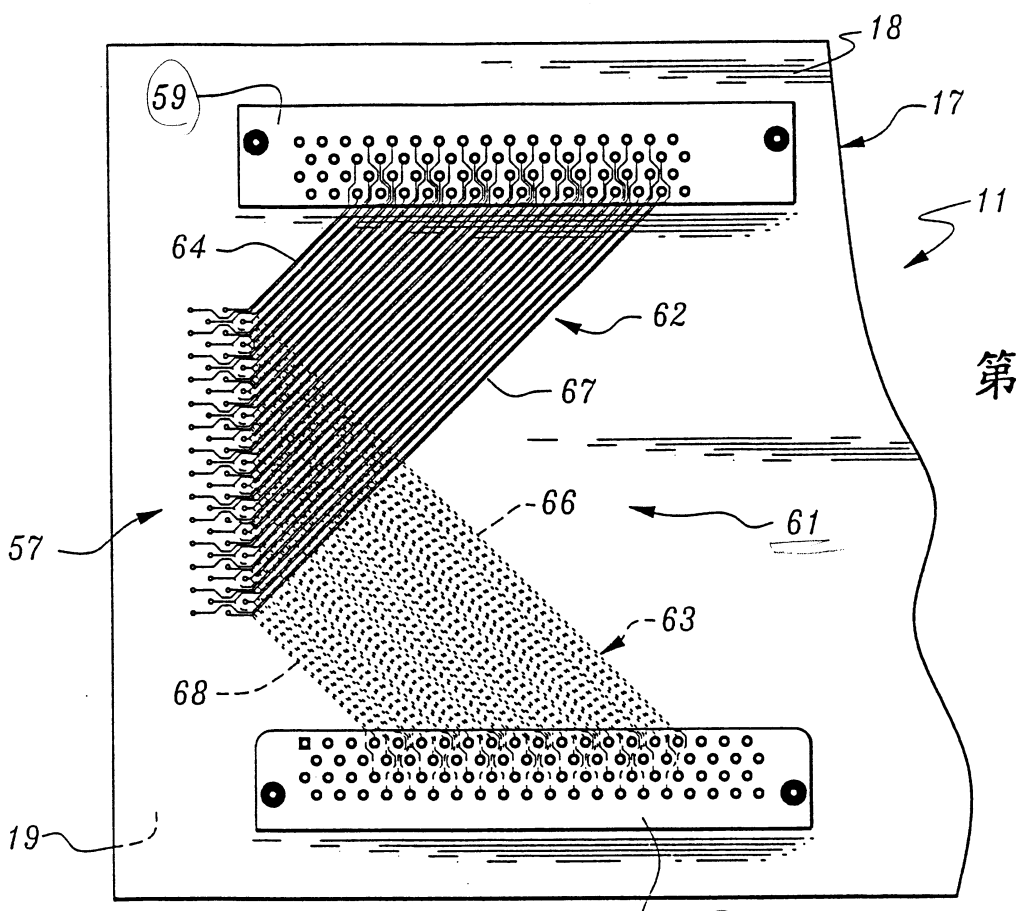
第 8 圖



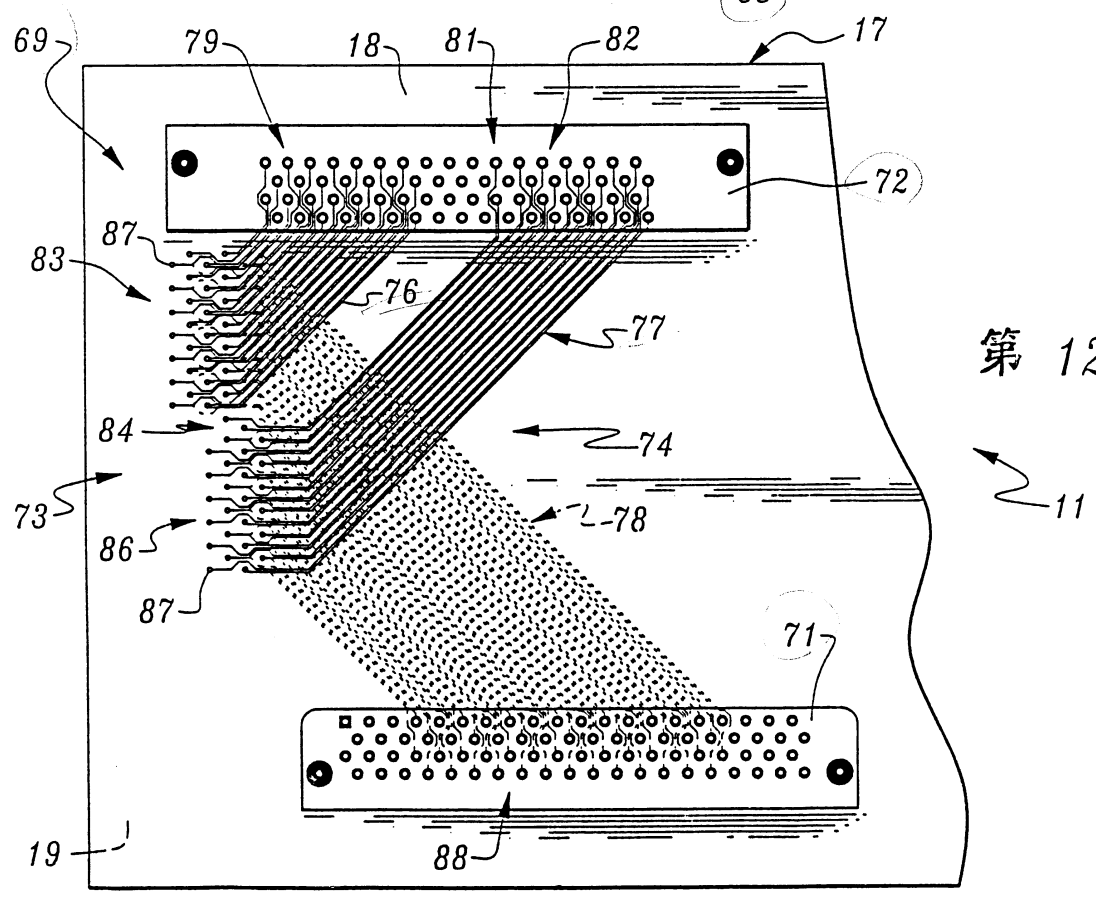
第 9 圖



第 10 圖

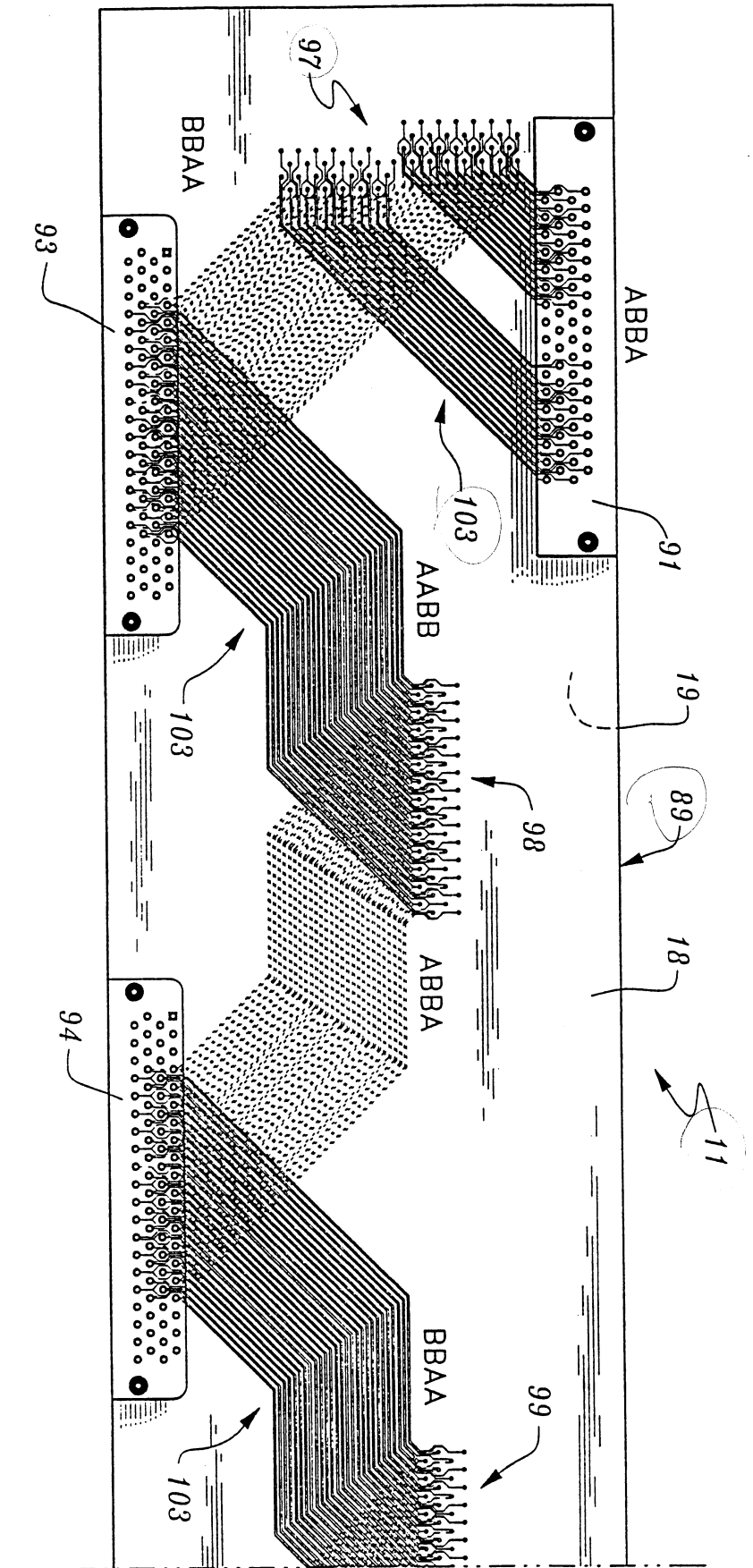


第 11 圖

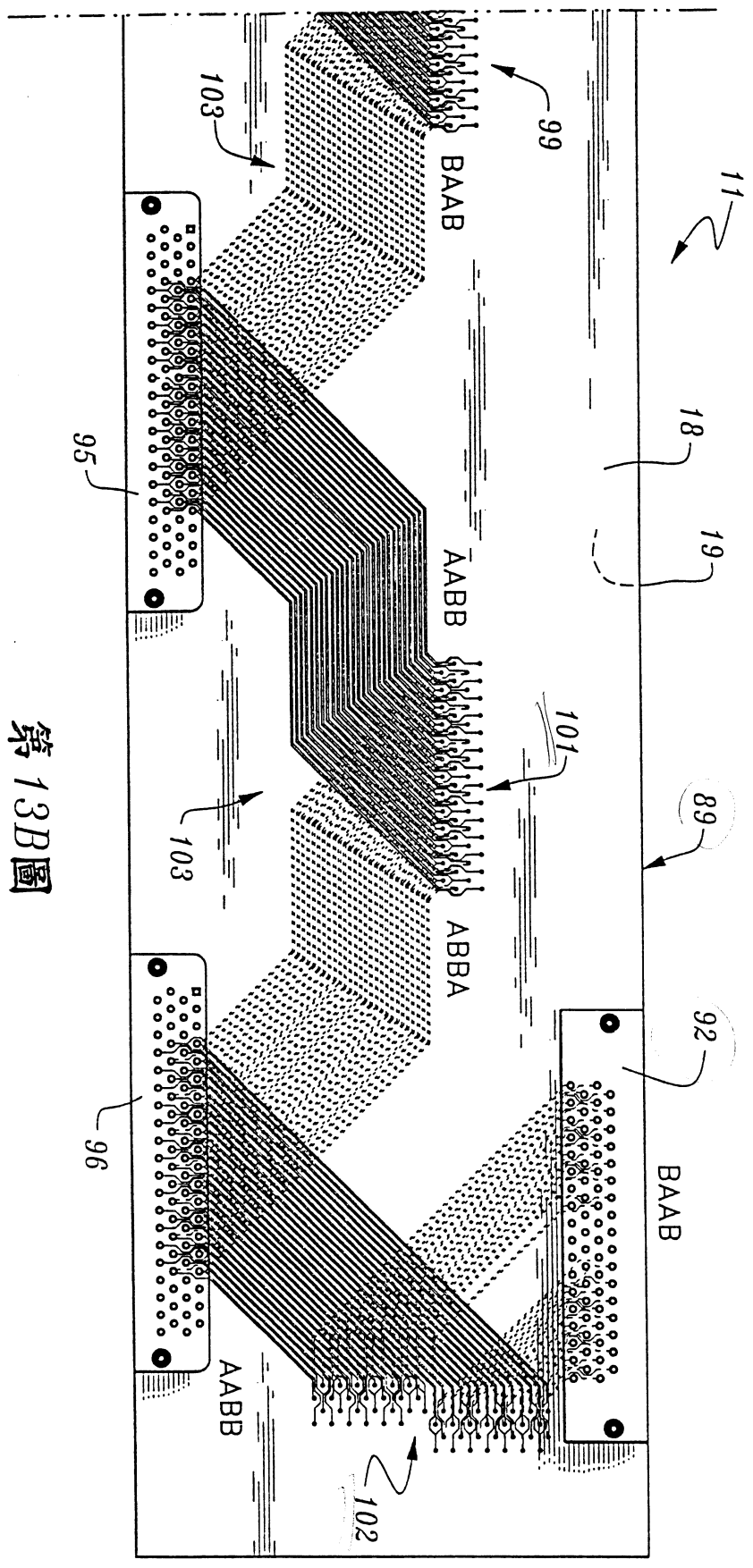


第 12 圖

第 13 圖  
第 13A 圖  
第 13B 圖



第 13A 圖



第 13B 圖