

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2015 年 2 月 26 日 (26.02.2015)



(10) 国际公布号
WO 2015/024329 A1

- (51) 国际专利分类号:
G09G 3/20 (2006.01)
- (21) 国际申请号: PCT/CN2013/088684
- (22) 国际申请日: 2013 年 12 月 5 日 (05.12.2013)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201310370143.7 2013 年 8 月 22 日 (22.08.2013) CN
- (71) 申请人: 京东方科技集团股份有限公司 (BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN]; 中国北京市朝阳区酒仙桥路 10 号, Beijing 100015 (CN)。北京京东方光电科技有限公司 (BEIJING BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国北京市经济技术开发区西环中路 8 号, Beijing 100176 (CN)。
- (72) 发明人: 郑义 (ZHENG, Yi); 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。王智勇 (WANG, Zhiyong); 中国北京市经济技术开发区地

泽路 9 号, Beijing 100176 (CN)。张郑欣 (ZHANG, Zhengxin); 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。于尧 (YU, Yao); 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。时凌云 (SHI, Lingyun); 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。

(74) 代理人: 北京市柳沈律师事务所 (LIU, SHEN & ASSOCIATES); 中国北京市海淀区彩和坊路 10 号 1 号楼 10 层, Beijing 100080 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

[见续页]

(54) Title: GATE DRIVE ON ARRAY UNIT, GATE DRIVE ON ARRAY CIRCUIT AND DISPLAY DEVICE

(54) 发明名称: 阵列基板行驱动单元、阵列基板行驱动电路及显示装置

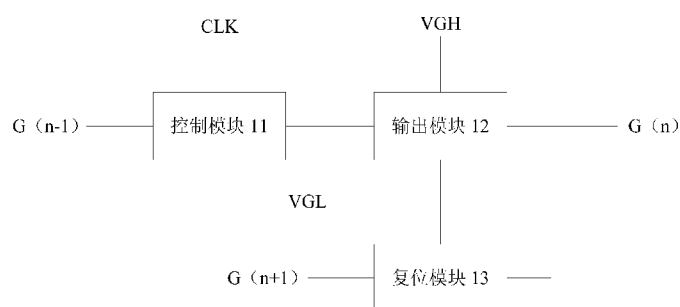


图 1 /FIG. 1

11 Control module
12 Output module
13 Reset module

(57) Abstract: A gate drive on array (GOA) unit, a gate drive on array (GOA) circuit and a display device. The gate drive on array (GOA) unit comprises: a control module (11) for outputting a clock signal (CLK) under the control of the gate drive signal (G(n-1)) of the (n-1)th row of the gate drive on array unit or a start input signal; an output module (12) connected with the control module (11) and used for outputting a high voltage signal (VGH) as the gate drive signal (G(n)) of the nth row under the control of the clock signal (CLK) output from the control module (11) and outputting the low voltage signal (VGL) under the control of the clock signal (CLK) output from the control module (11); a reset module (13) connected with the output module (12) and used for resetting the gate drive signal (G(n)) of the nth row under the control of the gate drive signal (G(n+1)) of the (n+1)th row of the gate drive on array unit. The gate drive on array (GOA) unit, the gate drive on array (GOA) circuit and the display device reduce the problem of abnormal output of gate drive signals caused by lines on multiple layers overlapped and the problem of releasing the static electricity caused by the larger voltage difference between the crossover points.

(57) 摘要:

[见续页]

WO 2015/024329 A1



(84) **指定国** (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG,

CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

一种阵列基板行驱动 (GOA) 单元, 阵列基板行驱动 (GOA) 电路及显示装置。该阵列基板行驱动 (GOA) 单元包括: 控制模块 (11), 用于在上一行阵列基板行驱动单元的栅极驱动信号 ($G_{(n-1)}$) 或起始输入信号的控制下输出时钟信号 (CLK); 输出模块 (12), 与前述控制模块 (11) 连接, 用于在所述控制模块 (11) 输出的时钟信号 (CLK) 的控制下, 将高电压信号 (VGH) 输出作为本行栅极驱动信号 ($G_{(n)}$); 以及在所述控制模块 (11) 输出的时钟信号 (CLK) 的控制下, 将低压信号 (VGL) 进行输出; 复位模块 (13), 与前述输出模块 (12) 相连, 用于在下一行阵列基板行驱动单元的栅极驱动信号 ($G_{(n+1)}$) 的控制下, 对本行栅极驱动信号 ($G_{(n)}$) 进行复位。该阵列基板行驱动 (GOA) 单元, 阵列基板行驱动 (GOA) 电路及显示装置, 减少了由于走线多层交叠导致的栅极驱动信号输出异常, 以及交迭点之间存在较大压差引起的静电释放问题。

阵列基板行驱动单元、阵列基板行驱动电路及显示装置

技术领域

本发明涉及显示技术，具体涉及一种阵列基板行驱动（GOA, Gate Drive on
5 Array）单元、阵列基板行驱动电路及显示装置。

背景技术

GOA 技术是一种将液晶显示器栅极驱动电路（Gate Driver IC）集成在阵列
（Array）基板上的技术，具有以下优点：（1）将栅极驱动电路集成在阵列基板
10 上，能有效降低生产成本和功耗；（2）省去绑定（bonding）良率工艺，能使产
品良率和产能得到提升；（3）省去栅极驱动电路绑定（gate IC bonding）区域，
使显示面板（panel）具有对称结构，能够实现显示面板的窄边框化。

但是，现有的 GOA 技术采用数量较多的薄膜场效应晶体管（TFT, Thin Film
Transistor），导致线路板走线存在多层交叠，从而会引起以下问题：（1）工艺波
15 动易导致 GOA 内部寄生电容耦合变化，导致栅极输出异常；（2）由于交迭点
数量多，使得交迭点之间存在较大压差，容易引起静电释放（ESD, Electro-Static
Discharge）。

发明内容

20 有鉴于此，本发明针对现有技术的不足提供一种 GOA 单元、GOA 电路及
显示装置，能够有效减少由于走线多层交叠导致的栅极驱动信号输出异常，以
及交迭点之间存在较大压差引起的静电释放问题。

本发明的技术方案可以这样实现：

25 本发明实施例提供了一种阵列基板行驱动单元，所述阵列基板行驱动单元
包括：

控制模块，用于在上一行阵列基板行驱动单元的栅极驱动信号或起始输入
信号的控制下输出时钟信号；

输出模块，与所述控制连接，用于在所述控制模块输出的时钟信号的控制
下，将高电压信号输出作为本行栅极驱动信号，以及在所述控制模块输出的时
30 钟信号的控制下，将低电压信号进行输出；

复位模块，与所述输出模块连接，用于在下一行阵列基板行驱动单元的栅

极驱动信号的控制下，对所述本级栅极驱动信号进行复位。

上述实施例中，所述控制模块包括第一薄膜晶体管，所述输出模块包括：第二薄膜晶体管和第三薄膜晶体管，所述复位模块包括第四薄膜晶体管；其中，

所述第一薄膜晶体管的栅极与上一行阵列基板行驱动单元的栅极驱动信号输出端或起始输入信号连接；所述第一薄膜晶体管的第一极与时钟信号输入端连接；所述第一薄膜晶体管的第二极分别与所述第二薄膜晶体管的栅极和第三薄膜晶体管的栅极连接；

所述第二薄膜晶体管的第一极与高电平输出端连接；所述第二薄膜晶体管的第二极分别与所述第三薄膜晶体管的第二极和本行栅极驱动信号输出端连接；

所述第三薄膜晶体管的第二极分别与低电平输出端和所述第四薄膜晶体管的第一极连接；

所述第四薄膜晶体管的栅极与下一行阵列基板驱动单元的栅极驱动信号输出端连接；所述第四薄膜晶体管的第二极与本行栅极驱动信号输出端连接。

上述实施例中，第一行阵列基板行驱动单元的所述第一薄膜晶体管、第二薄膜晶体管和第四薄膜晶体管为 N 型薄膜晶体管；所述第三薄膜晶体管为 P 型薄膜晶体管。

上述实施例中，除第一行阵列基板行驱动单元外，奇数行阵列基板行驱动单元的所述第一薄膜晶体管和第三薄膜晶体管为 P 型薄膜晶体管；所述第二薄膜晶体管和第四薄膜晶体管为 N 型薄膜晶体管；

偶数行阵列基板行驱动单元的所述第一薄膜晶体管和第二薄膜晶体管为 P 型薄膜晶体管；所述第三薄膜晶体管和第四薄膜晶体管为 N 型薄膜晶体管。

本发明实施例还提供了一种阵列基板行驱动电路，所述阵列基板行驱动电路包括一个以上前述的阵列基板行驱动单元；

除第一行阵列基板行驱动单元外，每一行阵列基板行驱动单元的信号输入端均与上一行阵列基板行驱动单元的栅极信号输出端连接；

除最后一行的阵列基板行驱动单元外，每一行阵列基板行驱动单元的复位端均与下一行阵列基板行驱动单元的栅极信号输出端连接。

本发明实施例还提供了一种显示装置，所述显示装置包括本发明所述的阵列基板行驱动电路。

本发明实施例提供的 GOA 单元、GOA 电路及显示装置，具有以下有益效

果:

所述 GOA 单元采用四个薄膜晶体管,简化了原有的 GOA 单元,减少了线路板走线,有效的减少了由于走线多层交叠导致的栅极驱动信号输出异常的问题;另外,由于交迭点的减少,又有效地减少了由于交迭点之间存在较大压差引起的静电释放的问题。

附图说明

图 1 为本发明第一实施例的 GOA 单元的结构示意框图;

图 2 为本发明第二实施例的 GOA 单元的电路示意图;

10 图 3 为本发明第三实施例的 GOA 单元的电路示意图;

图 4 为本发明第四实施例的 GOA 单元的电路示意图;

图 5 为本发明第五实施例的 GOA 单元的电路示意图;

图 6 为本发明第五实施例的 GOA 单元在工作时各信号的时序示意图;

图 7 为本发明第六实施例的 GOA 单元的电路示意图;

15 图 8 为本发明第六实施例的 GOA 单元在工作时各信号的时序示意图。

具体实施方式

下面结合附图对本发明具体实施例作进一步详细的说明。

图 1 为本发明第一实施例的 GOA 单元的结构框图。如图 1 所示,所述 GOA
20 单元包括:控制模块 11、输出模块 12 和复位模块 13。

在本实施例中,控制模块 11 与输出模块 12 连接,用于在上一行阵列基板行驱动单元的栅极驱动信号或起始输入信号的控制下将时钟信号 CLK 输出给输出模块 12。

输出模块 12 用于在时钟信号的控制下,将高电压信号 VGH 输出作为本行
25 栅极驱动信号;以及在时钟信号的控制下,将低电压信号 VGL 进行输出。

复位模块 13 分别与下一行阵列基板行驱动单元的栅极驱动信号和本行栅极驱动信号输出端连接,用于在下一行阵列基板行驱动单元的栅极驱动信号的控制下,对本级栅极驱动信号进行复位。

图 1 中,上一行阵列基板行驱动单元的栅极驱动信号为 $G(n-1)$,本行栅
30 极驱动信号为 $G(n)$,下一行阵列基板行驱动单元的栅极驱动信号为 $G(n+1)$ 。

图 2 为本发明第二实施例的 GOA 单元的电路图。如图 2 所示,第二实施

例提供的 GOA 单元基于第一实施例提供的 GOA 单元, 并且为第一行 GOA 单元; 在第二实施例中, 控制模块 11 包括第一薄膜晶体管 M1, 输出模块 12 包括第二薄膜晶体管 M2 和第三薄膜晶体管 M3, 复位模块 13 包括第四薄膜晶体管 M4。

5 本实施例中, 第一薄膜晶体管 M1 的栅极与信号输入端 INPUT 连接; 第一薄膜晶体管 M1 的第一极与时钟信号输入端 CLK 连接; 第一薄膜晶体管 M1 的第二极分别与第二薄膜晶体管 M2 的栅极和第三薄膜晶体管 M3 的栅极连接。

第二薄膜晶体管 M2 的第一极与高电平信号端 VGH 连接; 第二薄膜晶体管 M2 的第二极分别与第三薄膜晶体管 M3 的第一极和本行栅极驱动信号输出端 G
10 (1) 连接。

第三薄膜晶体管 M3 的第二极分别与低电平信号端 VGL 和第四薄膜晶体管 M4 的第一极连接。

第四薄膜晶体管 M4 的栅极与复位端 RESET 连接; 第四薄膜晶体管 M4 的第二极与本行栅极驱动信号输出端 G (1) 连接。

15 复位端 RESET 与下一行阵列基板驱动单元的栅极驱动信号的输出端连接, 即第一行阵列基板行驱动单元的复位端 RESET 与 G (2) 连接。

作为举例, 第一薄膜晶体管、第二薄膜晶体管和第四薄膜晶体管为 N 型薄膜晶体管; 第三薄膜晶体管为 P 型薄膜晶体管。

本实施例的薄膜晶体管的第一极和第二极可以是薄膜晶体管的源极或漏
20 极。

图 3 为本发明第三实施例的 GOA 单元的电路图。如图 3 所示, GOA 的阵列基板行驱动单元基于第一实施例提供的 GOA 单元, 并且为偶数行 GOA 单元。在第三实施例中, 控制模块 11 包括第一薄膜晶体管 M1, 输出模块 12 包括: 第二薄膜晶体管 M2 和第三薄膜晶体管 M3, 复位模块 13 包括第四薄膜晶体管
25 M4。

在本实施例中, 第一薄膜晶体管 M1 的栅极与上一行阵列基板驱动单元的栅极驱动信号的输出端 G (n-1) 连接; 第一薄膜晶体管 M1 的第一极与时钟信号输入端 CLK 连接; 第一薄膜晶体管 M1 的第二极分别与第二薄膜晶体管 M2 的栅极和第三薄膜晶体管 M3 的栅极连接。

30 第二薄膜晶体管 M2 的第一极与高电平信号端 VGH 连接; 第二薄膜晶体管 M2 的第二极分别与第三薄膜晶体管 M3 的第一极和本行栅极驱动信号输出端 G

(n) 连接。

第三薄膜晶体管 M3 的第二极分别与低电平信号端 VGL 和第四薄膜晶体管 M4 的第一极连接。

5 第四薄膜晶体管 M4 的栅极与复位端 RESET 连接；第四薄膜晶体管 M4 的第二极与本行栅极驱动信号输出端 G (n) 连接。

本实施例中，复位端 RESET 与下一行阵列基板驱动单元的栅极驱动信号的输出端连接，即复位端 RESET 与 G (n+1) 连接。

作为举例，第一薄膜晶体管和第三薄膜晶体管为 P 型薄膜晶体管；第二薄膜晶体管和第四薄膜晶体管为 N 型薄膜晶体管。

10 本实施例的薄膜晶体管的第一极和第二极可以是薄膜晶体管的源极或漏极。

图 4 为本发明第三实施例的 GOA 单元的电路图。如图 4 所示，第四实施例提供的 GOA 单元基于第一实施例提供的 GOA 单元，并且为除第一行外的奇数行 GOA 单元。在第四实施例中，控制模块 11 包括第一薄膜晶体管 M1，输出模块 12 包括：第二薄膜晶体管 M2 和第三薄膜晶体管 M3，复位模块 13 包括第四薄膜晶体管 M4。

20 在本实施例中，第一薄膜晶体管 M1 的栅极与上一行阵列基板驱动单元的栅极驱动信号的输出端 G (n-1) 连接；第一薄膜晶体管 M1 的第一极与时钟信号输入端 CLK 连接；第一薄膜晶体管 M1 的第二极分别与第二薄膜晶体管 M2 的栅极和第三薄膜晶体管 M3 的栅极连接；

第二薄膜晶体管 M2 的第一极与高电平信号端 VGH 连接；第二薄膜晶体管 M2 的第二极分别与第三薄膜晶体管 M3 的第一极和本行栅极驱动信号输出端 G (n) 连接；

25 第三薄膜晶体管 M3 的第二极分别与低电平信号端 VGL 和第四薄膜晶体管 M4 的第一极连接。

第四薄膜晶体管 M4 的栅极与复位端 RESET 连接；第四薄膜晶体管 M4 的第二极与本行栅极驱动信号输出端 G (n) 连接；

复位端 RESET 与下一行阵列基板驱动单元的栅极驱动信号的输出端连接，即复位端 RESET 与 G (n+1) 连接。

30 作为举例，第一薄膜晶体管 M1 和第三薄膜晶体管 M3 为 P 型薄膜晶体管；第二薄膜晶体管 M2 和第四薄膜晶体管 M4 为 N 型薄膜晶体管。

本实施例的薄膜晶体管的第一极和第二极可以是薄膜晶体管的源极或漏极。

图 5 为本发明第五实施例的 GOA 单元的电路示意图。如图 5 所示，该电路包括第一行和第二行 GOA 单元；在第五实施例中，第一行和第二行 GOA 单元分别包括：控制模块 11、输出模块 12 和复位模块 13。此处，第一行阵列基板行驱动单元的控制模块 11 包括第一薄膜晶体管 M1，输出模块 12 包括第二薄膜晶体管 M2 和第三薄膜晶体管 M3，复位模块 13 包括第四薄膜晶体管 M4；第二行阵列基板行驱动单元的控制模块 11 包括第五薄膜晶体管 M5，输出模块 12 包括第六薄膜晶体管 M6 和第七薄膜晶体管 M7，复位模块 13 包括第八薄膜晶体管 M8。

在本实施例中，第一薄膜晶体管 M1 的栅极与信号输入端 INPUT 连接；第一薄膜晶体管 M1 的第一极与时钟信号输入端 CLK 连接；第一薄膜晶体管 M1 的第二极分别与第二薄膜晶体管 M2 的栅极和第三薄膜晶体管 M3 的栅极连接；

第二薄膜晶体管 M2 的第一极与高电平信号端 VGH 连接；第二薄膜晶体管 M2 的第二极分别与第三薄膜晶体管 M3 的第一极和本行栅极驱动信号输出端 G (1) 连接；

第三薄膜晶体管 M3 的第二极分别与低电平信号端 VGL 和第四薄膜晶体管 M4 的第一极连接；

第四薄膜晶体管 M4 的栅极与第二行栅极驱动信号输出端 G (2) 连接；第四薄膜晶体管 M4 的第二极与第一行栅极驱动信号输出端 G (1) 连接；

第五薄膜晶体管 M5 的栅极与第一行栅极驱动信号输出端 G (1) 连接；第五薄膜晶体管 M5 的第一极与时钟信号输入端 CLK 连接；第五薄膜晶体管 M5 的第二极分别与第六薄膜晶体管 M6 的栅极和第七薄膜晶体管 M7 的栅极连接；

第六薄膜晶体管 M6 的第一极与高电平信号端 VGH 连接；第六薄膜晶体管 M6 的第二极分别与第七薄膜晶体管 M7 的第一极和第二行栅极驱动信号输出端 G (2) 连接；

第七薄膜晶体管 M7 的第二极分别与低电平信号端 VGL 和第八薄膜晶体管 M8 的第一极连接；

第八薄膜晶体管 M8 的栅极与复位端 RESET 连接，复位端 RESET 与第三行栅极驱动信号输出端 G (3) 连接；第八薄膜晶体管 M8 的第二极与第二行栅极驱动信号输出端 G (2) 连接。

作为举例，第一薄膜晶体管 M1、第二薄膜晶体管 M2、第四薄膜晶体管 M4、第七薄膜晶体管 M7、第八薄膜晶体管 M8 为 N 型薄膜晶体管；第三薄膜晶体管 M3、第五薄膜晶体管 M5、第六薄膜晶体管 M6 为 P 型薄膜晶体管。

5 本实施例的薄膜晶体管的第一极和第二极可以是薄膜晶体管的源极或漏极。

图 6 为本发明第五实施例的阵列基板行驱动单元在工作时各信号的时序示意图。根据图 6 所示的时序图，以第一行阵列基板行驱动单元为例，将阵列基板行驱动单元的工作过程分为输出信号阶段 t1 和复位阶段 t2。

在输出信号阶段 t1，输入 INPUT 为高电平，由于第一薄膜晶体管 M1 为 N 型薄膜晶体管，则 M1 导通，此时时钟信号 CLK 同为高电平，由于第二薄膜晶体管 M2 为 N 型薄膜晶体管，第三薄膜晶体管 M3 为 P 型薄膜晶体管，则 M2 导通，M3 依旧关闭，此时 G (1) 输出高电平；

15 在复位阶段 t2，时钟信号 CLK 为低电平，则第二薄膜晶体管 M2 关闭，第三薄膜晶体管 M3 导通，此时输出端 G (1) 输出低电平，由于输出端 G (1) 与第五薄膜晶体管 M5 的栅极连接，且第五薄膜晶体管 M5 和第六薄膜晶体管 M6 为 P 型薄膜晶体管，M5 导通，并且由于此时时钟信号 CLK 为低电平，则 M6 导通，此时输出端 G (2) 输出高电平；由于 G (2) 与第四薄膜晶体管 M4 的栅极连接，且 M4 为 N 型薄膜晶体管，则 M4 导通，保持输出端 G (1) 输出低电平，从而完成对输出端 G (1) 的复位操作。

20 图 7 为本发明第六实施例的阵列基板行驱动单元的电路示意图。如图 7 所示，该电路包括第 2n 行、第 2n+1 行和第 2n+2 行阵列基板行驱动单元。在第六实施例中，第 2n 行、第 2n+1 行和第 2n+2 行阵列基板行驱动单元分别包括：控制模块 11、输出模块 12 和复位模块 13。其中，第 2n 行阵列基板行驱动单元的控制模块 11 包括第一薄膜晶体管 M1，输出模块 12 包括：第二薄膜晶体管 M2 和第三薄膜晶体管 M3，复位模块 13 包括第四薄膜晶体管 M4；第 2n+1 行阵列基板行驱动单元的控制模块 11 包括第五薄膜晶体管 M5，输出模块 12 包括：第六薄膜晶体管 M6 和第七薄膜晶体管 M7，复位模块 13 包括第八薄膜晶体管 M8；第 2n+2 行阵列基板行驱动单元的控制模块 11 包括第九薄膜晶体管 M9，输出模块 12 包括：第十薄膜晶体管 M10 和第十一薄膜晶体管 M11，复位模块 13 包括第十二薄膜晶体管 M12。

30 在本实施例中，第一薄膜晶体管 M1 的栅极与上一行栅极驱动信号输出端

G (2n-1) 连接; 第一薄膜晶体管 M1 的第一极与时钟信号输入端 CLK 连接;
第一薄膜晶体管 M1 的第二极分别与第二薄膜晶体管 M2 的栅极和第三薄膜晶体管 M3 的栅极连接;

第二薄膜晶体管 M2 的第一极与高电平输出端 VGH 连接; 第二薄膜晶体管
5 M2 的第二极分别与第三薄膜晶体管 M3 的第一极和本行栅极驱动信号输出端 G (2n) 连接;

第三薄膜晶体管 M3 的第二极分别与低电平输出端 VGL 和第四薄膜晶体管 M4 的第一极连接;

第四薄膜晶体管 M4 的栅极与下一行栅极驱动信号输出端 G (2n+1) 连接;
10 第四薄膜晶体管 M4 的第二极与本行栅极驱动信号输出端 G (n) 连接;

第五薄膜晶体管 M5 的栅极与上一行栅极驱动信号输出端 G (2n) 连接;
第五薄膜晶体管 M5 的第一极与时钟信号输入端 CLK 连接; 第五薄膜晶体管 M5 的第二极分别与第六薄膜晶体管 M6 的栅极和第七薄膜晶体管 M7 的栅极连接;

15 第六薄膜晶体管 M6 的第一极与高电平输出端 VGH 连接; 第六薄膜晶体管 M6 的第二极分别与第七薄膜晶体管 M7 的第一极和本行栅极驱动信号输出端 G (2n+1) 连接;

第七薄膜晶体管 M7 的第二极分别与低电平输出端 VGL 和第八薄膜晶体管 M8 的第一极连接;

20 第八薄膜晶体管 M8 的栅极与下一行栅极驱动信号输出端 G (2n+2) 连接; 第八薄膜晶体管 M8 的第二极与本行行栅极驱动信号输出端 G (2+1) 连接;

第九薄膜晶体管 M9 的栅极与上一行栅极驱动信号输出端 G (2n+1) 连接; 第九薄膜晶体管 M9 的第一极与时钟信号输入端 CLK 连接; 第九薄膜晶体管 M9 的第二极分别与第十薄膜晶体管 M10 的栅极和第十一薄膜晶体管 M11 的栅极连接;
25 极连接;

第十薄膜晶体管 M10 的第一极与高电平输出端 VGH 连接; 第十薄膜晶体管 M10 的第二极分别与第十一薄膜晶体管 M11 的第一极和本行栅极驱动信号输出端 G (2n+2) 连接;

第十一薄膜晶体管 M11 的第二极分别与低电平输出端 VGL 和第十二薄膜晶体管 M12 的第一极连接;
30 晶体管 M12 的第一极连接;

第十二薄膜晶体管 M12 的栅极与下一行栅极驱动信号输出端 G (2n+3) 连

接；第十二薄膜晶体管 M12 的第二极与本行行栅极驱动信号输出端 G (2+2) 连接。

作为举例，第一薄膜晶体管 M1、第二薄膜晶体管 M2、第五薄膜晶体管 M5、第七薄膜晶体管 M7、第九薄膜晶体管 M9、第十薄膜晶体管 M10 为 P 型薄膜晶体管；第三薄膜晶体管 M3、第四薄膜晶体管 M4、第六薄膜晶体管 M6、第八薄膜晶体管 M8、第十一薄膜晶体管 M11、第十二薄膜晶体管 M12 为 N 型薄膜晶体管。

图 8 为本发明第六实施例的阵列基板行驱动单元在工作时各信号的时序示意图。根据图 6 的时序图，将阵列基板行驱动单元的工作过程分为 t1、t2 和 t3 阶段，t1 阶段为第 2n 行阵列基板行驱动单元的输出信号阶段；t2 阶段为第 2n+1 行阵列基板行驱动单元的输出信号阶段；t3 阶段为第 2n+2 行阵列基板行驱动单元的输出信号阶段；相应地，每一行阵列基板行驱动的输

出信号阶段均为上一行阵列基板行驱动单元的复位阶段。

在 t1 阶段，由于 G (2n-1) 为低电平，且第一薄膜晶体管 M1 为 P 型薄膜晶体管，则 M1 导通，此时时钟 CLK 同为低电平，由于第二薄膜晶体管 M2 为 P 型薄膜晶体管，第三薄膜晶体管 M3 为 N 型薄膜晶体管，则 M2 导通，M3 依旧关闭，此时 G (2n) 输出高电平；

在 t2 阶段，时钟仪器 CLK 为高电平，则第二薄膜晶体管 M2 关闭，第三薄膜晶体管 M3 导通，此时 G (2n) 输出低电平，由于 G (2n) 与第五薄膜晶体管 M5 的栅极连接，且 M5 为 P 型薄膜晶体管，则 M5 导通，并且由于此时 CLK 为高电平，且第六薄膜晶体管 M6 为 N 型薄膜晶体管，第七薄膜晶体管 M7 为 P 型薄膜晶体管，因此，M6 导通，M7 关闭，G (2n+1) 输出高电平；由于 G (2n+1) 与第四薄膜晶体管 M4 的栅极连接，且 M4 为 N 型薄膜晶体管，则 M4 导通，保持 G (2n) 输出低电平，从而完成对 G (2n) 的复位操作；

在 t3 阶段，时钟信号 CLK 为低电平，则 M6 关闭，M7 导通，此时 G (2n+1) 输出低电平，由于 G (2n+1) 与第九薄膜晶体管 M9 的栅极连接，且 M9 为 P 型薄膜晶体管，则 M9 导通，并且由于此时 CLK 为低电平，第十薄膜晶体管 M10 为 P 型薄膜晶体管，第十一薄膜晶体管 M11 为 N 型薄膜晶体管，则 M9 导通，M10 关闭，G (2n+2) 输出高电平；由于 G (2n+2) 与第八薄膜晶体管 M8 的栅极连接，且 M8 为 N 型薄膜晶体管，则 M8 导通，保持 G (2n+1) 输出低电平，从而完成对 G (2n+1) 的复位操作。

基于上述阵列基板行驱动单元，本发明实施例还提供了一种阵列基板行驱动电路，包括一个以上上述阵列基板行驱动单元；并且，

除第一行阵列基板行驱动单元外，每一行阵列基板行驱动单元的信号输入端均与上一行阵列基板行驱动单元的栅极信号输出端连接；

5 除最后一行的阵列基板行驱动单元外，每一行阵列基板行驱动单元的复位端均与下一行阵列基板行驱动单元的栅极信号输出端连接。

在此还记载了按照本发明实施例的一种显示装置，该显示装置包括上述显示面板。该显示装置可以为：液晶面板、电子纸、OLED 面板、液晶电视、液晶显示器、数码相框、手机、平板电脑等任何具有显示功能的产品或部件。

10 以上所述，仅为本发明的示例性实施例而已，并非用于限定本发明的保护范围。凡在本发明的精神和范围之内所作的任何修改、等同替换和改进等，均包含在本发明的保护范围之内。

权 利 要 求 书

1、一种阵列基板行驱动单元，包括：

5 控制模块，用于在上一行阵列基板行驱动单元的栅极驱动信号或起始输入信号的控制下输出时钟信号；

输出模块，与所述控制连接，用于在所述控制模块输出的时钟信号的控制下，将高电压信号输出作为本行栅极驱动信号，以及在所述控制模块输出的时钟信号的控制下，将低电压信号进行输出；

10 复位模块，与所述输出模块连接，用于在下一行阵列基板行驱动单元的栅极驱动信号的控制下，对所述本级栅极驱动信号进行复位。

2、根据权利要求 1 所述的阵列基板行驱动单元，其中，所述控制模块包括第一薄膜晶体管，所述输出模块包括：第二薄膜晶体管和第三薄膜晶体管，所述复位模块包括第四薄膜晶体管；其中，

15 所述第一薄膜晶体管的栅极与上一行阵列基板行驱动单元的栅极驱动信号输出端或起始输入信号连接，所述第一薄膜晶体管的第一极与时钟信号输入端连接，所述第一薄膜晶体管的第二极分别与所述第二薄膜晶体管的栅极和第三薄膜晶体管的栅极连接；

20 所述第二薄膜晶体管的第一极与高电平输出端连接，所述第二薄膜晶体管的第二极分别与所述第三薄膜晶体管的第二极和本行栅极驱动信号输出端连接；

所述第三薄膜晶体管的第二极分别与低电平输出端和所述第四薄膜晶体管的栅极连接；

所述第四薄膜晶体管的栅极与下一行阵列基板驱动单元的栅极驱动信号输出端连接，所述第四薄膜晶体管的第二极与本行栅极驱动信号输出端连接。

25 3、根据权利要求 2 所述的阵列基板行驱动单元，其中，

第一行阵列基板行驱动单元的所述第一薄膜晶体管、第二薄膜晶体管和第四薄膜晶体管为 N 型薄膜晶体管，所述第三薄膜晶体管为 P 型薄膜晶体管。

4、根据权利要求 3 所述的阵列基板行驱动单元，其中，

30 除第一行阵列基板行驱动单元外，奇数行阵列基板行驱动单元的所述第一薄膜晶体管和第三薄膜晶体管为 P 型薄膜晶体管，所述第二薄膜晶体管和第四薄膜晶体管为 N 型薄膜晶体管；

偶数行阵列基板行驱动单元的所述第一薄膜晶体管和第二薄膜晶体管为 P 型薄膜晶体管，所述第三薄膜晶体管和第四薄膜晶体管为 N 型薄膜晶体管。

5、一种阵列基板行驱动电路，所述阵列基板行驱动电路包括一个以上如权利要求 1 至 4 任一项所述的阵列基板行驱动单元；

5 除第一行阵列基板行驱动单元外，每一行阵列基板行驱动单元的信号输入端均与上一行阵列基板行驱动单元的栅极信号输出端连接；

除最后一行的阵列基板行驱动单元外，每一行阵列基板行驱动单元的复位端均与下一行阵列基板行驱动单元的栅极信号输出端连接。

6、一种显示装置，其中，所述显示装置包括如权利要求 5 所述的阵列基板
10 行驱动电路。

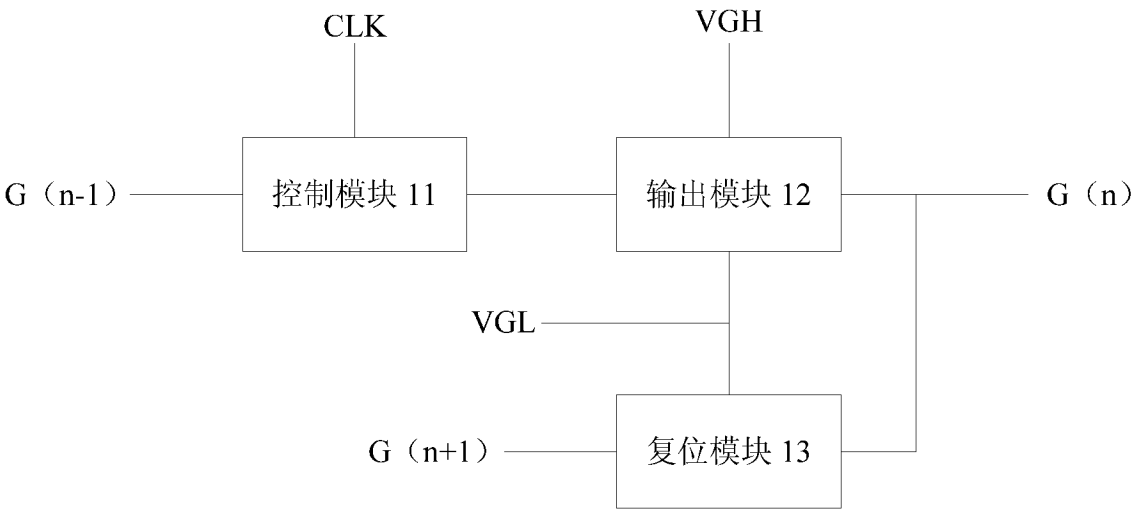


图 1

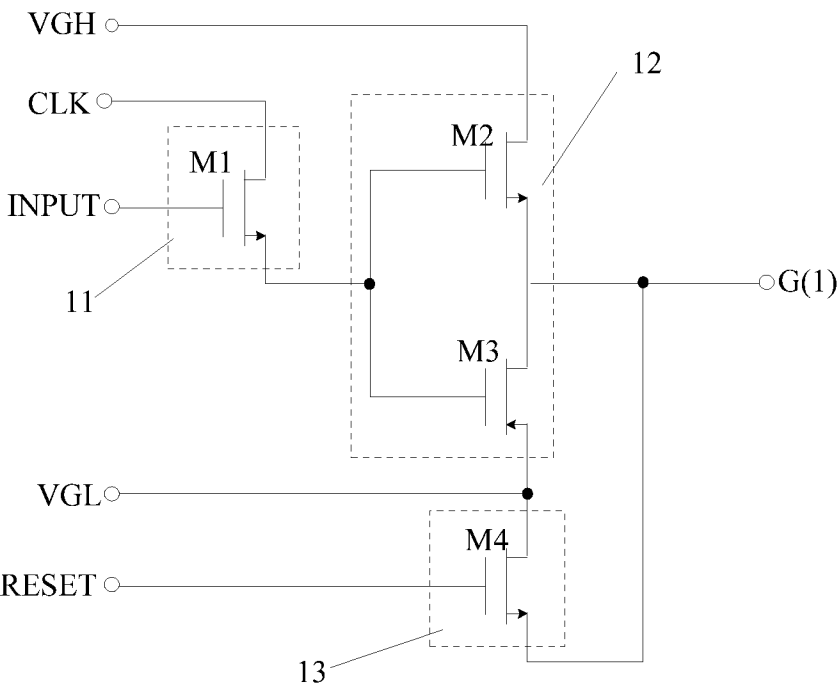


图 2

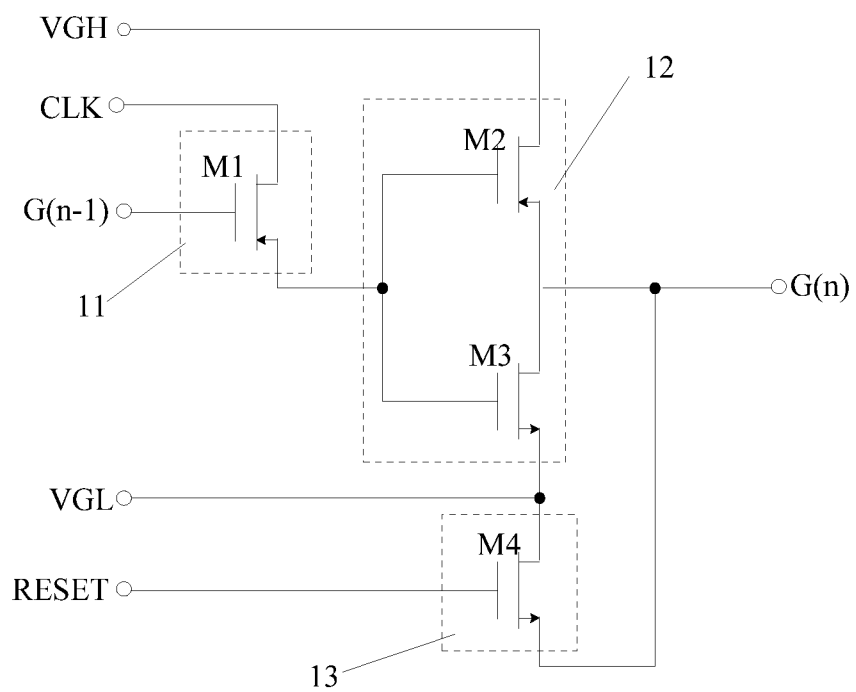


图 3

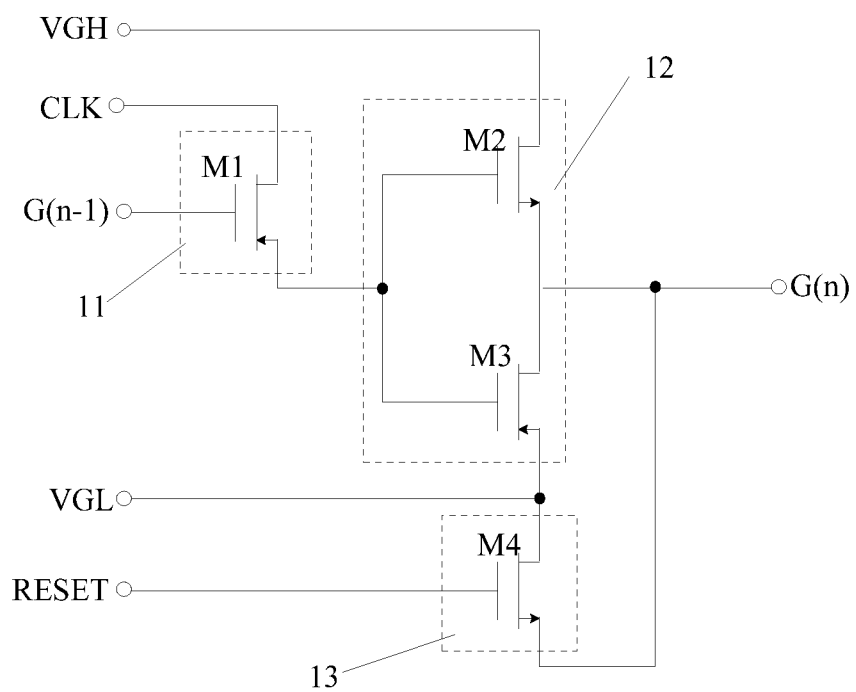


图 4

3/6

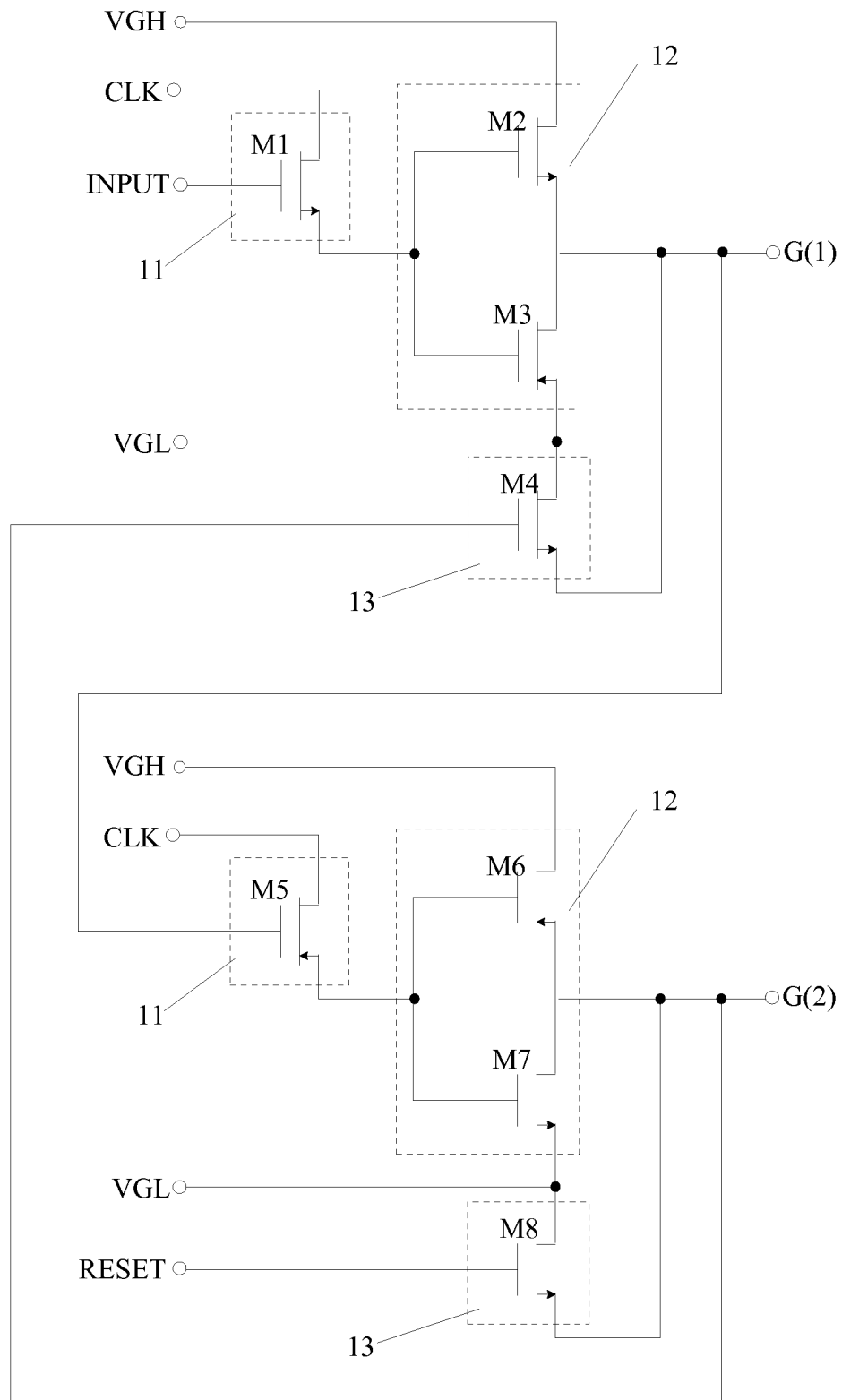


图 5

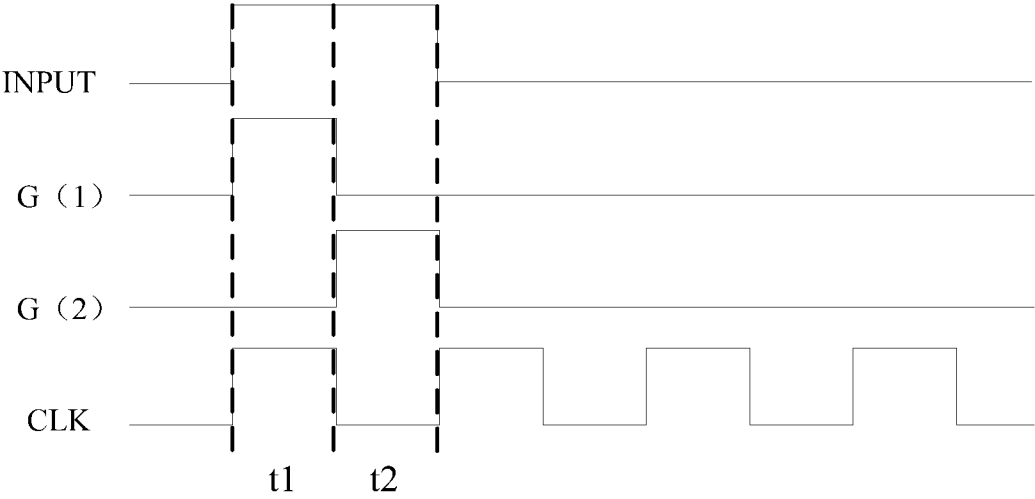


图 6

5/6

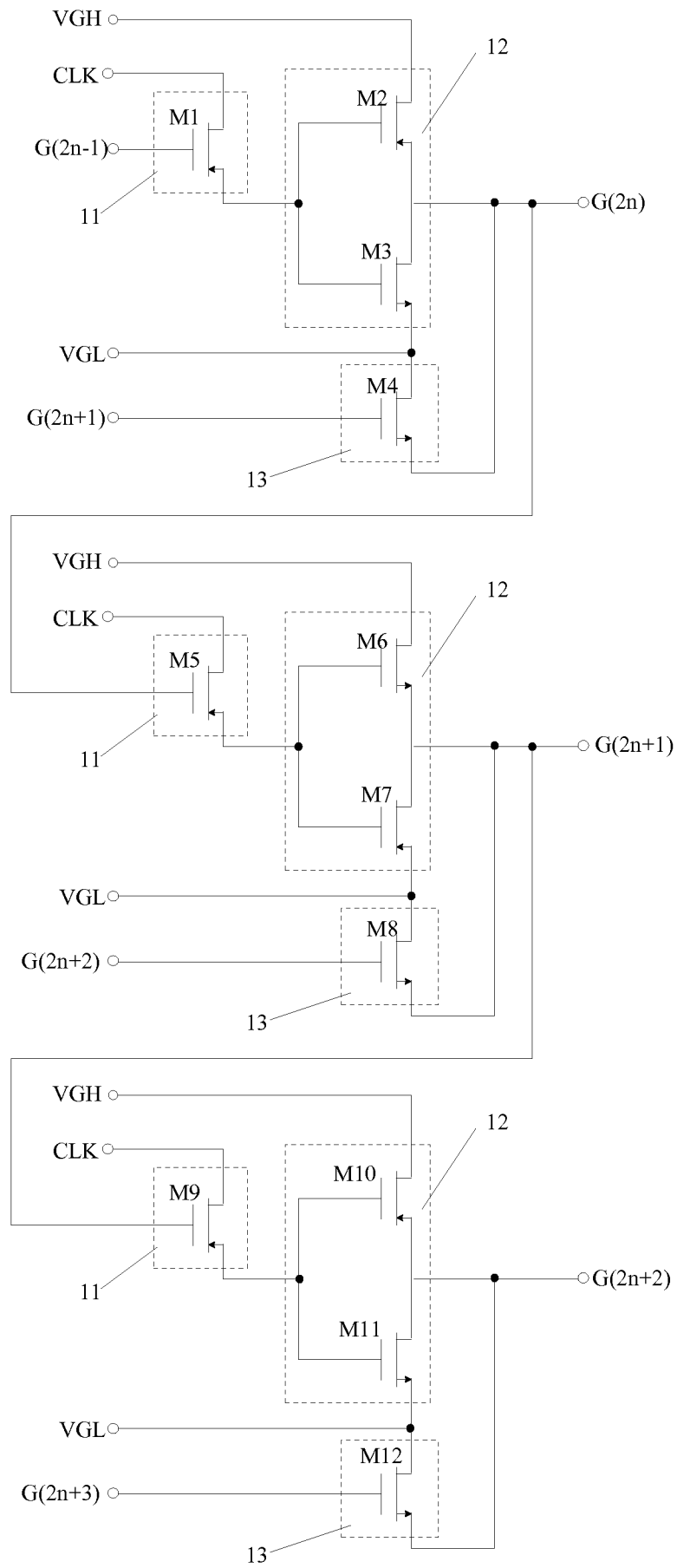


图 7

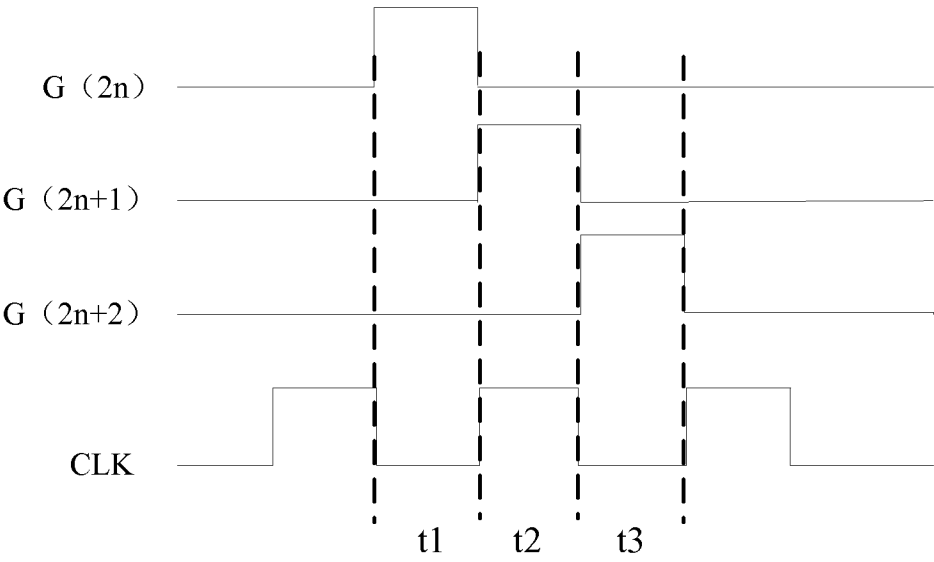


图 8

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2013/088684

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/20 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G 3

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

MOABS; CNMED; CPRSABS; CNABS; TWMED; HKABS; TWABS; VEN: restoration, GOA, decrease, size, SIMPLIFY, GATE, SHIFT

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	TW 200729115 A (AUOP AU OPTRONICS CORP.), 01 August 2007 (01.08.2007), description, page 13, line 17 to page 17, line 12, and figure 5	1, 5-6
X	CN 102629444 A (BEIJING BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.), 08 August 2012 (08.08.2012), description, paragraphs 0027-0059, and figures 1-4	1, 5-6
X	CN 102708796 A (BOE TECHNOLOGY GROUP CO., LTD.), 03 October 2012 (03.10.2012), description, paragraphs 0037-0042, 0054-0059 and 0071-0076, and figures 1-3 and 6	1, 5-6
X	CN 102708778 A (BOE TECHNOLOGY GROUP CO., LTD. et al.), 03 October 2012 (03.10.2012), description, paragraph 0003, and figure 1	1, 5-6
X	CN 102509533 A (AU OPTRONICS CORP.), 20 June 2012 (20.06.2012), description, paragraph 0083, and figures 3-5	1, 5-6
A	CN 102509533 A (AU OPTRONICS CORP.), 20 June 2012 (20.06.2012), description, paragraph 0083, and figures 3-5	2-4

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	
"E" earlier application or patent but published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	"&" document member of the same patent family

Date of the actual completion of the international search 29 April 2014 (29.04.2014)	Date of mailing of the international search report 20 May 2014 (20.05.2014)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer LIU, Jun Telephone No.: (86-10) 62085821

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2013/088684

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
TW 200729115 A	01 August 2007	US 2007171172	26 July 2007
		US 8049703 B2	01 November 2011
		TWI 330820 B	21 September 2010
CN 102629444 A	08 August 2012	KR 20130043637 A	30 April 2013
		WO 2013026387 A1	28 February 2013
		US 2013088265 A1	11 April 2013
CN 102708796 A	03 October 2012	WO 2013127193 A1	06 September 2013
CN 102708778 A	03 October 2012	WO 2013078955 A1	06 June 2013
CN 102509533 A	20 June 2012	TW 201220155 A	16 May 2012
		EP 2450779 A3	29 May 2013
		US 2012113016 A1	10 May 2012
		EP 2450779 A2	09 May 2012
		US 8576187 B2	05 November 2013

A. 主题的分类		
G09G 3/20 (2006.01) i		
按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类		
B. 检索领域		
检索的最低限度文献 (标明分类系统和分类号)		
G09G3		
包含在检索领域中的除最低限度文献以外的检索文献		
在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用))		
MOABS; CNMED; CPRSABS; CNABS; TWMED; HKABS; TWABS; VEN: 复位, 移位, 闸极, GOA, 栅极, 简化, 减小, 尺寸, SIMPLIFY, GATE, SHIFT		
C. 相关文件		
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	TW 200729115A (AUOP AU OPTRONICS CORP) 2007年 8月 01日 (2007 - 08 - 01) 说明书第13页第17行—第17页第12行、附图5	1, 5-6
X	CN 102629444A (北京京东方光电科技有限公司) 2012年 8月 08日 (2012 - 08 - 08) 说明书第0027—0059段、附图1—4	1, 5-6
X	CN 102708796A (BOE TECHNOLOGY GROUP CO LTD) 2012年 10月 03日 (2012 - 10 - 03) 说明书第0037—0042段、0054—0059段、0071—0076段、附图1—3、6	1, 5-6
X	CN 102708778A (京东方科技集团股份有限公司等) 2012年 10月 03日 (2012 - 10 - 03) 说明书第0003段、附图1	1, 5-6
X	CN 102509533A (友达光电股份有限公司) 2012年 6月 20日 (2012 - 06 - 20) 说明书第0083段、附图3-5	1, 5-6
A	CN 102509533A (友达光电股份有限公司) 2012年 6月 20日 (2012 - 06 - 20) 说明书第0083段、附图3-5	2-4
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。		
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件		
国际检索实际完成的日期		国际检索报告邮寄日期
2014年 4月 29日		2014年 5月 20日
ISA/CN的名称和邮寄地址		授权官员
中华人民共和国国家知识产权局 (ISA/CN) 北京市海淀区蓟门桥西土城路6号 100088 中国		刘珺
传真号 (86-10)62019451		电话号码 (86-10)62085821

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2013/088684

检索报告引用的专利文件		公布日 (年/月/日)	同族专利		公布日 (年/月/日)
TW	200729115A	2007年 8月 01日	US	2007171172	2007年 7月 26日
			US	8049703B2	2011年 11月 01日
			TW	I330820B	2010年 9月 21日
CN	102629444A	2012年 8月 08日	KR	20130043637A	2013年 4月 30日
			WO	2013026387A1	2013年 2月 28日
			US	2013088265A1	2013年 4月 11日
CN	102708796A	2012年 10月 03日	WO	2013127193A1	2013年 9月 06日
CN	102708778A	2012年 10月 03日	WO	2013078955A1	2013年 6月 06日
CN	102509533A	2012年 6月 20日	TW	201220155A	2012年 5月 16日
			EP	2450779A3	2013年 5月 29日
			US	2012113016A1	2012年 5月 10日
			EP	2450779A2	2012年 5月 09日
			US	8576187B2	2013年 11月 05日