



- (51) **국제특허분류:**
H01L 29/872 (2006.01) *H01L 29/861* (2006.01)
H01L 21/768 (2006.01) *H01L 29/778* (2006.01)

(21) **국제출원번호:** PCT/KR2016/003853

(22) **국제출원일:** 2016 년 4 월 12 일 (12.04.2016)

(25) **출원언어:** 한국어

(26) **공개언어:** 한국어

(30) **우선권정보:**
10-2015-0070860 2015 년 5 월 21 일 (21.05.2015) KR

(71) **출원인:** 서울반도체 주식회사 (SEOUL SEMICONDUCTOR CO., LTD.) [KR/KR]; 15429 경기도 안산시 단원구 산단로 163 번길 97-11, Gyeonggi-do (KR).

(72) **발명자:** 궤준식 (KWAK, June Sik); 15429 경기도 안산시 단원구 산단로 163 번길 97-11, Gyeonggi-do (KR). 정영도 (JONG, Young Do); 15429 경기도 안산시 단원구 산단로 163 번길 97-11, Gyeonggi-do (KR).

(74) **대리인:** 특허법인에이아이피 (AIP PATENT & LAW FIRM); 06239 서울시 강남구 테헤란로 14 길 30-1, Seoul (KR).

(81) **지정국** (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) **지정국** (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

공개:
— 국제조사보고서와 함께 (조약 제 21 조(3))

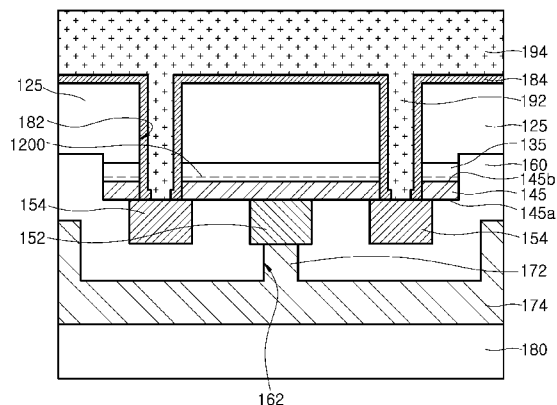
공개:

— 국제조사보고서와 함께 (조약 제 21 조(3))

(54) Title: NITRIDE-BASED DIODE ELEMENT COMPRISING VERTICAL CONTACT STRUCTURE AND PREPARATION METHOD THEREFOR

(54) 발명의 명칭 : 수직형 컨택 구조를 구비하는 질화물계 다이오드 소자 및 이의 제조 방법

10



(S7) Abstract: A nitride-based diode element according to one embodiment comprises: a first nitride-based semiconductor pattern layer comprising a first plane and a second plane facing each other; and a first electrode pattern layer and a second electrode pattern layer arranged on the first plane of the first nitride-based semiconductor pattern layer, and respectively forming a Schottky contact and an Ohmic contact with the first nitride-based semiconductor pattern layer. In addition, the nitride-based diode element comprises: a second nitride-based first semiconductor pattern layer arranged on the second plane of the first nitride-based semiconductor pattern layer, and having an energy band gap different from that of the first nitride-based semiconductor pattern layer; a first electrode pad electrically connected to the first electrode pattern layer by a first vertical contact layer; and a second electrode pad electrically connected to the second electrode pattern layer by a second vertical contact layer, wherein the first electrode pad and the second electrode pad are arranged on opposite sides of each other in a vertical direction on the basis of the first nitride-based semiconductor pattern layer.

(57) 요약서:

[다음 쪽 계속]



일 실시예에 따르는 질화물계 다이오드 소자는 서로 대향하는 제 1 면 및 제 2 면을 구비하는 제 1 질화물계 반도체 패터층, 및 상기 제 1 질화물계 반도체 패터층의 제 1 면 상에 배치되고 상기 제 1 질화물계 반도체 패터층과 각각 쇼트키 접합 및 옴믹 접합을 이루는 제 1 전극 패터층과 제 2 전극 패터층을 구비한다. 또한, 상기 질화물계 다이오드 소자는 상기 제 1 질화물계 반도체 패터층의 제 2 면 상에 배치되고 상기 제 1 질화물계 반도체 패터층과 서로 다른 에너지 밴드 갭을 구비하는 제 2 질화물계 제 1 반도체 패터층, 상기 제 1 전극 패터층과 제 1 수직형 콘택층에 의해 전기적으로 연결되는 제 1 전극 패드, 및 상기 제 2 전극 패터층과 제 2 수직형 콘택층에 의해 전기적으로 연결되는 제 2 전극 패드를 포함한다. 이때, 상기 제 1 전극 패드와 상기 제 2 전극 패드는 상기 제 1 질화물계 반도체 패터층을 기준으로 상하 방향으로 서로 반대쪽에 배치된다.

명세서

발명의 명칭: 수직형 컨택 구조를 구비하는 질화물계 다이오드 소자 및 이의 제조 방법

기술분야

- [1] 본 개시(disclosure)는 대체로(generally) 질화물계 다이오드 소자에 관한 것으로, 보다 상세하게는, 수직형 컨택 구조를 구비하는 질화물계 다이오드 소자 및 이의 제조 방법에 관한 것이다.

배경기술

- [2] 정보통신기술의 발달로 인해, 고속 스위칭 환경이나 고전압 환경에서 동작하는 고내압 전기 소자의 수요가 증가하고 있다. 종래의 실리콘 기반 소자 또는 갈륨비소계 소자는 재료 자체 한계로 인해 업계의 요청에 부응할 만큼 고내압 특성을 가질 수 없다. 이에 반해, 최근에 등장한 질화갈륨계 소자는 종래의 실리콘 소자에 비해 고속 스위칭 동작이 가능하여 초고속 신호 처리에 적합할 뿐만 아니라 소재 자체의 고내압 특성에 의해 고전압 환경에 적합한 장점이 있어 업계의 주목을 받고 있다.
- [3] 한편, 상기 질화물계 소자는 상술한 바와 같이, 고속 스위칭 또는 고전압 환경에서 동작하므로, 동작과정에서 발생하는 열의 방출 문제가 대두되고 있다. 일반적으로, 상기 질화물계 소자는 사파이어, 실리콘과 같은 이종 성장 기판 상에서 에피택셜(epitaxial)로 형성된 질화물계 반도체 패턴층으로 구성되는데, 상기 성장 기판의 열 방출 능력이 충분히 우수하지 않다. 따라서, 상기 질화물계 소자 동작시 상기 성장 기판 방향으로 열을 방출시키는 데에는 한계가 있다. 또한, 상기 질화물계 반도체 패턴층과 상기 이종 성장 기판의 경계에는, 격자 상수 차이로부터 기인하는 각종 결함이 존재하고 있으며, 상기 결함은 누설 전류의 통로가 될 수 있다. 이로 인해, 상기 질화물계 소자의 동작 신뢰성에 영향을 줄 수 있다.
- [4] 또한, 상기 질화물계 소자에는 외부로부터의 전원 공급을 위해, 소정의 크기 이상의 전극 패드가 요청되는데, 이로 인해, 전체 칩 크기를 감소시키는데 어려움이 있다. 상술한 바와 같이, 이종 성장 기판 상에서 질화물계 반도체 패턴층이 적층되어 질화물계 소자를 구성하는 경우, 동일 평면 상에 서로 다른 극성의 전극 패드가 배치되므로, 질화물계 반도체 소자는 상기 전극 패드의 배치를 위해 충분한 면적이 요청된다. 최근에는 전기 소자의 크기 감소 추세에 따라, 상기 전극 패드의 효율적 배치와 관련되는 새로운 기술이 요청되고 있다.

발명의 상세한 설명

기술적 과제

- [5] 본 개시의 실시 예는 다이오드 소자에 있어서, 서로 다른 극성의 전극 패드의 면적을 줄일 수 있는 질화물계 다이오드 소자의 구조를 제시한다.

- [6] 본 개시의 실시 예는 열 방출 능력을 향상시킬 수 있는 질화물계 다이오드 소자 구조를 제공한다.
- [7] 본 개시의 실시 예는 상술한 구조의 질화물계 다이오드 소자를 제조하는 방법을 제공한다.

과제 해결 수단

- [8] 일 측면에 따르는 질화물계 다이오드 소자가 개시된다. 상기 질화물계 다이오드 소자는 서로 대향하는 제1 면 및 제2 면을 구비하는 제1 질화물계 반도체 패턴층, 및 상기 제1 질화물계 반도체 패턴층의 제1 면 상에 배치되고 상기 제1 질화물계 반도체 패턴층과 각각 쇼트키 접합 및 오믹 접합을 이루는 제1 전극 패턴층과 제2 전극 패턴층을 구비한다. 또한, 상기 질화물계 다이오드 소자는 상기 제1 질화물계 반도체 패턴층의 제2 면 상에 배치되고 상기 제1 질화물계 반도체 패턴층과 서로 다른 에너지 밴드갭을 구비하는 제2 질화물계 제1 반도체 패턴층, 상기 제1 전극 패턴층과 제1 수직형 컨택층에 의해 전기적으로 연결되는 제1 전극 패드, 및 상기 제2 전극 패턴층과 제2 수직형 컨택층에 의해 전기적으로 연결되는 제2 전극 패드를 포함한다. 이때, 상기 제1 전극 패드와 상기 제2 전극 패드는 상기 제1 질화물계 반도체 패턴층을 기준으로 상하 방향으로 서로 반대쪽에 배치된다.
- [9] 다른 측면에 따르는 질화물계 다이오드 소자의 제조 방법이 개시된다. 상기 질화물계 다이오드 소자의 제조 방법에 있어서, 기판 상에 도펀트에 의해 도핑되지 않은 제2 질화물계 제2 반도체 패턴층, n형 또는 p형 도펀트에 의해 도핑되는 제2 질화물계 제1 반도체 패턴층, 및 제1 질화물계 반도체 패턴층이 순차적으로 형성된 기판 구조물을 준비한다. 이때, 상기 제1 질화물계 반도체 패턴층과 상기 제2 질화물계 제1 및 제2 반도체 패턴층은 서로 다른 에너지 밴드갭을 가지는 물질을 포함한다. 상기 제1 질화물계 반도체 패턴층 상에서 상기 제1 질화물계 반도체 패턴층과 각각 쇼트키 접합 및 오믹 접합을 이루는 제1 전극 패턴층 및 제2 전극 패턴층을 형성한다. 상기 제1 전극 패턴층 및 상기 제2 전극 패턴층을 덮는 절연성 보호층을 상기 기판 상에 형성한다. 상기 절연성 보호층을 선택적으로 식각하여 상기 제1 전극 패턴층 및 상기 제2 전극 패턴층 중 선택되는 어느 하나를 노출시키는 제1 컨택 패턴을 형성한다. 상기 제1 컨택 패턴을 채우며 상기 절연성 보호층 상에 위치하는 전도성 접합층을 형성하고, 상기 전도성 접합층 상에 제1 전극 패드를 적층한다. 상기 기판을 상기 제2 질화물계 제2 반도체 패턴층로부터 분리하여 제거하고, 상기 제2 질화물계 제2 반도체 패턴층을 노출시킨다. 상기 제2 질화물계 제2 반도체 패턴층, 상기 제2 질화물계 제1 반도체 패턴층, 및 상기 제1 질화물계 반도체 패턴층을 선택적으로 식각하여 상기 제1 전극 패턴층 및 상기 제2 전극 패턴층 중 선택되지 않은 나머지 하나를 노출시키는 제2 컨택 패턴을 형성한다. 상기 제2 컨택 패턴을 채우며, 상기 제1 전극 패턴층 및 상기 제2 전극 패턴층 중 선택되지 않은 나머지

하나와 전기적으로 연결되는 제2 전극 패드를 형성한다.

발명의 효과

- [10] 본 개시의 일 실시 예에 의하면, 제1 질화물계 반도체 패턴층과 각각 쇼트키 접합 및 오믹 접합을 이루는 제1 전극 패턴층 및 제2 전극 패턴층을 형성한다. 이어서, 상기 제1 전극 패턴층 및 상기 제2 전극 패턴층과 수직형 컨택층을 통하여 연결되는 제1 전극 패드 및 제2 전극 패드를 형성하되, 상기 제1 질화물계 반도체 패턴층을 기준으로 상하 방향으로 서로 반대쪽에 배치한다. 이와 같이, 상하 방향으로 제1 전극 패드 및 제2 전극 패드를 배치함으로써, 하나의 평면 상에서 제1 전극 패드 및 제2 전극 패드 중 어느 하나만 위치시킬 수 있어서, 전극 패드의 효율적인 배치가 가능해질 수 있다. 이로 인해, 전체 칩의 크기를 감소시킬 수 있다.
- [11] 또한, 사파이어와 같은 열전도율이 열악한 성장 기판을 제거하고, 열방출 효율이 우수한 전도성 전극 패드를 적용함으로써, 상기 전극 패드를 통한 질화물계 소자의 열 방출 능력을 개선할 수 있다. 이를 통해, 질화물계 소자의 고온 동작의 신뢰성을 향상시킬 수 있다. 또한, 상기 성장 기판을 적용하지 않음으로써, 상기 성장 기판과 질화물계 반도체층과의 계면에 위치하는 결함에 의해 발생하는 동작 신뢰성 저하를 방지할 수 있다.

도면의 간단한 설명

- [12] 도 1은 본 개시의 제1 실시 예에 따르는 질화물계 다이오드 소자를 개략적으로 나타내는 단면도이다.
- [13] 도 2는 본 개시의 제2 실시 예에 따르는 질화물계 다이오드 소자를 개략적으로 나타내는 단면도이다.
- [14] 도 3 내지 도 12는 본 개시의 일 실시 예에 따르는 질화물계 다이오드 소자의 제조 방법을 개략적으로 나타내는 단면도이다.
- [15] 도 13은 본 개시의 다른 실시 예에 따르는 질화물계 다이오드 소자의 제조 방법을 개략적으로 나타내는 단면도이다.
- [16] (부호의 설명)
- [17] 10 20: 질화물계 다이오드 소자,
- [18] 110: 기판, 112: 질화물계 버퍼층,
- [19] 120: 제2 질화물계 제2 반도체층, 125: 제2 질화물계 제2 반도체 패턴층,
- [20] 130: 제2 질화물계 제1 반도체층, 135: 제2 질화물계 제1 반도체 패턴층,
- [21] 140: 제1 질화물계 반도체층, 145: 제1 질화물계 반도체 패턴층,
- [22] 152: 제1 전극 패턴층, 154: 제2 전극 패턴층,
- [23] 160: 절연층, 162: 제1 컨택 패턴, 172: 제1 수직형 컨택층,
- [24] 174: 전도성 접합층, 180: 제1 전극 패드,
- [25] 182: 제2 컨택 패턴, 184: 절연층,
- [26] 192: 제2 수직형 컨택층, 194: 제2 전극 패드,

- [27] 262: 제2 컨택 패턴, 272: 제2 수직형 컨택층,
- [28] 274: 전도성 접합층, 282: 제1 컨택 패턴, 284: 절연층,
- [29] 292: 제1 수직형 컨택층, 294: 제2 전극 패드,
- [30] 1200: 2DEG층.

발명의 실시를 위한 최선의 형태

- [31] 이하, 첨부한 도면들을 참조하여, 본 개시의 실시 예들을 보다 상세하게 설명하고자 한다. 그러나 본 개시에 개시된 기술은 여기서 설명되는 실시 예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 도면에서 각 장치의 구성요소를 명확하게 표현하기 위하여 상기 구성요소의 폭이나 두께 등의 크기를 다소 확대하여 나타내었다.
- [32] 본 명세서에서 일 요소가 다른 요소 위에 위치하는 것으로 언급되는 경우, 이는 상기 일 요소가 다른 요소 위에 바로 위치하거나 또는 그들 요소들 사이에 추가적인 요소가 개재될 수 있다는 의미를 모두 포함한다. 본 명세서에서, '상부' 또는 '하부'라는 용어는 관찰자의 시점에서 설정된 상대적인 개념으로, 관찰자의 시점이 달라지면, '상부'가 '하부'를 의미할 수도 있고, '하부'가 '상부'를 의미할 수도 있다.
- [33] 복수의 도면들 상에서 동일 부호는 실질적으로 서로 동일한 요소를 지칭한다. 또, 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한 복수의 표현을 포함하는 것으로 이해되어야 하고, '포함하다' 또는 '가지다' 등의 용어는 기술되는 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [34] 본 명세서에서, 일 반도체층과 다른 반도체층 사이의 계면 영역이라 함은, 일 반도체층과 다른 반도체층의 경계면 뿐만 아니라, 상기 경계면과 인접하는 일 반도체층 또는 다른 반도체층의 표면으로부터 소정 깊이의 내부 영역을 포괄하는 것으로 해석될 수 있다.
- [35] 본 명세서에서, 질화물계 반도체층은 일 예로서, $\text{Al}_x\text{In}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x \leq 1, 0 \leq y \leq 1$)과 같은 질화물을 포함할 수 있다. 상기 질화물계 반도체층은 일 예로서, 금속유기화학기상증착법(Metal Organic Chemical Vapor Deposition), 분자빔에피택시(Molecular Beam Epitaxy), 수소화기상증착에피택시(Hydride Vapor Phase Epitaxy) 등과 같은 방법을 이용하여 형성할 수 있다.
- [36] 본 명세서에서, n형 또는 p형으로 도핑된다는 의미는, n형은 도펀트가 약 $1\text{E}16/\text{cm}^3$ 이상, p형은 도펀트가 $1\text{E}17/\text{cm}^3$ 이상 질화물계 반도체층 내에 주입되는 것을 의미할 수 있다.
- [37] 본 명세서에서, 질화물계 반도체층을 n형 또는 p형으로 도핑할 때, 일 예로서, n형으로 도핑하는 경우, 도펀트로서 실리콘(Si)을 적용할 수 있으며, p형으로

도핑하는 경우, 도펀트로서 베릴륨(Be), 마그네슘(Mg), 칼슘(Ca), 탄소(C), 철(Fe), 망간(Mn) 등을 적용할 수 있다.

[38]

[39] 도 1은 본 개시의 제1 실시 예에 따르는 질화물계 다이오드 소자를 개략적으로 나타내는 단면도이다. 도 1을 참조하면, 질화물계 다이오드 소자(10)는 제1 질화물계 반도체 패터층(145), 제2 질화물계 제1 반도체 패터층(135), 제2 질화물계 제2 반도체 패터층(125), 제1 전극 패터층(152), 제2 전극 패터층(154)를 포함할 수 있다. 제1 전극 패터층(152)는 제1 수직형 컨택층(172) 및 전도성 접합층(174)에 의해 제1 전극 패드(180)와 전기적으로 연결될 수 있다. 제2 전극 패터층(154)는 제2 수직형 컨택층(192)에 의해 제2 전극 패드(194)와 전기적으로 연결될 수 있다. 제1 전극 패드(180)는 제1 질화물계 반도체 패터층(145)의 제1 면(145a)의 상부 방향에 배치되며, 제2 전극 패드(194)는 제1 질화물계 반도체 패터층(145)의 제2 면(145b)의 상부 방향에 배치될 수 있다.

[40] 제1 질화물계 반도체 패터층(145)는 서로 대향하는 제1 면(145a) 및 제2 면(145b)을 구비할 수 있다. 제2 질화물계 제1 반도체 패터층(135)는 제1 질화물계 반도체 패터층(145)의 제2 면(145b) 상에 배치될 수 있다. 제1 질화물계 반도체 패터층(145)과 제2 질화물계 제1 반도체 패터층(135)는 서로 다른 에너지 밴드갭을 구비할 수 있다. 이로 인해, 제1 질화물계 반도체 패터층(145)과 제2 질화물계 제1 반도체 패터층(135)의 계면에서는, 압전 효과 및 분극 효과에 따른 2DEG(two-dimensional electron gas)층(1200)이 형성될 수 있다. 일 예로서, 제1 질화물계 반도체 패터층(145)은 AlGa_xN_{1-x}층이며, 제2 질화물계 제1 반도체 패터층(135)은 GaN층일 수 있다.

[41] 제2 질화물계 제2 반도체 패터층(125)가 제2 질화물계 제1 반도체 패터층(135)의 일면 상에 배치될 수 있다. 일 실시 예에 있어서, 제2 질화물계 제1 반도체 패터층(135)는 n형 또는 p형으로 도핑될 수 있으며, 제2 질화물계 제2 반도체 패터층(125)은 도펀트에 의해 도핑되지 않을 수 있다.

[42] 일 예로서, 제1 질화물계 반도체 패터층(145)이 AlGa_xN_{1-x}층이며, 제2 질화물계 제1 반도체 패터층(135)이 n형 도핑되는 GaN층인 경우, 제2 질화물계 제2 반도체 패터층(125)은 도펀트에 의해 도핑되지 않은 GaN층일 수 있다.

[43] 제1 전극 패터층(152)는 제1 질화물계 반도체 패터층(145)의 제1 면(145a) 상에 배치되고, 제1 질화물계 반도체 패터층(145)과 쇼트키 접합을 이룰 수 있다. 제1 전극 패터층(152)는 Ni, Au, Pd, 또는 Pt를 포함하는 금속층이거나, 또는 이들 금속층의 둘 이상의 적층 구조일 수 있다. 구체적인 일 예로서, 제1 질화물계 반도체 패터층(145)이 AlGa_xN_{1-x}층일 때, 제1 전극 패터층(152)은 Ni층과 Au층이 순차적으로 적층된 구조일 수 있다.

[44] 제2 전극 패터층(154)는 제1 질화물계 반도체 패터층(145)의 제1 면(145a) 상에서, 제1 전극 패터층(152)과 이격하여 배치될 수 있다. 제2 전극 패터층(154)는 제1 질화물계 반도체 패터층(145)과 오믹 접합을 이룰 수 있다.

제2 전극 패턴층(154)는 Ti 및 Al 중 선택되는 적어도 하나의 금속층을 포함하는 계면층 및 상기 계면층 상에서 Ni, Au, Mo, 또는 W를 포함하는 금속층이거나, 또는 이들 금속층의 둘 이상의 적층 구조일 수 있다. 구체적인 일 예로서, 제1 질화물계 반도체 패턴층(145)가 AlGaIn층일 때, 제2 전극 패턴층(154)는 Ti층, Al층, Ni층, 및 Au층이 순차적으로 적층된 구조일 수 있다.

[45] 도 1을 다시 참조하면, 제1 질화물계 반도체 패턴층(145)의 제1 면(145a) 상에는 제1 전극 패턴층(152) 및 제2 전극 패턴층(154)을 덮는 절연성 보호층(160)이 배치될 수 있다. 절연성 보호층(160) 내에는 제1 전극 패턴층(152)을 선택적으로 노출시키는 제1 콘택 패턴(162)이 형성될 수 있다. 제1 콘택 패턴(162)의 내부에는 제1 수직형 콘택층(172)이 배치될 수 있다. 한편, 제1 콘택 패턴(162) 외부의 절연성 보호층(160) 상에는 전도성 접합층(174)이 배치될 수 있다.

[46] 제1 전극 패드(180)는 제1 수직형 콘택층(172) 및 전도성 접합층(174)에 의해서, 제1 전극 패턴층(152)과 전기적으로 연결될 수 있다. 제1 수직형 콘택층(172)와 전도성 접합층(174)은 동일 물질을 포함할 수 있으며, 구체적인 예에서, 제1 수직형 콘택층(172)와 전도성 접합층(174)은 동일 물질로 형성될 수 있다. 제1 수직형 콘택층(172)와 전도성 접합층(174)는 일 예로서, 솔더 물질을 포함할 수 있다. 제1 수직형 콘택층(172)와 전도성 접합층(174)는 다른 예로서, Ti, Ni, Au, AuSn, Mo, W 또는 이들의 둘 이상의 결합을 포함할 수 있다.

[47] 제1 전극 패드(180)는 또한, 방열층으로 기능할 수 있다. 이를 위해, 제1 금속 패드(180)는 열전도율이 높은 Au, Mo, Cu, Al, AlN 또는 이들의 둘 이상의 결합을 포함할 수 있다. 제1 금속 패드(180)는 별도로 기판 형태로 준비된 후에, 전도성 접합층(174)에 의해, 절연성 보호층(160) 상에 접합될 수 있다.

[48] 제2 전극 패드(194)는 제2 수직형 콘택층(192)에 의해 제2 전극 패턴층(154)와 전기적으로 연결될 수 있다. 제2 수직형 콘택층(192)은, 제1 질화물계 반도체 패턴층(145), 제2 질화물계 제1 및 제2 반도체 패턴층(135, 125)을 관통하여 제2 전극 패턴층(154)을 노출시키는 제2 콘택 패턴(182)의 내부에 형성될 수 있다. 제2 수직형 콘택층(192)과 제2 전극 패드(194)는 동일한 물질을 포함할 수 있으며, 구체적인 예에서, 제2 수직형 콘택층(192)과 제2 전극 패드(194)는 동일 물질로 형성될 수 있다. 일 예로서, 제2 수직형 콘택층(192)과 제2 전극 패드(194)는 Ti, Al, Ni, Au, Mo, W층 이거나, 이들의 둘 이상의 적층 구조일 수 있다.

[49] 제2 콘택 패턴(182)의 내부 및 제2 질화물계 제2 반도체층(125)의 상부에는 절연층(184)이 배치될 수 있다. 절연층(184)은, 제2 수직형 콘택층(192) 또는 제2 전극 패드(194)와, 제1 질화물계 반도체 패턴층(145) 및 제2 질화물계 제1 및 제2 반도체 패턴층(135, 125) 사이의 전기적 절연을 이루도록 한다.

[50]

[51] 이하에서는, 상술한 질화물계 다이오드 소자의 동작 방식을 개략적으로 설명한다. 질화물계 다이오드 소자(10)는 제1 전극 패턴층(152)과 제1 질화물계

반도체 패턴층(145)이 쇼트키 접합을 이루는 쇼트키 장벽 다이오드일 수 있다.

- [52] 제1 전극 패드(180)과 제2 전극 패드(194) 사이에서 순방향 바이어스가 인가되는 경우, 제1 전극 패턴층(152)과 제1 질화물계 반도체 패턴층(145) 사이의 쇼트키 장벽을 극복하여 전하가 이동할 수 있다. 상기 전하는 에너지 밴드 경사를 따라 제1 질화물계 반도체 패턴층(145)과 제2 질화물계 제1 반도체 패턴층(135)의 경계 영역으로 유동하여, 2DEG층(1200) 내로 이동할 수 있다. 이후에, 상기 전하는 2DEG층(1200)내에서 측면 방향으로 이동한 후에 제1 질화물계 반도체 패턴층(145)을 거쳐서 제2 전극 패턴층(154) 및 제2 전극 패드(194)로 이동하여, 순방향의 전류 흐름을 발생시킬 수 있다.
- [53] 다르게는, 제1 전극 패드(180)과 제2 전극 패드(194) 사이에서 순방향 바이어스가 인가되는 경우, 제1 전극 패턴층(152)과 제1 질화물계 반도체 패턴층(145) 사이의 쇼트키 장벽을 극복하여 제1 질화물계 반도체 패턴층(145) 내로 전하가 이동한 후, 제1 질화물계 반도체 패턴층(145) 내에서 측면 방향으로 이동하여 제2 전극 패턴층(154) 및 제2 전극 패드(194)로 이동하여, 순방향의 전류 흐름을 발생시킬 수 있다.
- [54] 반대로, 제1 전극 패드(180)과 제2 전극 패드(194) 사이에 역방향 바이어스가 인가되는 경우, 전하는 제1 전극 패턴층(152)과 제1 질화물계 반도체 패턴층(145) 사이의 쇼트키 장벽을 극복하지 못함으로써, 제1 전극 패드(180)과 제2 전극 패드(194) 사이에서 전도하지 못한다. 이로써, 전류 흐름이 발생하지 않는다. 상술한 동작 방법에 의해, 질화물계 다이오드 소자가 동작할 수 있다.
- [55] 상술한 바와 같이, 본 실시 예의 질화물계 다이오드 소자 구조에서, 제1 전극 패드(180)과 제2 전극 패드(194)는 제1 질화물계 반도체 패턴층(145)를 기준으로 상하 방향으로 서로 반대쪽에 배치되고, 제1 및 제2 수직형 컨택층(172, 192)에 의해 제1 및 제2 전극 패턴층(152, 154)과 연결될 수 있다. 상하 방향으로, 하나의 평면 상에서 제1 전극 패드 및 제2 전극 패드 중 어느 하나만 배치시킬 수 있어서, 전극 패드의 효율적인 배치가 가능해진다. 그 결과, 전체 다이오드 소자의 크기를 감소시킬 수 있다.
- [56] 한편, 전극 패드(180, 194)로서 열전도율이 높은 금속층을 적용함으로써, 전극 패드(180, 194)를 통한 질화물계 소자의 열 방출 능력을 개선할 수 있다. 이를 통해, 질화물계 소자의 고온 동작의 신뢰성을 향상시킬 수 있다.
- [57]
- [58] 도 2는 본 개시의 제2 실시 예에 따르는 질화물계 다이오드 소자를 개략적으로 나타내는 단면도이다. 도 2를 참조하면, 질화물계 다이오드 소자(20)는, 제1 실시 예에 따르는 질화물계 다이오드 소자(10)와 대비할 때, 제1 수직형 컨택층(172) 및 제2 수직형 컨택층(292)의 배치가 서로 차별된다. 이하에서는, 중복을 배제하기 위하여, 차별되는 구성을 중심으로 설명하기로 한다.
- [59] 도 2를 참조하면, 제1 전극 패턴층(152)는 제1 질화물계 반도체 패턴층(145)와 쇼트키 접합을 이루며, 제2 전극 패턴층(154)는 제1 질화물계 반도체층(145)와

오믹 접합을 이룰 수 있다. 제1 질화물계 반도체 패턴층(145)의 제1 면(145a) 상에는 제1 전극 패턴층(152) 및 제2 전극 패턴층(154)을 덮는 절연성 보호층(160)이 배치될 수 있다.

[60] 도면을 참조하면, 제1 전극 패드(294)는 제1 질화물계 반도체 패턴층(145)의 제2 면(145b)의 상부 방향에 배치되며, 제2 전극 패드(280)는 제1 질화물계 반도체 패턴층(145)의 제1 면(145a)의 상부 방향에 배치될 수 있다.

[61] 제1 전극 패드(294)는 제1 수직형 컨택층(292)에 의하여 제1 전극 패턴층(152)과 전기적으로 연결될 수 있다. 제1 수직형 컨택층(292)는 제1 질화물계 반도체 패턴층(145), 제2 질화물계 제1 및 제2 반도체 패턴층(135, 125)을 관통하여 제1 전극 패턴층(152)을 노출시키는 제1 컨택 패턴(282) 내부에 형성될 수 있다.

[62] 제2 전극 패드(280)는 제2 수직형 컨택층(272) 및 전도성 접합층(274)에 의해 제2 전극 패턴층(154)과 전기적으로 연결될 수 있다. 제2 수직형 컨택층(272)는 절연성 보호층(160) 내에서 제2 전극 패턴층(154)을 선택적으로 노출시키는 제2 컨택 패턴(262)의 내부를 채우도록 형성될 수 있다. 전도성 접합층(274)는 제2 수직형 컨택층(272)과 동일 물질을 포함할 수 있다. 전도성 접합층(274)는 제2 전극 패드(280)와 접합할 수 있다. 제2 전극 패드(280)는 방열층으로 기능할 수 있다.

[63] 상술한 구조에서, 제1 전극 패드(180)와 제2 전극 패드(194)는 제1 질화물계 반도체 패턴층(145)를 기준으로 상하 방향으로 서로 반대쪽에 배치될 수 있다. 상하 방향으로, 하나의 평면 상에서 제1 전극 패드 및 제2 전극 패드 중 어느 하나만 배치시킬 수 있어서, 전극 패드의 효율적인 배치가 가능해진다. 그 결과, 전체 다이오드 소자의 크기를 감소시킬 수 있다.

[64]

[65] 도 3 내지 도 12는 본 개시의 일 실시 예에 따르는 질화물계 다이오드 소자의 제조 방법을 개략적으로 나타내는 단면도이다. 도 3을 참조하면, 기판(110) 상에 질화물계 버퍼층(112), 제2 질화물계 제2 반도체층(120), 제2 질화물계 제1 반도체층(130) 및 제1 질화물계 반도체층(140)을 순차적으로 형성한다. 질화물계 버퍼층(112), 제2 질화물계 제2 반도체층(120), 제2 질화물계 제1 반도체층(130) 및 제1 질화물계 반도체층(140)은 에피택셜 공정에 의해 순차적으로 형성될 수 있다.

[66] 기판(110)은, 일 예로서, 질화물계 물질과는 다른 물질을 포함하는 이종 기판일 수 있다. 기판(110)은 일 예로서, 사파이어, Si, SiC 등의 재질을 포함할 수 있다. 기판(110)은 질화물계 반도체층을 에피택셜로 성장시키기 위한 성장 기판일 수 있다.

[67] 질화물계 버퍼층(112)은 일 예로서, 기판(110)과 기판(110) 상에 적층되는 질화물계 반도체층과의 격자 상수 차이를 감소시켜 기판(110)과 질화물계 반도체층 사이의 계면에서의 응력을 감소시키는 기능을 수행할 수 있다. 일 실시 예에서, 기판(110)이 사파이어 기판인 경우, 질화물계 버퍼층(112)은 GaN층일 수

있다.

- [68] 제1 질화물계 반도체층(140)과 제2 질화물계 제1 및 제2 반도체층(120, 130)은 서로 다른 에너지 밴드갭을 구비할 수 있다. 제2 질화물계 제1 반도체층(130)은 도펀트에 의해 n형 또는 p형으로 도핑될 수 있으며, 제2 질화물계 제2 반도체층(120)은 도펀트에 의해 도핑되지 않을 수 있다. 일 실시 예에 있어서, 제1 질화물계 반도체층(140)이 AlGaN층, 제2 질화물계 제1 반도체층(130)이 n형으로 도핑된 GaN층, 제2 질화물계 제2 반도체층(120)이 도펀트에 의해 도핑되지 않은 GaN층일 수 있다.
- [69] 도시되지 않았지만, 제1 질화물계 반도체층(140)과 제2 질화물계 제1 반도체층(120) 사이의 계면 영역에 2DEG층이 형성될 수 있다.
- [70] 도 4를 참조하면, 메사 식각 공정을 수행하여, 제1 질화물계 반도체층(140), 제2 질화물계 제1 반도체층(130) 및 제2 질화물계 제2 반도체층(120)을 패터닝함으로써, 제1 질화물계 반도체 패터층(145), 제2 질화물계 제1 반도체 패터층(135) 및 제2 질화물계 제2 반도체 패터층(125)을 형성한다.
- [71] 도 5를 참조하면, 제1 질화물계 반도체 패터층(145) 상에 제1 전극 패터층(152)을 형성한다. 제1 전극 패터층(152)은 제1 질화물계 반도체 패터층(145)과 쇼트키 접합을 이룰 수 있다.
- [72] 제1 전극 패터층(152)은 Ni, Au, Pd, 및 Pt로 이루어지는 그룹에서 선택되는 적어도 하나의 금속층을 순차적으로 형성한 후에, 상기 금속층을 패터닝함으로써 형성할 수 있다. 구체적인 일 예에서, 제1 질화물계 반도체 패터층(145)이 AlGaN층일 때, 제1 전극 패터층(152)은 Ni층과 Au층이 순차적으로 적층된 구조일 수 있다.
- [73] 도 6을 참조하면, 제1 전극 패터층(152)과 인접하여, 제2 전극 패터층(154)을 제1 전극 패터층(152)을 형성한다. 제2 전극 패터층(154)은 제1 질화물계 반도체 패터층(145)과 오믹 접합을 이룰 수 있다. 제2 전극 패터층(154)을 형성하는 과정은 다음과 같이 진행할 수 있다. 먼저, Ti 및 Al 중 선택되는 적어도 하나의 금속층을 포함하는 계면층을 형성하고, 상기 계면층 상에 Ni, Au, Mo, 및 W으로 이루어지는 그룹에서 선택되는 적어도 하나의 금속층을 형성한다. 이어서, 상기 금속층과 상기 계면층을 패터닝함으로써, 제2 전극 패터층(154)을 형성할 수 있다. 구체적인 일 실시 예로서, 제1 질화물계 반도체 패터층(145)이 AlGaN층일 때, 제2 전극 패터층(154)은 Ti층, Al층, Ni층, 및 Au층이 순차적으로 적층된 구조일 수 있다.
- [74] 도 7을 참조하면, 제1 전극 패터층(152) 및 제2 전극 패터층(154)을 덮는 절연성 보호층(160)을 기판(110) 상에 형성한다. 절연성 보호층(160)은 일 예로서, SiO₂, SiN, Al₂O₃, PSG, BPSG 등과 같은 물질을 포함할 수 있다. 절연성 보호층(160)은 일 예로서, 화학적 기상 증착법, 코팅법 등과 같은 공정으로 형성할 수 있다.
- [75] 도 8을 참조하면, 절연성 보호층(160)을 선택적으로 식각하여 제1 전극 패터층(152)을 노출시키는 제1 컨택 패터(162)을 형성한다.

- [76] 도 9를 참조하면, 제1 컨택 패턴(162)을 채우며 절연성 보호층(160) 상에 위치하는 전도성 접합층(174)을 형성한다. 이를 위해, 일 예로서, Ti, Ni, Au, AuSn, Mo 또는 W층을 화학기상증착법, 스퍼터링법, 또는 코팅법에 의해 상기 절연성 보호층(160) 상에 형성하거나, 상술한 종류의 금속의 복층 구조를 화학기상증착법, 스퍼터링법, 또는 코팅법으로 형성할 수 있다. 제1 컨택 패턴(162) 내부에 형성되는 전도성 접합층(174)은 제1 수직형 컨택층(172)을 구성할 수 있다.
- [77] 이어서, 전도성 접합층(174) 상에 제1 전극 패드(180)를 적층한다. 제1 전극 패드(180)는, 열전도율이 높은 Au, Mo, Cu, Al, AlN 또는 이들의 둘 이상의 결합을 포함할 수 있다. 제1 금속 패드(180)는 별도로 기판 형태로 준비된 후에, 전도성 접합층(174)에 의해, 절연성 보호층(160) 상에 접합될 수 있다.
- [78] 도 10을 참조하면, 제2 질화물계 제2 반도체 패턴층(125)과 질화물계 버퍼층(112) 사이의 경계를 서로 분리시킨다. 이를 위해, 일 예로서, 레이저 리프트 오프 공정이 적용될 수 있다. 결과적으로, 기판(110) 및 질화물계 버퍼층(112)을 제2 질화물계 제2 반도체 패턴층(125)으로부터 제거하고, 제2 질화물계 제2 반도체 패턴층(125)을 외부로 노출시킬 수 있다.
- [79] 도 11을 참조하면, 제2 질화물계 제2 반도체 패턴층(125), 제2 질화물계 제1 반도체 패턴층(135), 및 제1 질화물계 반도체 패턴층(145)을 선택적으로 식각하여 제2 전극 패턴층(154)을 노출시키는 제2 컨택 패턴(182)을 형성한다.
- [80] 이어서, 제2 컨택 패턴(182)의 바닥면과 측벽면, 및 제2 질화물계 제2 반도체 패턴층(125)의 상부면에 절연층(184)을 형성한다. 절연층(184)은 제2 컨택 패턴(182)의 바닥면과 측벽면을 따라 소정의 두께를 가지도록 형성될 수 있으며, 제2 컨택 패턴(182)의 내부를 완전히 채우도록 형성되지 않는다.
- [81] 도 12를 참조하면, 제2 컨택 패턴(182)의 바닥면에 형성된 절연층을 식각하여, 제2 전극 패턴층(154)을 노출시킨다. 이어서, 제2 컨택 패턴(182)의 내부를 채우고, 제2 컨택 패턴(182) 외부의 절연층(184) 상에 배치되는 전도층(192, 194)을 형성한다. 전도층(192, 194) 중에서 제2 컨택 패턴(182) 내부에 해당되는 부분은 제2 수직형 컨택층(192)을 형성하고, 전도층(192, 194) 중에서 제2 컨택 패턴 외부의 절연층(184) 상에 배치되는 부분은 제2 전극 패드(194)를 구성할 수 있다. 전도층(192, 194)는 일 예로서, Ti, Al, Ni, Au, Mo, W층 이거나, 이들의 둘 이상의 적층 구조일 수 있다. 전도층(192, 194)는 일 예로서, 화학기상증착법, 스퍼터링, 코팅법과 같은 공정을 수행함으로써, 형성될 수 있다.
- [82] 상술한 공정을 거쳐서, 본 개시의 실시 예에 따르는 질화물계 다이오드 소자를 제조할 수 있다. 상술한 바와 같이, 본 제조 방법에서는 제1 전극 패턴층 및 제2 전극 패턴층과 각각 전기적으로 연결되는 제1 전극 패드 및 제2 전극 패드를, 수직형 컨택층을 이용하여, 상기 제1 질화물계 반도체 패턴층을 상하 방향으로 서로 반대쪽에 배치되도록 제조할 수 있다. 이와 같이, 상하 방향으로 제1 전극 패드 및 제2 전극 패드를 배치함으로써, 하나의 평면 상에서 제1 전극 패드 및

제2 전극 패드 중 어느 하나만 배치시킬 수 있어서, 전극 패드의 효율적인 배치가 가능해져서, 상기 전체 칩의 크기를 감소시킬 수 있다.

[83] 또한, 사파이어와 같은 열전도율이 좋지 않은 성장 기판을 제거하고, 열방출 효율이 우수한 전도성 전극 패드를 적층함으로써, 상기 전극 패드를 통한 질화물계 소자의 열 방출 능력을 개선할 수 있다. 이를 통해, 질화물계 소자의 고온 동작의 신뢰성을 향상시킬 수 있다. 또한, 상기 성장 기판을 적용하지 않음으로써, 상기 이중 성장 기판과 질화물계 반도체층과의 계면에서 격자 상수 차이로 발생하는 결함에 의한 동작 신뢰성 저하를 방지할 수 있다.

[84] 도 13은 본 개시의 다른 실시 예에 따르는 질화물계 다이오드 소자의 제조 방법을 개략적으로 나타내는 단면도이다. 본 제조 방법은 도 3 및 도 12와 관련되어 상술한 제조 방법에서, 제1 수직형 컨택층 및 제2 수직형 컨택층, 제1 전극 패드 및 제2 전극 패드의 제조 순서에 있어서, 차이점을 가진다.

[85] 구체적인 제조 방법에 있어서, 우선, 도 3 내지 도 7과 관련되어 상술한 공정을 진행한다. 이후에, 제2 전극 패턴층(154)을 노출시키는 제2 컨택 패턴(262)을 절연층(160) 내에 형성한다. 이어서, 제2 컨택 패턴(262)을 채우는 제2 수직형 컨택층(272)과 전도성 접합층(274)을 형성한다. 이어서, 전도성 접합층(274) 상에 제2 전극 패드(280)을 형성한다.

[86] 한편, 기판(110) 및 질화물계 버퍼층(112)을 제거한 후에, 제1 질화물계 반도체 패턴층(145), 제2 질화물계 제1 및 제2 반도체 패턴층(135, 125)을 관통하여 제1 전극 패턴층(152)을 노출시키는 제1 컨택 패턴(282)을 형성한다. 이후에, 제2 컨택 패턴(282)의 바닥면과 측벽면, 및 제2 질화물계 제2 반도체 패턴층(125)의 상부면에 절연층(284)을 소정 두께로 형성한다. 이어서, 제2 컨택 패턴(282)의 바닥면에 형성된 절연층(284)을 식각하여, 제2 전극 패턴층(154)를 노출시킨다. 이어서, 제2 컨택 패턴(282)의 내부를 채우고, 제2 컨택 패턴(282) 외부의 절연층(284) 상에 배치되는 전도층(292, 294)을 형성한다. 전도층(292, 294) 중에서 제2 컨택 패턴(282) 내부에 해당되는 부분은 제1 수직형 컨택층(292)을 형성하고, 전도층(292, 294) 중에서 제2 컨택 패턴 외부의 절연층(284) 상에 배치되는 부분은 제2 전극 패드(294)를 구성할 수 있다.

[87]

[88] 이상에서는 도면 및 실시 예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허청구범위에 기재된 본 출원의 기술적 사상으로부터 벗어나지 않는 범위 내에서 본 출원에 개시된 실시예들을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

청구범위

- [청구항 1] 서로 대향하는 제1 면 및 제2 면을 구비하는 제1 질화물계 반도체 패턴층; 상기 제1 질화물계 반도체 패턴층의 제1 면 상에 배치되고, 상기 제1 질화물계 반도체 패턴층과 각각 쇼트키 접합 및 오믹 접합을 이루는 제1 전극 패턴층 및 제2 전극 패턴층; 상기 제1 질화물계 반도체 패턴층의 제2 면 상에 배치되고, 상기 제1 질화물계 반도체 패턴층과 서로 다른 에너지 밴드갭을 구비하는 제2 질화물계 제1 반도체 패턴층; 상기 제1 전극 패턴층과 제1 수직형 컨택층에 의해 전기적으로 연결되는 제1 전극 패드; 및 상기 제2 전극 패턴층과 제2 수직형 컨택층에 의해 전기적으로 연결되는 제2 전극 패드를 포함하되, 상기 제1 전극 패드와 상기 제2 전극 패드는 상기 제1 질화물계 반도체 패턴층을 기준으로 상하 방향으로 서로 반대쪽에 배치되는 질화물계 다이오드 소자.
- [청구항 2] 제1 항에 있어서, 상기 제1 질화물계 반도체 패턴층과 상기 제2 질화물계 제1 반도체 패턴층의 계면 영역에 형성되는 2DEG층을 더 포함하는 질화물계 다이오드 소자.
- [청구항 3] 제1 항에 있어서, 상기 제2 질화물계 제1 반도체 패턴층의 일 면 상에 배치되는 제2 질화물계 제2 반도체층을 더 포함하되, 상기 제2 질화물계 제1 반도체 패턴층은 n형 또는 p형 도펀트에 의해 도핑되며, 상기 제2 질화물계 제2 반도체 패턴층은 도펀트에 의해 도핑되지 않는 질화물계 다이오드 소자.
- [청구항 4] 제3 항에 있어서, 상기 제1 전극 패드는 상기 제1 질화물계 반도체 패턴층의 상기 제1 면의 상부 방향에 배치되며, 상기 제2 전극 패드는 상기 제1 질화물계 반도체 패턴층의 상기 제2 면의 상부 방향에 배치되는 질화물계 다이오드 소자.
- [청구항 5] 제4 항에 있어서, 상기 제1 질화물계 반도체 패턴층의 상기 제1 면 상에서 상기 제1 전극 패턴층 및 상기 제2 전극 패턴층을 덮는 절연성 보호층을 더 포함하고, 상기 제1 수직형 컨택층은 상기 절연성 보호층 내에서 상기 제1 전극 패턴층을 선택적으로 노출시키는 제1 컨택 패턴의 내부를 채우는

- 질화물계 다이오드 소자.
- [청구항 6] 제5 항에 있어서,
상기 제1 수직형 컨택층 및 상기 절연성 보호층 상에 배치되는 전도성 접합층을 더 포함하되,
상기 전도성 접합층은 상기 제1 수직형 컨택층과 동일 물질을 포함하며,
상기 전도성 접합층은 상기 제1 전극 패드와 접합하는
질화물계 다이오드 소자.
- [청구항 7] 제6 항에 있어서,
상기 제1 전극 패드는
방열층으로 기능하는
질화물계 다이오드 소자.
- [청구항 8] 제4 항에 있어서,
상기 제2 수직형 컨택층은
상기 제1 질화물계 반도체 패턴층, 제2 질화물계 제1 및 제2 반도체 패턴층을 관통하여 상기 제2 전극 패턴층을 노출시키는 제2 컨택 패턴 내부에 형성되는
질화물계 다이오드 소자.
- [청구항 9] 제3 항에 있어서,
상기 제1 전극 패드는 상기 제1 질화물계 반도체 패턴층의 상기 제2 면의 상부 방향에 배치되며,
상기 제2 전극 패드는 상기 제1 질화물계 반도체 패턴층의 상기 제1 면의 상부 방향에 배치되는
질화물계 다이오드 소자.
- [청구항 10] 제9 항에 있어서,
상기 제1 수직형 컨택층은
상기 제1 질화물계 반도체 패턴층, 제2 질화물계 제1 및 제2 반도체 패턴층을 관통하여 상기 제1 전극 패턴층을 노출시키는 제1 컨택 패턴 내부에 형성되는
질화물계 다이오드 소자.
- [청구항 11] 제9 항에 있어서,
상기 제1 질화물계 반도체 패턴층의 상기 제1 면 상에서 상기 제1 전극 패턴층 및 상기 제2 전극 패턴층을 덮는 보호층을 더 포함하고,
상기 제2 수직형 컨택층은 상기 보호층 내에서 상기 제2 전극 패턴층을 선택적으로 노출시키는 제2 컨택 패턴의 내부를 채우는
질화물계 다이오드 소자.
- [청구항 12] 제11 항에 있어서,
상기 제2 수직형 컨택층 및 상기 절연성 보호층 상에 배치되는 전도성 접합층을 더 포함하되,

상기 전도성 접합층은 상기 제2 수직형 컨택층과 동일 물질을 포함하며,
상기 전도성 접합층은 상기 제2 전극 패드와 접합하는
질화물계 다이오드 소자.

[청구항 13] 제12 항에 있어서,
상기 제2 전극 패드는 방열층으로 기능하는
질화물계 다이오드 소자.

[청구항 14] 제1 항에 있어서,
상기 제1 질화물계 반도체 패턴층은 AlGaIn층이며,
상기 제2 질화물계 제1 반도체 패턴층은 n형으로 도핑된 GaIn층인
질화물계 다이오드 소자.

[청구항 15] 제14 항에 있어서,
상기 제1 전극 패턴층은 Ni, Au, Pd, 및 Pt로 이루어지는 그룹에서
선택되는 적어도 하나의 금속층을 포함하며,
상기 제2 전극 패턴층은 Ti 및 Al 중 선택되는 적어도 하나를 포함하는
계면층 및 상기 계면층 상에서 Ni, Au, Mo, 및 W으로 이루어지는
그룹에서 선택되는 적어도 하나를 포함하는 금속층의 적층 구조인
질화물계 다이오드 소자.

[청구항 16] (a) 기판 상에 도펀트에 의해 도핑되지 않은 제2 질화물계 제2 반도체
패턴층, n형 또는 p형 도펀트에 의해 도핑되는 제2 질화물계 제1 반도체
패턴층, 및 제1 질화물계 반도체 패턴층이 순차적으로 형성된 기판
구조물을 준비하되, 상기 제1 질화물계 반도체 패턴층과 상기 제2
질화물계 제1 및 제2 반도체 패턴층은 서로 다른 에너지 밴드갭을 가지는
물질을 포함하는 단계;

(b) 상기 제1 질화물계 반도체 패턴층 상에서 상기 제1 질화물계 반도체
패턴층과 각각 쇼트키 접합 및 오믹 접합을 이루는 제1 전극 패턴층 및
제2 전극 패턴층을 형성하는 단계;

(c) 상기 제1 전극 패턴층 및 상기 제2 전극 패턴층을 덮는 절연성
보호층을 상기 기판 상에 형성하는 단계;

(d) 상기 절연성 보호층을 선택적으로 식각하여 상기 제1 전극 패턴층 및
상기 제2 전극 패턴층 중 선택되는 어느 하나를 노출시키는 제1 컨택
패턴을 형성하는 단계;

(e) 상기 제1 컨택 패턴을 채우며 상기 절연성 보호층 상에 위치하는
전도성 접합층을 형성하고, 상기 전도성 접합층 상에 제1 전극 패드를
적층하는 단계;

(f) 상기 기판을 상기 제2 질화물계 제2 반도체 패턴층로부터 분리하여
제거하고, 상기 제2 질화물계 제2 반도체 패턴층을 노출시키는 단계;

(g) 상기 제2 질화물계 제2 반도체 패턴층, 상기 제2 질화물계 제1 반도체
패턴층, 및 상기 제1 질화물계 반도체 패턴층을 선택적으로 식각하여

상기 제1 전극 패턴층 및 상기 제2 전극 패턴층 중 선택되지 않은 나머지 하나를 노출시키는 제2 컨택 패턴을 형성하는 단계;

(h) 상기 제2 컨택 패턴을 채우며, 상기 제1 전극 패턴층 및 상기 제2 전극 패턴층 중 선택되지 않은 나머지 하나와 전기적으로 연결되는 제2 전극 패드를 형성하는 단계를 포함하는
질화물계 다이오드 소자의 제조 방법.

[청구항 17] 제16 항에 있어서,

(a) 단계는

사파이어 기판 상에 GaN 버퍼층, 상기 제2 질화물계 제2 반도체 패턴층으로서의 비도핑된 GaN층, 상기 제2 질화물계 제1 반도체 패턴층으로서의 n형 도핑된 GaN층, 및 상기 제1 질화물계 반도체 패턴층으로서의 AlGaN층을 순차적으로 에피택셜 성장시키는 단계를 포함하는

질화물계 다이오드 소자의 제조 방법.

[청구항 18] 제16 항에 있어서,

(b) 단계는

상기 제1 전극 패턴층으로서, Ni, Au, Pd, 및 Pt로 이루어지는 그룹에서 선택되는 적어도 하나의 금속층을 포함하는 적층 구조를 형성하는 단계;
상기 제2 전극 패턴층으로서, Ti 및 Al 중 선택되는 적어도 하나의 금속층을 포함하는 계면층 및 상기 계면층 상에서 Ni, Au, Mo, 및 W으로 이루어지는 그룹에서 선택되는 적어도 하나의 금속층을 포함하는 적층 구조를 형성하는 단계를 포함하는

질화물계 다이오드 소자의 제조 방법.

[청구항 19] 제16 항에 있어서,

(c) 단계는

Ti, Ni, Au, AuSn, Mo 및 W 으로 이루어지는 그룹에서 선택되는 적어도 하나를 포함하는 물질층을 상기 전도성 접합층으로서 형성하는 단계; 및
상기 전도성 접합층 상에 Au, Mo, Cu, 및 Al 로 이루어지는 그룹에서 선택되는 적어도 하나를 포함하는 기판을 접합하여, 상기 제1 전극 패드를 형성하는 단계를 포함하는

질화물계 다이오드 소자의 제조 방법.

[청구항 20] 제16 항에 있어서,

(h) 단계는

(h1) 상기 제2 컨택 패턴의 바닥면과 측벽면을 따라 절연층을 형성하는 단계;

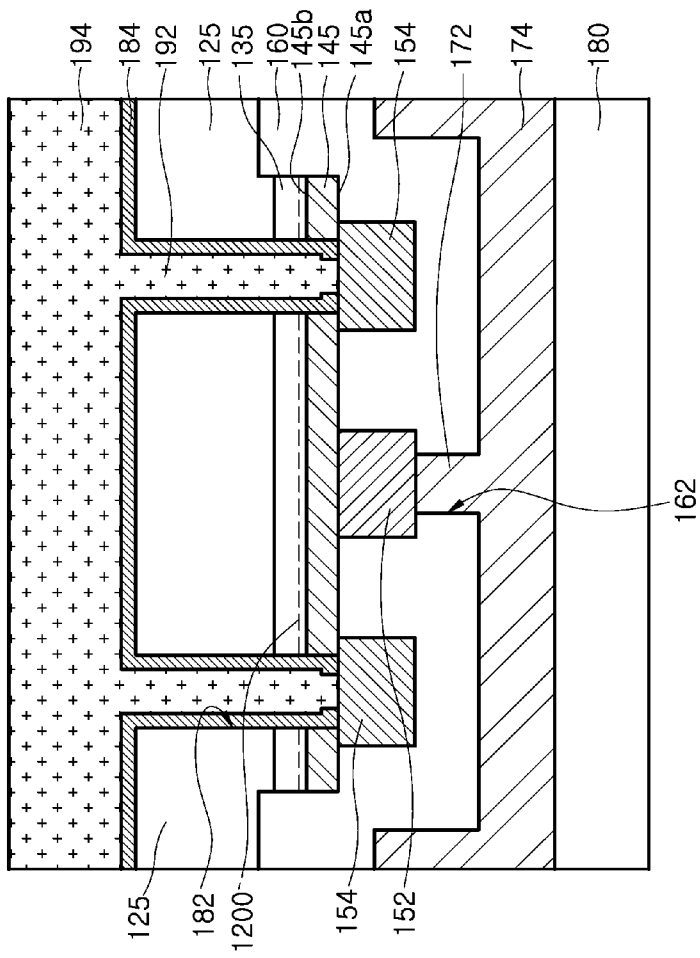
(h2) 상기 제2 컨택 패턴의 바닥면에 형성된 절연층을 선택적으로 식각하여, 상기 제1 전극 패턴층 및 상기 제2 전극 패턴층 중 선택되지 않은 나머지 하나의 층을 노출시키는 단계; 및

(h3) 상기 제2 콘택 패턴의 내부를 채우고 상기 제2 질화물계 제2 반도체 패턴층의 상부에 전도층을 형성하는 단계를 포함하는 질화물계 다이오드 소자의 제조 방법.

[51]

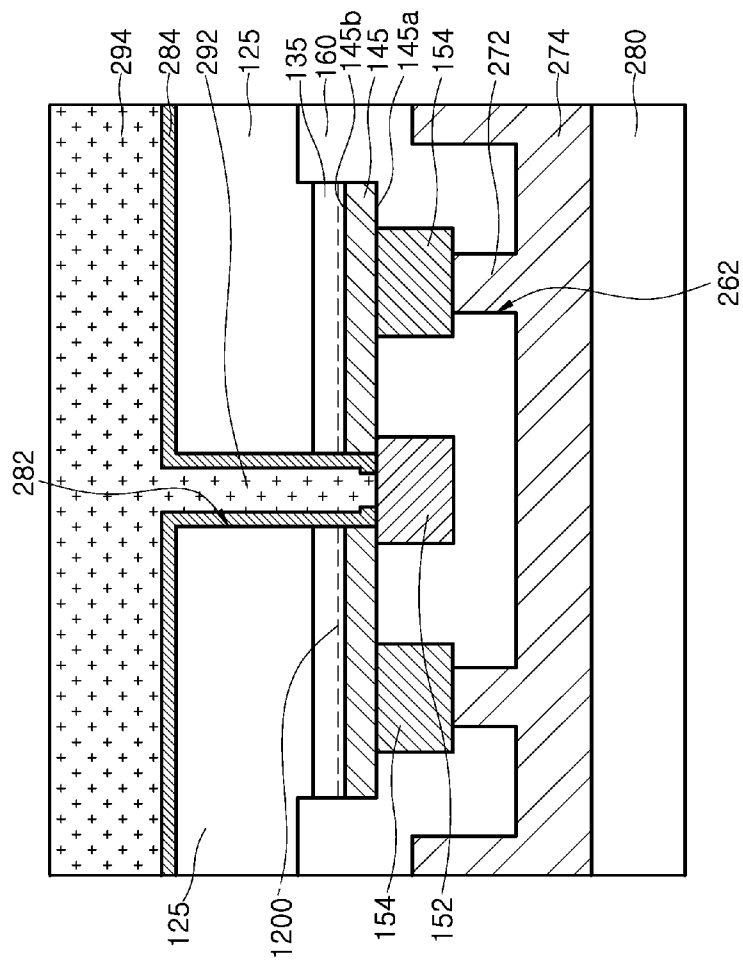
10

10

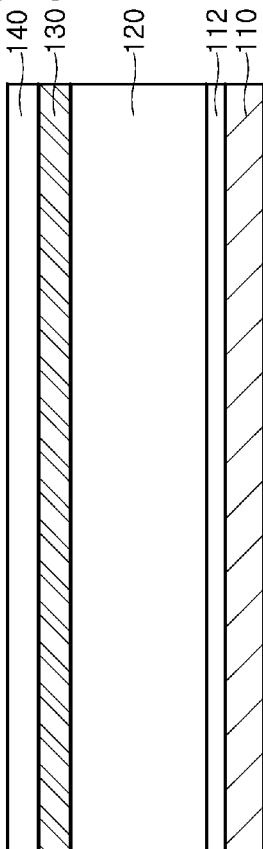


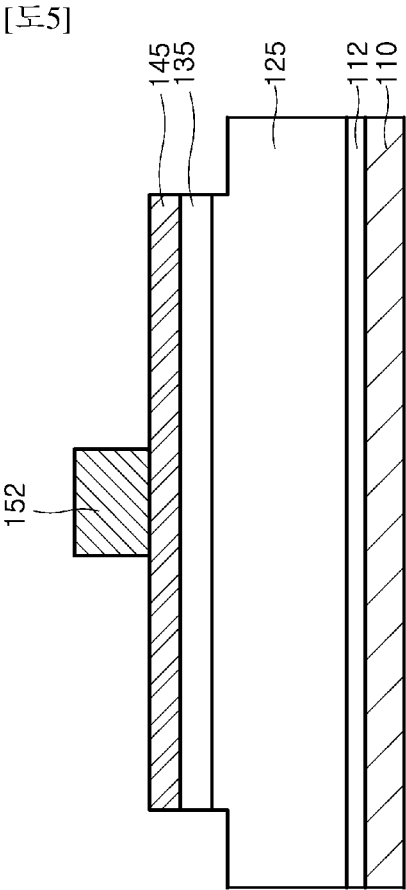
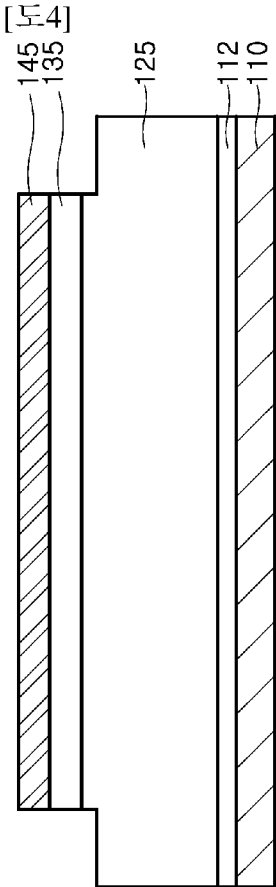
[도2]

20

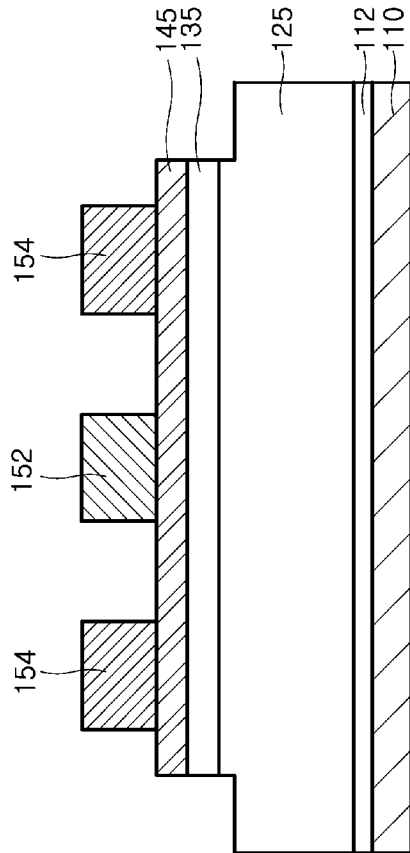


[도3]

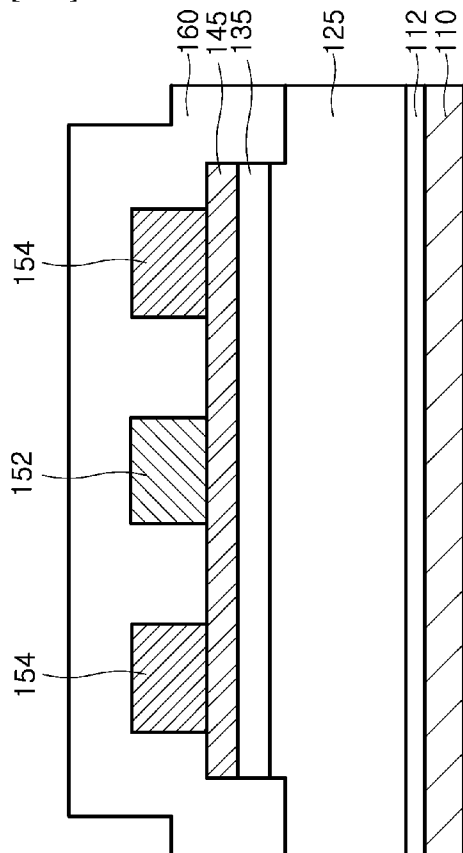




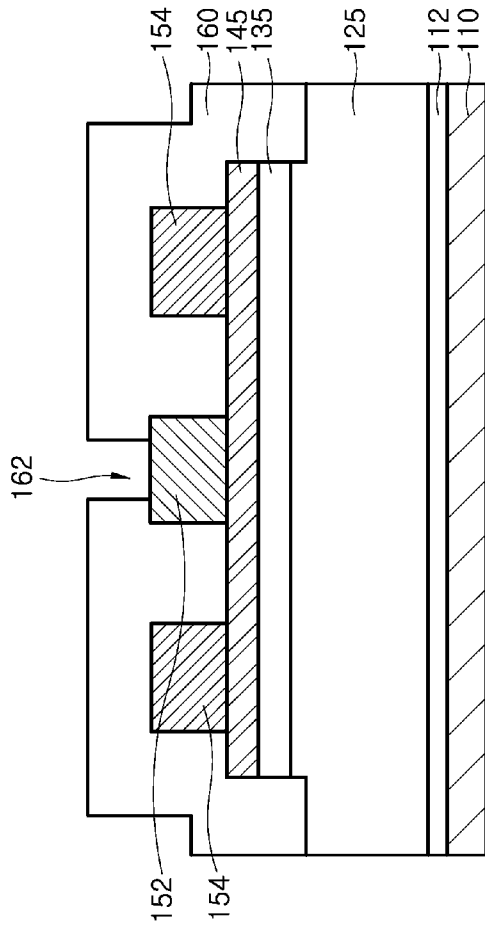
[E6]



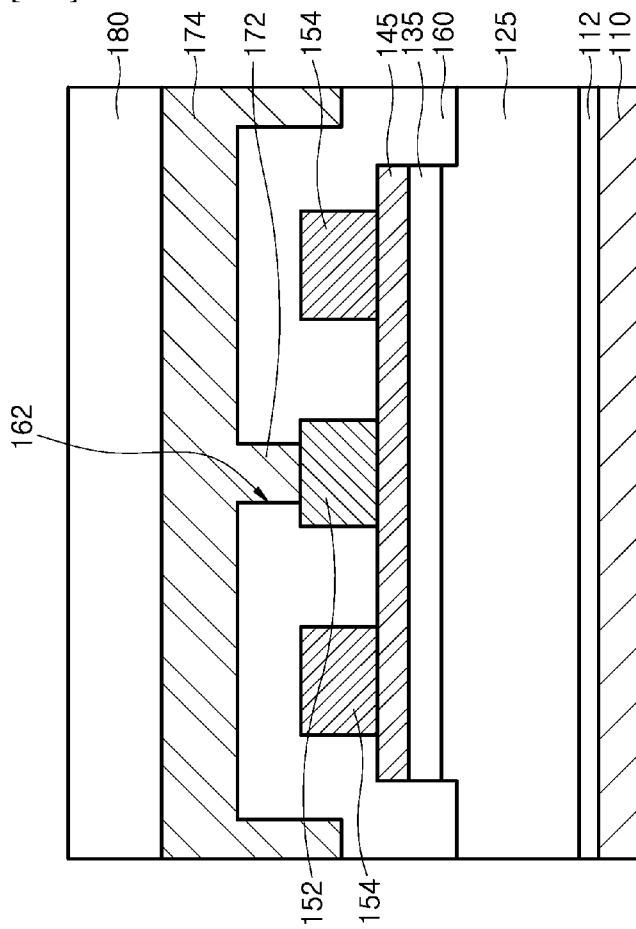
[E7]



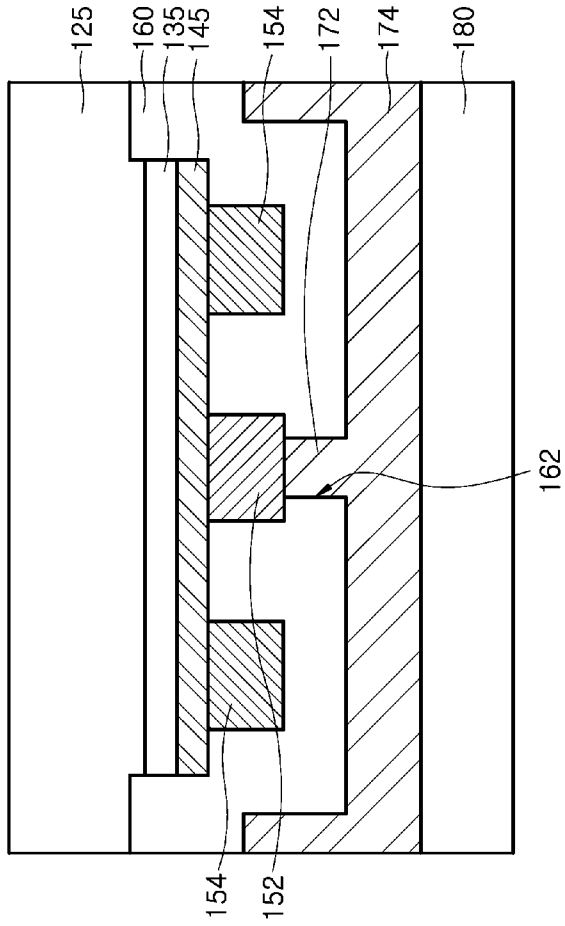
[도8]



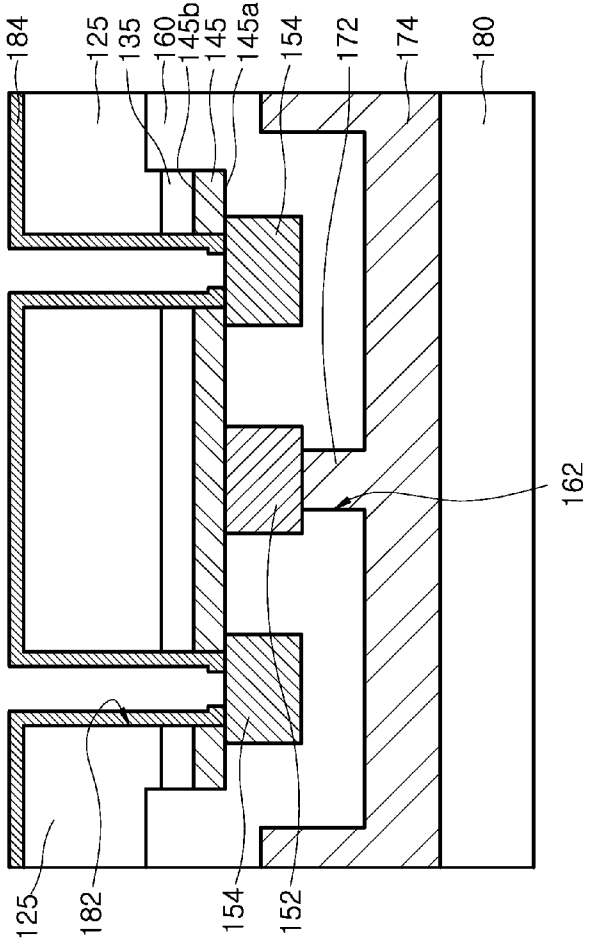
[도9]



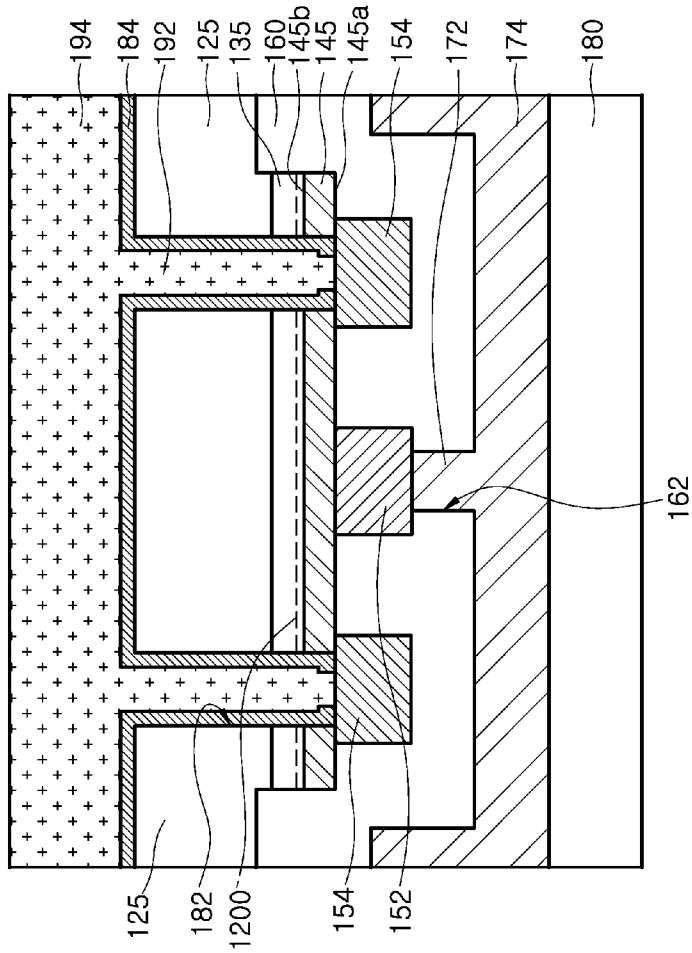
[도10]



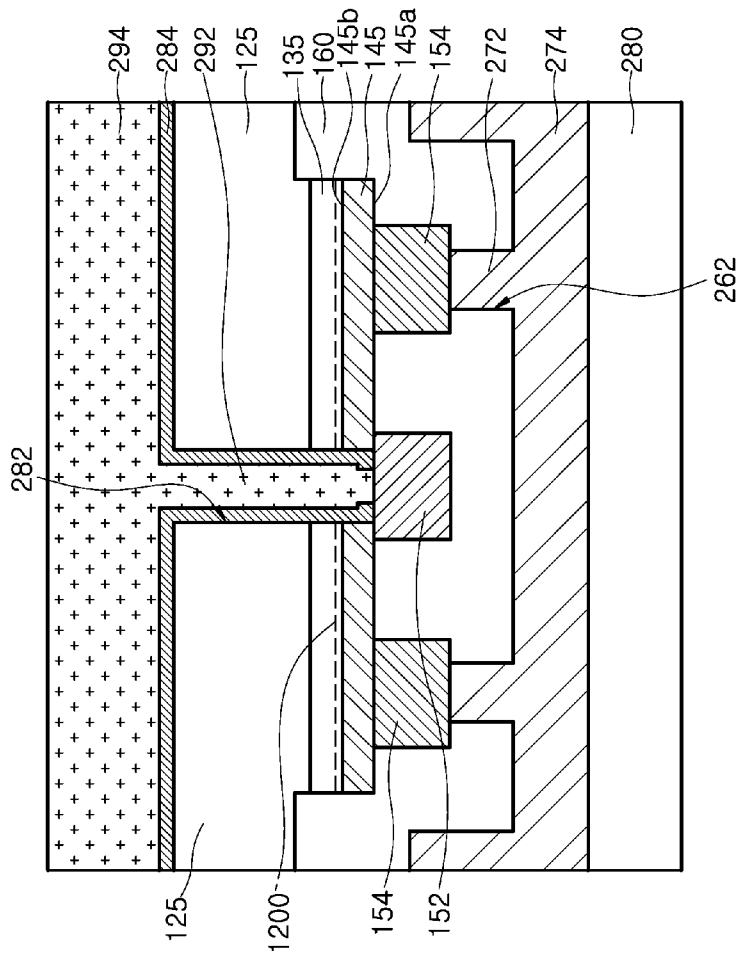
[도11]



[도12]



[도13]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2016/003853**A. CLASSIFICATION OF SUBJECT MATTER*****H01L 29/872(2006.01)i, H01L 21/768(2006.01)i, H01L 29/861(2006.01)i, H01L 29/778(2006.01)i***

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 29/872; H01L 29/778; H01L 21/338; H01L 29/06; H01L 29/10; H01L 29/66; H01L 29/812; H01L 31/00; H01L 21/768; H01L 29/861

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean Utility models and applications for Utility models: IPC as above

Japanese Utility models and applications for Utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: nitrification, GaN, AlGaN, electrode, pattern, 2DEG

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2014-0103399 A1 (TRANSPHORM INC.) 17 April 2014 See abstract, paragraphs [0051]-[0058] and figures 1-14.	1-20
A	JP 2011-238700 A (FUJITSU SEMICONDUCTOR LTD.) 24 November 2011 See abstract, paragraphs [0016]-[0046] and figures 1-8.	1-20
A	US 2014-0014903 A1 (PILLARISETTY, Ravy) 16 January 2014 See abstract, paragraphs [0009]-[0034] and figures 1-14.	1-20
A	US 2006-0219997 A1 (KAWASAKI, Takeshi et al.) 05 October 2006 See abstract, paragraphs [0036]-[0047] and figures 2-7.	1-20
A	KR 10-2003-0075749 A (POSTECH FOUNDATION) 26 September 2003 See abstract, pages 4-5 and figures 1a-1c.	1-20



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

27 JUNE 2016 (27.06.2016)

Date of mailing of the international search report

27 JUNE 2016 (27.06.2016)

Name and mailing address of the ISA/KR

Korean Intellectual Property Office
Government Complex-Daejeon, 189 Seonsa-ro, Daejeon 302-701,
Republic of Korea

Facsimile No. 82-42-472-7140

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2016/003853

Patent document cited in search report	Publication date	Patent family member	Publication date
US 2014-0103399 A1	17/04/2014	US 2009-0072272 A1	19/03/2009
		US 2011-0121314 A1	26/05/2011
		US 2012-0175680 A1	12/07/2012
		US 2013-0175580 A1	11/07/2013
		US 7915643 B2	29/03/2011
		US 8193562 B2	05/06/2012
		US 8344424 B2	01/01/2013
		US 8633518 B2	21/01/2014
		WO 2009-039041 A2	26/03/2009
		WO 2009-039041 A3	14/05/2009
JP 2011-238700 A	24/11/2011	CN 102237405 A	09/11/2011
		CN 102237405 B	06/05/2015
		JP 5635803 B2	03/12/2014
		US 2011-0272742 A1	10/11/2011
		US 2014-0021513 A1	23/01/2014
		US 8569124 B2	29/10/2013
		US 9099545 B2	04/08/2015
US 2014-0014903 A1	16/01/2014	CN 103563085 A	05/02/2014
		EP 2705537 A1	12/03/2014
		EP 2705537 A4	19/11/2014
		JP 2014-517511 A	17/07/2014
		JP 5801474 B2	28/10/2015
		KR 10-2014-0003642 A	09/01/2014
		SG 194740 A1	30/12/2013
		TW 201246535 A	16/11/2012
		TW 201448206 A	16/12/2014
		TW 1455305 B	01/10/2014
		US 2012-0280210 A1	08/11/2012
		US 2015-0097158 A1	09/04/2015
		US 8541773 B2	24/09/2013
		US 8946679 B2	03/02/2015
		US 9293546 B2	22/03/2016
		WO 2012-150965 A1	08/11/2012
US 2006-0219997 A1	05/10/2006	EP 1708275 A2	04/10/2006
		EP 1708275 A3	28/05/2008
		EP 1708275 B1	27/02/2013
		EP 2418682 A2	15/02/2012
		EP 2418682 A3	25/07/2012
		JP 2006-286910 A	19/10/2006
		JP 5051980 B2	17/10/2012
		US 7723751 B2	25/05/2010
KR 10-2003-0075749 A	26/09/2003	KR 10-0458163 B1	26/11/2004

A. 발명이 속하는 기술분류(국제특허분류(IPC))

H01L 29/872(2006.01)i, H01L 21/768(2006.01)i, H01L 29/861(2006.01)i, H01L 29/778(2006.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)

H01L 29/872; H01L 29/778; H01L 21/338; H01L 29/06; H01L 29/10; H01L 29/66; H01L 29/812; H01L 31/00; H01L 21/768; H01L 29/861

조사된 기술분야에 속하는 최소문헌 이외의 문헌

한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))

eKOMPASS(특허청 내부 검색시스템) & 키워드: 질화, GaN, AlGaN, 전극, 패턴, 2DEG

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
A	US 2014-0103399 A1 (TRANSPHORM INC.) 2014.04.17 요약, 단락 [0051]-[0058] 및 도면 1-14 참조.	1-20
A	JP 2011-238700 A (FUJITSU SEMICONDUCTOR LTD.) 2011.11.24 요약, 단락 [0016]-[0046] 및 도면 1-8 참조.	1-20
A	US 2014-0014903 A1 (RAVI PILLARISETTY) 2014.01.16 요약, 단락 [0009]-[0034] 및 도면 1-14 참조.	1-20
A	US 2006-0219997 A1 (TAKESHI KAWASAKI 등) 2006.10.05 요약, 단락 [0036]-[0047] 및 도면 2-7 참조.	1-20
A	KR 10-2003-0075749 A (학교법인 포항공과대학교) 2003.09.26 요약, 페이지 4-5 및 도면 1a-1c 참조.	1-20

☐ 추가 문헌이 C(계속)에 기재되어 있습니다.☒ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

“A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

“T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

“E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌

“X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

“L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

“Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

“O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

“&” 동일한 대응특허문헌에 속하는 문헌

“P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

국제조사의 실제 완료일

2016년 06월 27일 (27.06.2016)

국제조사보고서 발송일

2016년 06월 27일 (27.06.2016)

ISA/KR의 명칭 및 우편주소

대한민국 특허청
(35208) 대전광역시 서구 청사로 189,
4동 (둔산동, 정부대전청사)

팩스 번호 +82-42-481-8578

심사관

최상원

전화번호 +82-42-481-8291



국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
US 2014-0103399 A1	2014/04/17	US 2009-0072272 A1 US 2011-0121314 A1 US 2012-0175680 A1 US 2013-0175580 A1 US 7915643 B2 US 8193562 B2 US 8344424 B2 US 8633518 B2 WO 2009-039041 A2 WO 2009-039041 A3	2009/03/19 2011/05/26 2012/07/12 2013/07/11 2011/03/29 2012/06/05 2013/01/01 2014/01/21 2009/03/26 2009/05/14
JP 2011-238700 A	2011/11/24	CN 102237405 A CN 102237405 B JP 5635803 B2 US 2011-0272742 A1 US 2014-0021513 A1 US 8569124 B2 US 9099545 B2	2011/11/09 2015/05/06 2014/12/03 2011/11/10 2014/01/23 2013/10/29 2015/08/04
US 2014-0014903 A1	2014/01/16	CN 103563085 A EP 2705537 A1 EP 2705537 A4 JP 2014-517511 A JP 5801474 B2 KR 10-2014-0003642 A SG 194740 A1 TW 201246535 A TW 201448206 A TW 1455305 B US 2012-0280210 A1 US 2015-0097158 A1 US 8541773 B2 US 8946679 B2 US 9293546 B2 WO 2012-150965 A1	2014/02/05 2014/03/12 2014/11/19 2014/07/17 2015/10/28 2014/01/09 2013/12/30 2012/11/16 2014/12/16 2014/10/01 2012/11/08 2015/04/09 2013/09/24 2015/02/03 2016/03/22 2012/11/08
US 2006-0219997 A1	2006/10/05	EP 1708275 A2 EP 1708275 A3 EP 1708275 B1 EP 2418682 A2 EP 2418682 A3 JP 2006-286910 A JP 5051980 B2 US 7723751 B2	2006/10/04 2008/05/28 2013/02/27 2012/02/15 2012/07/25 2006/10/19 2012/10/17 2010/05/25
KR 10-2003-0075749 A	2003/09/26	KR 10-0458163 B1	2004/11/26