



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0010663
(43) 공개일자 2009년01월30일

(51) Int. Cl.⁹

H03M 1/82 (2006.01)

(21) 출원번호 10-2007-0073967

(22) 출원일자 2007년07월24일

심사청구일자 2007년07월24일

(71) 출원인

고려대학교 산학협력단

서울 성북구 안암동5가1 고려대학교 내

(72) 발명자

김철우

서울 성북구 길음동 1283 길음뉴타운 605-1301호

송민영

서울 도봉구 창4동 주공아파트 1711동 608호

안성훈

경기 남양주시 별내면 청학리주공아파트 205동 603호

(74) 대리인

전중학

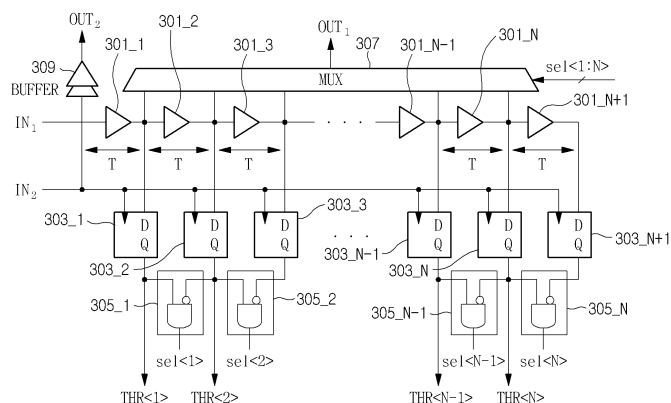
전체 청구항 수 : 총 9 항

(54) 계층구조 위상 디지털 변환기

(57) 요약

본 발명은 계층구조 위상 디지털 변환기에 관한 것이다. 본 발명에 따른 위상 검출기는 제1 신호를 일정한 지연 만큼 순차적으로 지연시키는 복수의 지연단; 상기 복수의 지연단들에 의해서 지연된 상기 제1 신호의 지연 신호들과 상기 제2 신호를 비교하여 상기 제1 신호의 지연 신호들과 상기 제2 신호의 위상차가 상기 위상 검출기의 해상도보다 작아질 때까지와 이후에 대해서 서로 다른 출력을 발생하는 복수의 플립플롭; 상기 복수의 플립플롭의 출력들로부터 상기 제1 신호의 지연 신호들 중에서 상기 제2 신호와 가장 가까운 신호를 선택하기 위한 선택 신호를 발생시키는 선택신호 발생기; 및 상기 제1 신호의 지연 신호들 및 상기 선택 신호를 입력받아 상기 제1 신호의 지연 신호들 중에서 상기 제2 신호와 가장 가까운 신호를 출력시키는 믹서를 포함한다.

대표도 - 도3



특허청구의 범위

청구항 1

제1 신호 및 제2 신호의 위상차를 검출하는 위상-디지털 검출기에 있어서,

상기 제1 신호를 일정한 지연만큼 순차적으로 지연시키는 복수의 지연단;

상기 복수의 지연단들에 의해서 지연된 상기 제1 신호의 지연 신호들과 상기 제2 신호를 비교하여 상기 제1 신호의 지연 신호들과 상기 제2 신호의 위상차가 상기 위상 검출기의 해상도보다 작아질 때까지와 이후에 대해서 서로 다른 출력을 발생하는 복수의 플립플롭;

상기 복수의 플립플롭의 출력들로부터 상기 제1 신호의 지연 신호들 중에서 상기 제2 신호와 가장 가까운 신호를 선택하기 위한 선택 신호를 발생시키는 선택신호 발생기; 및

상기 제1 신호의 지연 신호들 및 상기 선택 신호를 입력받아 상기 제1 신호의 지연 신호들 중에서 상기 제2 신호와 가장 가까운 신호를 출력시키는 믹스를 포함하는 위상-디지털 검출기.

청구항 2

제1항에 있어서,

상기 믹스의 출력 신호 및 상기 제2 신호는 다음 단계의 위상-디지털 변환기의 입력으로 입력되는 것을 특징으로 하는 위상-디지털 검출기.

청구항 3

제2항에 있어서,

상기 제2 신호는 다음 단계의 위상-디지털 변환기의 입력 부하를 고려하여 버퍼를 경유하는 것을 특징으로 하는 위상-디지털 검출기.

청구항 4

제1항에 있어서,

상기 플립플롭은 제2 신호의 상승에지 시점에 상기 제1 신호의 지연 신호들 값을 출력으로 발생시키는 것을 특징으로 하는 위상-디지털 검출기.

청구항 5

제1항에 있어서,

상기 선택신호발생기는 인접한 두 개의 상기 플립플롭의 출력을 입력으로 받아들이며, 상기 플립플롭의 출력이 1에서 0으로 바뀌는 경우 출력을 1로 하여 상기 선택 신호를 발생시키는 것을 특징으로 하는 위상-디지털 검출기.

청구항 6

제1항 또는 제5항에 있어서,

상기 선택신호발생기는 인버터 게이트 및 앤드 게이트를 포함하는 것을 특징으로 하는 위상-디지털 검출기.

청구항 7

T_1 의 지연 시간을 갖는 지연단들을 포함하며, 두 신호의 위상차를 상기 T_1 이하로 보정하여 다음 단계의 위상-디지털 변환기로 출력하는 제1 위상-디지털 검출기; 및

T_2 의 지연 시간을 갖는 지연단들을 포함하며, 상기 제1 위상-디지털 검출기에서 보정된 상기 출력신호들에 대하여 위상차를 검출하는 제2 위상-디지털 검출기를 포함하되,

상기 T_1 은 상기 T_2 보다 지연 시간이 더 큰 것을 특징으로 하는 계층적 구조의 위상-디지털 검출기.

청구항 8

제7항에 있어서,

상기 제1 위상-디지털 검출기는

상기 두 신호 중 제1 신호를 일정한 지연만큼 순차적으로 지연시키는 복수의 지연단;

상기 복수의 지연단들에 의해서 지연된 상기 제1 신호의 지연 신호들과 상기 제2 신호를 비교하여 상기 제1 신호의 지연 신호들과 상기 두 신호중 제2 신호의 위상차가 상기 위상 검출기의 해상도보다 작아질 때까지와 이후에 대해서 서로 다른 출력을 발생하는 복수의 플립플롭;

상기 복수의 플립플롭의 출력들로부터 상기 제1 신호의 지연 신호들 중에서 상기 제2 신호와 가장 가까운 신호를 선택하기 위한 선택 신호를 발생시키는 선택신호 발생기; 및

상기 제1 신호의 지연 신호들 및 상기 선택 신호를 입력받아 상기 제1 신호의 지연 신호들 중에서 상기 제2 신호와 가장 가까운 신호를 출력시키는 믹스를 포함하는 것을 특징으로 하는 계층적 구조의 위상-디지털 변환기.

청구항 9

제8항에 있어서,

상기 제1 위상-디지털 검출기의 출력은 상기 제1 신호의 지연 신호들 중에서 상기 제2 신호와 가장 가까운 신호 및 상기 제2 신호인 것을 특징으로 하는 계층적 구조의 위상-디지털 변환기.

명세서

발명의 상세한 설명

기술 분야

- <1> 본 발명은 계층구조 위상-디지털 변환기에 관한 것으로, 보다 상세하게는 높은 해상도와 넓은 위상 검출 범위를 구현하기 위하여 각 단계마다 위상을 보정하면서 해상도를 단계적으로 증가시키는 계층적 구조를 갖는 위상-디지털 변환기에 관한 것이다.

배경 기술

- <2> 반도체 제조 공정 기술의 발달로 인해 회로 선폭이 감소하게 되고 이에 따라 회로의 집적화는 증대되고, 공급 전압 레벨의 감소에 의한 저전력화가 증대되고 있다. 그러나 이러한 회로 선폭의 감소는 누설 전류의 증가를 야기하여 아날로그 회로의 성능 저하를 가져오게 된다. 따라서 공정 기술의 발달에 맞추어 회로 설계 기술은 디지털화되고 있다.
- <3> 현재 위상-디지털 변환기는 회로를 디지털화하는데 있어서 가장 기본적인 기술이라고 할 수 있다. 위상-디지털 변환기는 디지털 회로만으로 설계가 가능하며, 클록의 위상 차이를 디지털 신호로 변환하기 때문에 출력을 디지털 신호 처리하기에 용이하다. 따라서 위상-디지털 변환기는 디지털 회로로 설계되는 클록 발생기에 널리 쓰일 수 있을 뿐 아니라, 제한된 범위에서의 아날로그-디지털 변환기에서도 효과적으로 쓰일 수 있다.
- <4> 종래의 가장 기본적인 위상-디지털 변환기는 도 1과 같이 설계될 수 있다. 도 1을 참조하면, 클록 IN_1 은 일정한 지연(T)을 갖는 지연단($101_1, 101_2, \dots, 101_N, 101_{N+1}$)에 의해 일정한 지연(T)을 가지고 클록 IN_2 에 의해 샘플링 된다. 즉 플립플롭($103_1, 103_2, \dots, 103_N, 103_{N+1}$)은 상기 IN_2 의 상승 에지 시점에 IN_1 신호가 상기 지연단에 의해 지연된 신호값을 출력값($THR<0>, THR<1>, \dots, THR<N-1>, THR<N>$)으로 출력한다. 이때 상기 위상-디지털 변환기는 상기 플립플롭($103_1, 103_2, \dots, 103_N, 103_{N+1}$)들의 출력값($THR<0>, THR<1>, \dots, THR<N-1>, THR<N>$)들에서 1인 값을 카운트하는데, 상기 카운트한 1의 개수가 상기 클록 IN_1 과 상기 클록 IN_2 의 위상차가 된다. 따라서 가장 작은 위상차를 갖는 위치를 찾아내어 디지털 코드로 출력하게 된다. 그러나 상기 위상-디지털 변환기는 일정한 지연(T) 내의 위상차는 검출할 수 없게 된다. 상기 위상-디지털 변환기의 지연(T)을 위상-디지털 변환기의 해상도라고 하며, 해상도는 지연단의 기본 지연 회로의 위상차에 의해 결정된다. 일반적으로 기본 지연회로는 가장 지연이 작은 인버터 두 개를 이용하여 만들며, 이보다 작은 해상도의 위상-디지털 변환기

를 만들 수 없게 된다.

<5> 도 2는 도 1에서 설명한 위상-디지털 변환기의 해상도를 개선한 위상-디지털 변환기의 회로도이다. 두 클록 IN_1 , IN_2 는 각각 미세한 차이가 나는 지연단에 입력되며, 이는 $\tau_1 - \tau_2$ 만큼의 지연차를 가지고 샘플링 된다. 따라서 도 1에 비하여 해상도가 개선된다.

<6> 그러나 이러한 종래의 위상-디지털 변환기는 해상도가 증가할수록, 위상 검출 범위는 감소하게 된다. 이를 극복하기 위해서는 더 많은 지연단과 샘플링 회로가 필요하게 된다. 따라서 위상 검출 범위와 해상도를 동시에 만족하기 위해서는 위상-디지털 변환기의 크기가 증가하는 문제점이 있다.

발명의 내용

해결 하고자하는 과제

<7> 상기와 같은 문제점을 해결하기 위한 본 발명의 목적은 위상-디지털 변환기의 넓은 위상 검출 범위와 높은 해상도를 동시에 만족 하면서 회로의 크기를 크게 줄이기 위하여 계층적 구조로 해상도를 단계적으로 증가시키고 또한 각 단계마다 위상 차이를 보정하여 해상도에 따라 다른 위상 검출 범위를 갖는 새로운 위상-디지털 변환기를 제공하는 데 있다.

과제 해결수단

<8> 상술한 목적들을 달성하기 위하여, 본 발명의 일 측면에 따르면 제1 신호 및 제2 신호의 위상차를 검출하는 위상-디지털 검출기에 있어서, 상기 제1 신호를 일정한 지연만큼 순차적으로 지연시키는 복수의 지연단; 상기 복수의 지연단들에 의해서 지연된 상기 제1 신호의 지연 신호들과 상기 제2 신호를 비교하여 상기 제1 신호의 지연 신호들과 상기 제2 신호의 위상차가 상기 위상 검출기의 해상도보다 작아질 때까지와 이후에 대해서 서로 다른 출력을 발생하는 복수의 플립플롭; 상기 복수의 플립플롭의 출력들로부터 상기 제1 신호의 지연 신호들 중에서 상기 제2 신호와 가장 가까운 신호를 선택하기 위한 선택 신호를 발생시키는 선택신호 발생기; 및 상기 제1 신호의 지연 신호들 및 상기 선택 신호를 입력받아 상기 제1 신호의 지연 신호들 중에서 상기 제2 신호와 가장 가까운 신호를 출력시키는 먹스를 포함하는 위상-디지털 검출기를 제공할 수 있다.

<9> 바람직한 실시예에서, 상기 먹스의 출력 신호 및 상기 제2 신호는 다음 단계의 위상-디지털 변환기의 입력으로 입력되는 것을 특징으로 한다. 또한 상기 제2 신호는 다음 단계의 위상-디지털 변환기의 입력 부하를 고려하여 버퍼를 경유하는 것을 특징으로 한다. 또한 상기 플립플롭은 제2 신호의 상승에지 시점에 상기 제1 신호의 지연 신호들 값을 출력으로 발생시키는 것을 특징으로 한다. 또한 상기 선택신호발생기는 인접한 두 개의 상기 플립플롭의 출력을 입력으로 받아들이며, 상기 플립플롭의 출력이 1에서 0으로 바뀌는 경우 출력을 1로 하여 상기 선택 신호를 발생시키는 것을 특징으로 한다. 또한 상기 선택신호발생기는 인버터 게이트 및 앤드 게이트를 포함하는 것을 특징으로 한다.

<10> 본 발명의 다른 측면에 따르면, T_1 의 지연 시간을 갖는 지연단들을 포함하며, 두 신호의 위상차를 상기 T_1 이하로 보정하여 다음 단계의 위상-디지털 변환기로 출력하는 제1 위상-디지털 검출기; 및 T_2 의 지연 시간을 갖는 지연단들을 포함하며, 상기 제1 위상-디지털 검출기에서 보정된 상기 출력신호들에 대하여 위상차를 검출하는 제2 위상-디지털 검출기를 포함하되, 상기 T_1 은 상기 T_2 보다 지연 시간이 더 큰 것을 특징으로 하는 계층적 구조의 위상-디지털 검출기를 제공할 수 있다.

<11> 바람직한 실시예에서, 상기 제1 위상-디지털 검출기는 상기 두 신호 중 제1 신호를 일정한 지연만큼 순차적으로 지연시키는 복수의 지연단; 상기 복수의 지연단들에 의해서 지연된 상기 제1 신호의 지연 신호들과 상기 제2 신호를 비교하여 상기 제1 신호의 지연 신호들과 상기 두 신호 중 제2 신호의 위상차가 상기 위상 검출기의 해상도보다 작아질 때까지와 이후에 대해서 서로 다른 출력을 발생하는 복수의 플립플롭; 상기 복수의 플립플롭의 출력들로부터 상기 제1 신호의 지연 신호들 중에서 상기 제2 신호와 가장 가까운 신호를 선택하기 위한 선택 신호를 발생시키는 선택신호 발생기; 및 상기 제1 신호의 지연 신호들 및 상기 선택 신호를 입력받아 상기 제1 신호의 지연 신호들 중에서 상기 제2 신호와 가장 가까운 신호를 출력시키는 먹스를 포함하는 것을 특징으로 한다. 또한 상기 제1 위상-디지털 검출기의 출력은 상기 제1 신호의 지연 신호들 중에서 상기 제2 신호와 가장 가까운 신호 및 상기 제2 신호인 것을 특징으로 한다.

효 과

<12> 본 발명에 따른 계층적 구조를 이용한 위상-디지털 변환기는 높은 해상도와 넓은 위상 검출 범위를 만족하면서 지연단의 수를 크게 줄일 수 있는 이점이 있다. 또한 본 발명에 의하면 위상-디지털 변환기의 지연단의 수를 줄임으로써 위상-디지털 변환기 회로의 크기를 크게 감소시킬 수 있는 효과가 있다.

발명의 실시를 위한 구체적인 내용

- <13> 이어서, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다.
- <14> 도 3은 본 발명의 바람직한 일 실시예에 따른 위상-디지털 변환기의 회로도이며, 도 4는 본 발명의 바람직한 일 실시예에 따른 위상-디지털 변환기의 동작을 설명하기 위한 타이밍도이다.
- <15> 도 3 및 도 4를 참조하면, 본 발명에 따른 위상-디지털 변환기는 지연단(301_1, 302_2, 301_3, ..., 301_N-1, 301_N, 301_N+1), 플립플롭(303_1, 303_2, 303_3, ..., 303_N-1, 303_N, 303_N+1), 선택신호발생기(305_1, 305_2, ..., 305_N-1, 305_N), 믹스(MUX, 307) 및 버퍼(309)를 포함한다. 본 발명은 상기의 구성을 가지는 위상-디지털 변환기가 계층구조로 되어 있으며, 앞 단계일수록 낮은 해상도를 가지나 넓은 위상 검출 범위를 갖는 위상-디지털 변환기를 사용하고 다음 단계로 넘어 갈수록 높은 해상도를 가지나 좁은 위상 검출 범위를 갖는 위상-디지털 변환기를 사용한다. 도 3에서 IN_1 및 IN_2 는 위상차를 검출하는 대상 신호들인 입력신호를 의미하며, 상기 위상-디지털 변환기의 출력신호인 OUT_1 및 OUT_2 는 다음 단계의 위상-디지털 검출기의 입력신호에 해당된다.
- <16> 상기 지연단(301_1, 302_2, 301_3, ..., 301_N-1, 301_N, 301_N+1)은 입력신호 IN_1 을 일정한 지연 시간(T) 만큼 지연시키는 기능을 수행한다. 상기 IN_1 신호가 지연단(301_1)을 통과한 신호를 $IN_{1<1>}$ 이라 하면 $IN_{1<1>}$ 신호는 IN_1 신호와 비교하여 T 만큼 지연된 신호이다. 다시 $IN_{1<1>}$ 신호가 지연단(301_2)을 통과한 신호를 $IN_{1<2>}$ 이라 하면 $IN_{1<2>}$ 신호는 IN_1 신호와 비교하여 2T 만큼 지연된 신호이다(도 4의 타이밍도 참조).
- <17> 상기 플립플롭(303_1, 303_2, 303_3, ..., 303_N-1, 303_N, 303_N+1)은 IN_2 의 상승 에지 시점에서 IN_1 신호가 상기 지연단에 의해 지연된 신호($IN_{1<1>}$, $IN_{1<2>}$, ..., $IN_{1<N>}$)들의 값을 출력값($THR<0>$, $THR<1>$, ..., $THR<N-1>$, $THR<N>$)으로 출력한다.
- <18> 상기 선택신호발생기(305_1, 305_2, ..., 305_N-1, 305_N)는 AND 게이트와 인버터 게이트로 구성되어 있으며, 인접한 두 플립플롭의 출력을 입력받아 IN_1 의 지연 신호($IN_{1<1>}$, $IN_{1<2>}$, ..., $IN_{1<N>}$)들 중에서 IN_2 와 가장 인접한 신호를 찾을 수 있는 선택 신호를 발생시킨다.
- <19> 상기 믹스(307)는 상기 IN_1 의 지연 신호($IN_{1<1>}$, $IN_{1<2>}$, ..., $IN_{1<N>}$)들 및 상기 선택신호발생기에서 발생된 선택 신호를 입력받아 IN_1 의 지연 신호($IN_{1<1>}$, $IN_{1<2>}$, ..., $IN_{1<N>}$)들 중에서 IN_2 와 가장 인접한 신호를 출력(OUT_1)으로 출력시킨다.
- <20> 한편 IN_2 신호는 다음 단계의 위상-디지털 변환기의 입력 부하를 고려하여 상기 버퍼(309)를 경유하여 OUT_2 로 출력될 수 있다.
- <21> IN_1 신호와 IN_2 신호의 차이가 도 4의 타이밍도와 같이 $3T+D$ 인 경우의 예를 들어 상기 위상-디지털 변환기의 동작을 설명하기로 한다.
- <22> 상기 IN_1 신호가 상기 지연단(301_1, 302_2, 301_3, 301_4)을 통과하여 지연된 신호 $IN_{1<1>}$, $IN_{1<2>}$, $IN_{1<3>}$, $IN_{1<4>}$ 는 도 4에 도시된 타이밍도와 같다. 이때 플립플롭(303_1, 303_2, 303_3)의 출력신호 $THR<1>$, $THR<2>$, $THR<3>$ 은 모두 1이 되고, 플립플롭(303_4)의 출력신호 $THR<4>$ 는 0이 된다. 플립플롭(303_4)이후의 플립플롭의 출력신호들은 모두 0이 된다. 즉 플립플롭의 출력 $THR<1:N>$ 은 지연신호들인 $IN_{1<1:N>}$ 중에서 IN_2 신호와 위상 차이가 T보다 작아질 때까지 1을 출력하고 IN_2 신호보다 더 지연되는 나머지 지연신호들을 입력받은 플립플롭들은 0을 출력한다.
- <23> 상기 선택신호발생기(305)는 플립플롭(303)의 출력 $THR<1:N>$ 이 1에서 0으로 바뀌는 지점을 찾아내어 지연신호

$IN_1<1:N>$ 중에서 IN_2 신호와 가장 가까운 신호를 찾아내는 역할을 수행한다. 도 4의 예에서 $sel<1>$ 및 $sel<2>$ 는 0이 되고, $sel<3>$ 은 1이 된다. $sel<3>$ 을 제외한 선택신호 발생기(305)의 출력은 모두 0이 된다.

<24> 선택신호 발생기(305)의 출력신호를 수신한 믹스(307)는 $sel<3>$ 이 1인 것을 확인하고, $IN_1<3>$ 을 출력신호(OUT_1)로 출력한다.

<25> 상기 과정에서 의해서 OUT_1 은 $IN_1<3>$ 이 되고, OUT_2 는 IN_2 가 되므로, 상기 OUT_1 및 OUT_2 는 상기 위상-디지털 변환기의 해상도인 T 이하로 지연이 보정된 상태에서 다음 단계의 위상-디지털 변환기의 입력으로 들어가게 된다. 즉 상기 OUT_1 및 OUT_2 는 D 의 위상차를 가지며 D 의 위상차는 좀 더 세밀한 해상도를 갖는 다음 단계의 위상-디지털 변환기에서 검출될 수 있다.

<26> 도 5는 본 발명의 바람직한 일 실시예에 따른 계층적 구조를 갖는 위상-디지털 변환기의 블록도이다.

<27> 도 5를 참조하면, 본 발명에 따른 위상-디지털 변환기는 계층적 구조로 되어 있으며 앞 단계일수록 낮은 해상도를 가지나 넓은 위상 검출 범위를 갖는 위상-디지털 변환기를 사용하고 다음 단계로 넘어 갈수록 높은 해상도를 가지나 좁은 위상 검출 범위를 갖는 위상-디지털 변환기를 사용한다. 각 단계에서의 위상-디지털 변환기는 도 3을 참조하여 설명한 위상-디지털 변환기의 구성을 가지고 있다. 제일 마지막 단계의 위상-디지털 변환기는 종래의 위상-디지털 변환기가 그대로 사용될 수 있다. 계층적 구조를 가지는 각 단계의 위상-디지털 변환기는 위상을 검출한 만큼의 위상을 보정한 뒤에 다음 단계로 출력 신호를 보내고, 다음 단계의 위상-디지털 변환기에서는 위상 검출 범위를 줄이도록 한다.

<28> 도 6은 본 발명의 바람직한 일 실시예에 따른 계층적 구조를 갖는 위상-디지털 변환기의 동작 파형을 나타낸 도면이다.

<29> 도 6을 참조하면, 앞단의 위상-디지털 변환기의 해상도는 T_1 이 되고, 상기 T_1 의 해상도를 가지는 위상-디지털 변환기에서 위상차가 T_1 보다 작은 D 만큼 되도록 보정을 수행한다. 다음 단계의 위상-디지털 변환기는 해상도가 T_1 보다 작은 해상도 T_2 에 의해서 위상차 D 를 검출한다. 이때 T_2 의 해상도로 상기 위상차 D 를 검출하지 못하는 경우 다음 단계에서 좀 더 세밀한 해상도를 가지고 위상차 D 를 검출할 수 있다.

<30> 상기와 같이 앞단의 위상-디지털 검출기는 T_1 이하로 지연이 보정된 상태로 다음 단계의 위상-디지털 변환기의 입력으로 보내므로, 다음 단계의 위상-디지털 변환기가 더 조밀한 해상도를 가져도 지연단의 수가 많을 필요가 없어지게 되어 결과적으로 많은 지연단이 필요 없게 된다.

<31> 한편, 본 발명의 실시예에서는 구체적인 실시예에 관해 설명하였으나, 본 발명의 범위에서 벗어나지 않는 한도 내에서 여러 가지 변형이 가능함은 물론이다. 그러므로 본 발명의 범위는 설명된 실시예에 국한되어 정해져서는 안되며 후술하는 특허 청구의 범위뿐만 아니라 이 특허 청구의 범위와 균등한 것들에 의해 정해져야 한다.

도면의 간단한 설명

<32> 도 1은 종래의 광범위 저정밀 위상-디지털 변환기의 블록도이다.

<33> 도 2는 종래의 협범위 고정밀 위상-디지털 변환기의 블록도이다.

<34> 도 3은 본 발명의 바람직한 일 실시예에 따른 위상-디지털 변환기의 회로도.

<35> 도 4는 본 발명의 바람직한 일 실시예에 따른 위상-디지털 변환기의 동작을 설명하기 위한 타이밍도.

<36> 도 5는 본 발명의 바람직한 일 실시예에 따른 계층적 구조를 갖는 위상-디지털 변환기의 블록도.

<37> 도 6은 본 발명의 바람직한 일 실시예에 따른 계층적 구조를 갖는 위상-디지털 변환기의 동작 파형을 나타낸 도면.

<38> <도면의 주요 부분에 대한 부호의 설명>

<39> 301 : 지연단

<40> 303 : 플립플롭

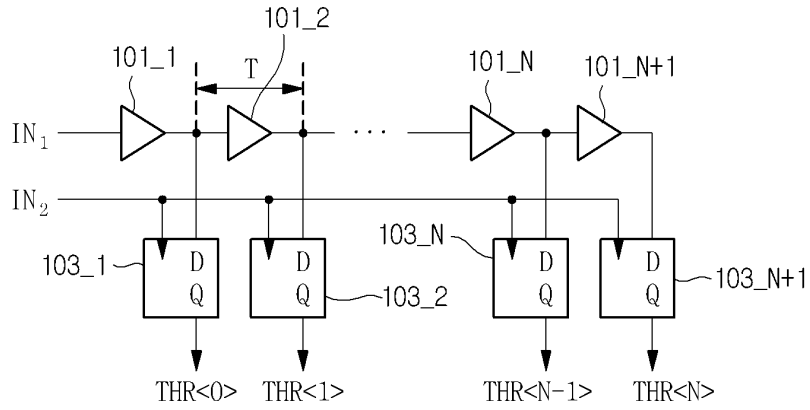
<41> 305 : 선택신호발생기

<42>

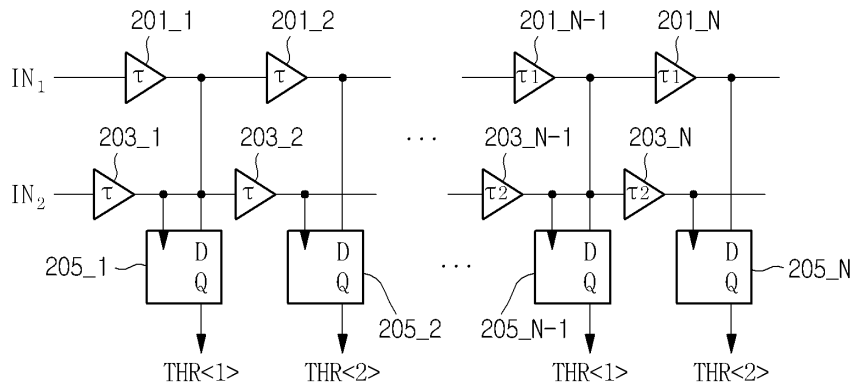
307 : 믹스(MUX)

도면

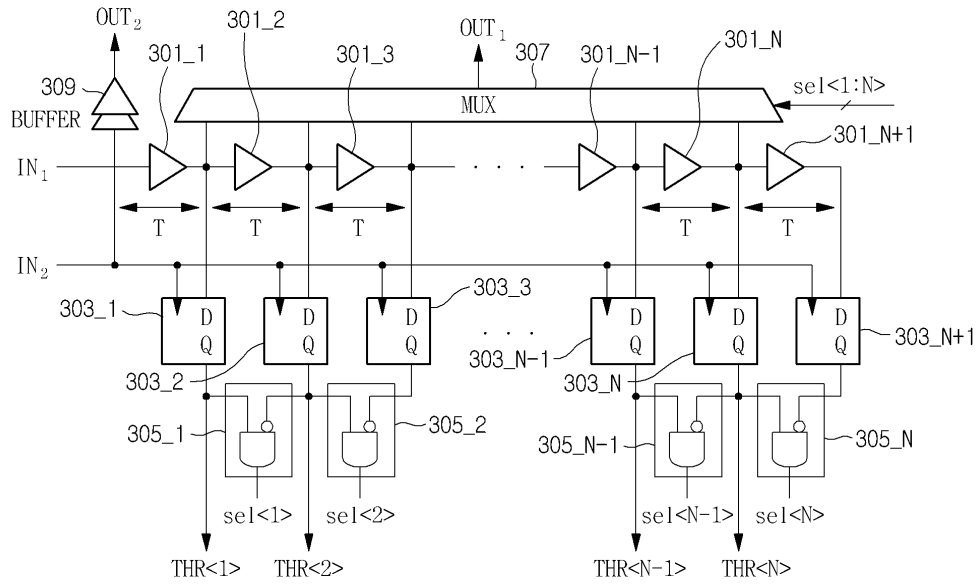
도면1



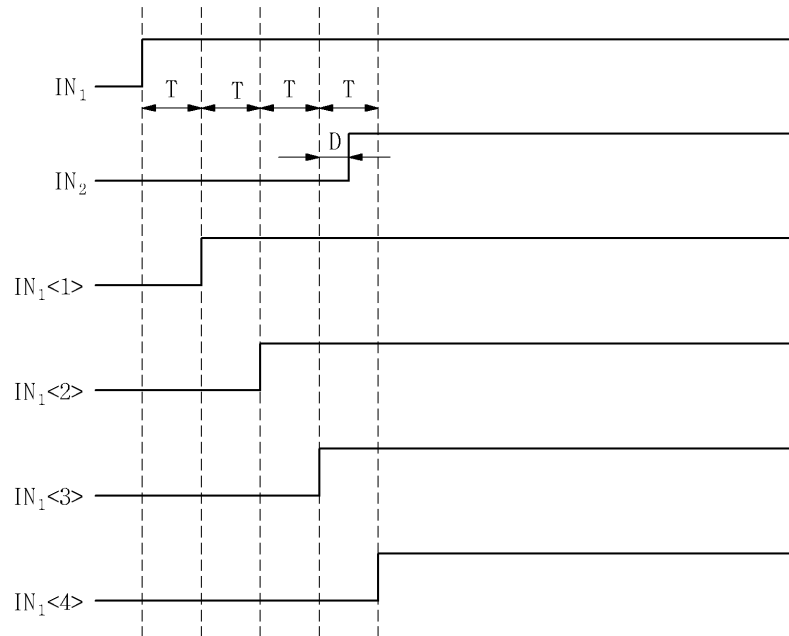
도면2



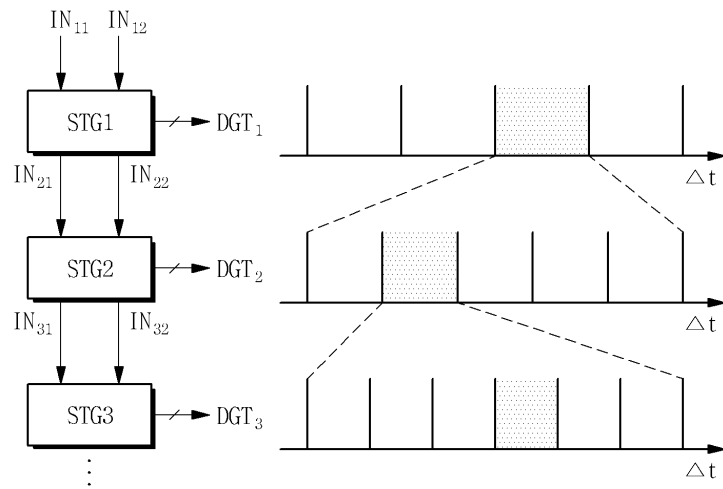
도면3



도면4



도면5



도면6

