

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2017年12月14日 (14.12.2017)



(10) 国际公布号
WO 2017/211094 A1

(51) 国际专利分类号:
G11C 19/28 (2006.01)

(21) 国际申请号: PCT/CN2017/073783

(22) 国际申请日: 2017年2月16日 (16.02.2017)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201610394120.3 2016年6月6日 (06.06.2016) CN

(71) 申请人: 京东方科技集团股份有限公司
(BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN];
中国北京市朝阳区酒仙桥路10号,
Beijing 100015 (CN)。 合肥鑫晟光电科技有

限公司 (HEFEI XINSHENG OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国安徽省合肥市高新区工业园, Anhui 230012 (CN)。

(72) 发明人: 赵剑 (ZHAO, Jian); 中国北京市经济技术开发区地泽路9号, Beijing 100176 (CN)。 陈沫 (CHEN, Mo); 中国北京市经济技术开发区地泽路9号, Beijing 100176 (CN)。 熊雄 (XIONG, Xiong); 中国北京市经济技术开发区地泽路9号, Beijing 100176 (CN)。

(74) 代理人: 中科专利商标代理有限责任公司 (CHINA SCIENCE PATENT & TRADEMARK AGENT LTD.); 中国北京市海淀区西三环北路87号4-1105室, Beijing 100089 (CN)。

(54) Title: SHIFT REGISTER, GATE DRIVE CIRCUIT AND DISPLAY DEVICE

(54) 发明名称: 一种移位寄存器、栅极驱动电路及显示装置

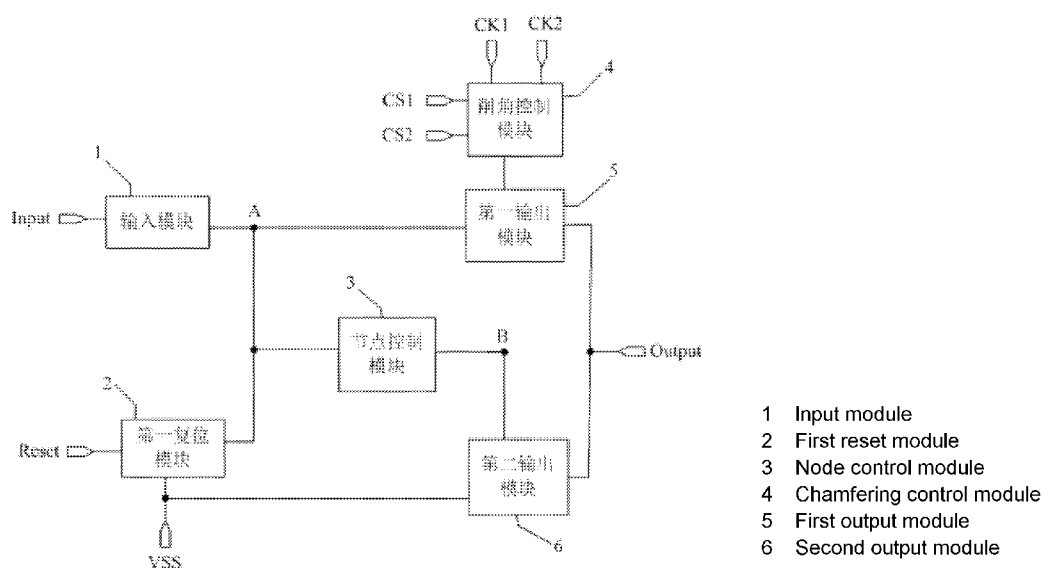


图 1A

(57) Abstract: A shift register, a gate drive circuit and a display device. The shift register comprises: an input unit (1), a first reset unit (2), a node control unit (3), a chamfering control unit (4), a first output unit (5) and a second output unit (6). The shift register is configured such that the potential of a scanning signal output by a drive signal output end (Output) changes, so as to form a scanning signal with a chamfering waveform.

(57) 摘要: 一种移位寄存器、栅极驱动电路及显示装置。所述移位寄存器包括: 输入单元 (1)、第一复位单元 (2)、节点控制单元 (3)、削角控制单元 (4)、第一输出单元 (5) 以及第二输出单元 (6); 所述移位寄存器配置为使驱动信号输出端 (Output) 输出的扫描信号的电位发生改变, 以形成具有削角波形的扫描信号。



WO 2017/211094 A1

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告 (条约第21条(3))。

一种移位寄存器、栅极驱动电路及显示装置

技术领域

本发明涉及显示器技术领域，尤其涉及一种背光控制方法和背光模组，以及包含该背光模组的显示装置。

背景技术

阵列基板行驱动（Gate Driver on Array, GOA）技术将薄膜晶体管（Thin Film Transistor, TFT）栅极开关电路集成在显示面板的阵列基板上以形成对显示面板的扫描驱动。传统栅极驱动电路由多个级联的移位寄存器组成，各级移位寄存器的驱动信号输出端分别对应连接一条栅线，通过各级移位寄存器实现依次向显示面板上的各行栅线输入扫描信号。然而，在显示晶体管从导通到关闭的瞬间，由于显示晶体管中栅极和漏极之间产生的耦合电容较大，造成像素电极上的电压产生的跳变电压 ΔV_p 较大，从而导致显示面板在显示画面时出现闪烁、残像等问题。

发明内容

本发明实施例提供一种移位寄存器、栅极驱动电路及显示装置。

因此，本发明实施例提供了一种移位寄存器，包括：

输入单元，所述输入单元的第一端与输入信号端相连，第二端与第一节点相连；所述输入单元配置为在所述输入信号端的控制下将所述输入信号端的信号提供给所述第一节点；

第一复位单元，所述第一复位单元的第一端与复位信号端相连，第二端与所述第一节点相连，第三端与参考信号端相连；所述第一复位单元配置为在所述复位信号端的控制下将所述参考信号端的信号提供给所述第一节点；

节点控制单元，所述节点控制单元的第一端与所述第一节点相连，第二端与第二节点相连；所述节点控制单元配置为控制所述第一节点的电位与所述第二节点的电位相反；

削角控制单元，所述削角控制单元的第一端与第一时钟信号端相连，第二端与第二时钟信号端相连，第三端与第一削角控制信号端相连，第四端与第二削角控制信号端相连，第五端与所述第一输出单元的第一端相连；所述削角控制单元配置为在所述第一削角控制信号端的控制下将所述第一时钟信号端的信号提供给第一输出单元的第一端，在

所述第二削角控制信号端的控制下将所述第二时钟信号端的信号提供给所述第一输出单元的第一端；其中，所述第一时钟信号端的信号的电压幅度与所述第二时钟信号端的信号的电压幅度不相同；

第一输出单元，所述第一输出单元的第二端与所述第一节点相连，第三端与所述移位寄存器的驱动信号输出端相连；所述第一输出单元配置为在所述第一节点的控制下将所述第一输出单元的第一端的信号提供给所述驱动信号输出端，以及在所述第一节点处于浮接状态时，保持所述第一节点与所述驱动信号输出端之间的电压差稳定；以及

第二输出单元，所述第二输出单元的第一端与所述参考信号端相连，第二端与所述第二节点相连，第三端与所述驱动信号输出端相连；所述第二输出单元配置为在所述第二节点的控制下将所述参考信号端的信号提供给所述驱动信号输出端。

在一种可能的实施方式中，在本发明实施例提供的上述移位寄存器中，所述节点控制单元包括：

第一控制子单元，所述第一控制子单元的第一端与所述参考信号端相连，第二端与所述第一节点相连，第三端与所述第二节点相连；所述第一控制子单元配置为在所述第二节点的控制下将所述参考信号端的信号提供给所述第一节点；

第二控制子单元，所述第二控制子单元的第一端与第三时钟信号端相连，第二端与所述参考信号端相连，第三端与所述第一节点相连，第四端与所述第二节点相连；所述第二控制子单元配置为仅在所述第三时钟信号端的控制下将所述第三时钟信号端的信号提供给所述第二节点，在所述第三时钟信号端和所述第一节点的共同控制下使所述第三时钟信号端与所述第二节点之间断路，在所述第一节点的控制下使所述第三时钟信号端与所述第二节点之间断路，以及在所述第一节点的控制下将所述参考信号端的信号提供给所述第二节点。

在一种可能的实施方式中，在本发明实施例提供的上述移位寄存器中，所述第一控制子单元包括：第一开关晶体管，所述第一开关晶体管的栅极与所述第二节点相连，源极与所述参考信号端相连，漏极与所述第一节点相连。

在一种可能的实施方式中，在本发明实施例提供的上述移位寄存器中，所述第二控制子单元包括：第二开关晶体管、第三开关晶体管、第四开关晶体管和第五开关晶体管；其中，

所述第二开关晶体管的栅极和源极均与所述第三时钟信号端相连，漏极分别与所述

第三开关晶体管的栅极、以及所述第四开关晶体管的漏极相连；

所述第三开关晶体管的源极与所述第三时钟信号端相连，漏极与所述第二节点相连；

所述第四开关晶体管的栅极与所述第一节点相连，源极与所述参考信号端相连；

所述第五开关晶体管的栅极与所述第一节点相连，源极与所述参考信号端相连，漏极与所述第二节点相连。

在一种可能的实施方式中，在本发明实施例提供的上述移位寄存器中，所述输入单元包括：第六开关晶体管，所述第六开关晶体管的栅极和源极均与所述输入信号端相连，漏极与所述第一节点相连。

在一种可能的实施方式中，在本发明实施例提供的上述移位寄存器中，所述第一复位单元包括：第七开关晶体管，所述第七开关晶体管的栅极与所述复位信号端相连，源极与所述参考信号端相连，漏极与所述第一节点相连。

在一种可能的实施方式中，在本发明实施例提供的上述移位寄存器中，所述削角控制单元包括：

第八开关晶体管，所述第八开关晶体管的栅极与所述第一削角控制信号端相连，源极与所述第一时钟信号端相连，漏极与所述第一输出单元的第一端相连；

第九开关晶体管，所述第九开关晶体管的栅极与所述第二削角控制信号端相连，源极与所述第二时钟信号端相连，漏极与所述第一输出单元的第一端相连。

在一种可能的实施方式中，在本发明实施例提供的上述移位寄存器中，所述第一输出单元包括：

第十开关晶体管，所述第十开关晶体管的栅极与所述第一节点相连，源极与所述第一输出单元的第一端相连，漏极与所述驱动信号输出端相连；以及

电容，所述电容的第一端与所述第一节点相连，第二端与所述驱动信号输出端相连。

在一种可能的实施方式中，在本发明实施例提供的上述移位寄存器中，所述第二输出单元包括：第十一开关晶体管；其中，

所述第十一开关晶体管的栅极与所述第二节点相连，源极与所述参考信号端相连，漏极与所述驱动信号输出端相连。

在一种可能的实施方式中，在本发明实施例提供的上述移位寄存器中，还包括：第二复位单元，所述第二复位单元的第一端与所述复位信号端相连，第二端与所述参考信

号端相连，第三端与所述驱动信号输出端相连；所述第二复位单元配置为在所述复位信号端的控制下将所述参考信号端的信号提供给所述驱动信号输出端。

在一种可能的实施方式中，在本发明实施例提供的上述移位寄存器中，所述第二复位单元包括：第十二开关晶体管，所述第十二开关晶体管的栅极与所述复位信号端相连，源极与所述参考信号端相连，漏极与所述驱动信号输出端相连。

在一种可能的实施方式中，在本发明实施例提供的上述移位寄存器中，还包括：第一稳定单元，所述第一稳定单元的第一端与所述第三时钟信号端相连，第二端与所述输入信号端相连，第三端与所述第一节点相连；所述第一稳定单元配置为在所述第三时钟信号端的控制下将所述输入信号端的信号提供给所述第一节点。

在一种可能的实施方式中，在本发明实施例提供的上述移位寄存器中，所述第一稳定单元包括：第十三开关晶体管，所述第十三开关晶体管的栅极与所述第三时钟信号端相连，源极与所述输入信号端相连，漏极与所述第一节点相连。

在一种可能的实施方式中，在本发明实施例提供的上述移位寄存器中，还包括：第二稳定单元，所述第二稳定单元的第一端与所述第三时钟信号端相连，第二端与所述参考信号端相连，第三端与所述驱动信号输出端相连；所述第二稳定单元配置为在所述第三时钟信号端的控制下将所述参考信号端的信号提供给所述驱动信号输出端。

在一种可能的实施方式中，在本发明实施例提供的上述移位寄存器中，所述第二稳定单元包括：第十四开关晶体管，所述第十四开关晶体管的栅极与所述第三时钟信号端相连，源极与所述参考信号端相连，漏极与所述驱动信号输出端相连。

相应地，本发明实施例还提供了一种栅极驱动电路，包括级联的多个本发明实施例提供的上述任一种移位寄存器；其中，

第一级移位寄存器的输入信号端与帧触发信号端相连；

除第一级移位寄存器之外，其余各级移位寄存器的输入信号端分别与上一级移位寄存器的驱动信号输出端相连；

除最后一级移位寄存器之外，其余各级移位寄存器的复位信号端分别与下一级移位寄存器的驱动信号输出端相连。

相应地，本发明实施例还提供了一种显示装置，包括根据本发明实施例的上述栅极驱动电路。

附图说明

图 1A 为根据本发明实施例的移位寄存器的结构示意图之一；
图 1B 为根据本发明实施例的移位寄存器的结构示意图之二；
图 2A 为根据本发明实施例的移位寄存器的结构示意图之三；
图 2B 为根据本发明实施例的移位寄存器的结构示意图之四；
图 3A 为根据本发明实施例的移位寄存器的具体结构示意图之一；
图 3B 为根据本发明实施例的移位寄存器的具体结构示意图之二；
图 4A 为根据本发明实施例的移位寄存器的具体结构示意图之三；
图 4B 为根据本发明实施例的移位寄存器的具体结构示意图之四；
图 5A 为根据图 4A 的移位寄存器的电路时序图；
图 5B 为根据图 4B 的移位寄存器的电路时序图；
图 6 为根据本发明实施例的栅极驱动电路的结构示意图。

具体实施方式

下面结合附图，对根据本发明实施例的移位寄存器、栅极驱动电路及显示装置的具体实施方式进行详细地说明。

本发明实施例提供了一种移位寄存器，如图 1A 所示，包括：输入单元 1、第一复位单元 2、节点控制单元 3、削角控制单元 4、第一输出单元 5 以及第二输出单元 6；其中，

输入单元 1 的第一端与输入信号端 Input 相连，第二端与第一节点 A 相连；输入单元 1 配置为在输入信号端 Input 的控制下将输入信号端 Input 的信号提供给第一节点 A；

第一复位单元 2 的第一端与复位信号端 Reset 相连，第二端与第一节点 A 相连，第三端与参考信号端 VSS 相连；第一复位单元 2 配置为在复位信号端 Reset 的控制下将参考信号端 VSS 的信号提供给第一节点 A；

节点控制单元 3 的第一端与第一节点 A 相连，第二端与第二节点 B 相连；节点控制单元 3 配置为控制第一节点 A 的电位与第二节点 B 的电位相反；

削角控制单元 4 的第一端与第一时钟信号端 CK1 相连，第二端与第二时钟信号端 CK2 相连，第三端与第一削角控制信号端 CS1 相连，第四端与第二削角控制信号端 CS2 相连，第五端与第一输出单元 5 的第一端相连；削角控制单元 4 配置为在第一削角控制信号端 CS1 的控制下将第一时钟信号端 CK1 的信号提供给第一输出单元 5 的第一端，

在第二削角控制信号端 CS2 的控制下将第二时钟信号端 CK2 的信号提供给第一输出单元 5 的第一端；其中，第一时钟信号端 CK1 的信号的电压幅度与第二时钟信号端 CK2 的信号的电压幅度不相同；

第一输出单元 5 的第二端与第一节点 A 相连，第三端与移位寄存器的驱动信号输出端 Output 相连；第一输出单元 5 配置为在第一节点 A 的控制下将第一输出单元 5 的第一端的信号提供给驱动信号输出端 Output，以及在第一节点 A 处于浮接状态时，保持第一节点 A 与驱动信号输出端 Output 之间的电压差稳定；

第二输出单元 6 的第一端与参考信号端 VSS 相连，第二端与第二节点 B 相连，第三端与驱动信号输出端 Output 相连；第二输出单元 6 配置为在第二节点 B 的控制下将参考信号端 VSS 的信号提供给驱动信号输出端 Output。

在根据本发明实施例的上述移位寄存器中，第一时钟信号端的信号与第二时钟信号端的信号相位相反。

在具体实施时，第一时钟信号端的信号的电压幅度与第二时钟信号端的信号的电压幅度的差异越大，得到的扫描信号的削角幅度越大。

具体地，在具体实施时，在根据本发明实施例的上述移位寄存器中，如图 2A 和图 2B 所示，节点控制单元 3 具体可以包括：第一控制子单元 31 和第二控制子单元 32；其中，

第一控制子单元 31 的第一端与参考信号端 VSS 相连，第二端与第一节点 A 相连，第三端与第二节点 B 相连；第一控制子单元 31 配置为在第二节点 B 的控制下将参考信号端 VSS 的信号提供给第一节点 A；

第二控制子单元 32 的第一端与第三时钟信号端 CK3 相连，第二端与参考信号端 VSS 相连，第三端与第一节点 A 相连，第四端与第二节点 B 相连；第二控制子单元 32 配置为仅在第三时钟信号端 CK3 的控制下将第三时钟信号端 CK3 的信号提供给第二节点 B，在第三时钟信号端 CK3 和第一节点 A 的共同控制下使第三时钟信号端 CK3 与第二节点 B 之间断路，在第一节点 A 的控制下使第三时钟信号端 CK3 与第二节点 B 之间断路，以及在第一节点 A 的控制下将参考信号端 VSS 的信号提供给第二节点 B。

进一步地，当驱动信号输出端 Output 输出完成后，为了进一步保证驱动信号输出端 Output 的电位能够及时与输入信号端 Input 的有效脉冲信号的电位相反，在具体实施时，

在本发明实施例提供的上述移位寄存器中，如图 1B 和图 2B 所示，还包括：第二复位单元 7。第二复位单元 7 的第一端与复位信号端 Reset 相连，第二端与参考信号端 VSS 相连，第三端与驱动信号输出端 Output 相连；第二复位单元 7 配置为在复位信号端 Reset 的控制下将参考信号端 VSS 的信号提供给驱动信号输出端 Output。

进一步地，为了使第一节点 A 的电位处于稳定状态，在具体实施时，在根据本发明实施例的上述移位寄存器中，如图 1B 和图 2B 所示，还包括：第一稳定单元 8。第一稳定单元 8 的第一端与第三时钟信号端 CK3 相连，第二端与输入信号端 Input 相连，第三端与第一节点 A 相连；第一稳定单元 8 配置为在第三时钟信号端 CK3 的控制下将输入信号端 Input 的信号提供给第一节点 A。

进一步地，为了使驱动信号输出端 Output 处于稳定状态，在具体实施时，在根据本发明实施例的上述移位寄存器中，如图 1B 和图 2B 所示，还包括：第二稳定单元 9。第二稳定单元 9 的第一端与第三时钟信号端 CK3 相连，第二端与参考信号端 VSS 相连，第三端与驱动信号输出端 Output 相连；第二稳定单元 9 配置为在第三时钟信号端 CK3 的控制下将参考信号端 VSS 的信号提供给驱动信号输出端 Output。

下面结合具体实施例，对本发明进行详细说明。需要说明的是，本实施例是为了更好的解释本发明，但不限制本发明。

具体地，在根据本发明实施例的上述移位寄存器中，如图 3A 至图 4B 所示，第一控制子单元 31 具体可以包括：第一开关晶体管 M1。第一开关晶体管 M1 的栅极与第二节点 B 相连，源极与参考信号端 VSS 相连，漏极与第一节点 A 相连。

在具体实施时，在根据本发明实施例的上述移位寄存器中，当输入信号端 Input 的有效脉冲信号为高电位时，如图 3A 和图 4A 所示，第一开关晶体管 M1 可以为 N 型开关晶体管；或者，当输入信号端 Input 的有效脉冲信号为低电位时，如图 3B 和图 4B 所示，第一开关晶体管 M1 也可以为 P 型开关晶体管，在此不作限定。

在具体实施时，在根据本发明实施例的上述移位寄存器中，当第一开关晶体管在第二节点的控制下处于导通状态时，将参考信号端的信号提供给第一节点。

以上仅是举例说明移位寄存器中第一控制子单元的具体结构，在具体实施时，第一控制子单元的具体结构不限于本发明实施例提供的上述结构，还可以是本领域技术人员可知的其他结构，在此不作限定。

具体地，在具体实施时，在根据本发明实施例的上述移位寄存器中，如图 3A 至图

4B 所示, 第二控制子单元 32 具体可以包括: 第二开关晶体管 M2、第三开关晶体管 M3、第四开关晶体管 M4 和第五开关晶体管 M5; 其中,

第二开关晶体管 M2 的栅极和源极均与第三时钟信号端 CK3 相连, 漏极分别与第三开关晶体管 M3 的栅极、以及第四开关晶体管 M4 的漏极相连;

第三开关晶体管 M3 的源极与第三时钟信号端 CK3 相连, 漏极与第二节点 B 相连;

第四开关晶体管 M4 的栅极与第一节点 A 相连, 源极与参考信号端 VSS 相连;

第五开关晶体管 M5 的栅极与第一节点 A 相连, 源极与参考信号端 VSS 相连, 漏极与第二节点 B 相连。

在具体实施时, 在根据本发明实施例的上述移位寄存器中, 当输入信号端 Input 的有效脉冲信号为高电位时, 如图 3A 和图 4A 所示, 第二开关晶体管 M2、第三开关晶体管 M3、第四开关晶体管 M4 和第五开关晶体管 M5 可以为 N 型开关晶体管; 或者, 当输入信号端 Input 的有效脉冲信号为低电位时, 如图 3B 和图 4B 所示, 第二开关晶体管 M2、第三开关晶体管 M3、第四开关晶体管 M4 和第五开关晶体管 M5 可以为 P 型开关晶体管, 在此不作限定。

在具体实施时, 在根据本发明实施例的上述移位寄存器中, 当第二开关晶体管在第三时钟信号端的控制下处于导通状态时, 将第三时钟信号端的信号提供给第三开关晶体管的栅极; 当第三开关晶体管在其栅极的信号的控制下处于导通状态时, 将第三时钟信号端的信号提供给第二节点; 当第四开关晶体管在第一节点的控制下处于导通状态时, 将参考信号端的信号提供给第三开关晶体管的栅极; 当第五开关晶体管在第一节点的控制下处于导通状态时, 将参考信号端的信号提供给第二节点。

在具体实施时, 在根据本发明实施例的上述移位寄存器中, 在工艺制备时可以将第五开关晶体管的尺寸设置的比第三开关晶体管的尺寸大, 这样设置使得当输入信号端为有效脉冲信号时, 第一节点的电位为输入信号端的有效脉冲信号的电位, 可以使第五开关晶体管在第一节点的控制下将参考信号端的信号提供给第二节点的速率大于第三开关晶体管在其栅极的信号的控制下将第三时钟信号端的信号提供给第二节点的速率, 从而保证在此阶段第二节点的电位与第一节点的电位相反。

以上仅是举例说明移位寄存器中第二控制子单元的具体结构, 在具体实施时, 第二控制子单元的具体结构不限于本发明实施例提供的上述结构, 还可以是本领域技术人员可知的其他结构, 在此不作限定。

具体地，在根据本发明实施例的上述移位寄存器中，如图 3A 至图 4B 所示，输入单元 1 具体可以包括：第六开关晶体管 M6。第六开关晶体管 M6 的栅极和源极均与输入信号端 Input 相连，漏极与第一节点 A 相连。

在具体实施时，在根据本发明实施例的上述移位寄存器中，当输入信号端 Input 的有效脉冲信号为高电位时，如图 3A 和图 4A 所示，第六开关晶体管 M6 可以为 N 型开关晶体管；或者，当输入信号端 Input 的有效脉冲信号为低电位时，如图 3B 和图 4B 所示，第六开关晶体管 M6 也可以为 P 型开关晶体管，在此不作限定。

在具体实施时，在根据本发明实施例的上述移位寄存器中，当第一开关晶体管在输入信号端的控制下处于导通状态时，将输入信号端的信号提供给第一节点。

以上仅是举例说明移位寄存器中输入单元的具体结构，在具体实施时，输入单元的具体结构不限于本发明实施例提供的上述结构，还可以是本领域技术人员可知的其他结构，在此不作限定。

具体地，在根据本发明实施例的上述移位寄存器中，如图 3A 至图 4B 所示，第一复位单元 2 具体可以包括：第七开关晶体管 M7；其中，

第七开关晶体管 M7 的栅极与复位信号端 Reset 相连，源极与参考信号端 VSS 相连，漏极与第一节点 A 相连。

在具体实施时，在根据本发明实施例的上述移位寄存器中，如图 3A 至图 4B 所示，第七开关晶体管 M7 可以为 N 型开关晶体管，也可以为 P 型开关晶体管，在此不作限定。

在具体实施时，在根据本发明实施例的上述移位寄存器中，当第七开关晶体管在复位信号端的控制下处于导通状态时，将参考信号端的信号提供给第一节点。

以上仅是举例说明移位寄存器中第一复位单元的具体结构，在具体实施时，第一复位单元的具体结构不限于本发明实施例提供的上述结构，还可以是本领域技术人员可知的其他结构，在此不作限定。

具体地，在根据本发明实施例的上述移位寄存器中，如图 3A 至图 4B 所示，削角控制单元具体可以包括：第八开关晶体管 M8 和第九开关晶体管 M9。第八开关晶体管 M8 的栅极与第一削角控制信号端 CS1 相连，源极与第一时钟信号端 CK1 相连，漏极与第一输出单元 5 的第一端相连；

第九开关晶体管 M9 的栅极与第二削角控制信号端 CS2 相连，源极与第二时钟信号端 CK2 相连，漏极与第一输出单元 5 的第一端相连。

在具体实施时，在根据本发明实施例的上述移位寄存器中，如图 3A 至图 4B 所示，第八开关晶体管 M8 和第九开关晶体管 M9 可以为 N 型开关晶体管，也可以为 P 型开关晶体管，在此不作限定。

在具体实施时，在本发明实施例提供的上述移位寄存器中，当第八开关晶体管在第一削角控制信号端的控制下处于导通状态时，将第一时钟信号端的信号提供给第一输出单元的第一端；当第九开关晶体管在第二削角控制信号端的控制下处于导通状态时，将第二时钟信号端的信号提供给第一输出单元的第一端。

在具体实施时，在本发明实施例提供的上述移位寄存器中，第一削角控制信号端的信号和第二削角控制信号端的信号分别为与第一时钟信号端的信号周期相同、占空比不同的时钟信号。第一削角控制信号端的信号与第二削角控制信号端的信号的相位相反，并且第一削角控制信号端的信号和第二削角控制信号端的信号的占空比之和为 1。

当输入信号端的有效脉冲信号为高电位时，第一削角控制信号端的信号的上升沿与第一时钟信号端的信号的上升沿对齐，以及第一削角控制信号端的信号的占空比小于第一时钟信号端的信号的占空比，且第一削角控制信号端的信号的占空比大于第一时钟信号端的信号的占空比的 $\frac{8}{9}$ 。

当输入信号端的有效脉冲信号为低电位时，第二削角控制信号端的信号的上升沿与第一时钟信号端的信号的下降沿对齐，第二削角控制信号端的信号的占空比小于第一时钟信号端的信号的占空比，且第二削角控制信号端的信号的占空比大于第一时钟信号端的信号的占空比的 $\frac{8}{9}$ 。

在具体实施时，在根据本发明实施例的上述移位寄存器中，在第一削角控制信号端的一个周期内，第一削角控制信号端的信号的占空比越接近第一时钟信号端的信号的占空比，驱动信号输出端输出的扫描信号中削角的宽度越小。

以上仅是举例说明移位寄存器中削角控制单元的具体结构，在具体实施时，削角控制单元的具体结构不限于本发明实施例提供的上述结构，还可以是本领域技术人员可知的其他结构，在此不作限定。

具体地，在根据本发明实施例的上述移位寄存器中，如图 3A 至图 4B 所示，第一输出单元 5 具体可以包括：第十开关晶体管 M10 和电容 C。第十开关晶体管 M10 的栅极与第一节点 A 相连，源极与第一输出单元 5 的第一端相连，漏极与驱动信号输出端

Output 相连；电容 C 的第一端与第一节点 A 相连，第二端与驱动信号输出端 Output 相连。

在具体实施时，在根据本发明实施例的上述移位寄存器中，当输入信号端 Input 的有效脉冲信号为高电位时，如图 3A 和图 4A 所示，第十开关晶体管 M10 可以为 N 型开关晶体管；或者，当输入信号端 Input 的有效脉冲信号为低电位时，如图 3B 和图 4B 所示，第十开关晶体管 M10 也可以为 P 型开关晶体管，在此不作限定。

在具体实施时，在根据本发明实施例的上述移位寄存器中，当第十开关晶体管在第一节点的控制下处于导通状态时，将第一输出单元的第一端的信号提供给驱动信号输出端；当第一节点处于浮接状态时，由于电容的自举作用可以保持电容两端的电压差稳定，即保持第一节点与驱动信号输出端之间的电压差稳定。

在具体实施时，在根据本发明实施例的上述移位寄存器中，当第八开关晶体管在第一削角控制信号端的控制下处于导通状态时，将具有电压幅度 V_{CK1} 的第一时钟信号端的信号提供给第十开关晶体管的源极，当第十开关晶体管在第一节点的控制下处于导通状态时，将其源极具有电压幅度 V_{CK1} 的信号提供给驱动信号输出端；当第九开关晶体管在第二削角控制信号端的控制下处于导通状态时，将具有电压幅度 V_{CK2} 的第二时钟信号端的信号提供给第十开关晶体管的源极，当第十开关晶体管在第一节点的控制下处于导通状态时，将其源极具有电压幅度 V_{CK2} 的信号提供给驱动信号输出端。

以上仅是举例说明移位寄存器中第一输出单元的具体结构，在具体实施时，第一输出单元的具体结构不限于本发明实施例提供的上述结构，还可以是本领域技术人员可知的其他结构，在此不作限定。

具体地，在根据本发明实施例的上述移位寄存器中，如图 3A 至图 4B 所示，第二输出单元 6 具体可以包括：第十一开关晶体管 M11。第十一开关晶体管 M11 的栅极与第二节点 B 相连，源极与参考信号端 VSS 相连，漏极与驱动信号输出端 Output 相连。

在具体实施时，在根据本发明实施例的上述移位寄存器中，当输入信号端 Input 的有效脉冲信号为高电位时，如图 3A 和图 4A 所示，第十一开关晶体管 M11 可以为 N 型开关晶体管；或者，当输入信号端 Input 的有效脉冲信号为低电位时，如图 3B 和图 4B 所示，第十一开关晶体管 M11 也可以为 P 型开关晶体管，在此不作限定。

在具体实施时，在根据本发明实施例的上述移位寄存器中，当第十一开关晶体管在第二节点的控制下处于导通状态时，将参考信号端的信号提供给驱动信号输出端。

以上仅是举例说明移位寄存器中第二输出单元的具体结构，在具体实施时，第二输出单元的具体结构不限于本发明实施例提供的上述结构，还可以是本领域技术人员可知的其他结构，在此不作限定。

在具体实施时，在根据本发明实施例的上述移位寄存器中，如图 4A 和图 4B 所示，第二复位单元 7 具体可以包括：第十二开关晶体管 M12。第十二开关晶体管 M12 的栅极与复位信号端 Reset 相连，源极与参考信号端 VSS 相连，漏极与驱动信号输出端 Output 相连。

在具体实施时，在根据本发明实施例的上述移位寄存器中，如图 4A 所示，第十二开关晶体管 M12 可以为 N 型开关晶体管；或者，如图 4B 所示，第十二开关晶体管 M12 也可以为 P 型开关晶体管，在此不作限定。

在具体实施时，在根据本发明实施例的上述移位寄存器中，当第十二开关晶体管在复位信号端的控制下处于导通状态时，将参考信号端的信号提供给驱动信号输出端。

以上仅是举例说明移位寄存器中第二复位单元的具体结构，在具体实施时，第二复位单元的具体结构不限于本发明实施例提供的上述结构，还可以是本领域技术人员可知的其他结构，在此不作限定。

具体地，在具体实施时，在根据本发明实施例的上述移位寄存器中，如图 4A 和图 4B 所示，第一稳定单元 8 具体可以包括：第十三开关晶体管。第十三开关晶体管 M13 的栅极与第三时钟信号端 CK3 相连，源极与输入信号端 Input 相连，漏极与第一节点 A 相连。

在具体实施时，在根据本发明实施例的上述移位寄存器中，当输入信号端 Input 的有效脉冲信号为高电位时，如图 4A 所示，第十三开关晶体管 M13 可以为 N 型开关晶体管；或者，当输入信号端 Input 的有效脉冲信号为低电位时，如图 4B 所示，第十三开关晶体管 M13 可以为 P 型开关晶体管，在此不作限定。

在具体实施时，在根据本发明实施例的上述移位寄存器中，当第十三开关晶体管在第三时钟信号端的控制下处于导通状态时，将输入信号端的信号提供给第一节点。

以上仅是举例说明移位寄存器中第一稳定单元的具体结构，在具体实施时，第一稳定单元的具体结构不限于本发明实施例提供的上述结构，还可以是本领域技术人员可知的其他结构，在此不作限定。

在具体实施时，在根据本发明实施例的上述移位寄存器中，如图 4A 和图 4B 所示，

第二稳定单元 9 具体可以包括：第十四开关晶体管 M14。第十四开关晶体管 M14 的栅极与第三时钟信号端 CK3 相连，源极与参考信号端 VSS 相连，漏极与驱动信号输出端 Output 相连。

在具体实施时，在根据本发明实施例的上述移位寄存器中，当输入信号端 Input 的有效脉冲信号为高电位时，如图 4A 所示，第十四开关晶体管 M14 可以为 N 型开关晶体管；或者，当输入信号端 Input 的有效脉冲信号为低电位时，如图 4B 所示，第十四开关晶体管 M14 可以为 P 型开关晶体管，在此不作限定。

在具体实施时，在根据本发明实施例的上述移位寄存器中，当第十四开关晶体管 M14 在第三时钟信号端的控制下处于导通状态时，将参考信号端的信号提供给驱动信号输出端。

以上仅是举例说明移位寄存器中第二稳定单元的具体结构，在具体实施时，第二稳定单元的具体结构不限于本发明实施例提供的上述结构，还可以是本领域技术人员可知的其他结构，在此不作限定。

较佳地，为了降低制备工艺，在具体实施时，在根据本发明实施例的上述移位寄存器中，当输入信号端 Input 的有效脉冲电位为高电位时，如图 3A 和图 4A 所示，所有开关晶体管均可以为 N 型开关晶体管；或者，当输入信号端 Input 的有效脉冲电位为低电位时，如图 3B 和图 4B 所示，所有开关晶体管均可以为 P 型开关晶体管，在此不作限定。

进一步的，在具体实施时，在根据本发明实施例的上述移位寄存器中，N 型开关晶体管在高电位作用下导通，在低电位作用下截止；P 型开关晶体管在高电位作用下截止，在低电位作用下导通。

需要说明的是，根据本发明上述实施例的开关晶体管可以是薄膜晶体管 (TFT, Thin Film Transistor)，也可以是金属氧化物半导体场效应管 (MOS, Metal Oxide Semiconductor)，在此不作限定。在具体实施中，这些开关晶体管的源极和漏极根据开关晶体管类型以及信号端的信号的不同，其功能可以互换，在此不做具体区分。

下面结合电路时序图对本发明实施例的上述移位寄存器的工作过程作以描述。其中，以第一时钟信号端的电压幅度大于第二时钟信号端的电压幅度为例进行说明。下述描述中以 1 表示高电位信号，0 表示低电位信号，其中，1 和 0 代表其逻辑电位，仅是为了更好的解释本发明实施例的上述移位寄存器的工作过程，而不是在具体实施时施加

在各开关晶体管的栅极上的电位。

实施例一

以图 4A 所示的移位寄存器的结构为例对其工作过程作以描述，其中，在图 4A 所示的移位寄存器中，所有开关晶体管均为 N 型开关晶体管，第一时钟信号端 CK1 的电压幅度 V_{CK1} 与第二时钟信号端 CK2 的电压幅度 V_{CK2} 不相同，参考信号端 VSS 的电位为低电位，对应的输入输出时序图如图 5A 所示。具体地，选取如图 5A 所示的输入输出时序图中的 T1、T2、T3、T4 和 T5 五个阶段。

在 T1 阶段，Input=1，Reset=0，CK1=0，CK2=0，CK3=1，CS1=0，CS2=1。

Reset=0，因此第七开关晶体管 M7 和第十二开关晶体管 M12 均截止；Input=1，因此第六开关晶体管 M6 导通；第六开关晶体管 M6 导通并将输入信号端 Input 的高电位的信号提供给第一节点 A，因此第一节点 A 的电位为高电位，电容 C 开始充电；CK3=1，因此第二开关晶体管 M2、第十三开关晶体管 M13 和第十四开关晶体管 M14 均导通；第十三开关晶体管 M13 导通，并将输入信号端 Input 的高电位的信号提供给第一节点 A，以进一步保证第一节点 A 的电位为高电位；第一节点 A 的电位为高电位，因此第四开关晶体管 M4、第五开关晶体管 M5 和第十开关晶体管 M10 均导通；第四开关晶体管 M4 导通并将参考信号端 VSS 的低电位的信号提供给第三开关晶体管 M3 的栅极，保证第三开关晶体管 M3 处于截止状态，以不影响第二节点 B 的电位；第五开关晶体管 M5 导通并将参考信号端 VSS 的低电位的信号提供给第二节点 B，因此第二节点 B 的电位为低电位；第二节点 B 的电位为低电位，因此第一开关晶体管 M1 和第十一开关晶体管 M11 均截止；CS1=0，因此第八开关晶体管 M8 截止；CS2=1，因此第九开关晶体管 M9 导通；第九开关晶体管 M9 导通并将第二时钟信号端 CK2 的低电位的信号提供给第十开关晶体管 M10 的源极；第十开关晶体管 M10 导通并将其源极的信号提供给驱动信号输出端 Output，因此驱动信号输出端 Output 输出低电位的扫描信号；第十四开关晶体管 M14 导通并将参考信号端 VSS 的低电位的信号提供给驱动信号输出端 Output，以进一步保证驱动信号输出端 Output 输出低电位的扫描信号。

在 T2 阶段的第一时段，Input=0，Reset=0，CK1=1，CK2=1，CK3=0，CS1=1，CS2=0。

Input=0，因此第六开关晶体管 M6 截止；Reset=0，因此第七开关晶体管 M7 和第十二开关晶体管 M12 均截止；CK3=0，因此第二开关晶体管 M2、第十三开关晶体管 M13 和第十四开关晶体管 M14 均截止；因此第一节点 A 处于浮接状态；第一节点 A 处于浮

接状态使得由于电容 C 的自举作用,可以维持电容 C 两端的电压差稳定,因此第一节点 A 的电位保持为高电位,以保证第四开关晶体管 M4、第五开关晶体管 M5 和第十开关晶体管 M10 均导通。第四开关晶体管 M4 导通并将参考信号端 VSS 的低电位的信号提供给第三开关晶体管 M3 的栅极,以保证第三开关晶体管 M3 截止。第五开关晶体管 M5 导通并将参考信号端 VSS 的低电位的信号提供给第二节点 B,因此第二节点 B 的电位为低电位。第二节点 B 的电位为低电位,使得第一开关晶体管 M1 和第十一开关晶体管 M11 均截止。CS2=0,因此第九开关晶体管 M9 截止;CS1=1,因此第八开关晶体管 M8 导通;第八开关晶体管 M8 导通并将第一时钟信号端 CK1 的高电位的电压幅度为 V_{CK1} 的信号提供给驱动信号输出端 Output,因此驱动信号输出端 Output 输出高电位的电压幅度为 V_{CK1} 的扫描信号。由于电容 C 的自举作用,为了维持电容 C 两端的电压差稳定,第一节点 A 的电位被进一步拉高,保证第十开关晶体管 M10 完全导通,以将第一时钟信号端 CK1 的高电位的电压幅度为 V_{CK1} 的信号提供给驱动信号输出端 Output。

在之后 T2 的第二时段,Input=0,Reset=0,CK1=1,CK2=1,CK3=0,CS1=0,CS2=1。

由于 CS1=0,因此第八开关晶体管 M8 截止;由于 CS2=1,因此第九开关晶体管 M9 导通;由于第九开关晶体管 M9 导通并将第二时钟信号端 CK2 的高电位的电压幅度为 V_{CK2} 的信号提供给第十开关晶体管 M10 的源极;由于第二开关晶体管 M2、第六开关晶体管 M6、第七开关晶体管 M7 和第十三开关晶体管 M13 均截止,因此第一节点 A 仍处于浮接状态;并且由于电容 C 的自举作用,为了维持电容 C 两端的电压差稳定,因此第一节点 A 的电位仍被进一步拉高,以保证第十开关晶体管 M10 完全导通;由于第十开关晶体管 M10 导通并将第一时钟信号端 CK1 的高电位的电压幅度为 V_{CK2} 的信号提供给驱动信号输出端 Output,因此驱动信号输出端 Output 输出高电位的电压幅度为 V_{CK2} 的扫描信号。

在 T3 阶段,Input=0,Reset=1,CK1=0,CK2=0,CK3=1,CS1=0,CS2=1。

Input=0,因此第六开关晶体管 M6 截止;Reset=1,因此第七开关晶体管 M7 和第十二开关晶体管 M12 均导通;第七开关晶体管 M7 导通并将参考信号端 VSS 的低电位的信号提供给第一节点 A,因此第一节点 A 的电位为低电位;CK3=1,因此第二开关晶体管 M2、第十三开关晶体管 M13 和第十四开关晶体管 M14 均导通;第十三开关晶体管 M13 导通并将输入信号端 Input 的低电位的信号提供给第一节点 A,以进一步保证第一节点 A 为低电位;第一节点 A 的电位为低电位,因此第四开关晶体管 M4、第五开关晶

体管 M5 和第十开关晶体管 M10 均截止；第二开关晶体管 M2 导通并将第三时钟信号端 CK3 的高电位的信号提供给第三开关晶体管 M3 的栅极，以保证第三开关晶体管 M3 导通；第三开关晶体管 M3 导通并将第三时钟信号端 CK3 的高电位的信号提供给第二节点 B，因此第二节点 B 的电位为高电位；第二节点 B 的电位为高电位，因此第一开关晶体管 M1 和第十一开关晶体管 M11 均导通；第一开关晶体管 M1 导通并将参考信号端 VSS 的低电位的信号提供给第一节点 A，以进一步保证第一节点 A 的电位为低电位；第十一开关晶体管 M11 导通并将参考信号端 VSS 的低电位的信号提供给驱动信号输出端 Output，因此驱动信号输出端 Output 输出低电位的扫描信号；第十二开关晶体管 M12 导通并将参考信号端 VSS 的低电位的信号提供给驱动信号输出端 Output，以进一步保证驱动信号输出端 Output 输出低电位的扫描信号；以及第十四开关晶体管 M14 导通并将参考信号端 VSS 的低电位的信号提供给驱动信号输出端 Output，以进一步保证驱动信号输出端 Output 输出低电位的扫描信号。

在 T4 阶段的第一时段，Input=0，Reset=0，CK1=1，CK2=1，CK3=0，CS1=1，CS2=0。

Input=0，因此第六开关晶体管 M6 截止；CK3=0，因此第二开关晶体管 M2、第十三开关晶体管 M13 和第十四开关晶体管 M14 均截止；Reset=0，因此第七开关晶体管 M7 和第十二开关晶体管 M12 均截止；因此第一节点 A 不会被充电，第二节点 B 不会被放电，第二节点 B 的电位保持为高电位，以保证第一开关晶体管 M1 和第十一开关晶体管 M11 均导通；由于第一开关晶体管 M1 导通并将参考信号端 VSS 的低电位的信号提供给第一节点 A，以保证第一节点 A 的电位为低电位；由于第一节点 A 的电位为低电位，因此第四开关晶体管 M4、第五开关晶体管 M5 和第十开关晶体管 M10 均截止；由于第十开关晶体管 M10 截止，因此无论第一削角控制信号端 CS1 和第二削角控制信号端 CS2 的电位如何变化，都不会使第一时钟信号端 CK1 的电位和第二时钟信号端 CK2 的电位影响驱动信号输出端 Output 输出的扫描信号的电位；由于第十一开关晶体管 M11 导通并将参考信号端 VSS 的低电位的信号提供给驱动信号输出端 Output，因此驱动信号输出端 Output 输出低电位的扫描信号。

在之后在 T4 阶段的第二时段，Input=0，Reset=0，CK1=1，CK2=1，CK3=0，CS1=0，CS2=1。

虽然 CS2=1，可以使第九开关晶体管 M9 导通，以将第二时钟信号端 CK2 的高电位的信号提供给第十开关晶体管 M10 的源极，但是由于 Input=0 使第六开关晶体管 M6

截止, Reset=0 使第七开关晶体管 M7 和第十二开关晶体管 M12 均截止, CK3=0 使第二开关晶体管 M2 截止, 因此第二节点 B 的电位仍为高电位, 以保证第一开关晶体管 M1 和第十一开关晶体管 M11 均导通; 由于第一开关晶体管 M1 导通并将参考信号端 VSS 的低电位的信号提供给第一节点 A, 以保证第一节点 A 的电位为低电位; 由于第一节点 A 的电位仍为低电位, 以保证第四开关晶体管 M4、第五开关晶体管 M5 和第十开关晶体管 M10 均截止; 因此, 无论第一削角控制信号端 CS1 和第二削角控制信号端 CS2 的电位如何变化, 都不会使第一时钟信号端 CK1 的电位和第二时钟信号端 CK2 的电位影响驱动信号输出端 Output 输出的扫描信号的电位; 由于第十一开关晶体管 M11 导通并将参考信号端 VSS 的低电位的信号提供给驱动信号输出端 Output, 因此驱动信号输出端 Output 输出低电位的扫描信号。

在 T5 阶段, Input=0, Reset=0, CK1=0, CK2=0, CK3=1, CS1=0, CS2=1。

Input=0, 因此第六开关晶体管 M6 截止; Reset=0, 因此第七开关晶体管 M7 和第十二开关晶体管 M12 均截止; CK3=1, 因此第二开关晶体管 M2、第十三开关晶体管 M13 和第十四开关晶体管 M14 均导通; 由于第十三开关晶体管 M13 导通并将输入信号端 Input 的低电位的信号提供给第一节点 A, 因此第一节点 A 的电位为低电位; 由于第二开关晶体管 M2 导通并将第三时钟信号端 CK3 的高电位的信号提供给第三开关晶体管 M3 的栅极, 以保证第三开关晶体管 M3 导通; 由于第三开关晶体管 M3 导通并将第二时钟信号端 CK2 的高电位的信号提供给第二节点 B, 因此第二节点 B 的电位为高电位; 由于第二节点 B 的电位为高电位, 因此第一开关晶体管 M1 和第十一开关晶体管 M11 均导通; 由于第一开关晶体管 M1 导通并将参考信号端 VSS 的低电位的信号提供给第一节点 A, 以进一步保证第一节点 A 的电位为低电位; 由于第十一开关晶体管 M11 导通并将参考信号端 VSS 的低电位的信号提供给驱动信号输出端 Output, 因此驱动信号输出端 Output 输出低电位的扫描信号; 并且第十二开关晶体管 M12 导通并将参考信号端 VSS 的低电位的信号提供给驱动信号输出端 Output, 以进一步保证驱动信号输出端 Output 输出低电位的扫描信号。

在本发明实施例的上述移位寄存器中, 在 T5 阶段之后, 一直重复执行 T4 阶段和 T5 阶段的工作过程, 直至输入信号端 Input 的电位再次变为高电位。

在实施例一的 T2 阶段中, 由于可以将不同电压幅度的第一时钟信号端的信号和第二时钟信号端的信号提供给驱动信号输出端, 因此在此阶段可以使驱动信号输出端输出

的高电位的具有削角波形的扫描信号，以形成具有削角波形的扫描信号。

实施例二

以图 4B 所示的移位寄存器的结构为例对其工作过程作以描述，其中，在图 4B 所示的移位寄存器中，所有开关晶体管均为 P 型开关晶体管，第一时钟信号端 CK1 的电压幅度 V_{CK1} 与第二时钟信号端 CK2 的电压幅度 V_{CK2} 不相同，参考信号端 VSS 的电位为高电位，对应的输入输出时序图如图 5B 所示。具体地，选取如图 5B 所示的输入输出时序图中的 T1、T2、T3、T4 和 T5 五个阶段。

在 T1 阶段，Input=0，Reset=1，CK1=1，CK2=1，CK3=0，CS1=1，CS2=0。

Reset=1，因此第七开关晶体管 M7 和第十二开关晶体管 M12 均截止；由于 Input=0，因此第六开关晶体管 M6 导通；由于第六开关晶体管 M6 导通并将输入信号端 Input 的低电位的信号提供给第一节点 A，因此第一节点 A 的电位为低电位，电容 C 开始充电；CK3=0，因此第二开关晶体管 M2、第十三开关晶体管 M13 和第十四开关晶体管 M14 均导通；由于第十三开关晶体管 M13 导通，并将输入信号端 Input 的低电位的信号提供给第一节点 A，以进一步保证第一节点 A 的电位为低电位；由于第一节点 A 的电位为低电位，因此第四开关晶体管 M4、第五开关晶体管 M5 和第十开关晶体管 M10 均导通；由于第四开关晶体管 M4 导通并将参考信号端 VSS 的高电位的信号提供给第三开关晶体管 M3 的栅极，保证第三开关晶体管 M3 处于截止状态，以不影响第二节点 B 的电位；由于第五开关晶体管 M5 导通并将参考信号端 VSS 的高电位的信号提供给第二节点 B，因此第二节点 B 的电位为高电位；由于第二节点 B 的电位为高电位，因此第一开关晶体管 M1 和第十一开关晶体管 M11 均截止；CS1=1，因此第八开关晶体管 M8 截止；CS2=0，因此第九开关晶体管 M9 导通；由于第九开关晶体管 M9 导通并将第二时钟信号端 CK2 的高电位的信号提供给第十开关晶体管 M10 的源极；由于第十开关晶体管 M10 导通并将其源极的信号提供给驱动信号输出端 Output，因此驱动信号输出端 Output 输出高电位的扫描信号；由于第十四开关晶体管 M14 导通并将参考信号端 VSS 的高电位的信号提供给驱动信号输出端 Output，以进一步保证驱动信号输出端 Output 输出高电位的扫描信号。

在 T2 阶段的第一时段，Input=1，Reset=1，CK1=0，CK2=0，CK3=1，CS1=0，CS2=1。

Input=1，因此第六开关晶体管 M6 截止；Reset=1，因此第七开关晶体管 M7 和第十二开关晶体管 M12 均截止；CK3=1，因此第二开关晶体管 M2、第十三开关晶体管 M13

和第十四开关晶体管 M14 均截止；因此第一节点 A 处于浮接状态，第一节点 A 处于浮接状态使得由于电容 C 的自举作用，可以维持电容 C 两端的电压差稳定，因此第一节点 A 的电位保持为低电位，以保证第四开关晶体管 M4、第五开关晶体管 M5 和第十开关晶体管 M10 均导通；由于第四开关晶体管 M4 导通并将参考信号端 VSS 的高电位的信号提供给第三开关晶体管 M3 的栅极，以保证第三开关晶体管 M3 截止；由于第五开关晶体管 M5 导通并将参考信号端 VSS 的高电位的信号提供给第二节点 B，因此第二节点 B 的电位为高电位；由于第二节点 B 的电位为高电位，因此第一开关晶体管 M1 和第十一开关晶体管 M11 均截止；CS2=1，因此第九开关晶体管 M9 截止；CS1=0，因此第八开关晶体管 M8 导通；由于第八开关晶体管 M8 导通并将第一时钟信号端 CK1 的低电位的电压幅度为 V_{CK1} 的信号提供给驱动信号输出端 Output，因此驱动信号输出端 Output 输出低电位的电压幅度为 V_{CK1} 的扫描信号；由于电容 C 的自举作用，为了维持电容 C 两端的电压差稳定，第一节点 A 的电位被进一步拉低，保证第十开关晶体管 M10 完全导通，以将第一时钟信号端 CK1 的低电位的电压幅度为 V_{CK1} 的信号提供给驱动信号输出端 Output。

在之后 T2 阶段的第二时段，Input=1，Reset=1，CK1=0，CK2=0，CK3=1，CS1=1，CS2=0。

CS1=1，因此第八开关晶体管 M8 截止；CS2=0，因此第九开关晶体管 M9 导通；由于第九开关晶体管 M9 导通并将第二时钟信号端 CK2 的低电位的电压幅度为 V_{CK2} 的信号提供给第十开关晶体管 M10 的源极；由于第二开关晶体管 M2、第六开关晶体管 M6、第七开关晶体管 M7 和第十三开关晶体管 M13 均截止，因此第一节点 A 仍处于浮接状态；并且由于电容 C 的自举作用，为了维持电容 C 两端的电压差稳定，因此第一节点 A 的电位仍被进一步拉低，以保证第十开关晶体管 M10 完全导通；由于第十开关晶体管 M10 导通并将第一时钟信号端 CK1 的低电位的电压幅度为 V_{CK2} 的信号提供给驱动信号输出端 Output，因此驱动信号输出端 Output 输出低电位的电压幅度为 V_{CK2} 的扫描信号。

在 T3 阶段，Input=1，Reset=0，CK1=1，CK2=1，CK3=0，CS1=1，CS2=0。

Input=1，因此第六开关晶体管 M6 截止；Reset=0，因此第七开关晶体管 M7 和第十二开关晶体管 M12 均导通；由于第七开关晶体管 M7 导通并将参考信号端 VSS 的高电位的信号提供给第一节点 A，因此第一节点 A 的电位为高电位；CK3=0，因此第二开关

晶体管 M2、第十三开关晶体管 M13 和第十四开关晶体管 M14 均导通；由于第十三开关晶体管 M13 导通并将输入信号端 Input 的高电位的信号提供给第一节点 A，以进一步保证第一节点 A 为高电位；由于第一节点 A 的电位为高电位，因此第四开关晶体管 M4、第五开关晶体管 M5 和第十开关晶体管 M10 均截止；由于第二开关晶体管 M2 导通并将第三时钟信号端 CK3 的低电位的信号提供给第三开关晶体管 M3 的栅极，以保证第三开关晶体管 M3 导通；由于第三开关晶体管 M3 导通并将第三时钟信号端 CK3 的低电位的信号提供给第二节点 B，因此第二节点 B 的电位为低电位；由于第二节点 B 的电位为低电位，因此第一开关晶体管 M1 和第十一开关晶体管 M11 均导通；由于第一开关晶体管 M1 导通并将参考信号端 VSS 的高电位的信号提供给第一节点 A，以进一步保证第一节点 A 的电位为高电位；由于第十一开关晶体管 M11 导通并将参考信号端 VSS 的高电位的信号提供给驱动信号输出端 Output，因此驱动信号输出端 Output 输出高电位的扫描信号；并且由于第十二开关晶体管 M12 导通并将参考信号端 VSS 的高电位的信号提供给驱动信号输出端 Output，以进一步保证驱动信号输出端 Output 输出高电位的扫描信号；以及由于第十四开关晶体管 M14 导通并将参考信号端 VSS 的高电位的信号提供给驱动信号输出端 Output，以进一步保证驱动信号输出端 Output 输出高电位的扫描信号。

在 T4 阶段的第一时段，Input=1，Reset=1，CK1=0，CK2=0，CK3=1，CS1=0，CS2=1。

Input=1，因此第六开关晶体管 M6 截止；CK3=1，因此第二开关晶体管 M2、第十三开关晶体管 M13 和第十四开关晶体管 M14 均截止；Reset=1，因此第七开关晶体管 M7 和第十二开关晶体管 M12 均截止；因此第一节点 A 不会被充电，第二节点 B 不会被放电，第二节点 B 的电位保持为低电位，以保证第一开关晶体管 M1 和第十一开关晶体管 M11 均导通；由于第一开关晶体管 M1 导通并将参考信号端 VSS 的高电位的信号提供给第一节点 A，以保证第一节点 A 的电位为高电位；由于第一节点 A 的电位为高电位，因此第四开关晶体管 M4、第五开关晶体管 M5 和第十开关晶体管 M10 均截止；由于第十开关晶体管 M10 截止，因此无论第一削角控制信号端 CS1 和第二削角控制信号端 CS2 的电位如何变化，都不会使第一时钟信号端 CK1 的电位和第二时钟信号端 CK2 的电位影响驱动信号输出端 Output 输出的扫描信号的电位；由于第十一开关晶体管 M11 导通并将参考信号端 VSS 的高电位的信号提供给驱动信号输出端 Output，因此驱动信号输出端 Output 输出高电位的扫描信号。

在之后 T2 阶段的第二时段，Input=1，Reset=1，CK1=0，CK2=0，CK3=1，CS1=1，

CS2=0。

虽然 CS2=0，可以使第九开关晶体管 M9 导通，以将第二时钟信号端 CK2 的低电位的信号提供给第十开关晶体管 M10 的源极，但是由于 Input=1 使第六开关晶体管 M6 截止，Reset=1 使第七开关晶体管 M7 和第十二开关晶体管 M12 均截止，CK3=1 使第二开关晶体管 M2 截止，因此第二节点 B 的电位仍为低电位，以保证第一开关晶体管 M1 和第十一开关晶体管 M11 均导通；由于第一开关晶体管 M1 导通并将参考信号端 VSS 的高电位的信号提供给第一节点 A，以保证第一节点 A 的电位为高电位；由于第一节点 A 的电位仍为高电位，以保证第四开关晶体管 M4、第五开关晶体管 M5 和第十开关晶体管 M10 均截止；因此，无论第一削角控制信号端 CS1 和第二削角控制信号端 CS2 的电位如何变化，都不会使第一时钟信号端 CK1 的电位和第二时钟信号端 CK2 的电位影响驱动信号输出端 Output 输出的扫描信号的电位；由于第十一开关晶体管 M11 导通并将参考信号端 VSS 的高电位的信号提供给驱动信号输出端 Output，因此驱动信号输出端 Output 输出高电位的扫描信号。

在 T5 阶段， Input=1， Reset=1， CK1=1， CK2=1， CK3=0， CS1=1， CS2=0。

Input=1，因此第六开关晶体管 M6 截止；Reset=1，因此第七开关晶体管 M7 和第十二开关晶体管 M12 均截止；CK3=0，因此第二开关晶体管 M2、第十三开关晶体管 M13 和第十四开关晶体管 M14 均导通；由于第十三开关晶体管 M13 导通并将输入信号端 Input 的高电位的信号提供给第一节点 A，因此第一节点 A 的电位为高电位；由于第二开关晶体管 M2 导通并将第三时钟信号端 CK3 的低电位的信号提供给第三开关晶体管 M3 的栅极，以保证第三开关晶体管 M3 导通；由于第三开关晶体管 M3 导通并将第二时钟信号端 CK2 的低电位的信号提供给第二节点 B，因此第二节点 B 的电位为低电位；由于第二节点 B 的电位为低电位，因此第一开关晶体管 M1 和第十一开关晶体管 M11 均导通；由于第一开关晶体管 M1 导通并将参考信号端 VSS 的高电位的信号提供给第一节点 A，以进一步保证第一节点 A 的电位为高电位；由于第十一开关晶体管 M11 导通并将参考信号端 VSS 的高电位的信号提供给驱动信号输出端 Output，因此驱动信号输出端 Output 输出高电位的扫描信号；并且由于第十二开关晶体管 M12 导通并将参考信号端 VSS 的高电位的信号提供给驱动信号输出端 Output，以进一步保证驱动信号输出端 Output 输出高电位的扫描信号。

在本发明实施例的上述移位寄存器中，在 T5 阶段之后，一直重复执行 T4 阶段和

T5 阶段的工作过程，直至输入信号端 Input 的电位再次变为低电位。

在实施例二的 T2 阶段的中，由于可以将不同电压幅度的第一时钟信号端的信号和第二时钟信号端的信号提供给驱动信号输出端，因此在此阶段可以使驱动信号输出端输出的低电位的具有削角波形的扫描信号，以形成具有削角波形的扫描信号。

基于同一发明构思，本发明实施例还提供了一种栅极驱动电路，如图 6 所示，包括级联的多个移位寄存器：SR(1)、SR(2)...SR(n-1)、SR(n)、SR(n+1)...SR(N-1)、SR(N)（共 N 个移位寄存器， $1 \leq n \leq N$ ），其中，

第一级移位寄存器 SR(1)的输入信号端 Input 与帧触发信号端 STV 相连；

除第一级移位寄存器 SR(1)之外，其余各级移位寄存器 SR(n)的输入信号端 Input 分别与上一级移位寄存器 SR(n-1)的驱动信号输出端 Output_{n-1} 相连；

除最后一级移位寄存器 SR(N)之外，其余各级移位寄存器 SR(n)的复位信号端 Reset 分别与下一级移位寄存器 SR(n+1)的驱动信号输出端 Output_{n+1} 相连。

具体地，上述栅极驱动电路中的每个移位寄存器的具体结构与本发明实施例提供的上述任一种移位寄存器在功能和结构上均相同，重复之处不再赘述。

在具体实施时，在本发明实施例的上述栅极驱动电路中，如图 6 所示，各级移位寄存器的参考信号端 VSS 均与同一参考信号控制端 vss 相连；第 2k-1 级移位寄存器的第一时钟信号端 CK1 和第 2k 级移位寄存器的第二时钟信号端 CK2 均与同一时钟端即第一时钟端 ck1 相连；第 2k-1 级移位寄存器的第二时钟信号端 CK2 和第 2k 级移位寄存器的第一时钟信号端 CK1 均与同一时钟端即第二时钟端 ck2 相连；其中，k 为大于 0 的正整数。

在具体实施时，在本发明实施例的上述栅极驱动电路中，通过第一削角控制端和第二削角控制端分别向各级移位寄存器的第一削角控制信号端和第二削角控制信号端提供对应的削角控制信号，以实现各级移位寄存器输出具有削角波形的扫描信号。

较佳地，为了简化电路结构，第一削角控制信号端的信号和第二削角控制信号端的信号为与第一时钟信号端的信号的周期相同的时钟信号，在具体实施时，在本发明实施例的上述栅极驱动电路中，如图 6 所示，第 2k-1 级移位寄存器的第一削角控制信号端 CS1 和第 2k 级移位寄存器的第二削角控制信号端 CS2 均与同一削角信号端即第一削角信号端 cs1 相连；第 2k-1 级移位寄存器的第二削角控制信号端 CS2 和第 2k 级移位寄存器的第一削角控制信号端 CS1 均与同一削角信号端即第二削角信号端 cs2 相连；其中，

第一削角信号端 cs1 输出的信号与第二削角信号端 cs2 输出的信号周期相同，相位相反并且第一削角信号端 cs1 输出的信号的占空比与第二削角信号端 cs2 输出的信号的占空比之和为 1。这样可以仅需设置两条信号线分别与栅极驱动电路中的各级移位寄存器的第一削角控制信号端和第二削角控制信号端相连以提供信号，即可满足该栅极驱动电路中各级移位寄存器输出具有削角波形的扫描信号的需求，从而简化电路设计。

基于同一发明构思，本发明实施例还提供了一种显示装置，包括本发明实施例的上述栅极驱动电路。通过该栅极驱动电路为显示装置中显示面板的各栅线提供具有削角波形的扫描信号，其具体实施可参见上述移位寄存器的实施过程，相同之处不再赘述。该显示装置可以为：手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。对于该显示装置的其它必不可少的组成部分均为本领域的普通技术人员应该理解具有的，在此不做赘述，也不应作为对本发明的限制。

显然，本领域的技术人员可以对本发明进行各种改动和变型而不脱离本发明的精神和范围。这样，倘若本发明的这些修改和变型属于本发明权利要求及其等同技术的范围之内，则本发明也意图包含这些改动和变型在内。

权 利 要 求

1、一种移位寄存器，包括：

输入单元，所述输入单元的第一端与输入信号端相连，第二端与第一节点相连；所述输入单元配置为在所述输入信号端的控制下将所述输入信号端的信号提供给所述第一节点；

第一复位单元，所述第一复位单元的第一端与复位信号端相连，第二端与所述第一节点相连，第三端与参考信号端相连；所述第一复位单元配置为在所述复位信号端的控制下将所述参考信号端的信号提供给所述第一节点；

节点控制单元，所述节点控制单元的第一端与所述第一节点相连，第二端与第二节点相连；所述节点控制单元配置为使得所述第一节点的电位与所述第二节点的电位相反；

削角控制单元，所述削角控制单元的第一端与第一时钟信号端相连，第二端与第二时钟信号端相连，第三端与第一削角控制信号端相连，第四端与第二削角控制信号端相连，第五端与第一输出单元的第一端相连；所述削角控制单元配置为在所述第一削角控制信号端的控制下将所述第一时钟信号端的信号提供给所述第一输出单元的第一端，在所述第二削角控制信号端的控制下将所述第二时钟信号端的信号提供给所述第一输出单元的第一端；其中，所述第一时钟信号端的信号的电压幅度与所述第二时钟信号端的信号的电压幅度不相同；

第一输出单元，所述第一输出单元的第二端与所述第一节点相连，第三端与所述移位寄存器的驱动信号输出端相连；所述第一输出单元配置为在所述第一节点的控制下将所述第一输出单元的第一端的信号提供给所述驱动信号输出端，以及在所述第一节点处于浮接状态时，保持所述第一节点与所述驱动信号输出端之间的电压差稳定；以及

第二输出单元，所述第二输出单元的第一端与所述参考信号端相连，第二端与所述第二节点相连，第三端与所述驱动信号输出端相连；所述第二输出单元配置为在所述第二节点的控制下将所述参考信号端的信号提供给所述驱动信号输出端。

2、如权利要求1所述的移位寄存器，其特征在于，所述节点控制单元包括：

第一控制子单元，所述第一控制子单元的第一端与所述参考信号端相连，第二端

与所述第一节点相连，第三端与所述第二节点相连；所述第一控制子单元配置为在所述第二节点的控制下将所述参考信号端的信号提供给所述第一节点；以及

第二控制子单元，所述第二控制子单元的第一端与第三时钟信号端相连，第二端与所述参考信号端相连，第三端与所述第一节点相连，第四端与所述第二节点相连；所述第二控制子单元配置为仅在所述第三时钟信号端的控制下将所述第三时钟信号端的信号提供给所述第二节点，在所述第三时钟信号端和所述第一节点的共同控制下使所述第三时钟信号端与所述第二节点之间断路，在所述第一节点的控制下使所述第三时钟信号端与所述第二节点之间断路，以及在所述第一节点的控制下将所述参考信号端的信号提供给所述第二节点。

3、如权利要求 2 所述的移位寄存器，其特征在于，所述第一控制子单元包括：第一开关晶体管，所述第一开关晶体管的栅极与所述第二节点相连，源极与所述参考信号端相连，漏极与所述第一节点相连。

4、如权利要求 2 所述的移位寄存器，其特征在于，所述第二控制子单元包括：第二开关晶体管、第三开关晶体管、第四开关晶体管和第五开关晶体管；其中，

所述第二开关晶体管的栅极和源极均与所述第三时钟信号端相连，漏极分别与所述第三开关晶体管的栅极、以及所述第四开关晶体管的漏极相连；

所述第三开关晶体管的源极与所述第三时钟信号端相连，漏极与所述第二节点相连；

所述第四开关晶体管的栅极与所述第一节点相连，源极与所述参考信号端相连；

所述第五开关晶体管的栅极与所述第一节点相连，源极与所述参考信号端相连，漏极与所述第二节点相连。

5、如权利要求 1 或 2 所述的移位寄存器，其特征在于，所述输入单元包括：第六开关晶体管，所述第六开关晶体管的栅极和源极均与所述输入信号端相连，漏极与所述第一节点相连。

6、如权利要求 1 或 2 所述的移位寄存器，其特征在于，所述第一复位单元包括：第七开关晶体管，所述第七开关晶体管的栅极与所述复位信号端相连，源极与所述参考信号端相连，漏极与所述第一节点相连。

7、如权利要求 1 或 2 所述的移位寄存器，其特征在于，所述削角控制单元包括：第八开关晶体管，所述第八开关晶体管的栅极与所述第一削角控制信号端相连，

源极与所述第一时钟信号端相连，漏极与所述第一输出单元的第一端相连；以及

第九开关晶体管，所述第九开关晶体管的栅极与所述第二削角控制信号端相连，源极与所述第二时钟信号端相连，漏极与所述第一输出单元的第一端相连。

8、如权利要求 1 或 2 所述的移位寄存器，其特征在于，所述第一输出单元包括：

第十开关晶体管，所述第十开关晶体管的栅极与所述第一节点相连，源极与所述第一输出单元的第一端相连，漏极与所述驱动信号输出端相连；以及

电容，所述电容的第一端与所述第一节点相连，第二端与所述驱动信号输出端相连。

9、如权利要求 1 或 2 所述的移位寄存器，其特征在于，所述第二输出单元包括：第十一开关晶体管，所述第十一开关晶体管的栅极与所述第二节点相连，源极与所述参考信号端相连，漏极与所述驱动信号输出端相连。

10、如权利要求 1 或 2 所述的移位寄存器，还包括：第二复位单元，所述第二复位单元的第一端与所述复位信号端相连，第二端与所述参考信号端相连，第三端与所述驱动信号输出端相连；所述第二复位单元配置为在所述复位信号端的控制下将所述参考信号端的信号提供给所述驱动信号输出端。

11、如权利要求 10 所述的移位寄存器，其特征在于，所述第二复位单元包括：第十二开关晶体管，所述第十二开关晶体管的栅极与所述复位信号端相连，源极与所述参考信号端相连，漏极与所述驱动信号输出端相连。

12、如权利要求 1 或 2 所述的移位寄存器，还包括：第一稳定单元，所述第一稳定单元的第一端与所述第三时钟信号端相连，第二端与所述输入信号端相连，第三端与所述第一节点相连；所述第一稳定单元配置为在所述第三时钟信号端的控制下将所述输入信号端的信号提供给所述第一节点。

13、如权利要求 12 所述的移位寄存器，其特征在于，所述第一稳定单元包括：第十三开关晶体管，所述第十三开关晶体管的栅极与所述第三时钟信号端相连，源极与所述输入信号端相连，漏极与所述第一节点相连。

14、如权利要求 1 或 2 所述的移位寄存器，还包括：第二稳定单元，所述第二稳定单元的第一端与所述第三时钟信号端相连，第二端与所述参考信号端相连，第三端与所述驱动信号输出端相连；所述第二稳定单元配置为在所述第三时钟信号端的控制下将所述参考信号端的信号提供给所述驱动信号输出端。

15、如权利要求 14 所述的移位寄存器，其特征在于，所述第二稳定单元包括：第十四开关晶体管，所述第十四开关晶体管的栅极与所述第三时钟信号端相连，源极与所述参考信号端相连，漏极与所述驱动信号输出端相连。

16、一种栅极驱动电路，包括级联的多个如权利要求 1-15 任一项所述的移位寄存器；其中，

第一级移位寄存器的输入信号端与帧触发信号端相连；

除第一级移位寄存器之外，其余各级移位寄存器的输入信号端分别与上一级移位寄存器的驱动信号输出端相连；

除最后一级移位寄存器之外，其余各级移位寄存器的复位信号端分别与下一级移位寄存器的驱动信号输出端相连。

17、一种显示装置，包括如权利要求 16 所述的栅极驱动电路。

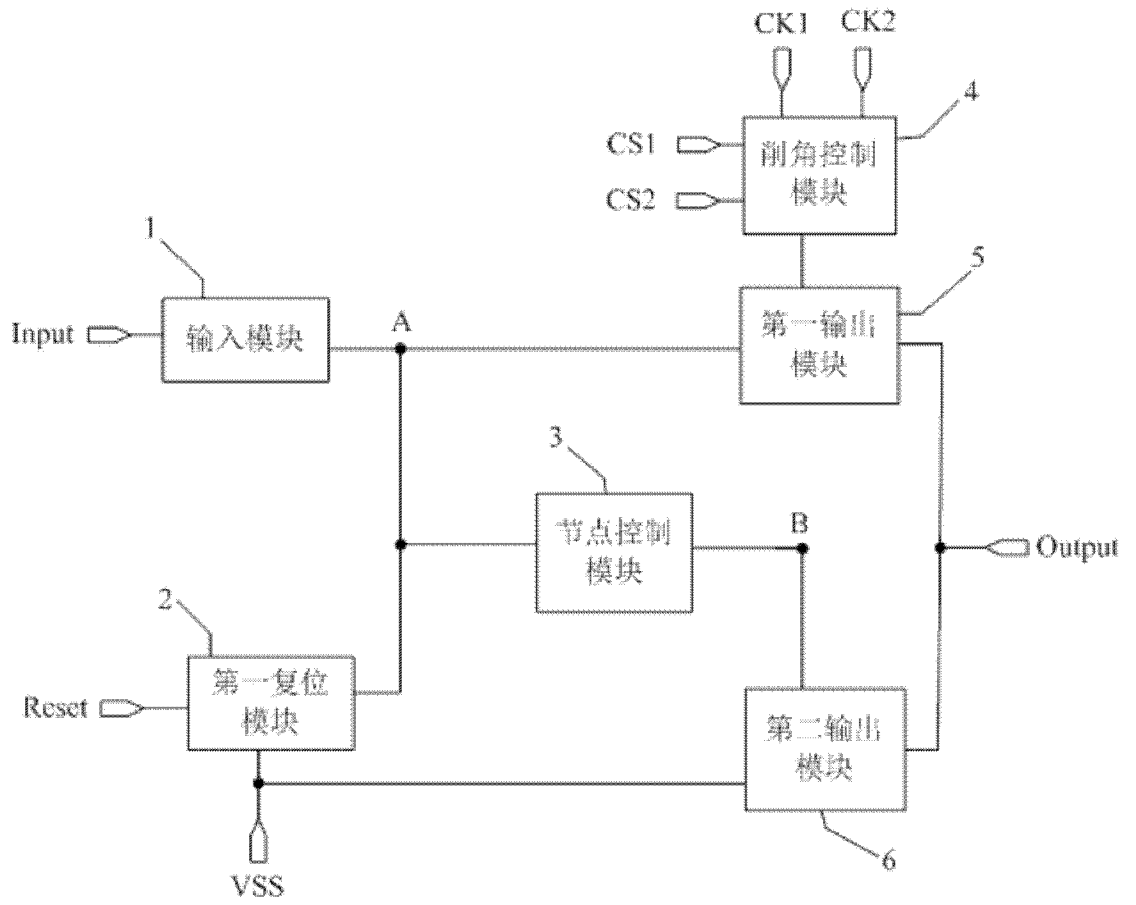


图 1A

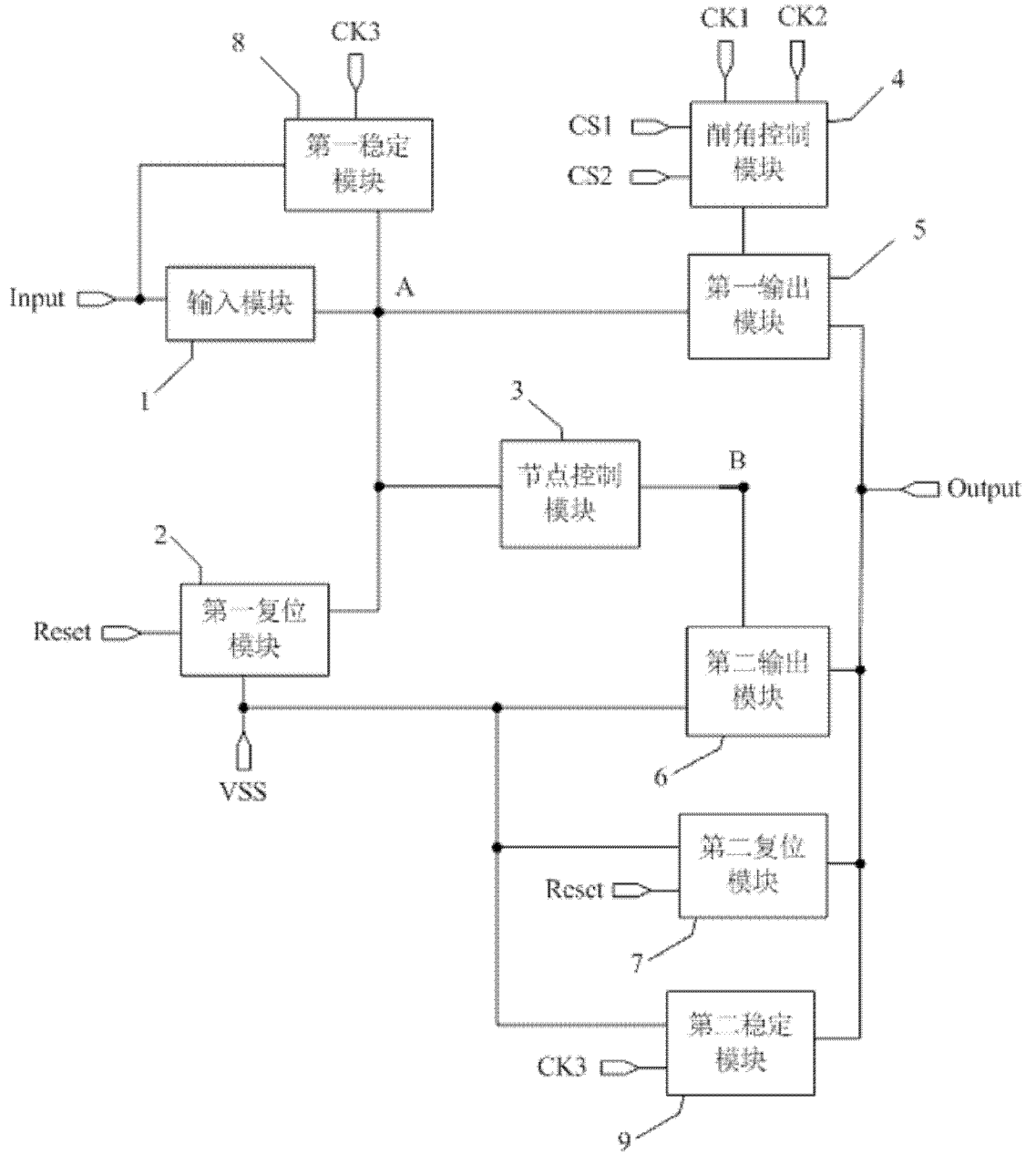


图 1B

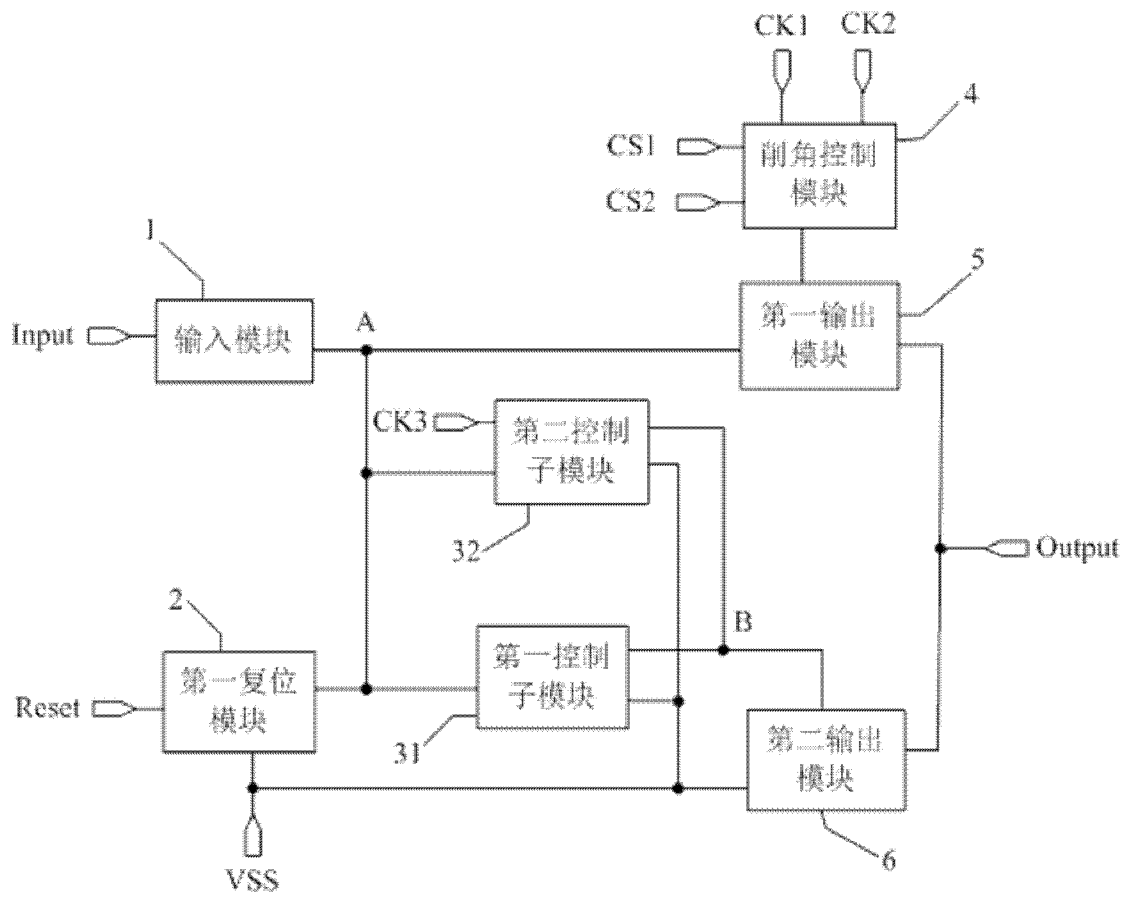


图 2A

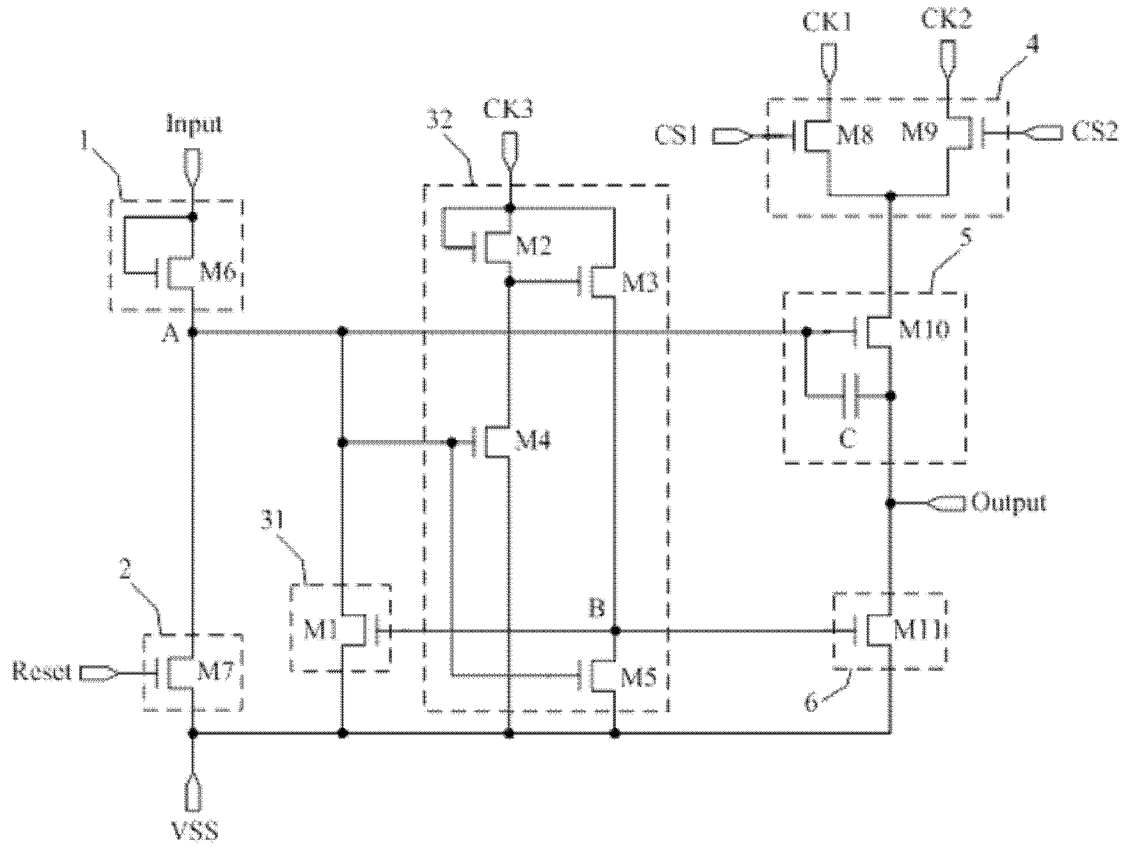


图 3A

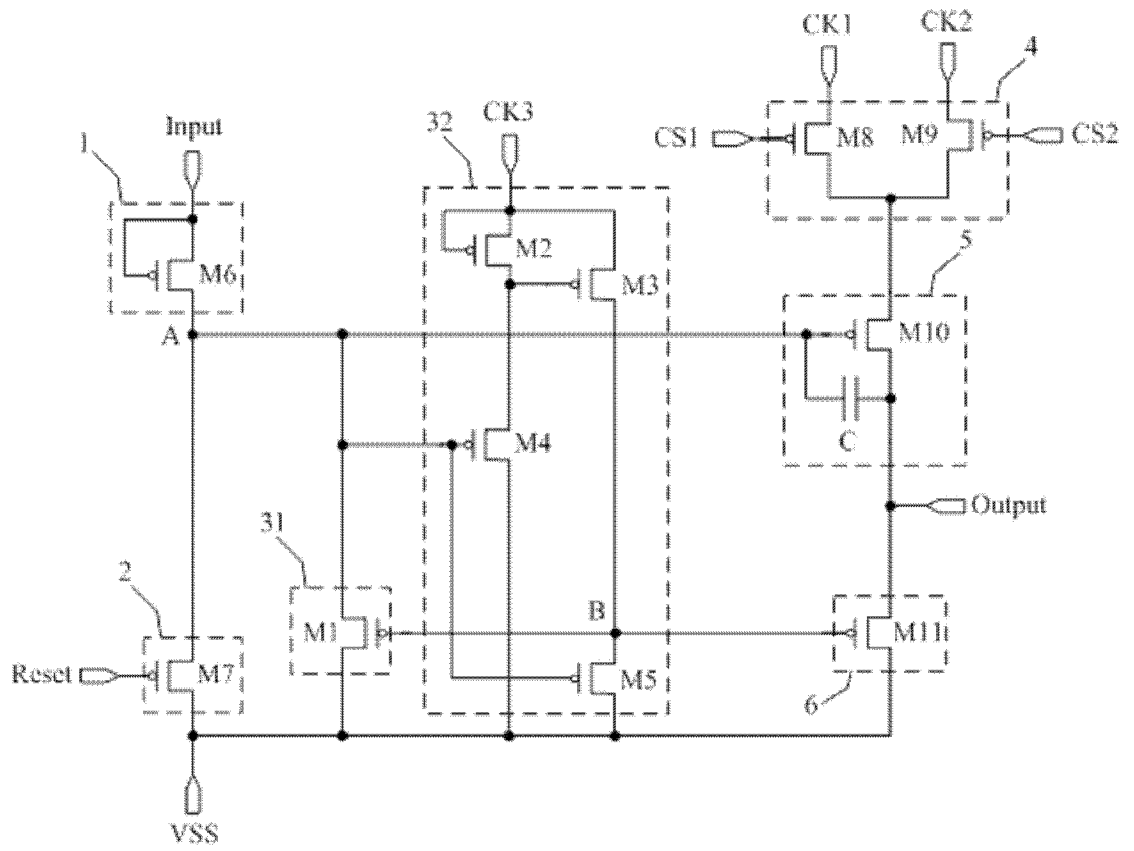


图 3B

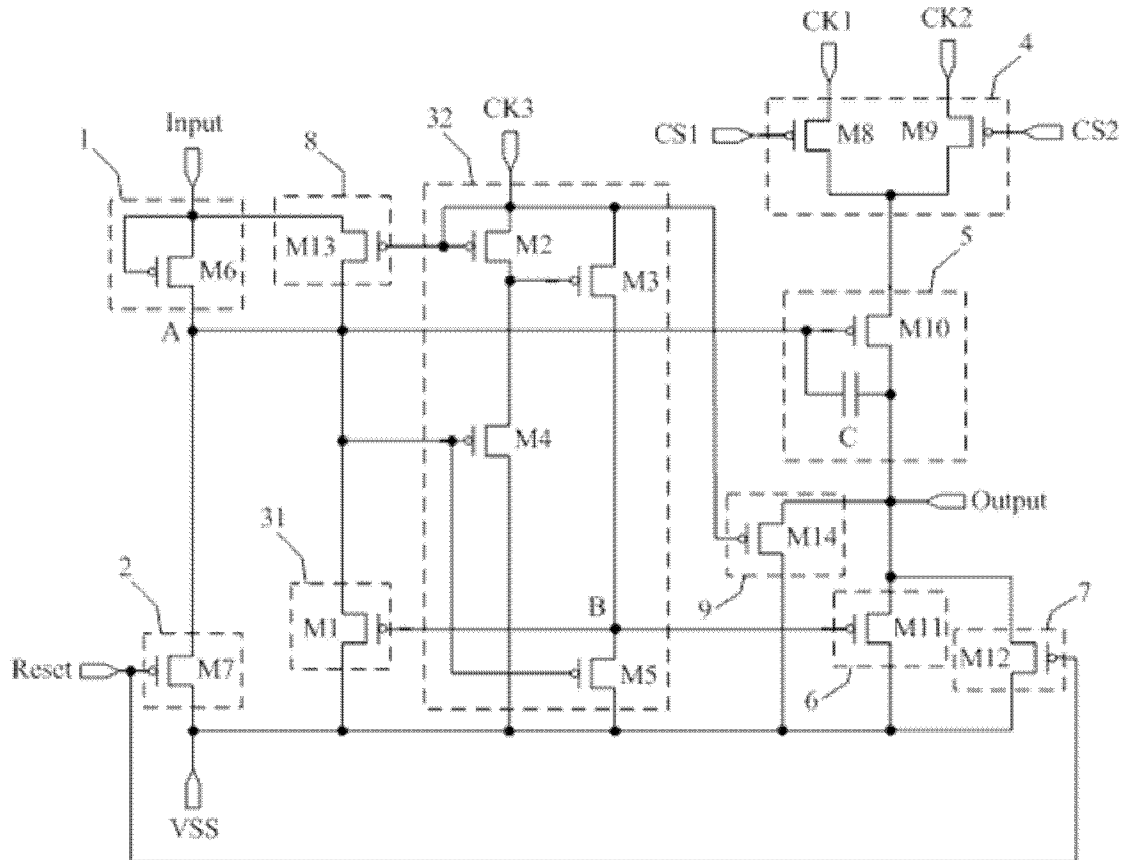


图 4B

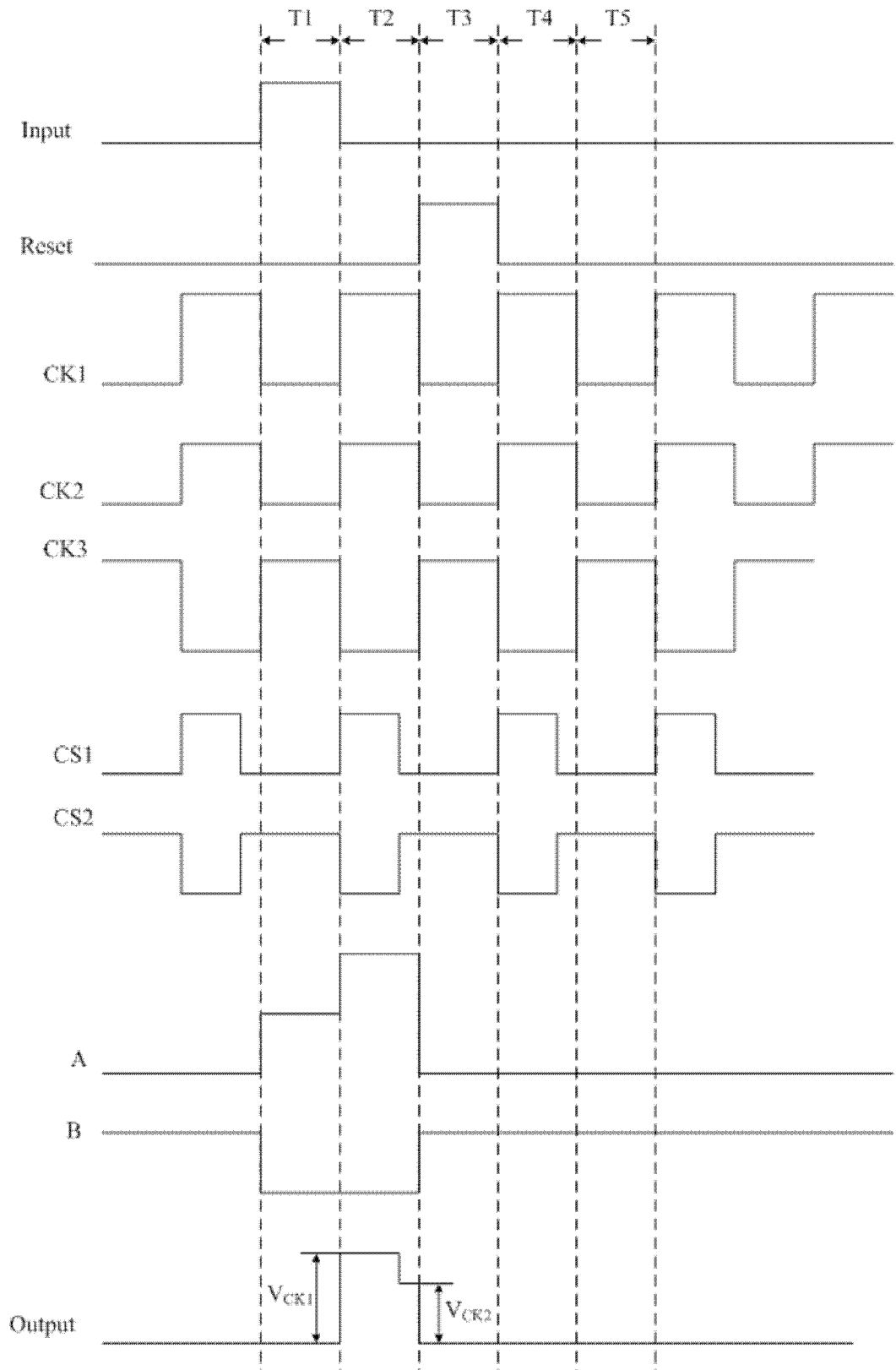


图 5A

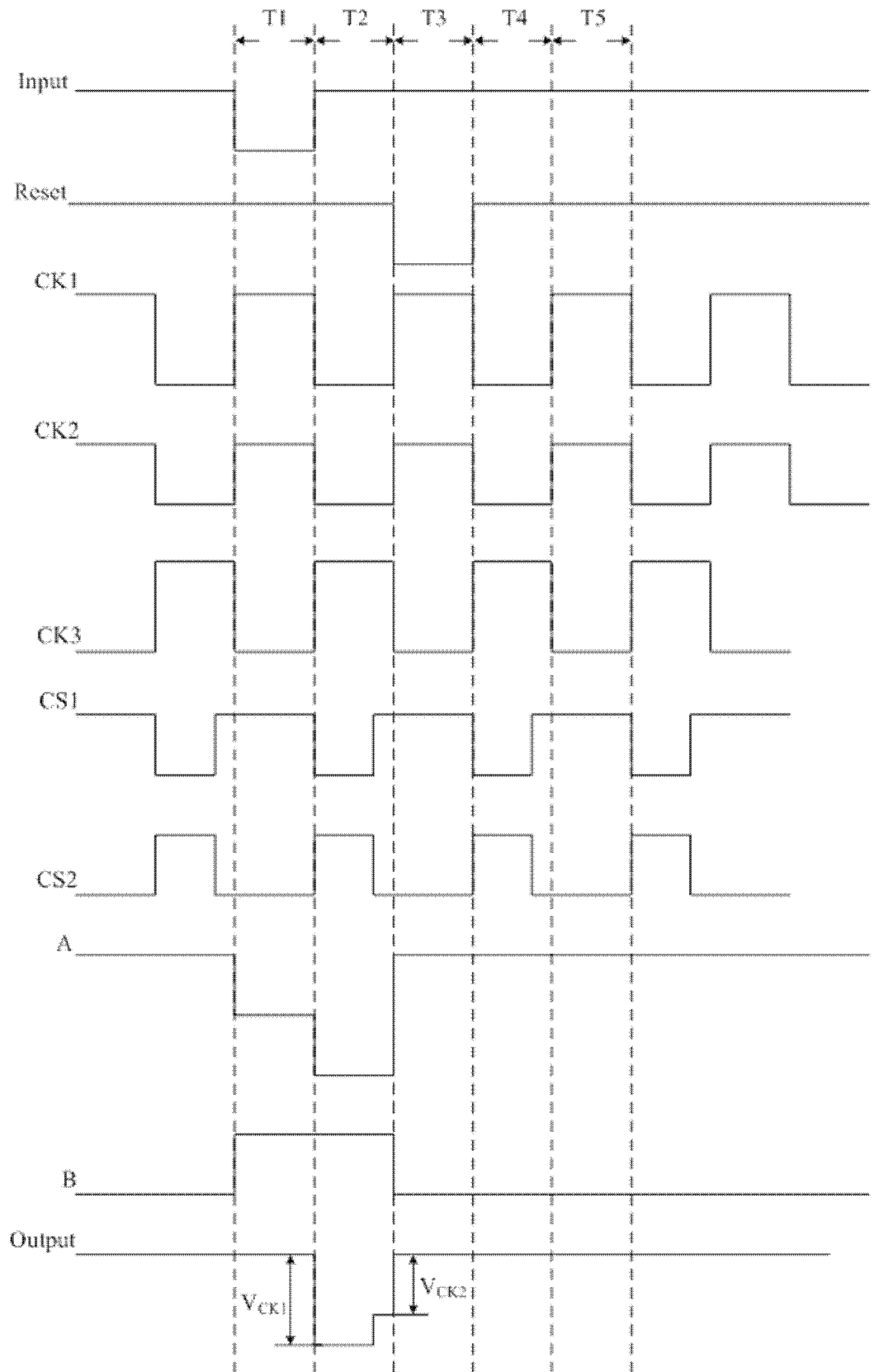


图 5B

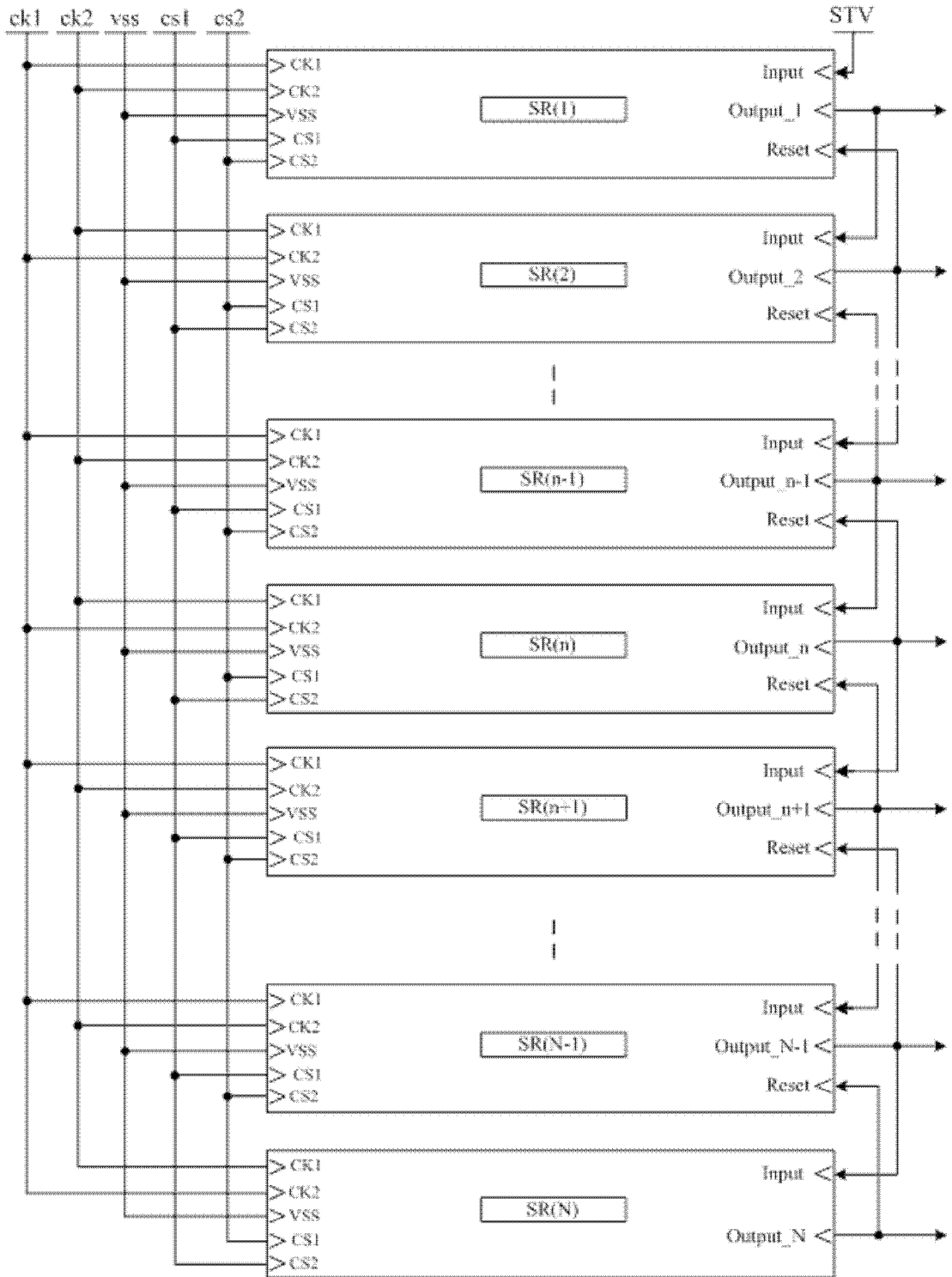


图 6

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2017/073783

A. CLASSIFICATION OF SUBJECT MATTER

G11C 19/28 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G11C

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, WPI, IEEE, EPODOC, CNKI: xinsheng optoelectronic, zhao jian, chen mo, xiong xiong, chen peng, zhang xinxia, GOA, waveform, shape, eliminate, clipping, OUTPUT, time sequence, CK, CKL, CKC, second, multi-, two, SW, CS, BOE, angl+, cut+, chamfer+, clip+, tap+, pulse, chang+, transf+, wave, shift, register, control+, clock, voltage, different+, potential

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 106098101 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 09 November 2016 (09.11.2016) description, paragraphs [0064]-[0194], and figures 1-6	1-17
A	CN 105632563 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 01 June 2016 (01.06.2016) claims 1-13, description, paragraphs [0056]-[0070], and figures 1 and 2	1-17
A	CN 105632562 A (BOE TECHNOLOGY GROUP CO., LTD., HEFEI XINSHENG OPTOELECTRONIC TECHNOLOGY CO., LTD.) 01 June 2016 (01.06.2016) the whole document	1-17

Further documents are listed in the continuation of Box C.

See patent family annex.

<p>* Special categories of cited documents:</p> <p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p>	<p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&” document member of the same patent family</p>
---	---

Date of the actual completion of the international search 06 April 2017	Date of mailing of the international search report 27 April 2017
--	---

<p>Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451</p>	<p>Authorized officer ZHOU, Zhongtang Telephone No. (86-10) 53318981</p>
--	--

INTERNATIONAL SEARCH REPORTInternational application No.
PCT/CN2017/073783

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2010220079 A1 (SAMSUNG ELECTRONICS CO., LTD.) 02 September 2010 (02.09.2010) the whole document	1-17
A	CN 103247280 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 14 August 2013 (14.08.2013) the whole document	1-17
A	JP 5919112 B2 (SEMICONDUCTOR ENERGY LAB.) 18 May 2016 (18.05.2016) the whole document	1-17

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2017/073783

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 106098101 A	09 November 2016	None	
CN 105632563 A	01 June 2016	None	
CN 105632562 A	01 June 2016	None	
US 2010220079 A1	02 September 2010	US 9275591 B2	01 March 2016
		US 2014160110 A1	12 June 2014
		KR 20100098925 A	10 September 2010
		US 8692757 B2	08 April 2014
		KR 101542506 B1	06 August 2015
		CN 103247280 A	14 August 2013
CN 103247280 A	14 August 2013	WO 2014183323 A1	20 November 2014
		US 2014340291 A1	20 November 2014
JP 5919112 B2	18 May 2016	JP 2014010864 A	20 January 2014

国际检索报告

国际申请号

PCT/CN2017/073783

<p>A. 主题的分类</p> <p>G11C 19/28(2006.01)i</p> <p>按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类</p>																				
<p>B. 检索领域</p> <p>检索的最低限度文献(标明分类系统和分类号)</p> <p>G11C</p> <p>包含在检索领域中的除最低限度文献以外的检索文献</p> <p>在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))</p> <p>CNPAT, WPI, IEEE, EPODOC, CNKI: 京东方, 鑫晟光电, 赵剑, 陈沫, 熊雄, 陈鹏, 张新霞, 移位寄存器, GOA, 削角, 改变, 变换, 波形, 形状, 脉冲, 消除, 削波, 输出, OUTPUT, 时钟, 时序, CK, CKL, CKC, 第二, 多个, 两个, 控制信号, SW, CS, 电压, 电位, 不同, BOE, angl+, cut+, chamfer+, clip+, tap+, pulse, chang+, transf+, wave, shift, register, control+, clock, voltage, differen+</p>																				
<p>C. 相关文件</p> <table border="1"> <thead> <tr> <th>类型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>PX</td> <td>CN 106098101 A (京东方科技集团股份有限公司 等) 2016年 11月 9日 (2016 - 11 - 09) 说明书第[0064]-[0194], 图1-6</td> <td>1-17</td> </tr> <tr> <td>A</td> <td>CN 105632563 A (京东方科技集团股份有限公司 等) 2016年 6月 1日 (2016 - 06 - 01) 权利要求第1-13项、说明书第[0056]-[0070], 图1-2</td> <td>1-17</td> </tr> <tr> <td>A</td> <td>CN 105632562 A (京东方科技集团股份有限公司 合肥鑫晟光电科技有限公司) 2016年 6月 1日 (2016 - 06 - 01) 全文</td> <td>1-17</td> </tr> <tr> <td>A</td> <td>US 2010220079 A1 (SAMSUNG ELECTRONICS CO., LTD.) 2010年 9月 2日 (2010 - 09 - 02) 全文</td> <td>1-17</td> </tr> <tr> <td>A</td> <td>CN 103247280 A (深圳市华星光电技术有限公司) 2013年 8月 14日 (2013 - 08 - 14) 全文</td> <td>1-17</td> </tr> </tbody> </table>			类型*	引用文件, 必要时, 指明相关段落	相关的权利要求	PX	CN 106098101 A (京东方科技集团股份有限公司 等) 2016年 11月 9日 (2016 - 11 - 09) 说明书第[0064]-[0194], 图1-6	1-17	A	CN 105632563 A (京东方科技集团股份有限公司 等) 2016年 6月 1日 (2016 - 06 - 01) 权利要求第1-13项、说明书第[0056]-[0070], 图1-2	1-17	A	CN 105632562 A (京东方科技集团股份有限公司 合肥鑫晟光电科技有限公司) 2016年 6月 1日 (2016 - 06 - 01) 全文	1-17	A	US 2010220079 A1 (SAMSUNG ELECTRONICS CO., LTD.) 2010年 9月 2日 (2010 - 09 - 02) 全文	1-17	A	CN 103247280 A (深圳市华星光电技术有限公司) 2013年 8月 14日 (2013 - 08 - 14) 全文	1-17
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求																		
PX	CN 106098101 A (京东方科技集团股份有限公司 等) 2016年 11月 9日 (2016 - 11 - 09) 说明书第[0064]-[0194], 图1-6	1-17																		
A	CN 105632563 A (京东方科技集团股份有限公司 等) 2016年 6月 1日 (2016 - 06 - 01) 权利要求第1-13项、说明书第[0056]-[0070], 图1-2	1-17																		
A	CN 105632562 A (京东方科技集团股份有限公司 合肥鑫晟光电科技有限公司) 2016年 6月 1日 (2016 - 06 - 01) 全文	1-17																		
A	US 2010220079 A1 (SAMSUNG ELECTRONICS CO., LTD.) 2010年 9月 2日 (2010 - 09 - 02) 全文	1-17																		
A	CN 103247280 A (深圳市华星光电技术有限公司) 2013年 8月 14日 (2013 - 08 - 14) 全文	1-17																		
<p><input checked="" type="checkbox"/> 其余文件在C栏的续页中列出。</p> <p><input checked="" type="checkbox"/> 见同族专利附件。</p> <p>* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件</p>																				
<p>国际检索实际完成的日期</p> <p>2017年 4月 6日</p>	<p>国际检索报告邮寄日期</p> <p>2017年 4月 27日</p>																			
<p>ISA/CN的名称和邮寄地址</p> <p>中华人民共和国国家知识产权局 (ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088</p> <p>传真号 (86-10)62019451</p>	<p>受权官员</p> <p>周忠堂</p> <p>电话号码 (86-10)53318981</p>																			

C. 相关文件		
类型*	引用文件，必要时，指明相关段落	相关的权利要求
A	JP 5919112 B2 (SEMICONDUCTOR ENERGY LAB.) 2016年 5月 18日 (2016 - 05 - 18) 全文	1-17

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2017/073783

检索报告引用的专利文件			公布日 (年/月/日)	同族专利	公布日 (年/月/日)
CN	106098101	A	2016年 11月 9日	无	
CN	105632563	A	2016年 6月 1日	无	
CN	105632562	A	2016年 6月 1日	无	
US	2010220079	A1	2010年 9月 2日	US	9275591 B2 2016年 3月 1日
				US	2014160110 A1 2014年 6月 12日
				KR	20100098925 A 2010年 9月 10日
				US	8692757 B2 2014年 4月 8日
				KR	101542506 B1 2015年 8月 6日
CN	103247280	A	2013年 8月 14日	CN	103247280 B 2016年 2月 3日
				WO	2014183323 A1 2014年 11月 20日
				US	2014340291 A1 2014年 11月 20日
JP	5919112	B2	2016年 5月 18日	JP	2014010864 A 2014年 1月 20日

表 PCT/ISA/210 (同族专利附件) (2009年7月)