



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I815991 B

(45)公告日：中華民國 112 (2023) 年 09 月 21 日

(21)申請案號：108140248

(22)申請日：中華民國 108 (2019) 年 11 月 06 日

(51)Int. Cl.：

*C23C14/08 (2006.01)**C23C14/34 (2006.01)**H01L21/336 (2006.01)**H01L29/786 (2006.01)**G01N27/414 (2006.01)*

(30)優先權：2019/02/25

世界智慧財產權組織

PCT/JP2019/007093

(71)申請人：日商尼康股份有限公司 (日本) NIKON CORPORATION (JP)

日本

(72)發明人：中積誠 NAKAZUMI, MAKOTO (JP)

(74)代理人：閻啓泰；林景郁

(56)參考文獻：

TW 201544458A

CN 102652330A

CN 109314146A

JP 2017-118106A

US 2011/0012107A1

審查人員：許沐安

申請專利範圍項數：15 項 圖式數：12 共 32 頁

(54)名稱

半導體裝置、pH 感測器及生物感測器以及半導體裝置的製造方法

(57)摘要

本發明提供一種半導體裝置 A，其包括：第 1 電極 10、第 2 電極 20、與第 1 電極 10 及第 2 電極 20 接觸之半導體層 30、以及將半導體層 30 之表面之至少一部分加以被覆之保護層 40，並且保護層 40 包含尖晶石型之氧化物。

無

指定代表圖：

符號簡單說明：

10:第 1 電極

20:第 2 電極

30:半導體層

40:保護層

50:基板

60:第 3 電極

70:絕緣層

A:半導體裝置

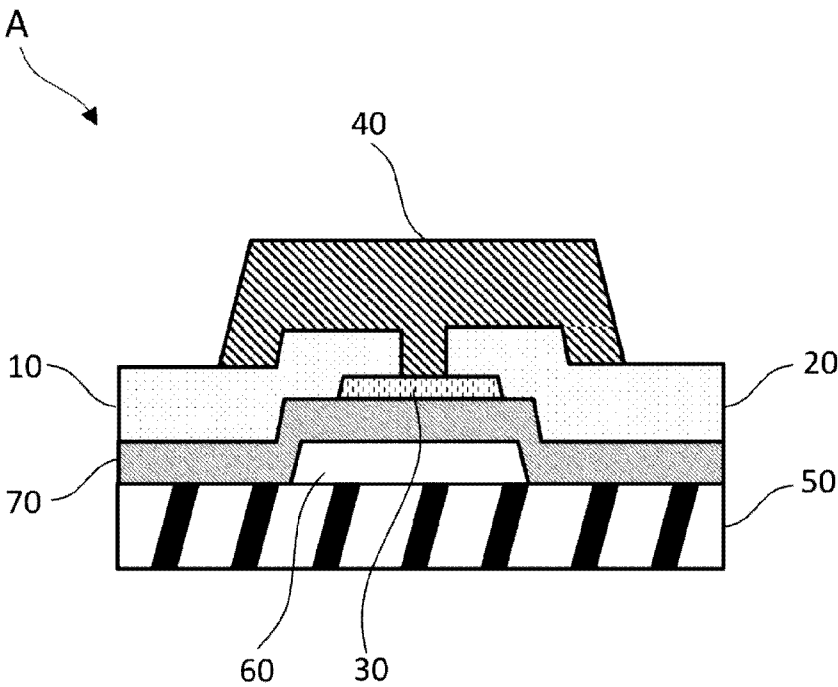


圖1



I815991

【發明摘要】

【中文發明名稱】 半導體裝置、pH感測器及生物感測器以及半導體裝置的製造方法

【英文發明名稱】 無

【中文】

本發明提供一種半導體裝置A，其包括：第1電極10、第2電極20、與第1電極10及第2電極20接觸之半導體層30、以及將半導體層30之表面之至少一部分加以被覆之保護層40，並且保護層40包含尖晶石型之氧化物。

【英文】

無

【指定代表圖】 圖1

【代表圖之符號簡單說明】

10：第1電極

20：第2電極

30：半導體層

40：保護層

50：基板

60：第3電極

70：絕緣層

A：半導體裝置

【特徵化學式】

無

【發明說明書】

【中文發明名稱】 半導體裝置、pH感測器及生物感測器以及半導體裝置的製造方法

【英文發明名稱】 無

【技術領域】

【0001】 本發明係關於一種半導體裝置、pH感測器及生物感測器以及半導體裝置的製造方法。

【先前技術】

【0002】 專利文獻1中揭示一種包括具有鈍化效果之保護膜之有機半導體裝置及其製造方法。先前，此種保護膜之材料係使用SiO₂或Al₂O₃膜等金屬氧化膜，要求可高效地形成。

[先前技術文獻]

[專利文獻]

【0003】 [專利文獻1]日本專利特開2007-053147號公報

【發明內容】

【0004】 本發明之第一形態係一種半導體裝置，其包括：第1電極、第2電極、與第1電極及第2電極接觸之半導體層、以及將半導體層之表面之至少一部分加以被覆之保護層；並且保護層包含尖晶石型之氧化物。

【0005】 本發明之第二形態係一種pH感測器，其包括上述半導體裝置。

【0006】 本發明之第三形態係一種生物感測器，其包括上述半導體裝置。

【0007】 本發明之第四形態係一種半導體裝置的製造方法，其係上述半導

體裝置的製造方法，並且包括藉由進行濺鍍而形成保護層之步驟。

【圖式簡單說明】

【0008】

圖1係第1實施方式之半導體裝置A之概略圖。

圖2係第2實施方式之半導體裝置B之概略圖。

圖3係於第1實施方式中包括半導體裝置A之pH感測器C之概略圖。

圖4係表示第1實施方式之半導體裝置A之製造方法之一例之圖。

圖5係表示第2實施方式之半導體裝置B之製造方法之一例之圖。

圖6係實施例1之半導體裝置D之概略剖面圖。

圖7係實施例1之二次離子質譜法（Secondary Ion Mass Spectrometry，SIMS）測定結果之圖表。

圖8係實施例1之正偏壓應力耐性（Positive Bias Stress，PBS）測試之圖表。

圖9係實施例1之負偏壓應力耐性（Negative Bias Stress，NBS）測試之圖表。

圖10係實施例1之光照射下負偏壓應力耐性（Negative Bias Illumination Stress，NBIS）測試之圖表。

圖11係比較例1之PBS測試之圖表。

圖12係比較例1之NBS測試之圖表。

【實施方式】

【0009】 以下，對用以實施本發明之形態（以下簡稱為「本實施方式」）進行詳細說明。以下之本實施方式係用以對本發明進行說明之例示，並非將本發明限定於以下內容之主旨。此外，圖式中，只要未特別說明，則上下左右等位置關係是基於圖式所示之位置關係。進而，圖式之尺寸比率並不限定於圖示

之比率。

【0010】 圖1係第1實施方式之半導體裝置A之概略圖。

【0011】 第1實施方式之半導體裝置A係底閘極・頂部接觸（Bottom Gate Top Contact，BGTC）型之半導體裝置。半導體裝置A包括：第1電極10、第2電極20、與第1電極10及第2電極20接觸之半導體層30、以及將半導體層30之表面之至少一部分加以被覆之保護層40；並且保護層40包含尖晶石型之氧化物。

【0012】 而且，半導體裝置A包括基板50、及形成於基板50上之第3電極60，且於形成有第3電極60之側之基板50之表面上包括絕緣層70。第1電極10為源電極，第2電極20為汲電極，第3電極60為閘電極。

【0013】 半導體裝置A藉由使用結晶結構為尖晶石型之氧化物（以下，存在簡稱為「尖晶石型氧化物」之情形）作為保護層40，而具有成膜溫度低、成膜速度亦快、雜質亦不會進入之優點。除此以外，亦具有即便於使用具有可撓性之基板時，亦可簡便製造。

【0014】 先前，作為保護層，例如廣泛使用氧化矽或氧化鋁等金屬氧化膜，但該等存在成膜溫度或成膜速度等多個問題點。例如，於利用化學氣相沉積法（Chemical Vapor Deposition method，CVD法）來形成該等金屬氧化膜之情形時，存在成膜溫度高、需要大規模之CVD成膜裝置、以及導致來自材料氣體之氫或碳等雜質大量導入等問題。又，於利用高頻（High Frequency，RF）濺鍍法來形成該等金屬氧化膜之情形時，存在成膜速度緩慢等問題。或者，於利用反應性濺鍍法來形成該等金屬氧化膜之情形時，保護層產生缺氧，因此存在產生絕緣性或光學吸收等問題。

【0015】 於該方面，半導體裝置A可藉由使用尖晶石型氧化物作為保護層40，來一舉解決該等問題點。與上述金屬氧化膜等相比，尖晶石型氧化物可比較容易且效率良好地成膜。

【0016】 進而，半導體裝置A之保護層40由於使用穩定之尖晶石型氧化物，故而可發揮與使用現有的金屬氧化膜之保護層相同之程度乃至其以上之優異之鈍化效果。因此，半導體裝置A於半導體特性之方面亦優異。以下，對半導體裝置A之結構進行說明。

【0017】 於使用第1電極10作為源電極之情形時，源電極並無特別限定，可採用公知者。具體例可列舉：Mo、W、Al、Cu、Au、Cu-Al合金、Al-Si合金、Mo-W合金、Ni-P合金等之單層、該等之積層體等。

【0018】 於使用第2電極20作為汲電極之情形時，汲電極並無特別限定，可採用公知者。具體例可列舉：Mo、W、Al、Cu、Au、Cu-Al合金、Al-Si合金、Mo-W合金、Ni-P合金等之單層、該等之積層體等。

【0019】 半導體層30係與第1電極10及第2電極20接觸而形成。半導體層30並無特別限定，可採用公知者。具體例可列舉：氧化鋅（ZnO），包含In、Ga及Zn之氧化物之無機半導體，於IGZO（Indium Gallium Zinc Oxide，氧化銦鎵鋅）中混合有錫之IGZTO、非晶矽、低溫多晶矽等。該等之中，較佳為半導體特性優異之包含In、Ga及Zn之氧化物，該等之中更佳為 InGaZnO_4 （IGZO）。

【0020】 就進一步提高半導體特性之觀點而言，半導體層30較佳為摻雜有載體元素。載體元素並無特別限定，可採用於摻雜製程中公知者。具體例可列舉：氫、一價金屬、二價金屬、三價金屬等。該等之中，本實施方式中，較佳為於半導體層30中摻雜有氫。

【0021】 保護層40若為尖晶石型氧化物即可，例如可列舉：包含鋅及鎵之尖晶石型氧化物（例如尖晶石型之 ZnGa_2O_4 等）、包含鋅及銦之尖晶石型氧化物（例如尖晶石型之 ZnIn_2O_4 等）、包含鋅及鋁之尖晶石型氧化物（例如尖晶石型之 ZnAl_2O_4 等）、包含鎂及鋁之尖晶石型氧化物（例如尖晶石型之 MgAl_2O_4 等）等。該等之中，就於比較低之溫度下進行結晶化之觀點而言，較佳為包含鋅及鎵之

尖晶石型氧化物，更佳為尖晶石型之 ZnGa_2O_4 。

【0022】 關於保護層40，本實施方式中，可設為無氫。即，保護層可適當採用未摻雜有氫者、實質上不含氫者。此處所謂之「實質上不含」，意指未積極添加該成分，並不排除不可避免地含有或混合之情況。

【0023】 若於保護層40中存在氫，則存在引起其作為雜質而亦進入半導體層30中之不良之情形。例如，若存在氫等雜質，則於半導體中擴散，導致 V_{TH} （閾值電壓）偏移量增大。關於該方面，例如，於利用先前方法，將氧化矽等之金屬氧化膜設為保護層之情形時，使用氫作為其原料，但本實施方式中亦可不使用氫。就該觀點而言，保護層40之氫含量較佳為 1×10^{21} atm/cc以下，更佳為 1×10^{18} atm/cc以下。該氫含量可利用後述實施例中記載之二次離子質譜法（SIMS）來測定。

【0024】 保護層40亦可作為鈍化層來發揮功能。鈍化層係將半導體層30與外部環境加以阻隔者，可保護半導體層30不受水分或金屬離子等之影響。

【0025】 保護層40之膜厚亦可設為40 nm以上。膜厚之上限並無特別限定，亦可設為1 μm 。

【0026】 基板50之材料並無特別限定，可採用公知之材料。作為具體例，例如可列舉：玻璃、樹脂、矽、金屬、合金、該等之箔等。該等之中，較佳為選自由玻璃、樹脂、矽、以及該等之組合所組成之組群中之1種。

【0027】 樹脂例如可使用：聚丙烯酸酯、聚碳酸酯、聚胺基甲酸酯、聚苯乙烯、纖維素聚合物、聚烯烴、聚醯胺、聚醯亞胺、聚酯、聚伸苯基、聚乙烯、聚對苯二甲酸乙二酯、聚丙烯、伸乙基乙烯基共聚物、聚氯乙烯等。

【0028】 基板50亦可具有可撓性。保護層40之形成中，亦可不使用成膜條件之制約強之CVD法，或對將尖晶石型氧化物作為保護層40來成膜之方法的制約少等，因此可緩和基板等之材質之限制。因此，即便係使用具有可撓性之材

料來作為基板50之情形，亦可適當地成膜為保護層40。具有可撓性之基板例如可列舉上述樹脂材料等。

【0029】 又，若基板50為具有可撓性之膜基板（有時亦稱為「片狀基板」），則可採用作為卷狀而連續成膜之卷對卷（Roll to Roll）方式、或卷對片（Roll to Sheet）方式，可期待製造步驟之高效率化、簡略化及良率提高等。

【0030】 所謂卷對卷方式，係指將卷狀之膜基板捲出而連續成膜，再次捲繞為卷狀之方式。卷對片方式係指將卷狀之膜基板捲出而連續成膜，將其切割而形成片狀之方式。

【0031】 第3電極60為閘電極。第3電極60並無特別限定，可採用公知者。具體例可列舉：Mo、W、Al、Cu、Au、Cu-Al合金、Al-Si合金、Mo-W合金、Ni-P合金等之單層、該等之積層體等。作為閘電極之第3電極60之形成方法並無特別限定，可考慮到基板50或閘電極之材料等，來適當採用適宜之方法。

【0032】 絕緣層70並無特別限定，可採用公知之材料。作為具體例，例如可列舉： SiO_2 、 Si_3N_4 、 SiON 、 Al_2O_3 、 Ta_2O_5 、 HfO_2 等無機材料，或光硬化型樹脂、熱硬化型樹脂等。

【0033】 本實施方式中，如半導體裝置A般，可構成將第1電極10、第2電極20、第3電極60分別設為源電極、汲電極、閘電極之電晶體，亦可設為不具有第3電極60（閘電極）之結構。又，依據本實施方式，亦可設為不具有基板50或絕緣層70之結構。如此一來，本實施方式之半導體裝置並不限定於圖1所示之結構，可採用多種結構。

【0034】 圖2係第2實施方式之半導體裝置B之概略圖。

【0035】 第2實施方式之半導體裝置B係底閘極・底部接觸（BGBC）型之半導體裝置。半導體裝置B中，保護層40將半導體層30之表面之至少一部分加以被覆。

【0036】 關於構成半導體裝置B之各構件，只要未特別說明，則與上述半導體裝置A共通之構件可採用與半導體裝置A同樣者。

【0037】 依據本實施方式，半導體裝置之結構並無特別限定，可採用底閘極・頂部接觸型（參照圖1）、底閘極・底部接觸型（參照圖2）、頂閘極・頂部接觸型、頂閘極・底部接觸型之結構。

【0038】 至此所說明之半導體裝置A、B當然電子傳導度等半導體特性優異，亦可藉由具有保護層40而賦予耐酸性或耐鹼性等化學耐性。因此，本實施方式之半導體裝置可以pH感測器或生物感測器等各種感測器類為代表，作為TFT（Thin Film Transistor，薄膜電晶體）液晶或有機EL（electroluminescence，電致發光）等之零件來適當使用。以下，對其若干加以說明。

【0039】 <pH感測器>

圖3係於第1實施方式中包括半導體裝置A之pH感測器C之概略圖。

【0040】 pH感測器C例如為使用本實施方式之半導體裝置A之pH感測器（Ion Sensitive-FET，離子感應性場效型電晶體）。

【0041】 pH感測器C包括：半導體裝置A、以及設置於半導體裝置A上之矽橡膠製之池壁80及參照電極90。而且，將作為測定對象之溶液S（例如，於酸性溶液之情形時為鹽酸，於鹼性溶液之情形時為氫氧化鈉溶液等）填充於由池壁80所構成之池內，測定參照電極90與電極之電位差。由於溶液S之pH依存於溶液中之質子量，故而pH感測器之測定原理為：電性測定溶液中之質子量，且基於所測定之質子量來算出pH值。

【0042】 本實施方式之半導體裝置A可賦予對強酸或強鹼而言亦高之穩定性。因此，使用其之pH感測器C於pH1~14之廣泛pH區域中具有高穩定性，即便對象資料為強酸・強鹼，亦可迅速且準確地測定。

【0043】 此處，作為pH感測器之一例，已示出使用半導體裝置A之情形，

但當然亦可使用半導體裝置B。

【0044】 <生物感測器>

又，雖未圖示，但本實施方式之半導體裝置A、B亦可作為生物感測器（亦存在稱為生物感測器晶片之情形）。生物感測器係利用生物體起源之分子辨識機構之化學感測器，作為生物體內之pH變化或氧化還原反應等之化學辨識元件來使用。

【0045】 於該方面，本實施方式之半導體裝置A、B於廣泛之pH區域中具有高穩定性，故而即便測定對象為強酸性或強鹼性，亦可作為可準確感測之生物感測器。例如可使特定之抗體裝飾於半導體表面，而形成對於其上吸附有特異性之DNA等偵測對象時之質子量加以測量之生物感測器。

【0046】 <製造方法>

圖4係表示第1實施方式之半導體裝置A之製造方法之一例的圖。

【0047】 圖4所示之製造方法為底閘極・頂部接觸型（參照圖1）之半導體裝置A之製造方法。該製造方法進行以下步驟：於基板50上形成半導體層30之步驟；於基板50上形成導電層（未圖示）之步驟；使該導電層與既定之圖案對應而進行蝕刻來形成第1電極10及第2電極20之步驟；以及以將半導體層30之表面之至少一部分加以被覆之方式，藉由於成膜溫度200℃以下進行濺鍍而形成保護層40之步驟。以下，對上述各步驟進行詳細說明。

【0048】 （第1步驟）

首先，於基板50之表面上形成第3電極60。第3電極60係與上述閘電極對應者。第3電極60於基板50之表面上之形成方法並無特別限定，可考慮基板50或電極之材料等，來適當採用適宜之方法。

【0049】 （第2步驟）

其次，於形成有第3電極60之側之基板50之表面上形成絕緣層70，將第3電

極60由絕緣層70來被覆。絕緣層70之形成方法並無特別限定，可考慮到基板50、第3電極60、絕緣層70之材料等，來適當採用適宜之方法。

【0050】 （第3步驟）

然後，於絕緣層70之表面上形成半導體層30。半導體層30較佳為利用濺鍍法來形成。於該情形時，可使用濺鍍裝置來形成，亦可使用複數個陰極來形成既定之半導體層30。濺鍍時，可採用將1種材料設為靶之一元同時濺鍍，亦可採用將複數種材料設為靶之共濺鍍（co-sputter）。

【0051】 作為一例，對利用IGZO薄膜來形成半導體層30之情形加以說明。於該情形時，可將作為 InGaZnO_4 之氧化物燒結體設為靶（一元同時濺鍍），亦可藉由將 In_2O_3 、 Ga_2O_3 、及 ZnO 此3種多元同時使用，以使組成比傾斜而成為具有所需組成之IGZO膜之方式來控制（多元同時濺鍍、共濺鍍）。

【0052】 例如，於n型半導體材料之情形時，可藉由元素摻雜、膜中之缺氧來製作。獲得n型半導體之元素並無特別限定，例如可列舉Al、In、Sn、Sb、Ta等。產生缺氧之方法並無特別限定，可採用公知之方法。具體而言，較佳為於厭氧環境下或者氫或水蒸氣等還原氣體環境下實施加熱處理。例如可列舉：以於濺鍍氣體中混合有氫之狀態進行成膜，利用填隙氫來進行n型之載體摻雜之方法。該等處理可於成膜後在腔室內進行，亦可作為後步驟而進行燒成。

【0053】 就提高半導體層30之結晶性之觀點而言，半導體層30之成膜溫度較佳為 190°C 以上。又，成膜溫度之上限較佳為 400°C 。

【0054】 此外，若過度加熱，則促進飛至基板50之表面的Zn粒子之蒸發，存在產生Ga及Zn與化學計量比之偏差（組成偏差）之情形，但藉由將包含Zn或 ZnO 之燒結體靶同時放電，可增加膜中之Zn濃度，可有效地防止組成偏差。

【0055】 （第4步驟）

進行如下步驟：藉由於半導體層30上形成具有導電性之導電層（未圖示），

使該導電層與既定之圖案對應而進行蝕刻，從而形成第1電極10及第2電極20。第1電極10為源電極，第2電極20為汲電極。第1電極10及第2電極20之形成方法可使用通常之光微影步驟。於該情形時，於半導體層30上形成導電層後，於導電層上形成抗蝕層，利用既定之圖案光將抗蝕層進行曝光、顯影。繼而，可藉由將從抗蝕層之開口部露出之導電層進行蝕刻，而形成第1電極10、第2電極20。此外，作為抗蝕層，可使用正型之材料，亦可使用負型之材料。

【0056】 於該情形時，蝕刻溶液較佳為酸性溶液。通常之光微影步驟中所使用之抗蝕劑材料對鹼性可溶，因此藉由使用酸性溶液，不會使抗蝕層溶解，可適當地將導電層進行蝕刻。此外，雖未圖示，亦可設為於形成導電層之前，於半導體層30上形成蝕刻終止層之結構。藉此，當對導電層進行蝕刻時，可抑制半導體層30與蝕刻溶液接觸而劣化。

【0057】 （第5步驟）

然後，藉由於第4步驟中形成之第1電極10及第2電極20之上形成保護層40，可獲得半導體裝置A。藉由使保護層40形成於基板50之最外表面，可保護半導體裝置A之內部不受外界之水分或金屬離子等之影響。

【0058】 由於認為先前之保護層較理想為採用氧化矽或氧化鋁等金屬氧化膜，故而成膜溫度必須為300°C以上。然而，本實施方式之製造方法由於所使用之尖晶石型氧化物之成膜溫度為低溫，且成膜速度亦快速，故而可簡便且效率良好地製造半導體裝置。例如，於使用樹脂基板作為基板50之情形時，由於其可使用溫度為比較低之溫度，故而成膜溫度較佳為低溫。就該觀點而言，保護層40之成膜溫度為200°C以下，較佳為190°C以下。

【0059】 作為一例，對由包含鋅（Zn）及鎵（Ga）之尖晶石型氧化物來形成保護層40之情形加以說明。於該情形時，藉由使用上述氧化物來作為保護層40，亦可期待保護層40對強酸或強鹼表現出強耐性。

【0060】 例如，使用銻鋅氧化物及鋅氧化物作為靶來進行共濺鍍，可形成包含尖晶石型之銻鋅氧化物之保護層40。或者，亦可使用以下方法：使用銻氧化物及鋅氧化物作為靶來進行共濺鍍之方法、或使用銻及鋅作為靶來進行共濺鍍且於成膜中利用反應性氣體進行氧化之方法。進而，並不限定於共濺鍍，亦可使用以下方法：使用鋅氧化物與銻氧化物之混合物作為靶來進行濺鍍之方法、或使用鋅與銻之混合物作為靶來進行濺鍍且於成膜中利用反應性氣體進行氧化之方法。

【0061】 以上述方式獲得之半導體裝置A為了形成所需之裝置結構，亦可視需要實施其他步驟。例如，可適當採用：形成各部位之前之預處理步驟、形成各部位之後之表面研磨步驟、切割步驟、引線框架上之安裝步驟、電路形成後之進行封裝之組裝步驟、線結合步驟、模具封入步驟等。

【0062】 圖5係表示第2實施方式之半導體裝置B之製造方法之一例的圖。

【0063】 圖5所示之製造方法係底閘極・底部接觸型（參照圖2）之半導體裝置B之製造方法。該製造方法係將半導體層30與保護層40連續形成者。以下，對該各步驟進行詳細說明。

【0064】 （第1步驟）

首先，於基板50之表面上形成第3電極60。第3電極60係與上述閘電極對應者。第3電極60於基板50之表面上之形成方法並無特別限定，可考慮到基板50或電極之材料等，來適當採用適宜之方法。

【0065】 （第2步驟）

其次，於形成有第3電極60之側之基板50之表面上形成絕緣層70，將第3電極60由絕緣層70加以被覆。絕緣層70之形成方法並無特別限定，可考慮到基板50、第3電極60、絕緣層70之材料等，來適當採用適宜之方法。

【0066】 （第3步驟）

然後進行如下步驟：於絕緣層70之表面上形成具有導電性之導電層（未圖示），使該導電層與既定之圖案對應而進行蝕刻，藉此形成第1電極10及第2電極20。第1電極10為源電極，第2電極20為汲電極。第1電極10及第2電極20之形成方法可使用通常之光微影步驟。於該情形時，於絕緣層70上形成導電層後，於導電層上形成抗蝕層，利用既定之圖案光將抗蝕層進行曝光、顯影。繼而，藉由將從抗蝕層之開口部中露出之導電層進行蝕刻，可形成第1電極10、第2電極20。此外，作為抗蝕層，可使用正型之材料，亦可使用負型之材料。

【0067】 於該情形時，蝕刻溶液較佳為酸性溶液。通常之光微影步驟中使用之抗蝕劑材料由於對鹼性可溶，故而藉由使用酸性溶液，不會使抗蝕層溶解，可適當地將導電層進行蝕刻。

【0068】 （第4步驟）

然後，以與第1電極10及第2電極20接觸之方式，將半導體層30形成於絕緣層70之表面上。繼其之後，以覆蓋半導體層30之方式形成保護層40。

【0069】 半導體層30及保護層40較佳為利用濺鍍法來形成。於該情形時，可使用濺鍍裝置來形成，較佳為使用複數個陰極來形成既定之半導體層30及保護層40。藉由利用同一形成手法（例如濺鍍法）來形成半導體層30及保護層40，容易連續地形成半導體層30及保護層40。

【0070】 濺鍍時，可採用將1種材料設為靶之一元同時濺鍍，亦可採用將複數種材料設為靶之共濺鍍（co-sputter）。

【0071】 作為一例，對利用IGZO薄膜來形成半導體層30之情形加以說明。於該情形時，可將作為 InGaZnO_4 之氧化物燒結體設為靶（一元同時濺鍍），亦藉由將 In_2O_3 、 Ga_2O_3 、及 ZnO 此3種多元同時使用，以使組成比傾斜而成為具有所需組成之IGZO膜之方式進行控制（多元同時濺鍍、共濺鍍）。

【0072】 例如，於n型半導體材料之情形時，可藉由元素摻雜、膜中之缺

氧來製作。獲得n型半導體之元素並無特別限定，例如可列舉Al、In、Sn、Sb、Ta等。發生缺氧之方法並無特別限定，可採用公知之方法。具體而言，較佳為於厭氧環境下或者氫等還原氣體環境下實施加熱處理。例如可列舉如下方法：以於濺鍍氣體中混合有氫之狀態進行成膜，利用填隙氫來進行n型之載體摻雜。該等處理可於成膜後在腔室內進行，亦可作為後步驟而進行燒成。

【0073】 就提高半導體層30之膜密度之觀點而言，半導體層30之成膜溫度較佳為105℃以上，更佳為150℃以上。又，成膜溫度之上限較佳為300℃。

【0074】 此外，若過度加熱，則促進飛至基板50之表面的Zn粒子之蒸發，存在產生Ga及Zn與化學計量比之偏差（組成偏差）之情形，但藉由使包含Zn或ZnO之燒結體靶同時放電，可使膜中之Zn濃度增加，可有效地防止組成偏差。

【0075】 而且，藉由使保護層40形成於基板50之最外表面，可保護半導體裝置B之內部不受外界之水分或金屬離子等之影響。

【0076】 由於認為先前之保護層較理想為採用氧化矽或氧化鋁等金屬氧化膜，故而成膜溫度必須為300℃以上。與此相比，本實施方式之製造方法由於成膜溫度為低溫，成膜速度亦快速，故而可簡便且效率良好地製造半導體裝置。例如，於使用樹脂基板作為基板50之情形時，由於其使用可能溫度為比較低之溫度，故而成膜溫度較佳為低溫。就上述觀點而言，保護層40之成膜溫度為200℃以下，較佳為190℃以下。

【0077】 作為一例，對由包含鋅（Zn）及鎵（Ga）之尖晶石型氧化物來形成保護層40之情形加以說明。於該情形時，藉由使用上述氧化物來作為保護層40，亦可期待保護層40對強酸或強鹼表現出強耐性。

【0078】 例如，可使用鎵鋅氧化物及鋅氧化物作為靶來進行共濺鍍，形成包含尖晶石型之鎵鋅氧化物之保護層40。或者，亦可使用以下方法：使用鎵氧化物及鋅氧化物作為靶來進行共濺鍍之方法、或使用鎵及鋅作為靶來進行共濺

鍍且於成膜中利用反應性氣體進行氧化之方法。進而，並不限定於共濺鍍，亦可使用以下方法：使用鋅氧化物與鎵氧化物之混合物作為靶來進行濺鍍之方法、或使用鋅與鎵之混合物作為靶來進行濺鍍且於成膜中利用反應性氣體進行氧化之方法。

【0079】 本實施方式中，半導體層30及保護層40中之任一者均較佳為利用濺鍍法來形成。例如，於半導體層30包含IGZO，且保護層40為尖晶石型之鎵鋅氧化物之情形時，可將濺鍍法之靶共通利用，因此形成半導體層30後，可直接於同一裝置內連續地形成保護層40。藉此，不會使裝置結構成為大規模者，可簡便且連續地製造。

【0080】 以上述方式獲得之半導體裝置B為了形成所需之裝置結構，可視需要實施其他步驟。例如，可適當採用：形成各部位之前之預處理步驟、形成各部位之後之表面研磨步驟、切割步驟、於引線框架上之安裝步驟、電路形成後之進行封裝之組裝步驟、線結合步驟、模具封入步驟等。

[實施例]

【0081】 根據以下之實施例及比較例，對本發明進一步進行詳細說明，但本發明不受以下實施例之任何限定。

【0082】 <實施例1>

圖6係實施例1之半導體裝置D之概略剖面圖。

【0083】 （半導體膜之形成）

首先，準備於經p型摻雜（硼摻雜）之矽晶圓上形成有200 nm之熱氧化膜（SiO₂）之高電導性p型矽基板。於該基板上形成α-IGZO薄膜。α-IGZO薄膜係使用In：Ga：Zn之原子數濃度成為1：1：1之InGaZnO靶，利用RF濺鍍法來形成。此外，成膜中之基板溫度設為105°C。

【0084】 （源・汲電極之形成）

而且，藉由使用金屬掩模之真空蒸鍍法，將成為源・汲電極之Al電極（膜厚為80 nm）成膜。源・汲電極之形成係使用電阻加熱型之真空蒸鍍裝置來進行。

【0085】 （保護層（鈍化膜）之形成）

繼而，以覆蓋上述 α -IGZO薄膜之方式，形成尖晶石型之 ZnGa_2O_4 薄膜來作為保護層，將其作為鈍化膜。 ZnGa_2O_4 薄膜之形成係使用與 α -IGZO薄膜形成中所使用者相同之濺鍍裝置，藉由將ZnO靶與 Ga_2O_3 靶同時進行濺鍍之共濺鍍而進行。控制靶輸出，以Zn與Ga之組成比成為1：2之方式加以控制，進行190℃之基板加熱，藉此， ZnGa_2O_4 成為尖晶石型之結晶結構。尤其關於濺鍍氣體，半導體層之形成時通常多使用包含3%氬之Ar，但本實施例中由於為鈍化膜之形成，故而使用不含氬之Ar氣體。與此同時，作為反應性氣體，相對於Ar而以體積比10%之比例導入氧。藉此，控制為不存在缺氬或缺氧。而且，於背壓為 1×10^{-4} Pa以下、成膜壓力為0.22 Pa、成膜溫度為190℃之條件下進行成膜。藉此，製作具有圖6所示之結構之半導體裝置D。

【0086】 圖7係實施例1之SIMS測定結果之圖表。

【0087】 所獲得之半導體裝置之結構確認係藉由利用XRD（X-ray diffraction，X射線繞射法）之 θ -2 θ 測定以及二次離子質譜法（SIMS）來進行。將其結果示於圖7。藉此確認， ZnGa_2O_4 薄膜為尖晶石型之 ZnGa_2O_4 薄膜，或鈍化膜之氬含量為 1×10^{21} atm/cc以下。

【0088】 <比較例1>

除了未形成鈍化膜之方面以外，以與實施例1相同之方式製作半導體裝置。

【0089】 <評價方法>

對於所獲得之半導體裝置，使用半導體參數分析儀（4200-SCS，吉時利（KEITHLEY）公司製造）來評價作為薄膜電晶體（TFT）之電特性。具體而言，將閘電極設為Si基板，將源・汲電極設置Al電極，來評價以下之偏壓應力耐性。

【0090】 (1) 正偏壓應力耐性 (Positive Bias Stress, PBS)

以0秒、10秒、100秒、1000秒，對閘電極施加+20 V，測定各自之傳遞特性。

【0091】 (2) 負偏壓應力耐性 (Negative Bias Stress, NBS)

以0秒、10秒、100秒、1000秒，對閘電極施加-20 V，測定各自之傳遞特性。

【0092】 (3) 光照射下負偏壓應力耐性 (Negative Bias Illumination Stress, NBIS)

以0秒、10秒、100秒、1000秒，對閘電極施加-20 V，照射白色光（照射條件：1000勒克司），測定各自之傳遞特性。

【0093】 圖8係實施例1之PBS測試之圖表，圖9係實施例1之NBS測試之圖表，圖10係實施例1之NBIS測試之圖表。

【0094】 依據圖8～圖10而確認，實施例1之半導體裝置歷經0秒～1000秒而偏移少，作為電晶體而為優異之遷移率。而且亦確認，實施例1之半導體裝置可利用成膜溫度低、成膜速度亦快之製造方法來製作，且雜質含量少，因此具有優異之半導體特性。

【0095】 圖11係比較例1之PBS測試之圖表，圖12係比較例1之NBS測試之圖表。

【0096】 依據圖11、圖12而確認，比較例1之半導體裝置歷經0秒～1000秒而偏移大，半導體特性差。又，關於比較例1之NBIS測試，由於測定時半導體裝置破損，故而無法測量。

【符號說明】**【0097】**

10：第1電極

20：第2電極

30：半導體層

40：保護層

50：基板

60：第3電極

70：絕緣層

80：池壁

90：參照電極

A、B：半導體裝置

C：pH感測器

S：溶液

【發明申請專利範圍】

【第1項】一種半導體裝置，其包括：

第1電極；

第2電極；

半導體層，與上述第1電極及上述第2電極接觸；以及

保護層，將上述半導體層之表面之至少一部分加以被覆；並且

上述保護層係尖晶石型之 ZnGa_2O_4 ，

在上述半導體層中摻雜有氫，

上述保護層實質上不含氫。

【第2項】如請求項1所述之半導體裝置，其中
上述半導體層為包含In、Ga及Zn之氧化物。

【第3項】如請求項1所述之半導體裝置，其中
上述半導體層為 InGaZnO_4 。

【第4項】如請求項1至3中任一項所述之半導體裝置，其中
上述保護層之氫含量為 1×10^{21} atm/cc以下。

【第5項】如請求項1至3中任一項所述之半導體裝置，其中
上述保護層具有鈍化功能。

【第6項】如請求項1至3中任一項所述之半導體裝置，其中
上述保護層之膜厚為40 nm以上。

【第7項】如請求項1至3中任一項所述之半導體裝置，其
更包括基板。

【第8項】如請求項7所述之半導體裝置，其中
上述基板為選自由玻璃、樹脂、矽、以及該等之組合所組成之組群中之1種。

【第9項】如請求項7所述之半導體裝置，其中

上述基板具有可撓性。

【第10項】如請求項1至3中任一項所述之半導體裝置，其更包括：

絕緣層，與上述半導體層接觸；以及

第3電極，經由上述絕緣層而與上述半導體層對向設置；並且

上述半導體裝置係電晶體，其分別具有上述第1電極作為源電極，具有上述第2電極作為汲電極，且具有上述第3電極作為閘電極。

【第11項】一種pH感測器，其包括如請求項1至10中任一項所述之半導體裝置。

【第12項】一種生物感測器，其包括如請求項1至10中任一項所述之半導體裝置。

【第13項】一種半導體裝置的製造方法，其係製造如請求項1至10中任一項所述之半導體裝置的製造方法，並且

其包括藉由濺鍍而形成上述保護層之步驟。

【第14項】如請求項13所述之半導體裝置的製造方法，其中形成上述保護層之步驟係於200℃以下進行。

【第15項】如請求項13或14所述之半導體裝置的製造方法，其中形成上述半導體層之後，在與形成上述半導體層之腔室相同之腔室內，進行形成上述保護層之步驟。

【發明圖式】

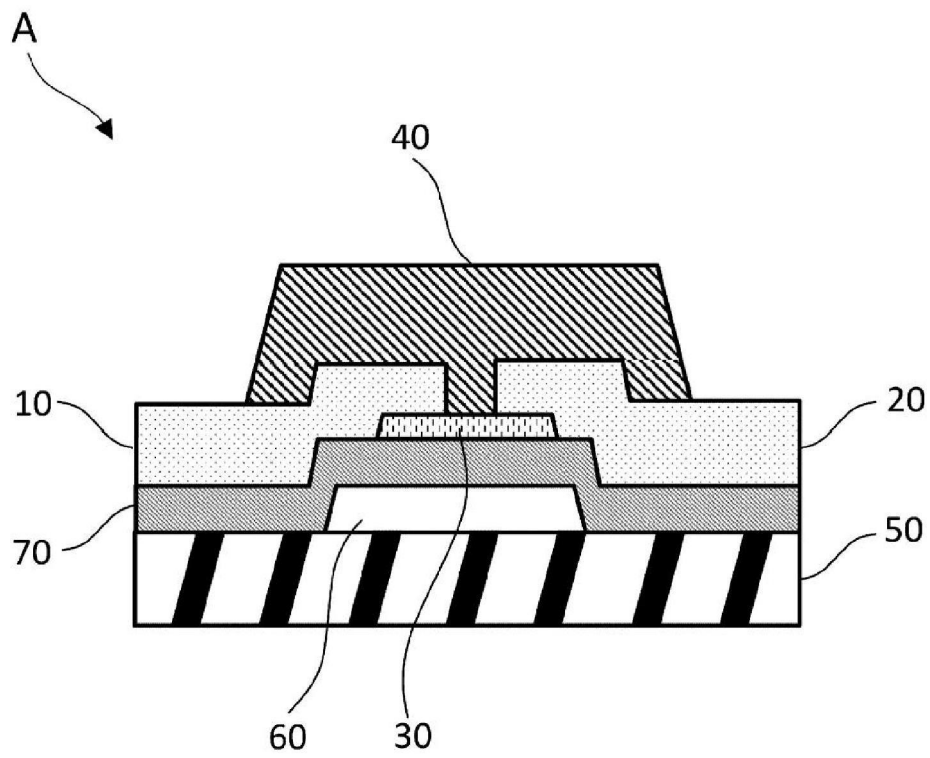


圖1

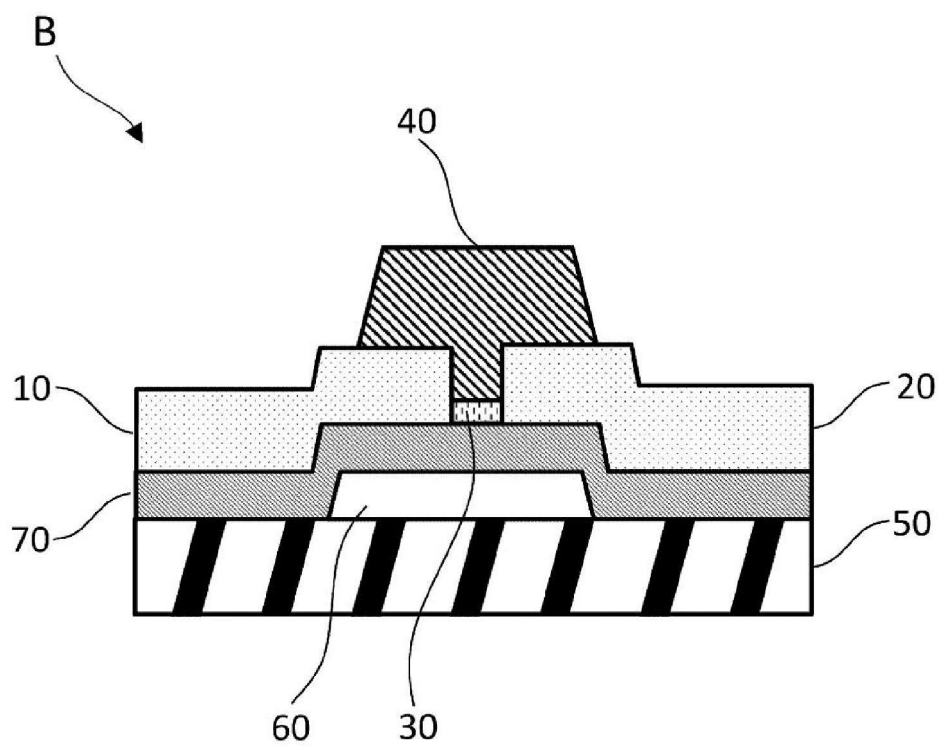


圖2

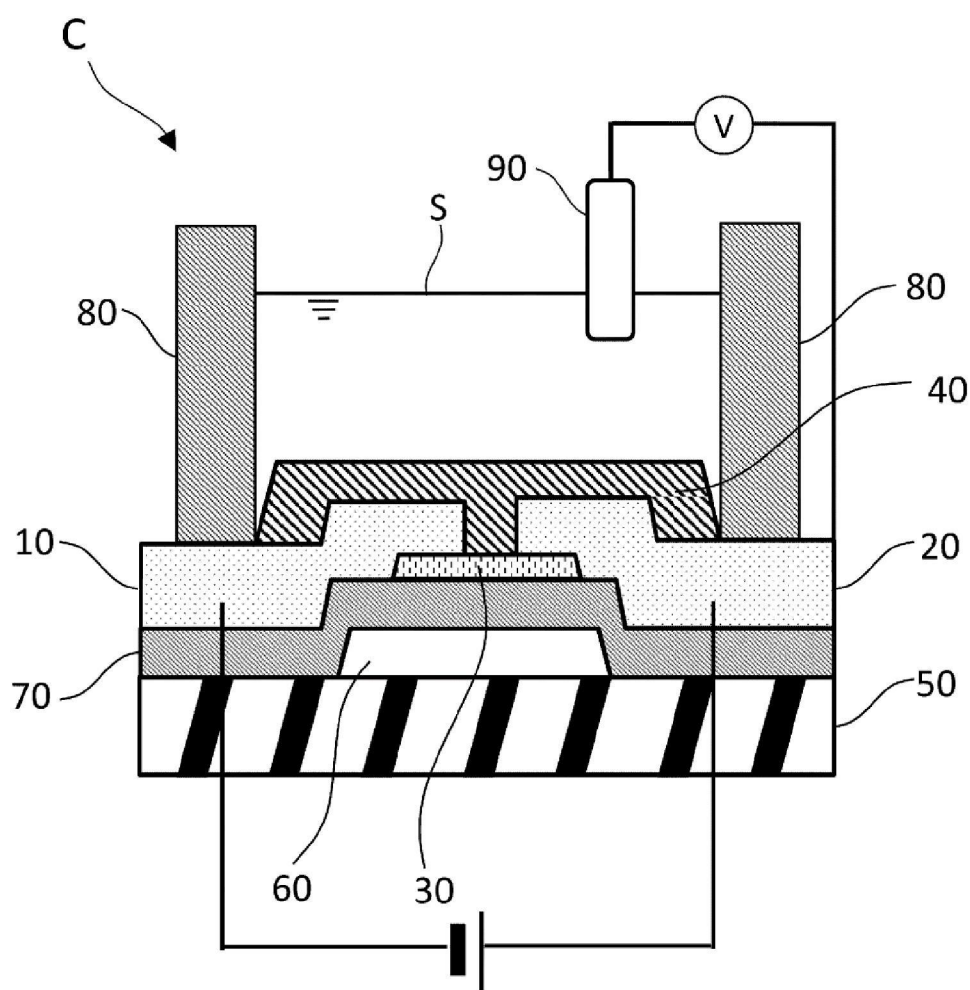


圖3

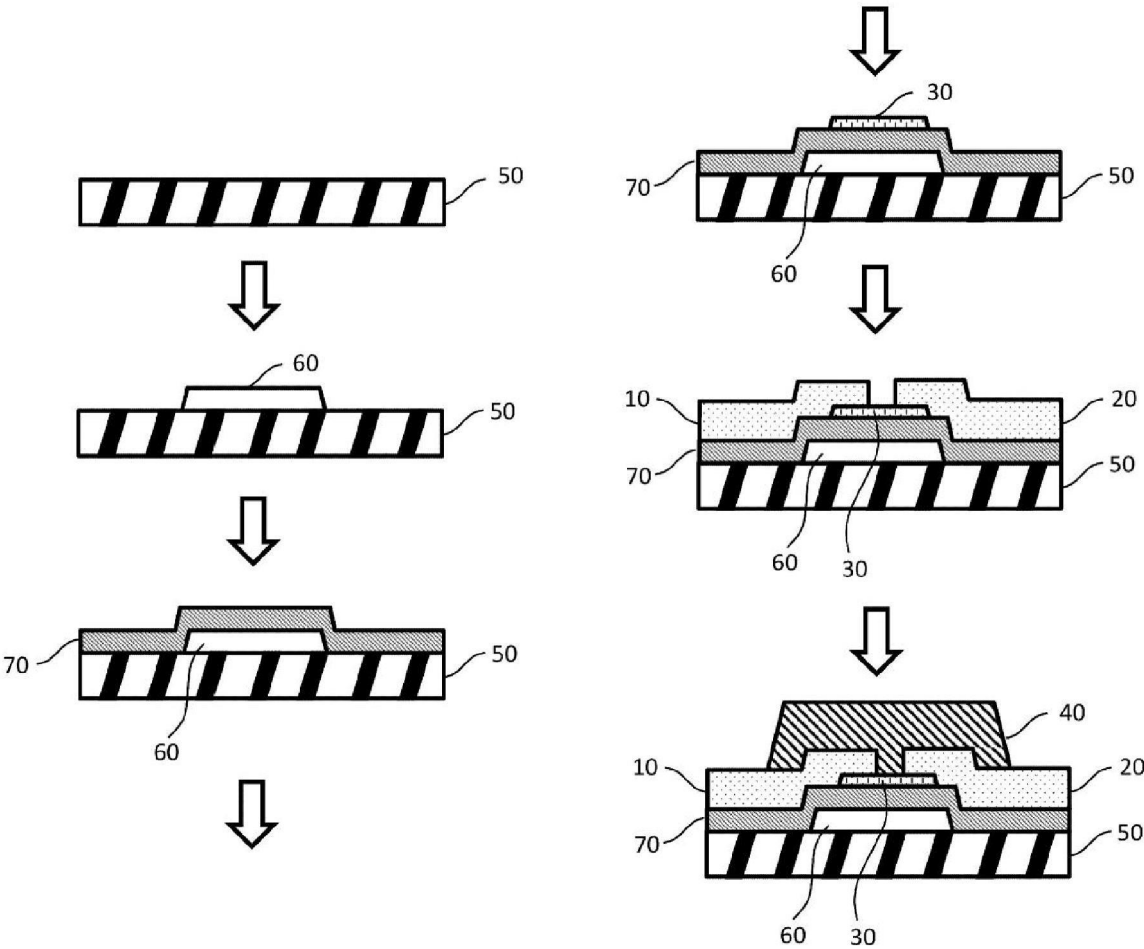


圖4

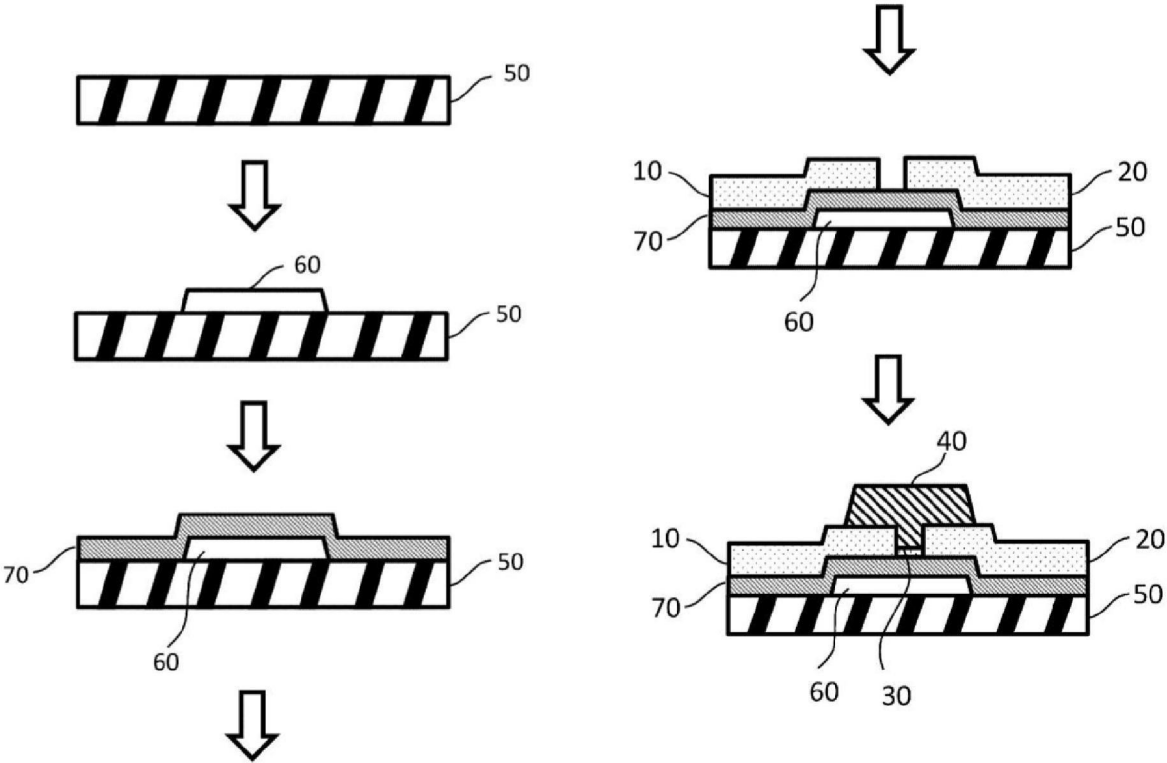


圖5

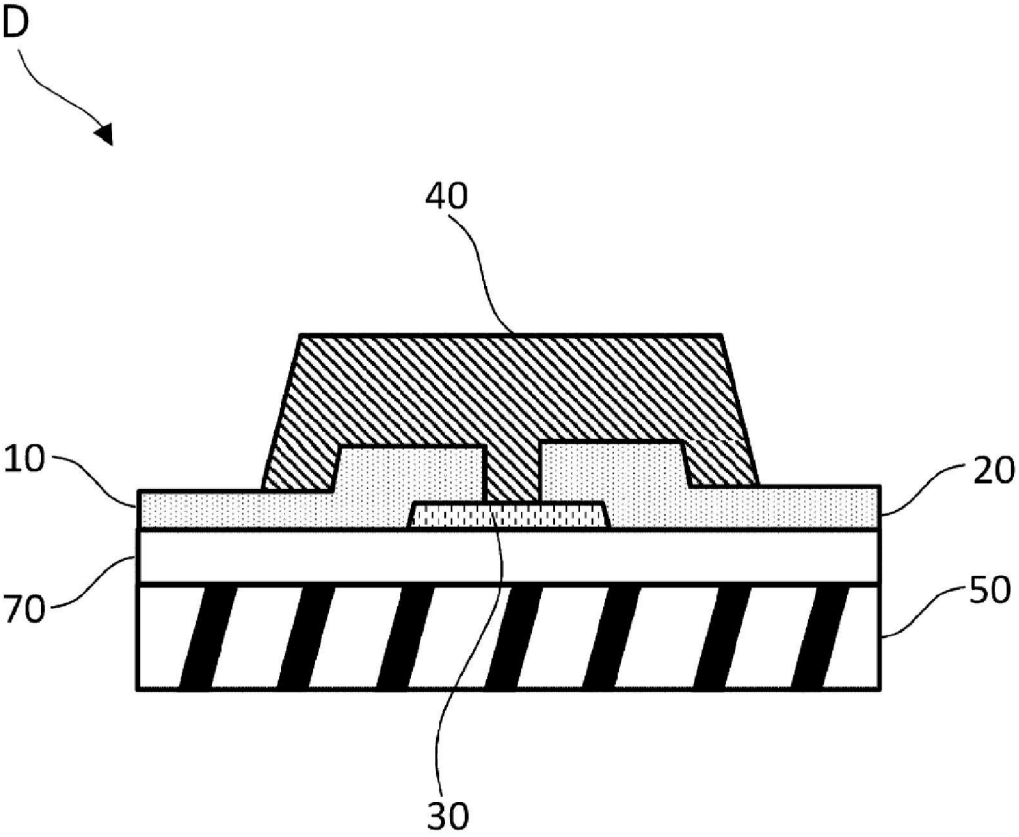


圖6

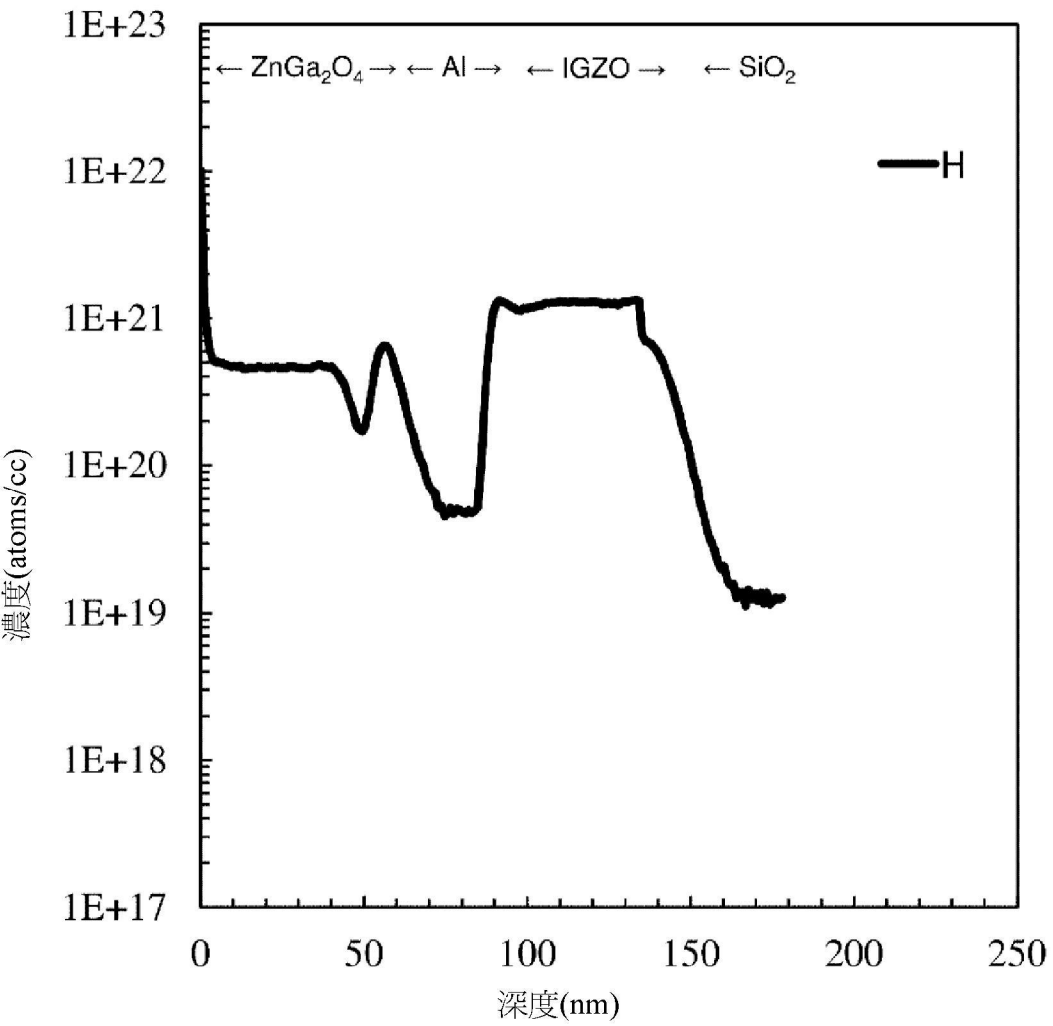


圖7

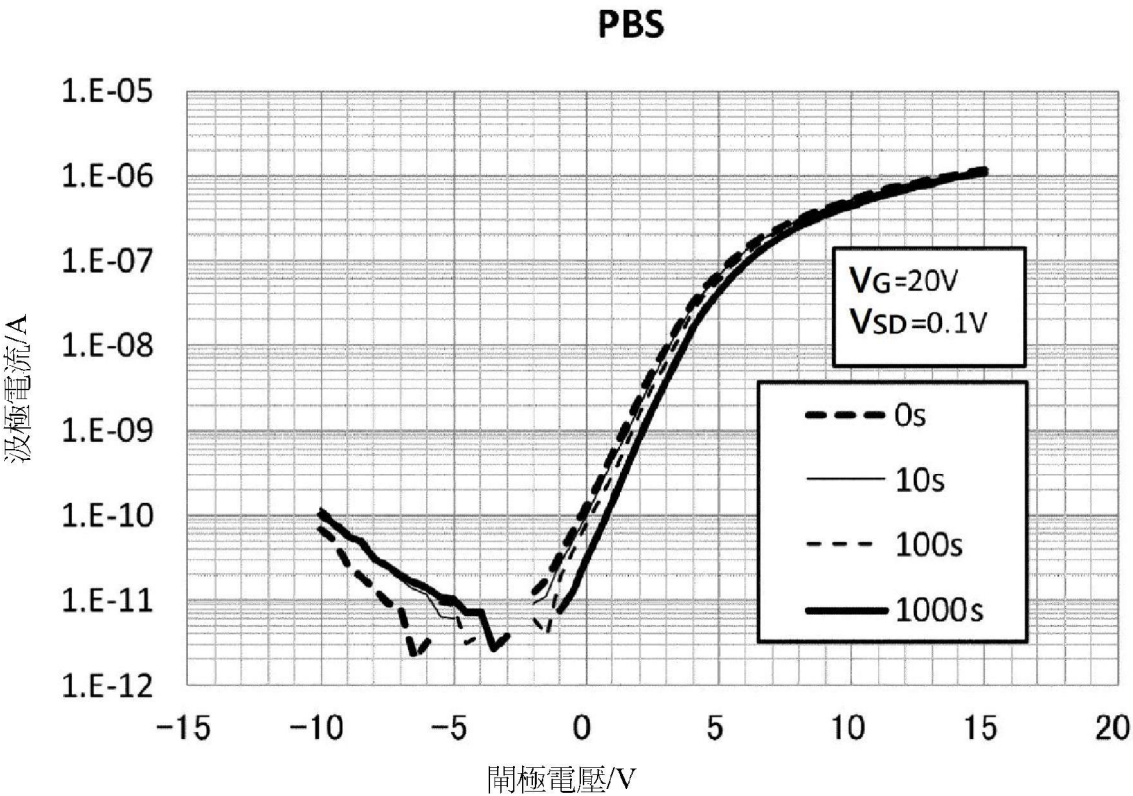


圖8

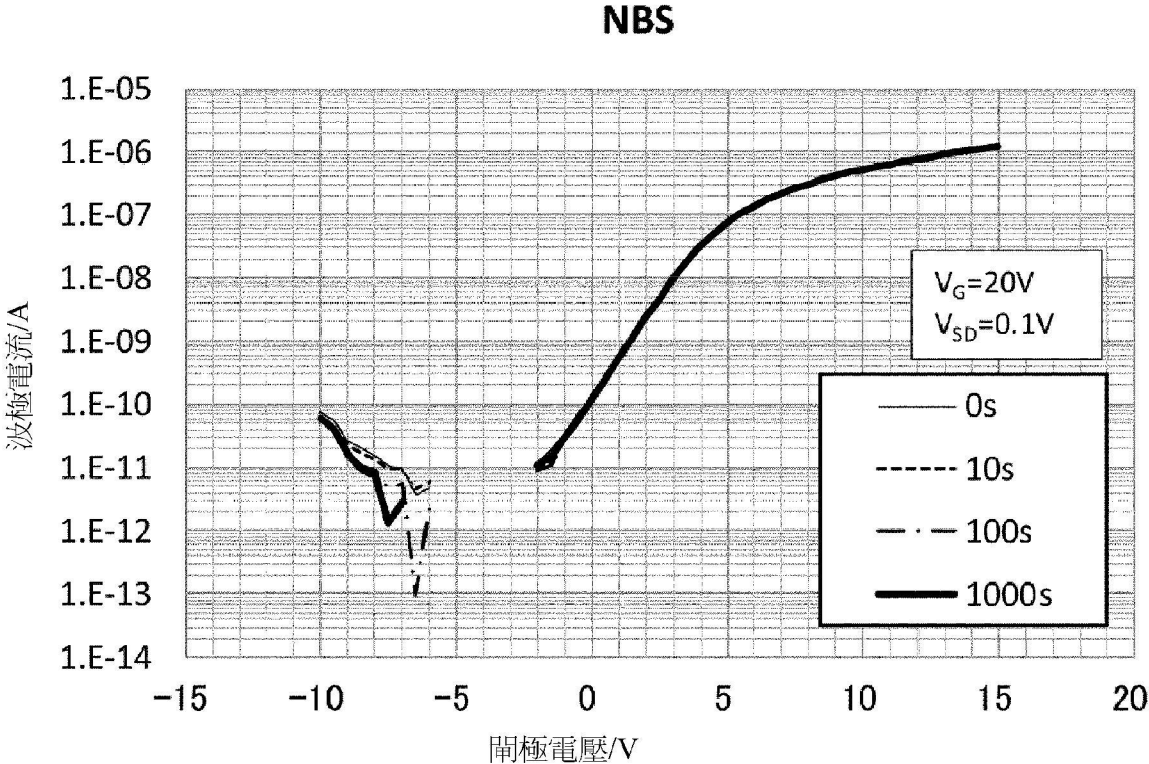


圖9

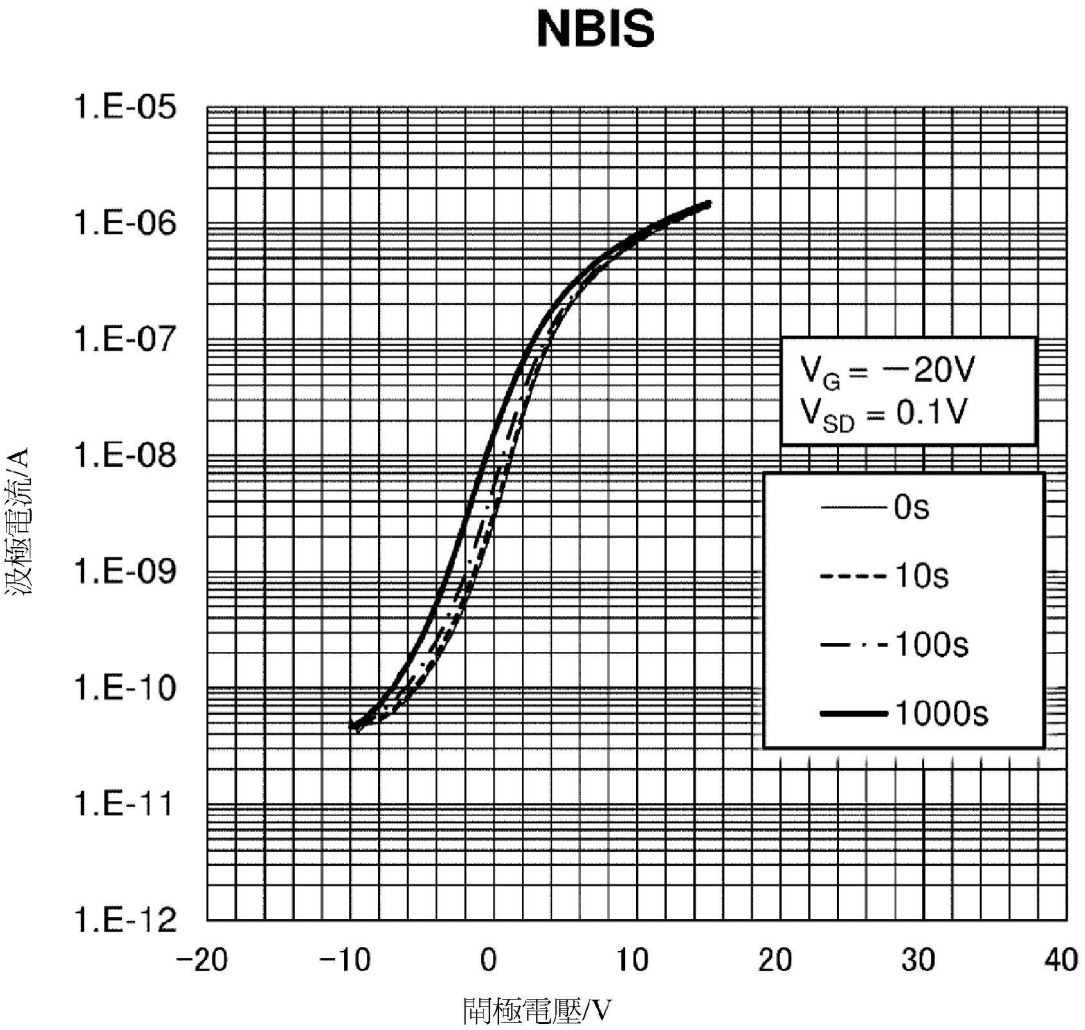


圖10

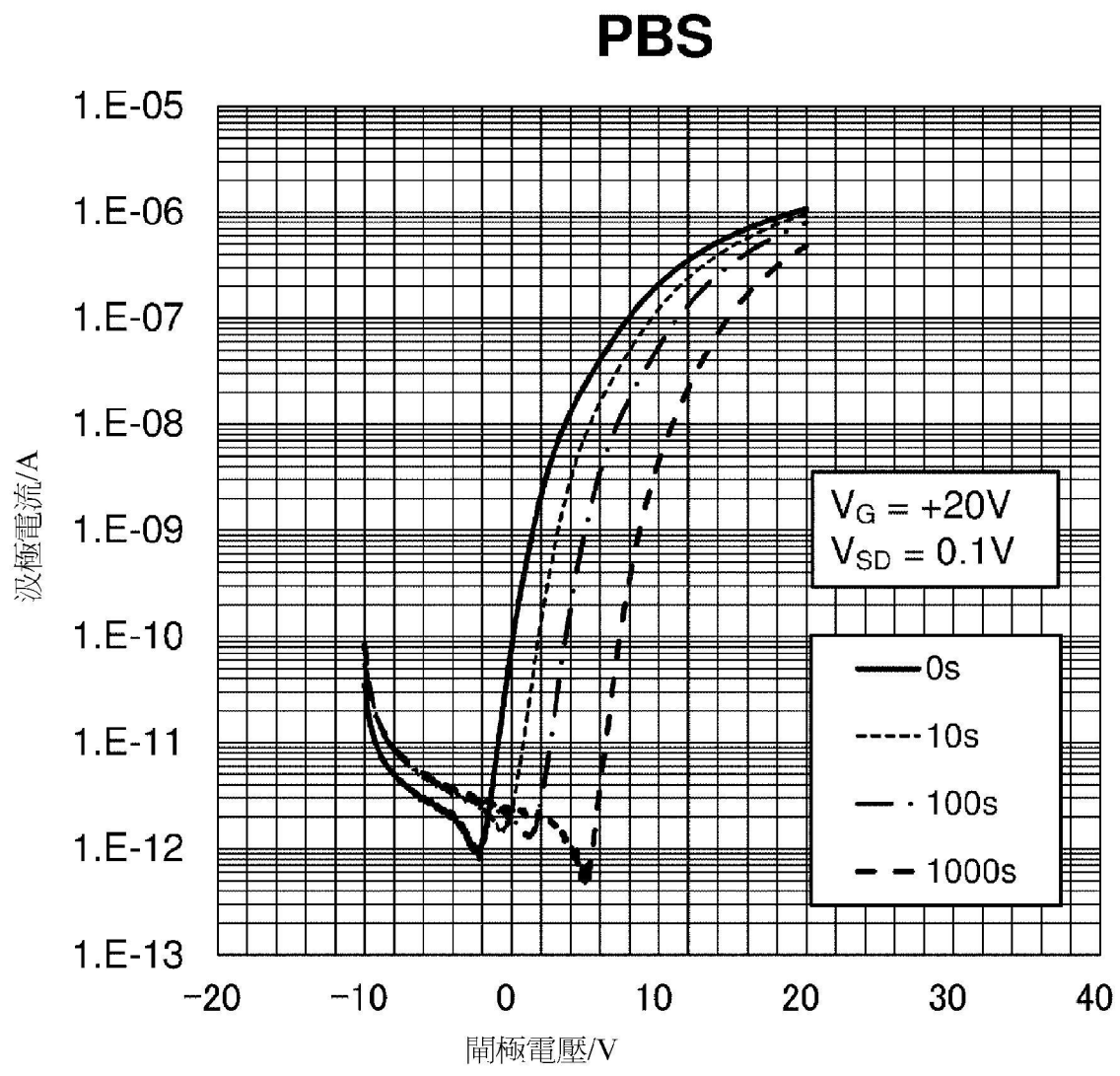


圖 11

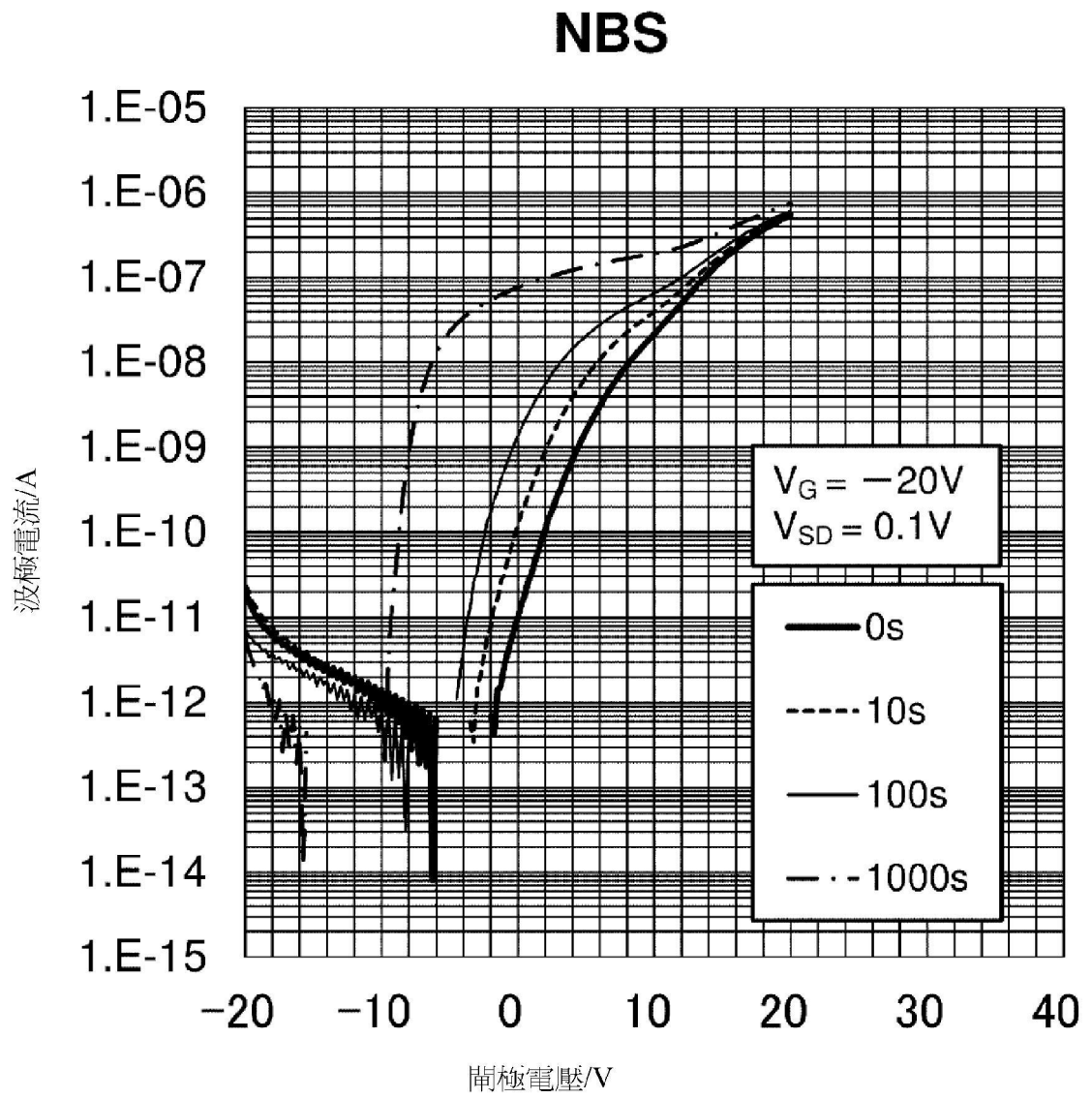


圖12