



(12) **Veröffentlichung**

der internationalen Anmeldung mit der  
 (87) Veröffentlichungs-Nr.: **WO 2015/015623**  
 in deutscher Übersetzung (Art. III § 8 Abs. 2 IntPatÜG)  
 (21) Deutsches Aktenzeichen: **11 2013 007 288.2**  
 (86) PCT-Aktenzeichen: **PCT/JP2013/070943**  
 (86) PCT-Anmeldetag: **01.08.2013**  
 (87) PCT-Veröffentlichungstag: **05.02.2015**  
 (43) Veröffentlichungstag der PCT Anmeldung  
 in deutscher Übersetzung: **28.04.2016**

(51) Int Cl.: **H02M 1/08 (2006.01)**  
**H02M 7/48 (2006.01)**  
**H03K 17/687 (2006.01)**  
**H03K 19/0185 (2006.01)**

(71) Anmelder:  
**Hitachi, Ltd., Tokyo, JP**

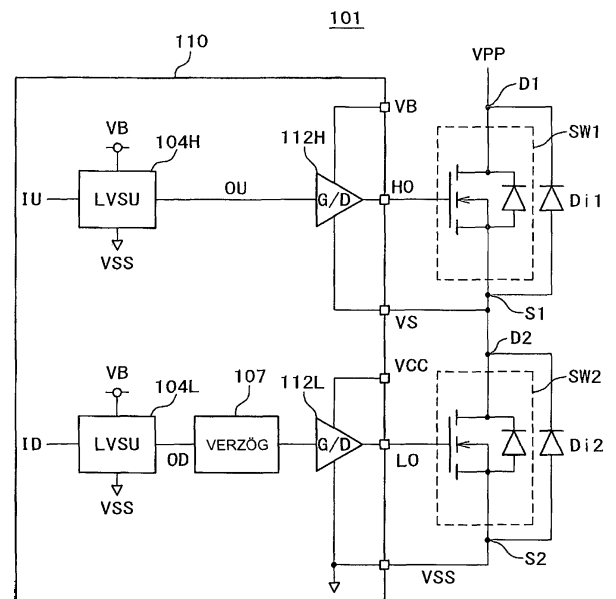
(72) Erfinder:  
**Akiyama, Satoru, Tokyo, JP**

(74) Vertreter:  
**MERH-IP Matias Erny Reichl Hoffmann**  
**Patentanwälte PartG mbB, 80336 München, DE**

**Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen**

(54) Bezeichnung: **Halbleitervorrichtung und Stromrichtvorrichtung**

(57) Zusammenfassung: Eine Halbleitervorrichtung wird bereitgestellt, welche eine Leistungshalbleitervorrichtung ansteuert, in welcher beim Ein- und Ausschalten von Schaltelementen eines oberen und eines unteren Zweigs erzeugte Totzeiten minimiert werden und ein Verlust einer Stromrichtvorrichtung verringert wird. Eine in einer Stromrichtvorrichtung, welche ein erstes Schaltelement, dessen Drain mit einer ersten Stromquellen-Spannung verbunden ist, und ein zweites Schaltelement, dessen Source mit einer zweiten Stromquellen-Spannung verbunden ist, enthält, verwendete Halbleitervorrichtung enthält eine erste Ansteuerschaltung, welche das erste Schaltelement ansteuert, eine zweite Ansteuerschaltung, welche das zweite Schaltelement ansteuert, eine erste Pegelumsetzschaltung und eine zweite Pegelumsetzschaltung. Die erste Ansteuerschaltung ist mit einer dritten Stromquellen-Spannung, welche bezüglich eines Source-Potentials des ersten Schaltelements um ein vorbestimmtes Potential höher ist, und dem Source-Potential des ersten Schaltelements verbunden. Die zweite Ansteuerschaltung ist mit einer vierten Stromquellen-Spannung, welche bezüglich der zweiten Stromquellen-Spannung um ein vorbestimmtes Potential höher ist, und der zweiten Stromquellen-Spannung verbunden. In die erste Pegelumsetzschaltung und die zweite Pegelumsetzschaltung eingegebene Stromquellen-Potentiale sind die dritte Stromquellen-Spannung und die zweite Stromquellen-Spannung.



**Beschreibung**

## TECHNISCHES GEBIET

**[0001]** Die vorliegende Offenbarung betrifft eine Halbleitervorrichtung und kann zum Beispiel auf eine Stromrichtvorrichtung, welche eine Leistungsvorrichtung und eine Halbleitervorrichtung, zum Ansteuern der Leistungsvorrichtung enthält, angewendet werden.

## STAND DER TECHNIK

**[0002]** In der Hauptrichtung der gesellschaftlichen Entwicklung wie dem globalen Umweltschutz tritt die Bedeutung der Elektronikbranche beim Verringern von Umweltbelastungen immer mehr in den Vordergrund. Insbesondere wird eine Leistungsvorrichtung in einer Wechselrichtervorrichtung eines Schienenfahrzeugs oder eines Hybrid-/Elektrofahrzeugs, einer Wechselrichtervorrichtung einer Klimaanlage oder einer Stromquelle eines Unterhaltungs-/Haushaltselektronik-Geräts wie eines Personal-Computers verwendet. Die Verbesserung der Leistungsfähigkeit der Leistungsvorrichtung trägt zur Verbesserung des Stromricht-Wirkungsgrads in einem Infrastruktursystem und im Unterhaltungs-/Haushaltselektronik-Gerät bei. Die Verbesserung des Stromricht-Wirkungsgrads bedeutet eine Verringerung für den Betrieb des Systems benötigter Energieressourcen. Anders ausgedrückt, die Menge einer Kohlendioxidemission kann verringert werden; das heißt, eine Umweltbelastung kann verringert werden. Deshalb werden Forschung und Entwicklung zum Verbessern der Leistungsfähigkeit der Leistungsvorrichtung aktiv von Firmen durchgeführt.

**[0003]** Im Allgemeinen ist die Leistungsvorrichtung aus einem einer hochintegrierten Schaltung (LSI) ähnlichen Siliciumwerkstoff (Si) hergestellt. In einer eine solche Si-Leistungsvorrichtung verwendenden Stromrichtvorrichtung (Wechselrichtervorrichtung und dergleichen) wird die Entwicklung zwecks des Realisierens eines niedrigen Durchlasswiderstands ( $R_{on}$ ), einer hohen Stromdichte und einer hohen Durchbruchspannung aktiv so durchgeführt, dass ein Elementaufbau von Dioden und Schaltelementen und ein Störstellendichte-Profil optimiert werden, um den in der Wechselrichtervorrichtung verursachten Energieverlust zu verringern.

**[0004]** In den letzten Jahren ziehen Verbindungshalbleiter wie Siliciumcarbid (SiC) und Galliumnitrid (GaN), welche eine größere Bandlücke als Silicium haben, als Werkstoffe der Leistungsvorrichtung die Aufmerksamkeit auf sich. Da der Verbindungshalbleiter eine große Bandlücke hat, ist eine Durchbruchspannung desselben zehnmal so groß wie diejenige von Silicium. Deshalb kann eine Verbindungsvorrichtung dünner als eine Si-Vorrichtung gemacht werden

und wird ein Widerstand ( $R_{on}$ ) während der Leitung merklich verringert. Infolgedessen kann ein durch Multiplizieren des Widerstands ( $R_{on}$ ) mit dem Leitungsstrom ( $i$ ) erhaltener sogenannter Leitungsverlust ( $R_{on} \cdot i^2$ ) verringert werden, und folglich kann dies zur Verbesserung des Stromricht-Wirkungsgrads beitragen. In Anbetracht eines solchen Vorteils werden die Diode und das Schaltelement, welche den Verbindungswerkstoff verwenden, im In- und Ausland aktiv entwickelt.

**[0005]** Als eine Anwendung der Leistungsvorrichtung werden zum Beispiel allgemein eine Wandler- vorrichtung von einem Synchrongleichrichtertyp und eine Wechselrichtervorrichtung einer Gleichspannungs-/Wechselspannungs-Wandlereinrichtung beispielhaft veranschaulicht. Beschreibt man die Wechselrichtervorrichtung einfach, sind zwei Gruppen der Schaltelemente der Leistungsvorrichtung mit einer Freilaufdiode zwischen einer Stromquelle auf der Hochspannungsseite (im oberen Zweig) und einer Stromquelle auf der Niederspannungsseite (im unteren Zweig) in Reihe geschaltet. Ein Gleichspannungspegel in der vorherigen Stufe der Wechselrichtervorrichtung wird durch abwechselndes Ein- und Ausschalten der Schaltelemente des oberen und des unteren Zweigs in einen Wechselspannungspegel umgewandelt, um in einen Laststromkreis wie einen Wechselspannungs-Trenntransformator oder einen Motor in der folgenden Stufe gespeist zu werden. Ferner ist eine Totzeiterzeugungsschaltung in einer Gate-Ansteuerschaltung enthalten, um die Schalter des oberen und des unteren Zweigs so zu steuern, dass sie abwechselnd ein- und ausgeschaltet werden (das heißt, die Schaltelemente des oberen und des unteren Zweigs gehen nicht gleichzeitig in den Durchlasszustand). Entsprechend werden in der Wandlereinrichtung vom Synchrongleichrichtertyp die Schaltelemente des oberen und des unteren Zweigs nicht gleichzeitig eingeschaltet, da die Totzeit im Allgemeinen so eingestellt ist, dass sie lang genug ist. Jedoch nimmt, wenn die Totzeit unnötigerweise verlängert wird, eine Leitungsverlustkomponente der Diode zu und kann sich der Stromricht-Wirkungsgrad der Wechselrichtervorrichtung oder der Wandlereinrichtung verschlechtern. Andererseits können die Schaltelemente des oberen und des unteren Zweigs, wenn die Totzeit übermäßig verkürzt wird, gleichzeitig in den Durchlasszustand gehen und fließt folglich ein beträchtlich großer Durchlassstrom von der Stromquelle mit dem hohen Potential zu der Stromquelle mit dem niedrigen Potential. Deshalb können die Schaltelemente des oberen und des unteren Zweigs ausfallen. Aus diesem Grund ist eine optimale Minimierung der Totzeit der Wechselrichtervorrichtung und der Wandlereinrichtung ein wichtiger Faktor für das Verringern des Verlusts in der Stromrichtvorrichtung. Ferner nimmt in einem Fall, in welchem der Durchlasswiderstand eines Haupt-Schaltelements klein, das heißt, einige m $\Omega$ , ist

und eine Rückwärts-Durchlassspannung des Haupt-Schaltelements niedriger als die Durchlassspannung der Diode zur Zeit des Freilaufens (eines Anlegens der Stromquellen-Spannung von einigen zehn V) ist, die verlustverringende Wirkung durch die Minimierung der Totzeit zu.

**[0006]** Zum Beispiel offenbart Patentdokument 1 eine Konfiguration, in welcher Pegelumsetzschaltungen sowohl in einem oberseitigen Treiber als auch in einer unterseitigen Treiber enthalten sind, um die Totzeit in einem Gleichspannungs-/Gleichspannungswandler vom Synchrongleichrichtertyp zu optimieren.

## DRUCKSCHRIFTENVERZEICHNIS

### PATENTDOKUMENT

#### **[0007]**

Patentdokument 1: JP 2009-44814 A.

#### KURZBESCHREIBUNG DER ERFINDUNG

##### DURCH DIE ERFINDUNG ZU LÖSENDE PROBLEME

**[0008]** Nach Untersuchen einer Wechselrichtervorrichtung von einem Hochspannungstyp größer als oder gleich einigen hundert Volt und einer Wandler- vorrichtung von einem Synchrongleichrichtertyp fand der Erfinder heraus, dass es bei der Minimierung der Totzeit die folgenden neuen Probleme gibt.

**[0009]** Anders ausgedrückt, die Probleme sind (1) das Umsetzen eines bei einer Amplitude von einem niedrigen Potential (zum Beispiel etwa 15 V) auf der Eingangsseite einer Gate-Ansteuerschaltung betriebenen Steuersignals auf ein hohes Potential (zum Beispiel etwa 300 V) und (2) das Ausgleichen eines Prozesses, einer Spannung und einer Temperaturabweichungsabhängigkeit bei den beiden Verzögerungszeiten, wie sie in einer Schaltungs-Verzögerungszeit, wenn das umgesetzte Gate-Ansteuersignal auf der oberen Seite erzeugt wird, und einer Schaltungs-Verzögerungszeit, wenn ein Gate-Ansteuersignal auf der unteren Seite erzeugt wird, sein können.

**[0010]** In der in Patentdokument 1 offenbarten Technologie kann die Pegelumsetzschaltung, da das Eingangspotential der Pegelumsetzschaltung der oberen Seite das niedrige Potential (zum Beispiel etwa 15 V) ist, in einem Fall, in welchem das Arbeitspotential der Pegelumsetzschaltung der oberen Seite auf das hohe Potential umgeschaltet wird, nicht betrieben werden. Darüber hinaus ist keine spezielle Beschreibung der Pegelumsetzschaltung, welche das Steuersignal in das hohe Potential (zum Beispiel etwa 300 V) umsetzt, enthalten. Anders ausgedrückt, bei einer

Hochspannungs-Stromrichtschaltung wurde herausgefunden, dass die Totzeit, wenn die Schaltelemente des oberen und des unteren Zweigs abwechselnd ein- und ausgeschaltet werden, schwer zu minimieren ist.

**[0011]** Eine Aufgabe der vorliegenden Offenbarung ist, in einer Halbleitervorrichtung zum Ansteuern der Leistungsvorrichtung die Totzeit, wenn die Schaltelemente des oberen und des unteren Zweigs ein- und ausgeschaltet werden, zu minimieren, um einen Verlust in einer Stromrichtvorrichtung zu verringern.

**[0012]** Weitere Aufgaben und neuartige Eigenschaften neben der obigen Beschreibung dieser Offenbarung werden aus der Erläuterung und den beigefügten Zeichnungen dieser Beschreibung ersichtlich.

### LÖSUNGEN DER PROBLEME

**[0013]** In der vorliegenden Offenbarung werden die Grundzüge einer repräsentativen Konfiguration einfach wie folgt beschrieben.

**[0014]** Eine Halbleitervorrichtung wird in einer Stromrichtvorrichtung verwendet, welche ein erstes Schaltelement, dessen Drain mit einer ersten Stromquellen-Spannung verbunden ist, und ein zweites Schaltelement, dessen Source mit einer zweiten Stromquellen-Spannung verbunden ist, enthält. Eine Source des ersten Schaltelements und ein Drain des zweiten Schaltelements sind elektrisch miteinander verbunden. Die Halbleitervorrichtung enthält eine erste Ansteuerschaltung, welche das erste Schaltelement ansteuert, eine zweite Ansteuerschaltung, welche das zweite Schaltelement ansteuert, eine erste Pegelumsetzschaltung und eine zweite Pegelumsetzschaltung. Die erste Ansteuerschaltung ist mit einer dritten Stromquellen-Spannung, welche bezüglich eines Source-Potentials des ersten Schaltelements um ein vorbestimmtes Potential höher ist, und dem Source-Potential verbunden. Die zweite Ansteuerschaltung ist mit einer vierten Stromquellen-Spannung, welche bezüglich der zweiten Stromquellen-Spannung um ein vorbestimmtes Potential höher ist, und der zweiten Stromquellen-Spannung verbunden. In die erste Pegelumsetzschaltung und die zweite Pegelumsetzschaltung eingegebene Stromquellen-Potentiale sind die dritte Stromquellen-Spannung und die zweite Stromquellen-Spannung.

### AUSWIRKUNGEN DER ERFINDUNG

**[0015]** Mit der für eine Stromrichtvorrichtung verwendeten Halbleitervorrichtung ist es möglich, einen Umricht-Wirkungsgrad zur Zeit des Stromrichtens zu verbessern.

## KURZBESCHREIBUNG DER ZEICHNUNGEN

**[0016]** Fig. 1 ist ein Blockschaltbild einer Halbleitervorrichtung gemäß einem ersten Beispiel.

**[0017]** Fig. 2 ist ein Schaltbild, welches eine Pegelumsetzschaltung gemäß dem ersten Beispiel veranschaulicht.

**[0018]** Fig. 3 ist ein Schaltbild, welches eine Verzögerungsschaltung gemäß dem ersten Beispiel veranschaulicht.

**[0019]** Fig. 4 ist ein Schaubild, welches einen zeitlichen Ablauf des Betriebs der Halbleitervorrichtung gemäß dem ersten Beispiel veranschaulicht.

**[0020]** Fig. 5 ist ein Schaltbild, welches eine Konfiguration einer Stromrichtvorrichtung gemäß einem zweiten Beispiel schematisch veranschaulicht.

**[0021]** Fig. 6 ist eine Draufsicht, welche ein Leistungsmodul veranschaulicht, in welches Schaltelemente und Freilaufdioden der Stromrichtvorrichtung gemäß dem zweiten Beispiel eingebaut sind.

**[0022]** Fig. 7 ist ein Schaltbild, welches eine Konfiguration der Stromrichtvorrichtung gemäß einem dritten Beispiel schematisch veranschaulicht.

**[0023]** Fig. 8A ist eine Draufsicht, welche eine schematische Konfiguration eines SiC-MOSFET gemäß einem vierten Beispiel veranschaulicht.

**[0024]** Fig. 8B ist eine Schnittansicht, welche eine schematische Konfiguration des SiC-MOSFET gemäß dem vierten Beispiel veranschaulicht.

**[0025]** Fig. 9A ist eine Schnittansicht, welche eine beispielhafte Konfiguration jedes Elementtransistors in einem Aktivelement-Gebiet in Fig. 8B veranschaulicht.

**[0026]** Fig. 9B ist eine Schnittansicht, welche eine beispielhafte Konfiguration einer Abwandlung von Fig. 9A veranschaulicht.

**[0027]** Fig. 10A ist eine Draufsicht, welche den SiC-MOSFET gemäß dem vierten Beispiel, welcher in ein Gehäuse eingebaut ist, veranschaulicht.

**[0028]** Fig. 10B ist eine Schnittansicht, welche den SiC-MOSFET gemäß dem vierten Beispiel, welcher in das Gehäuse eingebaut ist, veranschaulicht.

**[0029]** Fig. 11 ist ein Schaltbild zur Beschreibung einer Halbleitervorrichtung gemäß einer Ausführungsform.

## AUSFÜHRUNGSWEISE DER ERFINDUNG

**[0030]** Fig. 11 ist ein Schaltbild zur Beschreibung einer Halbleitervorrichtung gemäß einer Ausführungsform.

**[0031]** Eine Halbleitervorrichtung **110** gemäß der Ausführungsform wird in einer Stromrichtvorrichtung **101** verwendet. Die Stromrichtvorrichtung **101** enthält ein erstes Schaltelement SW1, dessen Drain D1 mit einer ersten Stromquellen-Spannung (VPP) verbunden ist, und ein zweites Schaltelement SW2, dessen Source S2 mit einer zweiten Stromquellen-Spannung (VSS) verbunden ist. Eine Source S1 des ersten Schaltelements SW1 und ein Drain D2 des zweiten Schaltelements SW2 sind elektrisch miteinander verbunden. Die Halbleitervorrichtung **110** enthält eine erste Ansteuerschaltung **112H**, welche das erste Schaltelement SW1 ansteuert, eine zweite Ansteuerschaltung **112L**, welche das zweite Schaltelement SW2 ansteuert, eine erste Pegelumsetzschaltung **104H** und eine zweite Pegelumsetzschaltung **104L**. Die erste Pegelumsetzschaltung **104H** setzt einen Spannungspegel eines Eingangssignals (IU) für die erste Ansteuerschaltung **112H** um und gibt ein Signal (OU) aus. Die zweite Pegelumsetzschaltung **104L** setzt einen Spannungspegel eines Eingangssignals (ID) für die zweite Ansteuerschaltung **112L** um und gibt ein Signal (OD) aus. Die erste Ansteuerschaltung **112H** ist verbunden mit einer dritten Stromquellen-Spannung (VB), welche bezüglich eines Source-Potentials (VS) des ersten Schaltelements SW1 um ein vorbestimmtes Potential höher ist, und dem Source-Potential (VS). Die zweite Ansteuerschaltung SW2 ist verbunden mit einer vierten Stromquellen-Spannung (VCC), welche bezüglich der zweiten Stromquellen-Spannung (VSS) um ein vorbestimmtes Potential höher ist, und der zweiten Stromquellen-Spannung (VSS). Die in die erste Pegelumsetzschaltung **104H** und die zweite Pegelumsetzschaltung **104L** eingegebenen Stromquellen-Potentiale sind die dritte Stromquellen-Spannung (VB) und die zweite Stromquellen-Spannung (VSS).

**[0032]** Die Halbleitervorrichtung **101** enthält wünschenswerterweise eine Verzögerungsschaltung **107**, um eine Totzeit fein einzustellen. Die Verzögerungsschaltung **107** ist wünschenswerterweise zwischen der zweiten Pegelumsetzschaltung **104L** und der zweiten Ansteuerschaltung **112L** angeordnet. Darüber hinaus enthält die Verzögerungsschaltung **107** wünschenswerterweise eine Schaltung zum Erzeugen einer Vielzahl von Verzögerungszeiten und ist sie so konfiguriert, dass sie die Vielzahl von Verzögerungszeiten unter Verwendung eines externen Eingangssignals auswählt.

**[0033]** Ferner enthält die Stromrichtvorrichtung **101** eine zum ersten Schaltelement SW1 parallel geschaltete erste Freilaufdiode Di1 und eine zum zweiten

Schaltelement SW2 parallel geschaltete zweite Freilaufdiode Di2.

**[0034]** Die Totzeit kann durch Verwenden der Halbleitervorrichtung **110** gemäß der Ausführungsform in der Stromrichtvorrichtung **101** optimiert werden, und ein Umricht-Wirkungsgrad zur Zeit des Stromrichtens kann verbessert werden.

**[0035]** In der folgenden Ausführungsform ist die Beschreibung zur Vereinfachung nach Bedarf in eine Vielzahl von Abschnitten oder Beispielen unterteilt, diese Beispiele sind nicht ohne Beziehung zueinander, und ein Beispiel hängt mit Abwandlungen, Einzelheiten oder ergänzenden Beschreibungen einiger oder aller der anderen Beispiele zusammen, sofern nicht anders angegeben. Darüber hinaus sind in einem Fall, in welchem in den folgenden Beispielen die Anzahl von Elementen (einschließlich Anzahlen, Werten, Mengen und Bereichen) erwähnt wird, diese Anzahlen nicht auf angegebene Anzahlen beschränkt, sondern können sie größer als die oder gleich den angegebenen Anzahlen sein oder nicht, mit Ausnahme eines Falls, in welchem die Anzahl angegeben ist, und eines Falls, in welchem die Anzahl offenbar an sich auf eine angegebene Anzahl beschränkt ist.

**[0036]** Außerdem ist es selbstverständlich, dass die Komponenten (einschließlich Elementschritten) in den folgenden Beispielen möglicherweise nicht wesentlich sind, sofern nicht anders angegeben und mit Ausnahme eines Falls, in welchem diese Komponenten an sich als wesentlich betrachtet werden. Entsprechend können in den folgenden Beispielen Formen und Lagebeziehungen der Komponenten weitere diesen im Wesentlichen sehr ähnliche oder ähnliche enthalten, sofern nicht anders angegeben und mit Ausnahme eines Falls, in welchem es als verschieden wie an sich sichtbar betrachtet wird. Diese Annahmen sind bei den Anzahlen und den Bereichen die gleichen.

**[0037]** Ferner verwendet die Beschreibung in den Beispielen einen MOSFET (Metall-Oxid-Halbleiter-Feldeffekttransistor, als MOS-Transistor abgekürzt) als ein Beispiel eines MISFET (Metall-Isolator-Halbleiter-Feldeffekttransistor), aber dies bedeutet nicht, dass eine Nicht-Oxid-Schicht als Gate-Isolierfilm ausgeschlossen ist. In den Zeichnungen ist, zur Unterscheidung von einem n-Kanal-MOS-Transistor (NMOS-Transistor), ein Kreissymbol am Gate eines p-Kanal-MOS-Transistors (PMOS-Transistors) angebracht.

**[0038]** Im Folgenden werden die Beispiele anhand der Zeichnungen ausführlich beschrieben. Ferner sind an sich in allen Zeichnungen zur Beschreibung der Beispiele gleiche Elemente mit gleichen Symbo-

len versehen und wird auf eine überflüssige Beschreibung verzichtet.

[Erstes Beispiel]

**[0039]** Im Folgenden wird eine Halbleitervorrichtung eines ersten Beispiels anhand der **Fig. 1** bis **Fig. 4** beschrieben.

**[0040]** **Fig. 1** ist ein Blockschaltbild der Halbleitervorrichtung gemäß dem ersten Beispiel. Eine Halbleitervorrichtung **10** enthält eine Gate-Ansteuerungs-Steuerschaltung (GDCTL) **11**, eine Gate-Ansteuerschaltung (G/D) **12H** des oberen Zweigs und eine Gate-Ansteuerschaltung (G/D) **12L** des unteren Zweigs. Die Halbleitervorrichtung **10** ist eine Halbleitervorrichtung, welche ein mit einer aus Si, SiC, GaN oder dergleichen hergestelltes Leistungsvorrichtung bestücktes Schaltelement ansteuert. Die Halbleitervorrichtung **10** ist auf einem Si-Substrat oder auf einer Vielzahl von Si-Substraten gebildet. Ferner enthält die Halbleitervorrichtung **10**, obwohl in der Zeichnung nicht dargestellt, außerdem eine Schaltung, welche einen Strom von einem (unten beschriebenen) Fühlelement empfängt, um den Strom des Schaltelelements zu überwachen.

**[0041]** Die Konfiguration und die Wirkungsweise der Halbleitervorrichtung **10** werden nachfolgend beschrieben.

(a) Signaleingabe

**[0042]** Wenn ein in einen Anschluss A1 eingegebenes oberseitiges Eingangssignal (HIN) festgestellt wird, wird eine Spannungspegel-Umsetzung durch eine oberseitige Pegelumsetzschaltung ( $V_{DD}/V_{CC}$  PEGELUMSETZ) **2H** über eine oberseitige Schmitt-Trigger-Schaltung **1H** durchgeführt. Die oberseitige Schmitt-Trigger-Schaltung **1H** und ein Widerstand R1 dienen als eine Schaltung, welche auch in einem Fall, in welchem das oberseitige Eingangssignal HIN schwankt, einen stabilen Ausgangspegel an die oberseitige Pegelumsetzschaltung **2H** übergibt. Ferner setzt die oberseitige Pegelumsetzschaltung **2H** den Ausgangspegel des oberseitigen Eingangssignals HIN in einen an einen Anschluss A11 angelegten niederspannungsseitigen Stromquellen-Pegel (VCC) (zum Beispiel 15 V) um. Die oberseitige Schmitt-Trigger-Schaltung **1H** wird durch die an einen Anschluss A3 angelegte Stromquellen-Spannung (VDD) und einen an einen Anschluss A4 angelegten niederspannungsseitigen Source-Pegel (VSS) betrieben. Wenn ein an einen Anschluss A2 angelegtes unterseitiges Eingangssignal (LIN) festgestellt wird, wird die Spannungspegelumsetzung durch eine unterseitige Pegelumsetzschaltung ( $V_{DD}/V_{CC}$  PEGELUMSETZ) **2L** über eine unterseitige Schmitt-Trigger-Schaltung **1L** durchgeführt. Die unterseitige Schmitt-Trigger-Schaltung **1L** und ein Widerstand R2

dienen als eine Schaltung, welche auch in einem Fall, in welchem das unterseitige Eingangssignal LIN schwankt, einen stabilen Ausgangspegel an die unterseitige Pegelumsetzschaltung **2L** übergibt. Ferner setzt eine unterseitige Pegelumsetzschaltung **2L** den Ausgangspegel des unterseitigen Eingangssignals LIN in den niederspannungsseitigen Stromquellen-Pegel (VCC) um. Die unterseitige Schmitt-Trigger-Schaltung **1L** wird durch die an den Anschluss A3 angelegte Stromquellen-Spannung (VDD) und den an den Anschluss A4 angelegten niederspannungsseitigen Source-Pegel (VSS) betrieben.

(b) Einzelimpuls-Erzeugungsschaltung

**[0043]** Eine Einzelimpuls-Erzeugungsschaltung (IMPULSERZEUG) **3** erzeugt jeweilige Einzelimpuls-signale (IU0, IU1) bei Anstiegs- und Abfallflanken des Ausgangs der oberseitigen Pegelumsetzschaltung **2H**. Darüber hinaus erzeugt die Einzelimpuls-Erzeugungsschaltung **3** jeweilige Einzelimpulssignale (ID0, ID1) bei Anstiegs- und Abfallflanken des Ausgangs der unterseitigen Pegelumsetzschaltung **2L**. Die Einzelimpuls-Erzeugungsschaltung **3** wird durch den an den Anschluss A11 angelegten niederspannungsseitigen Stromquellen-Pegel (VCC) und den an den Anschluss A4 angelegten niederspannungsseitigen Source-Pegel (VSS) betrieben.

(c) Erzeugung des Steuersignals  
auf der oberen Seite

**[0044]** Eine oberseitige Hochspannungs-Pegelumsetzschaltung (LVSU) **4H** setzt die Ausgangspegel der Einzelimpulssignale (für die Anstiegsflanke (IU0) und für die Abfallflanke (IU1)) in einen an einen Anschluss A8 angelegten hochspannungsseitigen Stromquellen-Pegel (VB) und den an den Anschluss A10 angelegten niederspannungsseitigen Source-Pegel (VSS) um. Der hochspannungsseitige Stromquellen-Pegel (VB) wird zum Beispiel auf eine um 15 V bezüglich eines hochspannungsseitigen Source-Pegels (VS) der Gate-Ansteuerschaltung **12H** des oberen Zweigs erhöhte Spannung (VS + 15 V) eingestellt, und die eingestellte Spannung wird eine hochspannungsseitige Stromquellen-Spannung der Gate-Ansteuerschaltung (G/D) **12H**. Nachfolgend werden die Einzelheiten der oberseitigen Hochspannungs-Pegelumsetzschaltung **4H** beschrieben.

**[0045]** Ausgangssignale (OU0, OU1) der oberseitigen Hochspannungs-Pegelumsetzschaltung **4H** werden über einen oberseitigen Impulsfilter (IMPULSFILTER) **5H** in eine oberseitige RS-Selbthalteschaltung **6H** eingegeben. Das Einzelimpulssignal (für die Anstiegsflanke) (OU0) aus der oberseitigen Hochspannungs-Pegelumsetzschaltung **4H** wird ein Setzeingang der oberseitigen RS-Selbthalteschaltung **6H**, und das Einzelimpulssignal (für die Abfallflanke) (OU1) aus der oberseitigen Hochspannungs-Pegel-

umsetzschaltung **4H** wird ein Rücksetzeingang der oberseitigen RS-Selbthalteschaltung **6H**. Dabei entfernt das Impulsfilter **5H** von einem vorbestimmten Steuersignal verschiedene instabile Signale.

**[0046]** Ein Ausgangssignal der oberseitigen RS-Selbthalteschaltung **6H** wird an die Gate-Ansteuerschaltung **12H** des oberen Zweigs übergeben. Die Gate-Ansteuerschaltung **12H** empfängt das Ausgangssignal der oberseitigen RS-Selbthalteschaltung **6H** und gibt ein Oberer-Zweig-Schalter-Steuersignal (HO) an einen Anschluss A9 aus. Hierin geben /R (Rücksetzeingang), /S (Setzeingang) und /Q (Ausgang) „niedrig-aktiv“ an. Anders ausgedrückt, die Anschlüsse werden durch ein niedrig-aktives Signal aktiviert.

**[0047]** Eine oberseitige Spannungserfassungsschutzschaltung (UV ERFASS) **8H** überwacht den hochspannungsseitigen Stromquellen-Pegel (VB) und macht den Rücksetzeingang zur oberseitigen RS-Selbthalteschaltung **6H** geltend, wenn der hochspannungsseitige Stromquellen-Pegel (VB) gesenkt wird, so dass das Schaltelement durch die Gate-Ansteuerschaltung **12H** des oberen Zweigs geschützt wird. Die Gate-Ansteuerschaltung **12H** des oberen Zweigs gibt das Oberer-Zwei-Schalter-Steuersignal (HO) vom hohen Pegel aus, wenn das Eingangssignal auf dem niedrigen Pegel ist, und gibt das Oberer-Zweig-Schalter-Steuersignal (HO) vom niedrigen Pegel aus, wenn das Eingangssignal auf dem hohen Pegel ist.

**[0048]** Das oberseitige Impulsfilter **5H**, die oberseitige RS-Selbthalteschaltung **6H**, die oberseitige Spannungserfassungsschutzschaltung **8H** und die Gate-Ansteuerschaltung **12H** des oberen Zweigs werden durch den an den Anschluss A8 angelegten hochspannungsseitigen Stromquellen-Pegel (VB) und den an einen Anschluss A10 angelegten hochspannungsseitigen Source-Pegel (VS) betrieben.

(d) Erzeugung des Steuersignals  
auf der unteren Seite

**[0049]** Eine unterseitige Hochspannungs-Pegelumsetzschaltung (LVSD) **4L** setzt die Ausgangspegel der Einzelimpulssignale (für die Anstiegsflanke (ID0) und für die Abfallflanke (ID1)) in den hochspannungsseitigen Stromquellen-Pegel (VB) und den niederspannungsseitigen Source-Pegel (VSS) um. Die Einzelheiten der unterseitigen Hochspannungs-Pegelumsetzschaltung **4L** werden nachfolgend beschrieben.

**[0050]** Ausgangssignale (OD0, OD1) der unterseitigen Hochspannungs-Pegelumsetzschaltung **4L** werden über ein unterseitiges Impulsfilter (IMPULSFILTER) **5L** in eine unterseitige RS-Selbthalteschal-

tung **6L** eingegeben. Das Einzelimpulssignal (für die Anstiegsflanke) (OD0) aus der unterseitigen Hochspannungs-Pegelumsetzschaltung **4L** wird der Setzeingang der unterseitigen RS-Selbthalteschaltung **6L**, und das Einzelimpulssignal (für die Abfallflanke) (OD1) aus der unterseitigen Hochspannungs-Pegelumsetzschaltung **4L** wird der Rücksetzeingang der unterseitigen RS-Selbthalteschaltung **6L**. Dabei entfernt das unterseitige Impulsfilter **5L** die von einem vorbestimmten Steuersignal verschiedenen instabilen Signale.

**[0051]** Eine Verzögerungsschaltung (VERZÖG) **7** empfängt das Ausgangssignal (Din) der unterseitigen RS-Selbthalteschaltung **6L** und übergibt das Ausgangssignal an die Gate-Ansteuerschaltung **12L** des unteren Zweigs. Die Gate-Ansteuerschaltung **12L** empfängt das Ausgangssignal (Dout) der Verzögerungsschaltung **7** und gibt ein Unterer-Zweig-Schalter-Steuersignal (LO) an einen Anschluss A12 aus. Hierin gibt /R (Rücksetzeingang) „niedrig-aktiv“ an und gibt S (Setzeingang) und Q (Ausgang) „hoch-aktiv“ an.

**[0052]** Eine unterseitige Spannungserfassungsschutzschaltung (UV ERFASS) **8L** überwacht den niederspannungsseitigen Stromquellen-Pegel (VCC) und macht den Rücksetzeingang zur unterseitigen RS-Selbthalteschaltung **6L** geltend, wenn der niederspannungsseitige Stromquellen-Pegel (VCC) gesenkt wird, und setzt den Ausgang einer UND-Verknüpfungsschaltung **9** auf den niedrigen Pegel, so dass das Schaltelement durch die Gate-Ansteuerschaltung **12L** des unteren Zweigs geschützt wird. Die Gate-Ansteuerschaltung **12L** des unteren Zweigs gibt das Unterer-Zweig-Schalter-Steuersignal (LO) vom hohen Pegel aus, wenn das Eingangssignal auf dem hohen Pegel ist, und gibt das Unterer-Zweig-Schalter-Steuersignal (LO) vom niedrigen Pegel aus, wenn das Eingangssignal auf dem niedrigen Pegel ist.

**[0053]** Die Verzögerungsschaltung **7** verzögert das Ausgangssignal der unterseitigen RS-Selbthalteschaltung **6L**, um das Ausgangssignal so an die UND-Verknüpfungsschaltung **9** in der folgenden Stufe zu übergeben, dass eine sogenannte Totzeit so eingestellt wird, dass die Schaltelemente des oberen und des unteren Zweigs nicht gleichzeitig eingeschaltet werden. Ferner ist die Schaltungskonfiguration der Verzögerungsschaltung **7** nicht besonders beschränkt und kann sie zum Beispiel durch mehrstufige CMOS-Umkehrschaltungen konfiguriert sein. Die Einzelheiten der Verzögerungsschaltung **7** werden nachfolgend beschrieben.

**[0054]** Das unterseitige Impulsfilter **5L**, die unterseitige RS-Selbthalteschaltung **6L**, die Verzögerungsschaltung **7**, die unterseitige Spannungserfassungsschutzschaltung **8L** und die Gate-Ansteuerschal-

tung **12L** des unteren Zweigs werden durch den an den Anschluss A11 angelegten niederspannungsseitigen Stromquellen-Pegel (VCC) und den an den Anschluss A4 angelegten hochspannungsseitigen Source-Pegel (VSS) betrieben.

#### (e) Hochspannungs-Pegelumsetzschaltung

**[0055]** Fig. 2 veranschaulicht eine beispielhafte Konfiguration der oberseitigen Hochspannungs-Pegelumsetzschaltung (LVSU) und der unterseitigen Hochspannungs-Pegelumsetzschaltung (LVSD). Die oberseitige Hochspannungs-Pegelumsetzschaltung **4H** und die unterseitige Hochspannungs-Pegelumsetzschaltung **4L** sind durch eine Vielzahl von eine hohe Durchbruchspannung aufweisenden NMOS-Transistoren NM und eine Vielzahl von Widerständen R konfiguriert.

**[0056]** Die Sources von eine hohe Durchbruchspannung aufweisenden NMOS-Transistoren NM1 und NM2 der oberseitigen Hochspannungs-Pegelumsetzschaltung **4H** sind mit dem niederspannungsseitigen Source-Pegel (VSS) verbunden. Darüber hinaus sind Widerstände R3 und R4 mit dem hochspannungsseitigen Stromquellen-Pegel (VB) und Ausgangsknoten N1 und N2 verbunden. Ein Anstiegsflanken-Signal der Gate-Ansteuerschaltung **12H** des oberen Zweigs wird erzeugt, wenn das Ausgangssignal IU0 aus der Einzelimpuls-Erzeugungsschaltung **3** in die oberseitige Hochspannungs-Pegelumsetzschaltung **4H** eingegeben wird. Die Ausgangsknoten N1 und N2 können bei einem hohen Potential (zum Beispiel etwa 300 V) betrieben werden, aber durch Verwenden der eine hohe Durchbruchspannung aufweisenden NMOS-Transistoren NM1 und NM2 wird ein Gate-Ansteuersignal gewöhnlich erzeugt, ohne einen Ausfall des Elements zu verursachen. Entsprechend wird das Abfallflanken-Signal der Gate-Ansteuerschaltung **12H** des oberen Zweigs erzeugt, wenn das Steuersignal IU1 aus der Einzelimpuls-Erzeugungsschaltung **3** in die Hochspannungs-Pegelumsetzschaltung **4H** eingegeben wird.

**[0057]** Darüber hinaus sind die Drains von eine hohe Durchbruchspannung aufweisenden NMOS-Transistoren NM3 und NM4 der unterseitigen Hochspannungs-Pegelumsetzschaltung **4L** mit dem hochspannungsseitigen Stromquellen-Pegel (VB) verbunden und sind Widerstände R5 und R6 mit dem niederspannungsseitigen Source-Pegel (VSS) verbunden. Darüber hinaus sind die Sources der eine hohe Durchbruchspannung aufweisenden NMOS-Transistoren NM3 und NM4 mit Ausgangsknoten N3 und N4 verbunden. Ähnlich wie bei der oberseitigen Hochspannungs-Pegelumsetzschaltung **4H** wird das Anstiegsflanken-Signal der Gate-Ansteuerschaltung **12L** des unteren Zweigs erzeugt, wenn das Ausgangssignal ID0 aus der Einzelimpuls-Erzeugungsschaltung **3** in die unterseitige Hochspannungs-Pe-

gelumsetzschtaltung **4L** eingegeben wird. Da der eine hohe Durchbruchspannung aufweisende NMOS-Transistor NM3 in einem Source-Folger-Modus betrieben wird, wird der Ausgangsknoten N3 auf fast den gleichen Pegel wie der niederspannungsseitige Stromquellen-Pegel (VCC) der Gate-Ansteuerschaltung **12L** des unteren Zweigs erhöht und wird das Signal von hohem Pegel in die Schaltung in der folgenden Stufe eingegeben, um als das Anstiegsflanken-Signal der Gate-Ansteuerschaltung **12L** des unteren Zweigs zu dienen. Entsprechend wird das Abfallflanken-Signal der Gate-Ansteuerschaltung **12L** des unteren Zweigs erzeugt, wenn das Steuersignal ID1 aus der Einzelimpuls-Erzeugungsschaltung **3** in die Hochspannungs-Pegelumsetzschtaltung **4L** eingegeben wird.

**[0058]** Ferner sind die in die oberseitige Hochspannungs-Pegelumsetzschtaltung **4H** und in die unterseitige Hochspannungs-Pegelumsetzschtaltung **4L** eingegebenen Stromquellen-Potentiale der hochspannungsseitige Stromquellen-Pegel (VB) und der niederspannungsseitige Source-Pegel (VSS).

**[0059]** Bei der oben beschriebenen Konfiguration können die oberseitige Hochspannungs-Pegelumsetzschtaltung **4H** und die unterseitige Hochspannungs-Pegelumsetzschtaltung **4L** beim gleichen Stromquellen-Pegel betrieben werden, so dass ein Prozess, eine Spannung und eine Temperaturabhängigkeit bei einer Verzögerungszeit der Pegelumsetzschtaltung auf der oberen und auf der unteren Seite ausgeglichen werden können. Anders ausgedrückt, da eine Auslegungs-Totzeit  $t_{de0}$  zuverlässig sichergestellt werden kann, kann die Totzeit minimiert werden und kann der Umricht-Wirkungsgrad der Stromrichtvorrichtung verbessert werden.

**[0060]** Ferner wird der Hochspannungs-Eingangspegel der beschriebenen Hochspannungs-Pegelumsetzschtaltung auf VB gesetzt und ist es selbstverständlich, dass der Hochspannungs-Eingangspegel die Spannung VPP einer Stromquelle **54** mit hohem Potential des Schaltelements sein kann (siehe Fig. 5).

#### (f) Verzögerungsschaltung

**[0061]** Fig. 3 veranschaulicht eine Schaltungskonfiguration der Verzögerungsschaltung in Fig. 1. Fig. 4 veranschaulicht einen zeitlichen Ablauf einer Gate-Steuerschaltung und einer Gate-Ansteuerschaltung. Die Verzögerungsschaltung **7** ist durch Verbinden sogenannter CMOS-Umkehrschaltungen in mehreren Stufen konfiguriert und kann gewünschte Verzögerungszeiten ( $t_{de0}$ ,  $t_{de1}$ ,  $t_{de2}$ ) erzeugen. Darüber hinaus kann eine Vielzahl von Verzögerungszeiten durch selektives Setzen von Verzögerungszeit-Auswahlsignalen (T10, T11, T12) auf den hohen Pegel passend ausgewählt werden. Speziell

enthält die Verzögerungsschaltung **7** eine Verzögerungserzeugungsschaltung **34**, in welcher Umkehrschaltungen in sechs Stufen verbunden sind, eine Verzögerungserzeugungsschaltung **35**, in welcher die Umkehrschaltungen in vier Stufen verbunden sind, und eine Verzögerungserzeugungsschaltung **36**, in welcher die Umkehrschaltungen in zwei Stufen verbunden sind. Wenn das Verzögerungszeit-Auswahlsignal (T10) auf dem hohen Pegel ist, werden eine invertierte UND-(NICHT-UND-)Verknüpfungsschaltung **31** und ein Drei-Zustands-Puffer **37** ausgewählt und wird das Signal (Din) durch die Verzögerungseinheit **34** um die Verzögerungszeit ( $t_{de0}$ ) verzögert und als das Signal (Dout) ausgegeben. Wenn das Verzögerungszeit-Auswahlsignal (T11) auf dem hohen Pegel ist, werden eine invertierte UND-(NICHT-UND-)Verknüpfungsschaltung **32** und ein Drei-Zustands-Puffer **38** ausgewählt und wird das Signal (Din) durch die Verzögerungseinheit **35** um die Verzögerungszeit ( $t_{de1}$ ) verzögert und als das Signal (Dout) ausgegeben. Wenn das Verzögerungszeit-Auswahlsignal (T12) auf dem hohen Pegel ist, werden eine invertierte UND-(NICHT-UND-)Verknüpfungsschaltung **33** und ein Drei-Zustands-Puffer **39** ausgewählt und wird das Signal (Din) durch die Verzögerungserzeugungsschaltung **36** um die Verzögerungszeit ( $t_{de2}$ ) verzögert und als das Signal (Dout) ausgegeben. Ferner ist die Anzahl von Umkehrschaltungen der Verzögerungserzeugungsschaltung nicht auf diejenigen von sechs Stufen, vier Stufen und zwei Stufen beschränkt und kann sie gemäß einer gewünschten Verzögerungszeit geändert werden. Darüber hinaus ist die Anzahl von Verzögerungserzeugungsschaltungen nicht auf drei begrenzt und kann sie mindestens größer als drei sein. Wenn die Verzögerungsschaltung in Fig. 3 mit den Hochspannungs-Pegelumsetzschtaltungen **4H** und **4L** in Fig. 2 kombiniert wird, um die Konfiguration wie in Fig. 1 veranschaulicht zu bilden, kann die Auslegungs-Totzeit ( $t_{de0}$ ) fein eingestellt werden. Anders ausgedrückt, es ist möglich, zu verhindern, dass die Schaltelemente auf der oberen Seite und der unteren Seite gleichzeitig eingeschaltet werden, so dass die Totzeit minimiert werden kann. Ferner können, obwohl die Konfiguration der Verzögerungserzeugungsschaltung in Fig. 3 mit einer einfachen Umkehrschaltung veranschaulicht wurde, die Verzögerungserzeugungsschaltung zum Einstellen einer Anstiegsflankenzeit des Gate-Ansteuersignals und die Verzögerungserzeugungsschaltung zum Einstellen der Abfallflankenzeit durch geeignetes Verwenden einer invertierten ODER-(NICHT-ODER-)Verknüpfungsschaltung und einer invertierten UND-(NICHT-UND-)Verknüpfungsschaltung geschaffen werden und kann die gewünschte Verzögerungszeit durch Verwenden des gleichen Auswahlsignals wie die Verzögerungszeit-Auswahlsignale (T10, T11, T12) frei ausgelegt werden.



## (g) Wirkungsweise der Schaltung

**[0062]** Ein Beispiel von Signalverläufen der oben beschriebenen Schaltung ist in **Fig. 4** dargestellt. Die Einzelimpuls-Erzeugungsschaltung **3** erfasst die Anstiegsflanke und die Abfallflanke des oberseitigen Eingangssignals (HIN) und gibt die Impulssignale des Eingangssignals (IU0) und des Eingangssignals (IU1) aus. Entsprechend werden die Anstiegsflanke und die Abfallflanke des unterseitigen Eingangssignals (LIN) erfasst und werden die Impulssignale des Eingangssignals (ID0) und des Eingangssignals (ID1) ausgegeben.

**[0063]** Jedes der Eingangssignale (IU0, IU1) wird durch die oberseitige Hochspannungs-Pegelumsetzungsschaltung **4H** in die Ausgangssignale (OU0, OU1) von einem geeigneten Potential umgesetzt. Hierin erhält man die Ausgangssignale (OU0, OU1) durch Invertieren der Eingangssignale (IU0, IU1) vom hohen Pegel zum niedrigen Pegel oder umgekehrt. Danach steuern die Ausgangssignale (OU0, OU1) die Gate-Ansteuerschaltung **12H** des oberen Zweigs über den oberseitigen Impulsfilter **5H** und die oberseitige RS-Selbsthaltungsschaltung **6H** an, um das Oberer-Zweig-Schalter-Steuersignal (HO) auszugeben.

**[0064]** Jedes der Eingangssignale (ID0, ID1) wird durch die unterseitige Hochspannungs-Pegelumsetzungsschaltung **4L** in die Ausgangssignale (OD0, OD1) von einem geeigneten Potential umgesetzt. Danach werden die Ausgangssignale (OD0, OD1) durch den unterseitigen Impulsfilter **5L** und die unterseitige RS-Selbsthaltungsschaltung **6L** das Eingangssignal (Din). Die Verzögerungsschaltung **7** gibt das um eine Verzögerungszeit ( $t_{delay}$ ) verzögerte Signal (Dout) aus und steuert die Gate-Ansteuerschaltung **12L** des unteren Zweigs so an, dass sie das Unterer-Zweig-Schalter-Steuersignal (LO) ausgibt.

**[0065]** Beim Stand der Technik können die EIN/AUS-Zeitpunkte des Oberer-Zweig-Schalter-Steuersignals (HO) und des Unterer-Zweig-Schalter-Steuersignals (LO) nicht minimiert werden wie durch  $t_{d1}$  in der Zeichnung angedeutet, was einen übermäßigen Spielraum verursacht. Bei der Technologie dieses Beispiels jedoch wird die Verzögerungszeit ( $t_{delay}$ ) durch die Verzögerungsschaltung **7** fein eingestellt und kann sie in geeigneter Weise minimiert werden wie durch eine endgültige Totzeit ( $t_{d0}$ ) angedeutet.

**[0066]** Darüber hinaus kann eine Verzögerungserzeugungsdauer vom Eingangssignal (Din) der Verzögerungsschaltung **7** bis zum Ausgangssignal (Dout) so eingestellt werden, dass ein Zeitpunkt, zu welchem das Oberer-Zweig-Schalter-Steuersignal (HO) vom hohen Pegel auf den niedrigen Pegel umgeschaltet wird oder vom niedrigen Pegel auf den hohen Pegel umgeschaltet wird, vermieden wird. Wenn

das Steuersignal (HO) für den oberen Zweig umgeschaltet wird, wird das mit dem hochspannungsseitigen Stromquellen-Pegel (VB) und dem hochspannungsseitigen Source-Pegel (VS) verbundene Schaltelement (Hauptschalter) ein- oder ausgeschaltet. Infolgedessen besteht eine Möglichkeit, dass Störungen in den Stromquellen-Pegel des Betriebs der Verzögerungsschaltung **7** geleitet werden können und Potentialschwankungen bewirken. Deshalb bestehen Bedenken, dass die Verzögerungsschaltung **7** möglicherweise nicht mit einer gewünschten Verzögerungszeit betrieben werden kann. Aus diesem Grund kann die Verzögerungsschaltung **7**, wie in **Fig. 1** veranschaulicht, in der folgenden Stufe der unterseitigen Hochspannungs-Pegelumsetzungsschaltung **4L** und in der vorherigen Stufe der Gate-Ansteuerschaltung **12L** des unteren Zweigs angeordnet sein. Die Verzögerungsschaltung **7** ist wünschenswerterweise an einer Position, welche so nah wie möglich an der Gate-Ansteuerschaltung **12L** des unteren Zweigs liegt, angeordnet. Das Stromquellen-Potential des Betriebs der Verzögerungsschaltung **7** wird durch Anordnen der Verzögerungsschaltung **7** zwischen der unterseitigen Hochspannungs-Pegelumsetzungsschaltung **4L** und der Gate-Ansteuerschaltung **12L** des unteren Zweigs stabilisiert. Anders ausgedrückt, die gewünschte Verzögerungszeit kann erzeugt werden, während der Zeitpunkt, zu welchem das Oberer-Zweig-Schalter-Steuersignal (HO) umgeschaltet wird, vermieden wird. Das heißt, die Totzeit kann in geeigneter Weise minimiert werden.

## [Zweites Beispiel]

**[0067]** **Fig. 5** ist ein Schaltbild, welches eine Konfiguration einer Stromrichtvorrichtung gemäß einem zweiten Beispiel schematisch veranschaulicht. Eine Stromrichtvorrichtung **51** enthält eine die Halbleitervorrichtung **10** (die Gate-Ansteuerschaltungen **12H** und **12L** und die Gate-Ansteuerungs-Steuerschaltung **11**) des ersten Beispiels verwendende Dreiphasen-Wechselrichtervorrichtung **52**, einen Laststromkreis (LAST) **53** wie einen Motor, eine Stromquelle **54** und einen Kondensator C0. In **Fig. 5** ist jedes von Schaltelementen SWu, SWv, SWw, SWx, SWy und SWz ein n-Kanal-SiC-MOSFET und ist eine eingebaute Diode (eine Body-Diode) zwischen der Source und dem Drain gebildet. Die eingebaute Diode wird als eine Freilaufdiode betrieben. Darüber hinaus enthält jedes der Schaltelemente SWu, SWv, SWw, SWx, SWy und SWz einen Fühleranschluss zum Überwachen des zum SiC-MOSFET fließenden Stroms. Freilaufdioden Diu, Div, Diw, Dix, Diy und Diz sind zwischen die Sources und die Drains der Schaltelemente SWu, SWv, SWw, SWx, SWy beziehungsweise SWz geschaltet. Die Schaltelemente SWu, SWv und SWw sind im oberen Zweig angeordnet, und die Schaltelemente SWx, SWy und SWz sind im unteren Zweig angeordnet. Die Schaltelemente SWu und SWx werden für die U-Phase verwendet,

die Schaltelemente SWv und SWy werden für die V-Phase verwendet und die Schaltelemente SWw und SWz werden für die W-Phase verwendet.

**[0068]** Gate-Ansteuerschaltungen GDU und GDx steuern die Schaltelemente SWu beziehungsweise SWx in der Halbleitervorrichtung **10** und steuern sie an wie in **Fig. 1** veranschaulicht. Gate-Ansteuerschaltungen GDv und GDy steuern die Schaltelemente SWv beziehungsweise SWy in der Halbleitervorrichtung **10** und steuern sie an. Gate-Ansteuerschaltungen GDw und GDz steuern die Schaltelemente SWw beziehungsweise SWz in der Halbleitervorrichtung **10** und steuern sie an. Ferner ist, obwohl in der Zeichnung nicht dargestellt, die gemeinsame Schaltung zwischen dem oberen Zweig und dem unteren Zweig in der Gate-Ansteuerungs-Steuerschaltung **11** wie in **Fig. 1** veranschaulicht zu jeder Halbleitervorrichtung **10** hinzugefügt. Die Gleichstromquelle **54** und der Kondensator CO sind zwischen ein Ende (einen Drain-Knoten) PT des Schaltelements des oberen Zweigs und ein Ende (einen Source-Knoten) NT des Schaltelements des unteren Zweigs geschaltet. Die Spannung (VPP) ist zwischen dem Drain-Knoten PT und dem Source-Knoten NT angelegt. Jede Gate-Ansteuerschaltung steuert das entsprechende Schaltelement in geeigneter Weise an und schaltet es ein und aus, so dass Dreiphasen-(U-Phasen-, V-Phasen-, W-Phasen-)Wechselspannungssignale, welche sich in der Phase unterscheiden, aus der Spannung VPP eines Gleichspannungssignals erzeugt werden. Der Laststromkreis **53** wird durch die Dreiphasen-(U-Phasen-, V-Phasen-, W-Phasen-)Wechselspannungssignale in geeigneter Weise gesteuert.

**[0069]** Dabei sind die genauen Wirkungsweisen des festen Schaltens jeder der U-Phase, der V-Phase und der W-Phase die gleichen wie im ersten Beispiel (**Fig. 4** und dergleichen). In der Dreiphasen-Wechselrichtervorrichtung **52** wird das Schaltelement SWu des oberen Zweigs in einem Zustand, in welchem das Schaltelement SWx des unteren Zweigs sich im AUS-Zustand befindet, in den EIN-Zustand umgeschaltet. Dabei werden die Gate-Ansteuerschaltung und die Gate-Steuerschaltung, welche die Schaltelemente SWu und SWx ansteuern, durch eine Betriebstemperatur des Wechselrichters beeinflusst, und folglich kann der Zeitpunkt zum Ein- oder Ausschalten des Schaltelements abweichen. In diesem Fall kann ein Durchlassstrom vom hohen Potential der Dreiphasen-Wechselrichtervorrichtung **52** zum niedrigeren Potential fließen und eine Zunahme des Verlusts infolge einer Erwärmung oder dergleichen bewirken. Jedoch weisen die Gate-Ansteuerungs-Steuerschaltung **11** und die Gate-Ansteuerschaltungen **12H** und **12L** gemäß dem ersten Beispiel eine geringere Abweichung der Verzögerungszeit der als eine Hauptschaltung zum Erzeugen der Totzeit dienenden Pegelumsetzschaltung auf. Deshalb können die Totzei-

ten der oberen und unteren Schaltelemente zuverlässig sichergestellt werden. Anders ausgedrückt, es ist möglich, einen stabilen Stromrichtbetrieb mit hoher Zuverlässigkeit zu realisieren. Insbesondere kann eine solche Dreiphasen-Wechselrichtervorrichtung in vielen Fällen in einer großen Leistungsanlage betrieben werden und können der Durchlassstrom infolge eines verringerten Totzeit-Spielraums und ein durch den Durchlassstrom verursachter erhöhter Verlust bedeutend werden. Da jedoch gemäß dem Verfahren dieses Beispiels beispielsweise zusätzlich zu einer normalen Verlustverringernwirkung, welche man erhält, wenn der SiC-MOSFET für die Wechselrichtervorrichtung verwendet wird, die angemessene Totzeitminimierung realisiert werden kann, kann so eine Verlustverringern der Wechselrichtervorrichtung wirkungsvoll erreicht werden.

**[0070]** **Fig. 6** veranschaulicht ein Beispiel eines Leistungsmoduls, in welches die Schaltelemente und die Freilaufdioden der Dreiphasen-Wechselrichtervorrichtung in **Fig. 5** eingebaut sind. Ein Leistungsmodul PM enthält einen Plus-Anschluss PT, einen Minus-Anschluss NT, U-Phasen-Schaltergruppen SWU0 und SWU1 des oberen Zweigs, U-Phasen-Schaltergruppen SWX0 und SWX1 des unteren Zweigs, eine U-Phasen-Freilaufdiode Diu des oberen Zweigs und eine U-Phasen-Freilaufdiode Dix des unteren Zweigs. Das Leistungsmodul PM enthält einen Drain-Anschluss UD des oberen Zweigs, mit welchem der Plus-Anschluss PT, die Drain-Pads der U-Phasen-Schaltergruppen SWU0 und SWU1 des oberen Zweigs und die Kathode der U-Phasen-Freilaufdiode Diu des oberen Zweigs verbunden sind. Das Leistungsmodul PM enthält einen Source-Anschluss US des oberen Zweigs, mit welchem die Source-Pads der U-Phasen-Schaltergruppen SWU0 und SWU1 des oberen Zweigs und die Anode der U-Phasen-Freilaufdiode Diu des oberen Zweigs verbunden sind. Das Leistungsmodul PM enthält einen Drain-Anschluss XD des unteren Zweigs, mit welchem die Drain-Pads der U-Phasen-Schaltergruppen SWX0 und SWX1 des unteren Zweigs und die Kathode der U-Phasen-Freilaufdiode Dix des unteren Zweigs verbunden sind. Das Leistungsmodul PM enthält einen Source-Anschluss XS des unteren Zweigs, mit welchem die Source-Pads der U-Phasen-Schaltergruppen SWX0 und SWX1 des unteren Zweigs und die Anode der U-Phasen-Freilaufdiode Dix des unteren Zweigs verbunden sind. Das Leistungsmodul PM enthält einen Anschluss MU, mit welchem der Source-Anschluss US des oberen Zweigs und der Drain-Anschluss XD des unteren Zweigs verbunden sind. Das Leistungsmodul PM enthält Gate-Steueranschlüsse GSIG0 und GSIG1, Fühler-Steueranschlüsse SESIG0 und SESIG1, einen U-Phasen-Ausgangsanschluss U, einen V-Phasen-Ausgangsanschluss V und einen W-Phasen-Ausgangsanschluss W. Die Gate-Steueranschlüsse GSIG0 und GSIG1 sind mit den Gate-Pads der

U-Phasen-Schaltergruppen SWU0 und SWU1 des oberen Zweigs und der U-Phasen-Schaltergruppen SWX0 und SWX1 des unteren Zweigs verbunden. Die Fühler-Steueranschlüsse SESIG0 und SESIG1 sind mit den Fühler-Pads der U-Phasen-Schaltergruppen SWU0 und SWU1 des oberen Zweigs verbunden. Der U-Phasen-Ausgangsanschluss U ist mit dem Drain-Anschluss XD des unteren Zweigs verbunden.

**[0071]** Ferner gleichen die Beschreibungen und die Symbole der jeweiligen Elemente und Anschlüsse bezüglich der V-Phase und der W-Phase dem Aufbau der U-Phase und sind sie daher zur Vereinfachung der Zeichnung weggelassen.

**[0072]** In Fig. 6 sind vier Schaltelemente des oberen und des unteren Zweigs parallel geschaltet. Darüber hinaus sind vier Schaltelemente in zwei Teile unterteilt. Deshalb sind zwei Gate-Steueranschlüsse für die U-Phase des oberen Zweigs und sind zwei Fühler-Steueranschlüsse für die U-Phase des unteren Zweigs vorgesehen. Ob ein einziger Steueranschluss für zwei Schaltelemente oder für ein Schaltelement verwendet wird, kann gemäß einer Einbauart passend ausgewählt werden. Zum Beispiel wird die Konfiguration im Fall von Fig. 6 in Anbetracht eines Aspekts, dass die Anzahl von Verdrahtungen vom Ansteuerschaltungs-Substrat erhöht wird, was eine große Systemmontagefläche bewirkt, wenn eine Anzahl von Steueranschlüssen in einem typischen Leistungsmodul PM angeordnet wird, und eines Aspekts, dass ein Stör-Scheinwiderstand der Verdrahtung durch bisymmetrisches Anordnen von vier Schaltelementen mit zwei Elementen auf jeder Seite und Anordnen der Steueranschlüsse an jeder Seite auf einen relativ niedrigen Wert unterdrückt wird, erstellt. Natürlich kann auch in einem Fall, in welchem acht Schaltelemente für die U-Phase des oberen Zweigs konfiguriert sind, in Anbetracht ihrer Einbauart optimal ausgewählt werden, ob die Schaltelemente durch Unterteilen in vier oder in acht gesteuert werden. Gemäß diesem Beispiel können die Ansteuerungszeitpunkte der Vielzahl von Schaltelementen in geeigneter Weise eingestellt werden und kann die Verlustzunahme der Stromrichterschaltung unterdrückt werden, während die Flächenzunahme des Leistungsmoduls PM auf ein Minimum unterdrückt wird. Darüber hinaus ist es selbstverständlich, dass die im ersten und im zweiten Beispiel beschriebenen Wirkungen mittels der Gate-Ansteuerschaltung und der Gate-Steuerschaltung, welche im ersten Beispiel beschrieben wurden, erreicht werden können.

[Drittes Beispiel]

**[0073]** Fig. 7 ist ein Schaltbild, welches eine Konfiguration einer Stromrichtvorrichtung gemäß einem dritten Beispiel schematisch veranschaulicht. Eine als

die Stromrichtvorrichtung dienende Wechselstrom-/Gleichstromquellenvorrichtung **71** entfernt mittels eines Leitungsfilters (LEITFIL) **73** Störungen aus einem Wechselspannungseingang (zum Beispiel 200 V Wechselspannung) und wandelt, mittels einer Gleichrichterschaltung (zum Beispiel einer Diodenbrücke und eines Ausgangskondensators) (GLR) **74** im Zusammenspiel mit einer die Gate-Ansteuerschaltung und die Gate-Ansteuerungs-Steuerschaltung des ersten Beispiels verwendenden Wechselrichtervorrichtung (DCAC) **72**, eine Wechselspannung in eine Gleichspannung um (Wechsel-/Gleichspannungswandlung). Dann wird der Gleichspannungspegel durch eine Spannungsanhebungsschaltung (PFC) **75** zum Beispiel auf etwa 400 V angehoben. Hierin ist die Spannungsanhebungsschaltung **75** durch eine Spule L, eine Zerhackerdiode Di, Haupt-Schalt-elemente Q1 (zwei parallel), eine Hauptschalter-Ansteuerschaltung GDR und einen Stabilisierungskondensator C1 konfiguriert. Ferner ist das Steuerverfahren der Spannungsanhebungsschaltung **75** allgemein bekannt und wird auf dessen Beschreibung verzichtet.

**[0074]** Anschließend wird der Gleichspannungspegel von etwa 400 V aus der Spannungsanhebungsschaltung **75** durch die Wechselrichtervorrichtung **72** in den Wechselspannungspegel umgewandelt und dann einer Wechsel-/Wechselspannungswandlung durch einen Transformator TR (zum Beispiel 400 V Wechselspannung → 10 V Wechselspannung) unterzogen. Dann wird das von der Sekundärwicklung des Transformators TR erhaltene Wechselspannungssignal durch eine Wechsel-/Gleichspannungswandlerschaltung (ACDC) **76** zum Beispiel in 10 V Gleichspannung oder 100 A Gleichstrom umgewandelt. Hierin ist die Wechselrichtervorrichtung **72** zum Beispiel durch eine sogenannte Vollbrückenschaltung, welche aus vier Schaltelementen Q2, Q3, Q4 und Q5 besteht, und eine Gate-Ansteuerungs-Steuerschaltung (GDCTL) **77** konfiguriert. Ferner kann jedes der Schaltelemente Q2 bis Q5, obwohl in der Zeichnung nicht besonders dargestellt, so konfiguriert sein, dass es aus einer Vielzahl parallel geschalteter Chips besteht. In einer solchen beispielhaften Konfiguration ist es möglich, durch Anwenden des Verfahrens (der Gate-Ansteuerschaltung **12** und der Gate-Ansteuerungs-Steuerschaltung **11**) des ersten Beispiels auf die Gate-Ansteuerungs-Steuerschaltung **77** der Wechselrichtervorrichtung **72** eine Stromquellenvorrichtung mit geringem Verlust zu realisieren.

[Viertes Beispiel]

**[0075]** Die Fig. 8A und Fig. 8B sind Ansichten, welche eine schematische Konfiguration des SiC-MOSFET gemäß einem vierten Beispiel veranschaulichen. Fig. 8A ist eine Draufsicht, welche eine schematische Konfiguration des SiC-MOSFET ver-

anschaulicht, und **Fig. 8B** ist eine Schnittansicht, welche eine schematische Konfiguration entlang einer Linie A-A' in **Fig. 8A** veranschaulicht. Ein SiC-MOSFET **81** ist durch das in der Stromrichtvorrichtung des zweiten und des dritten Beispiels verwendete Schaltelement konfiguriert. Wie in **Fig. 8A** veranschaulicht, liegen die Abschlussseiten (Ränder) eines Source-Pad SP außerhalb eines Aktivelement-Gebiets ACT und liegen die Abschlussseiten (Ränder) eines Abschlussgebiets TM außerhalb des Source-Pad SP. Anders ausgedrückt, die Abschlussseiten (Ränder) eines Fühler-Pad SEP liegen zwischen dem Inneren des Abschlussgebiets TM und dem Äußeren des Aktivelement-Gebiets ACT. Ein Gate-Pad GP und der Source-Pad SP liegen zwischen dem Äußeren des Source-Pad SP und dem Inneren des Abschlussgebiets TM. In **Fig. 8A** kann die Kontaktierungsdrahtlänge, da der Gate-Pad GP an jeder beliebigen Position frei angeordnet werden kann, in einem Fall, in welchem diese Konfiguration für die in **Fig. 10A** unten gezeigte Einbauart verwendet wird, verkürzt werden.

**[0076]** Darüber hinaus enthält der SiC-MOSFET **81**, wie in **Fig. 8B** veranschaulicht, ein SiC-Substrat SUB, eine auf dem SiC-Substrat SUB gebildete Driftschicht DFT, eine in der Driftschicht DFT gebildete p-Basischicht **83**, eine in der p-Basischicht **83** gebildete n<sup>+</sup>-Source-Schicht **84** und das in der Driftschicht DFT gebildete Abschlussgebiet TM. Der SiC-MOSFET **81** enthält einen Gate-Isolierfilm Tox, welcher auf der Driftschicht DFT gebildet ist, die p-Basischicht **83** und die n<sup>+</sup>-Source-Schicht **84**, eine auf dem Gate-Isolierfilm Tox gebildete Gate-Elektrode GPm und einen auf der Gate-Elektrode GPm gebildeten Zwischenschicht-Isolierfilm Lay1 und dergleichen. Der SiC-MOSFET **81** enthält den auf dem Zwischenschicht-Isolierfilm Lay1 gebildeten Source-Pad SP, eine Siliciumoxidschicht (SiO<sub>2</sub>) **82**, welche auf dem Zwischenschicht-Isolierfilm Lay1 und dem Source-Pad SP gebildet ist, und eine auf der rückseitigen Oberfläche des SiC-Substrats SUB gebildete Drain-Elektrode DRm. Im Aktivelement-Gebiet ACT ist eine Vielzahl von aus SiCMOS hergestellten Elementtransistoren gebildet und parallel geschaltet, um ein Schaltelement zu bilden. Anders ausgedrückt, die Vielzahl von Source-Schichten **84** ist in einem (nicht dargestellten) Gebiet gemeinsam mit dem Source-Pad SP verbunden, und die Vielzahl von Gate-Elektroden GPm ist ebenso gemeinsam mit dem Gate-Pad GP in **Fig. 8A** in einem (nicht dargestellten) Gebiet verbunden. In **Fig. 8B** kann, durch Anordnen des Abschlussgebiets TM im Rand des Aktivelement-Gebiets ACT, das Aktivelement-Gebiet ACT im Chip genügend sichergestellt werden und kann der Durchlassstrom erhöht werden. Anders ausgedrückt, es ist möglich, einen Durchlasswiderstand zu verringern.

<Abwandlung>

**[0077]** Die **Fig. 9A** und **Fig. 9B** sind Ansichten, welche einen Schnittaufbau des SiC-MOSFET veranschaulichen. **Fig. 9A** ist eine Schnittansicht, welche eine beispielhafte Konfiguration jedes Elementtransistors im Aktivelement-Gebiet in **Fig. 8B** veranschaulicht, und **Fig. 9B** ist eine Schnittansicht, welche eine Abwandlung von **Fig. 9A** veranschaulicht. Zuerst ist in **Fig. 9B** ein Vertikal-SiC-MOSFET **81A** mit einer Grabenstruktur veranschaulicht. Die mit einer Source-Elektrode SPm verbundene Source-Schicht **84** des n<sup>+</sup>-Gebiets ist über einen in der Basisschicht **83** des p-Gebiets gebildeten Kanal mit der Driftschicht DFT verbunden. Die Driftschicht DFT ist zum Beispiel ein n-Gebiet und dient zum Sicherstellen einer Durchbruchspannung. Das SiC-Substrat SUB ist zum Beispiel ein n<sup>+</sup>-Gebiet, und die Drain-Elektrode DRm ist mit dem SiC-Substrat SUB verbunden.

**[0078]** Bei einer solchen Grabenstruktur wird der Durchlasswiderstand des gesamten SiC-MOSFET, da es kein durch die Basisschicht **83** zwischengeschaltetes sogenanntes JFET-Gebiet (n-Halbleiter-Gebiet) gibt, wirkungsvoll verringert. Anders ausgedrückt, durch Kombinieren mit der Halbleitervorrichtung (der Gate-Ansteuerschaltung und der Gate-Ansteuerungs-Steuerschaltung) gemäß dem ersten Beispiel ist es möglich, ein Stromrichtsystem mit einem geringeren Verlust zu realisieren. Der SiC-MOSFET **81A** kann verwendet werden, um das in der Stromrichtvorrichtung gemäß dem zweiten und dem dritten Beispiel verwendete Schaltelement zu konfigurieren.

**[0079]** Andererseits veranschaulicht **Fig. 9A** den SiC-MOSFET **81** von einem sogenannten DMOS-(Doppelt diffundierter Metall-Oxid-Halbleiter)Typ, in welchem die Grabenstruktur nicht vorgesehen ist. In diesem Fall hat das Element einen einfachen Aufbau und können die Herstellungskosten gegenüber dem SiC-MOSFET **81A** vom Grabenstruktur-Typ wirkungsvoll gesenkt werden.

**[0080]** Die **Fig. 10A** und **Fig. 10B** sind Ansichten, welche den SiC-MOSFET gemäß dem vierten Beispiel, welcher in ein Gehäuse eingebaut ist, veranschaulichen. **Fig. 10A** ist eine Draufsicht, und **Fig. 10B** ist eine Schnittansicht entlang einer Linie a-a' in **Fig. 10A**. Im Beispiel der **Fig. 10A** und **Fig. 10B** ist der SiC-MOSFET **81 (81A)** auf einer Metallplatte PLT im Gehäuse befestigt. Die Drain-Elektrode DRm des SiC-MOSFET **81 (81A)** ist über die Metallplatte PLT mit einem Drain-Anschluss DT verbunden. Über Kontaktierungsdrähte Wsm beziehungsweise Wgm ist der Source-Pad SP mit einem Source-Anschluss ST verbunden und ist der Gate-Pad GP mit einem Gate-Anschluss GT verbunden. Der SiC-MOSFET **81 (81A)**, die Kontaktierungsdrähte Wsm und Wgm und dergleichen sind mit einem Harz **83** vergossen. Ferner beruht **Fig. 10B** zur Vereinfachung

auf einer Annahme, dass die Linie a-a' entlang Wgm und DT verläuft.

**[0081]** Bei der Anordnung und Kontaktierung des Chips können die Länge des mit dem Gate-Pad GP des SiC-MOSFET **81 (81A)** verbundenen Kontaktierungsdrahts Wgm und die Länge des mit dem Source-Pad SP verbundenen Kontaktierungsdrahts Wsm verkürzt werden. Anders ausgedrückt, es ist möglich, eine Störinduktivität des Kontaktierungsdrahts und einen durch den Draht verursachten Stör-Wirkwiderstand (eine Durchlasswiderstands-Komponente) zu verringern. Aus diesem Grund kann die zur Zeit des Schaltens erzeugte Störung auf einen niedrigen Pegel unterdrückt werden, und folglich kann verhindert werden, dass der SiC-MOSFET **81 (81A)** mit einem übermäßigen Potential vorgespannt wird. Außerdem kann die Chipfläche des SiC-MOSFET **81 (81A)**, da der Chip in diesem Beispiel in einer Ebene angeordnet ist, frei entworfen werden. Aus diesem Grund lässt sich sowohl ein niedriger Durchlasswiderstand als auch eine Durchlassstromdichte mühelos auslegen, so dass verschiedene Arten von Leistungshalbleiterchips realisiert werden können.

**[0082]** Bis jetzt wurde die vom Erfinder gemachte Erfindung speziell auf der Grundlage der speziellen Beispiele beschrieben, aber die Erfindung ist nicht auf die Beispiele beschränkt. Verschiedene Abwandlungen können innerhalb eines vom Geist der Erfindung nicht abweichenden Umfangs vorgenommen werden.

**[0083]** Zum Beispiel ging es in **Fig. 5** in der Beschreibung um ein Beispiel, in welchem das Schaltelement und die Freilaufdiode als ein logischer Schalter verwendet werden, um die Wechselrichtervorrichtung zu bilden. Jedoch kann die Erfindung auch allein durch den SiC-MOSFET konfiguriert sein, ohne die externe Diode (zum Beispiel SiC-Schottky-Diode) für das Freilaufen zu verwenden. In diesem Fall fließt ein Freilaufstrom in normaler Zeit durch die eingebaute Diode des SiC-MOSFET. Jedoch kann, da die Totzeit minimiert werden kann, wenn die Gate-Ansteuerschaltung und die Gate-Steuerschaltung des ersten Beispiels verwendet werden, eine Gesamtzeit des in die eingebaute Diode fließenden Freilaufstroms verkürzt werden. Da die Zeit des in die eingebaute Diode des SiC-MOSFET fließenden Freilaufstroms verkürzt werden kann, kann eine langfristige Zuverlässigkeit des SiC-MOSFET verbessert werden, kann die Lebensdauer des Schaltelements des SiC-MOSFET verlängert werden und kann eine hohe Zuverlässigkeit der Stromrichtvorrichtung realisiert werden.

**[0084]** Darüber hinaus ist jedes Schaltelement nicht auf Silicium (Si) und Siliciumcarbid (SiC) beschränkt und kann eine Verbindungsvorrichtung wie Galliumnitrid (GaN) verwendet werden. In einem Fall, in welchem ein Verbindungswerkstoff für das Schaltelement

wie die Wechselrichtervorrichtung verwendet wird, ist es selbstverständlich, dass der Verlust in der Wechselrichtervorrichtung durch Kombinieren mit der Halbleitervorrichtung des ersten Beispiels verringert werden kann. Darüber hinaus ist es selbstverständlich, dass die die Halbleitervorrichtung des ersten Beispiels verwendende Stromrichtvorrichtung für verschiedene Leistungssysteme verwendet werden kann, um verschiedene Wirkungen zu erzielen. Repräsentativ werden eine Wechselrichtervorrichtung einer Klimaanlage, ein Gleichspannungs-/Gleichspannungs-Wandler einer Server-Stromquelle, eine Spannungsaufbereitungsvorrichtung einer Solarstromanlage und eine Wechselrichtervorrichtung eines Hybridfahrzeugs/Elektrofahrzeugs beispielhaft veranschaulicht.

#### Bezugszeichenliste

<b>1H</b>	Oberseitige Schmitt-Trigger-Schaltung
<b>1L</b>	Unterseitige Schmitt-Trigger-Schaltung
<b>2H</b>	Oberseitige Pegelumsetzschaltung
<b>2L</b>	Unterseitige Pegelumsetzschaltung
<b>3</b>	Einzelimpuls-Erzeugungsschaltung
<b>4H</b>	Oberseitige Hochspannungs-Pegelumsetzschaltung
<b>4L</b>	Unterseitige Hochspannungs-Pegelumsetzschaltung
<b>5H</b>	Oberseitiges Impulsfilter
<b>5L</b>	Unterseitiges Impulsfilter
<b>6H</b>	Oberseitige RS-Selbthalteschaltung
<b>6L</b>	Unterseitige RS-Selbthalteschaltung
<b>7</b>	Verzögerungsschaltung
<b>8H</b>	Oberseitige Spannungserfassungs-Schutzschaltung
<b>8L</b>	Unterseitige Spannungserfassungs-Schutzschaltung
<b>9</b>	UND-Verknüpfungsschaltung
<b>10</b>	Halbleitervorrichtung
<b>11</b>	Gate-Ansteuerungs-Steuerschaltung
<b>12H</b>	Gate-Ansteuerschaltung des oberen Zweigs
<b>12L</b>	Gate-Ansteuerschaltung des unteren Zweigs
<b>101</b>	Stromrichtvorrichtung
<b>104H</b>	Erste Pegelumsetzschaltung
<b>104L</b>	Zweite Pegelumsetzschaltung
<b>107</b>	Verzögerungsschaltung
<b>110</b>	Halbleitervorrichtung
<b>112H</b>	Erste Ansteuerschaltung
<b>112L</b>	Zweite Ansteuerschaltung
<b>SW1</b>	Erstes Schaltelement
<b>SW2</b>	Zweites Schaltelement

#### Patentansprüche

1. Halbleitervorrichtung, die in einer Stromrichtvorrichtung verwendet wird, welche ein erstes Schaltelement, dessen Drain mit einer ersten Stromquellen-Spannung verbunden ist, und ein zweites Schaltelement

ment, dessen Source mit einer zweiten Stromquellen-Spannung verbunden ist, enthält, wobei eine Source des ersten Schaltelements und ein Drain des zweiten Schaltelements elektrisch miteinander verbunden sind, enthaltend:

eine erste Ansteuerschaltung, welche das erste Schaltelement ansteuert;  
 eine zweite Ansteuerschaltung, welche das zweite Schaltelement ansteuert;  
 eine erste Pegelumsetzschialtung; und  
 eine zweite Pegelumsetzschialtung,  
 wobei die erste Ansteuerschaltung mit einer dritten Stromquellen-Spannung, welche bezüglich eines Source-Potentials des ersten Schaltelements um ein vorbestimmtes Potential höher ist, und dem Source-Potential verbunden ist,  
 wobei die zweite Ansteuerschaltung mit einer vierten Stromquellen-Spannung, welche bezüglich der zweiten Stromquellen-Spannung um ein vorbestimmtes Potential höher ist, und der zweiten Stromquellen-Spannung verbunden ist,  
 wobei die erste Pegelumsetzschialtung einen Spannungspegel eines Eingangssignals so umsetzt und ausgibt, dass er zur ersten Ansteuerschaltung passt,  
 wobei die zweite Pegelumsetzschialtung einen Spannungspegel eines Eingangssignals so umsetzt und ausgibt, dass er zur zweiten Ansteuerschaltung passt, und  
 wobei in die erste Pegelumsetzschialtung und die zweite Pegelumsetzschialtung eingegebene Stromquellen-Spannungen die dritte Stromquellen-Spannung und die zweite Stromquellen-Spannung sind.

2. Halbleitervorrichtung nach Anspruch 1, ferner enthaltend:  
 eine Verzögerungsschialtung, welche verwendet wird, um eine Totzeit fein einzustellen.

3. Halbleitervorrichtung nach Anspruch 2, wobei die Verzögerungsschialtung zwischen der zweiten Pegelumsetzschialtung und der zweiten Ansteuerschaltung angeordnet ist.

4. Halbleitervorrichtung nach Anspruch 2, wobei die Verzögerungsschialtung eine Schaltung enthält, welche eine Vielzahl von Verzögerungszeiten erzeugt, und so konfiguriert ist, dass sie die Vielzahl von Verzögerungszeiten unter Verwendung eines externen Eingangssignals auswählt.

5. Stromrichtvorrichtung, enthaltend:  
 ein erstes Schaltelement, dessen Drain mit einer ersten Stromquellen-Spannung verbunden ist;  
 ein zweites Schaltelement, dessen Source mit einer zweiten Stromquellen-Spannung verbunden ist; und  
 eine Halbleitervorrichtung,  
 wobei eine Source des ersten Schaltelements und ein Drain des zweiten Schaltelements elektrisch miteinander verbunden sind,

wobei die Halbleitervorrichtung eine erste Ansteuerschaltung, welche das erste Schaltelement ansteuert, eine zweite Ansteuerschaltung, welche das zweite Schaltelement ansteuert, eine erste Pegelumsetzschialtung, eine zweite Pegelumsetzschialtung und eine Verzögerungsschialtung, welche eine Totzeit fein einstellt, enthält,

wobei die erste Ansteuerschaltung mit einer dritten Stromquellen-Spannung, welche bezüglich eines Source-Potentials des ersten Schaltelements um ein vorbestimmtes Potential höher ist, und dem Source-Potential verbunden ist,

wobei die zweite Ansteuerschaltung mit einer vierten Stromquellen-Spannung, welche bezüglich der zweiten Stromquellen-Spannung um ein vorbestimmtes Potential höher ist, verbunden ist,

wobei die erste Pegelumsetzschialtung einen Spannungspegel eines Eingangssignals so umsetzt und ausgibt, dass er zur ersten Ansteuerschaltung passt,  
 wobei die zweite Pegelumsetzschialtung einen Spannungspegel eines Eingangssignals so umsetzt und ausgibt, dass er zur zweiten Ansteuerschaltung passt, und

wobei in die erste Pegelumsetzschialtung und die zweite Pegelumsetzschialtung eingegebene Stromquellen-Potentiale die dritte Stromquellen-Spannung und die zweite Stromquellen-Spannung sind.

6. Stromrichtvorrichtung nach Anspruch 5, wobei die Verzögerungsschialtung zwischen der zweiten Pegelumsetzschialtung und der zweiten Ansteuerschaltung angeordnet ist.

7. Stromrichtvorrichtung nach Anspruch 5, wobei die Verzögerungsschialtung eine Schaltung enthält, welche eine Vielzahl von Verzögerungszeiten erzeugt, und so konfiguriert ist, dass sie die Vielzahl von Verzögerungszeiten unter Verwendung eines externen Eingangssignals auswählt.

8. Stromrichtvorrichtung nach Anspruch 5, außerdem enthaltend:  
 eine erste Freilaufdiode und eine zweite Freilaufdiode, welche zum ersten Schaltelement beziehungsweise zum zweiten Schaltelement parallel geschaltet sind,  
 wobei die erste und die zweite Freilaufdiode, das erste Schaltelement und das zweite Schaltelement durch ein einziges Leistungsmodul konfiguriert sind.

9. Stromrichtvorrichtung nach Anspruch 5, wobei das erste Schaltelement und das zweite Schaltelement aus Silicium, Siliciumcarbid oder Galliumnitrid hergestellt sind.

10. Stromrichtvorrichtung nach Anspruch 9, wobei das erste Schaltelement und das zweite Schaltelement MOSFETs sind, welche aus Siliciumcarbid hergestellt sind, und

wobei die Stromrichtvorrichtung eine Wechselrichter-  
vorrichtung ist, welche eingebaute Dioden des ersten  
Schaltelements und des zweiten Schaltelements als  
Freilaufdioden verwendet.

11. Stromrichtvorrichtung, enthaltend:  
ein erstes Schaltelement, dessen Drain mit einer ers-  
ten Stromquellen-Spannung verbunden ist;  
ein zweites Schaltelement, dessen Source mit einer  
zweiten Stromquellen-Spannung verbunden ist;  
eine erste Ansteuerschaltung, welche das erste  
Schaltelement ansteuert;  
eine zweite Ansteuerschaltung, welche das zweite  
Schaltelement ansteuert;  
eine erste Pegelumsetzschialtung;  
eine zweite Pegelumsetzschialtung; und  
eine Verzögerungsschialtung, welche verwendet  
wird, um eine Totzeit fein einzustellen,  
wobei eine Source des ersten Schaltelements und ein  
Drain des zweiten Schaltelements elektrisch mitein-  
ander verbunden sind,  
wobei die erste Ansteuerschaltung unter Verwen-  
dung einer dritten Stromquellen-Spannung, welche  
bezüglich eines Source-Potentials des ersten Schalt-  
elements um ein vorbestimmtes Potential höher ist,  
und des Source-Potentials betrieben wird,  
wobei die zweite Ansteuerschaltung unter Verwen-  
dung einer vierten Stromquellen-Spannung, welche  
bezüglich der zweiten Stromquellen-Spannung um  
ein vorbestimmtes Potential höher ist, betrieben wird,  
wobei die erste Pegelumsetzschialtung so konfiguriert  
ist, dass sie einen Spannungspegel so umsetzt, dass  
er zur ersten Ansteuerschaltung passt,  
wobei die zweite Pegelumsetzschialtung so konfigu-  
riert ist, dass sie einen Spannungspegel so umsetzt,  
dass er zur zweiten Ansteuerschaltung passt,  
wobei in die erste Pegelumsetzschialtung und die  
zweite Pegelumsetzschialtung eingegebene Strom-  
quellen-Potentiale die dritte Stromquellen-Spannung  
und die zweite Stromquellen-Spannung sind, und  
wobei, wenn ein Steuersignal in die erste Pegel-  
umsetzschialtung und die zweite Pegelumsetzschi-  
altung eingegeben wird, Betriebsspannungen der ers-  
ten Ansteuerschaltung und der zweiten Ansteuer-  
schaltung unter Verwendung der zweiten Stromquel-  
len-Spannung und der dritten Stromquellen-Span-  
nung erzeugt werden.

12. Stromrichtvorrichtung nach Anspruch 11, wo-  
bei die Verzögerungsschialtung zwischen der zwei-  
ten Pegelumsetzschialtung und der zweiten Ansteu-  
erschaltung angeordnet ist.

13. Stromrichtvorrichtung nach Anspruch 11, wo-  
bei die Verzögerungsschialtung eine Einheit enthält,  
welche eine Vielzahl von Verzögerungszeiten er-  
zeugt, und so konfiguriert ist, dass sie die Vielzahl von  
Verzögerungszeiten unter Verwendung eines exter-  
nen Eingangssignals auswählt.

14. Stromrichtvorrichtung nach Anspruch 11, au-  
ßerdem enthaltend:

eine erste Freilaufdiode, welche zum ersten Schalt-  
element parallel geschaltet ist; und  
eine zweite Freilaufdiode, welche zum zweiten  
Schaltelement parallel geschaltet ist.

15. Stromrichtvorrichtung nach Anspruch 11,  
wobei das erste Schaltelement und das zweite  
Schaltelement MOSFETs sind, welche aus Silicium-  
carbid hergestellt sind, und  
wobei die Stromrichtvorrichtung eine Wechselrichter-  
vorrichtung ist, welche eingebaute Dioden des ersten  
Schaltelements und des zweiten Schaltelements als  
Freilaufdioden verwendet.

Es folgen 13 Seiten Zeichnungen

Anhängende Zeichnungen

Fig.1

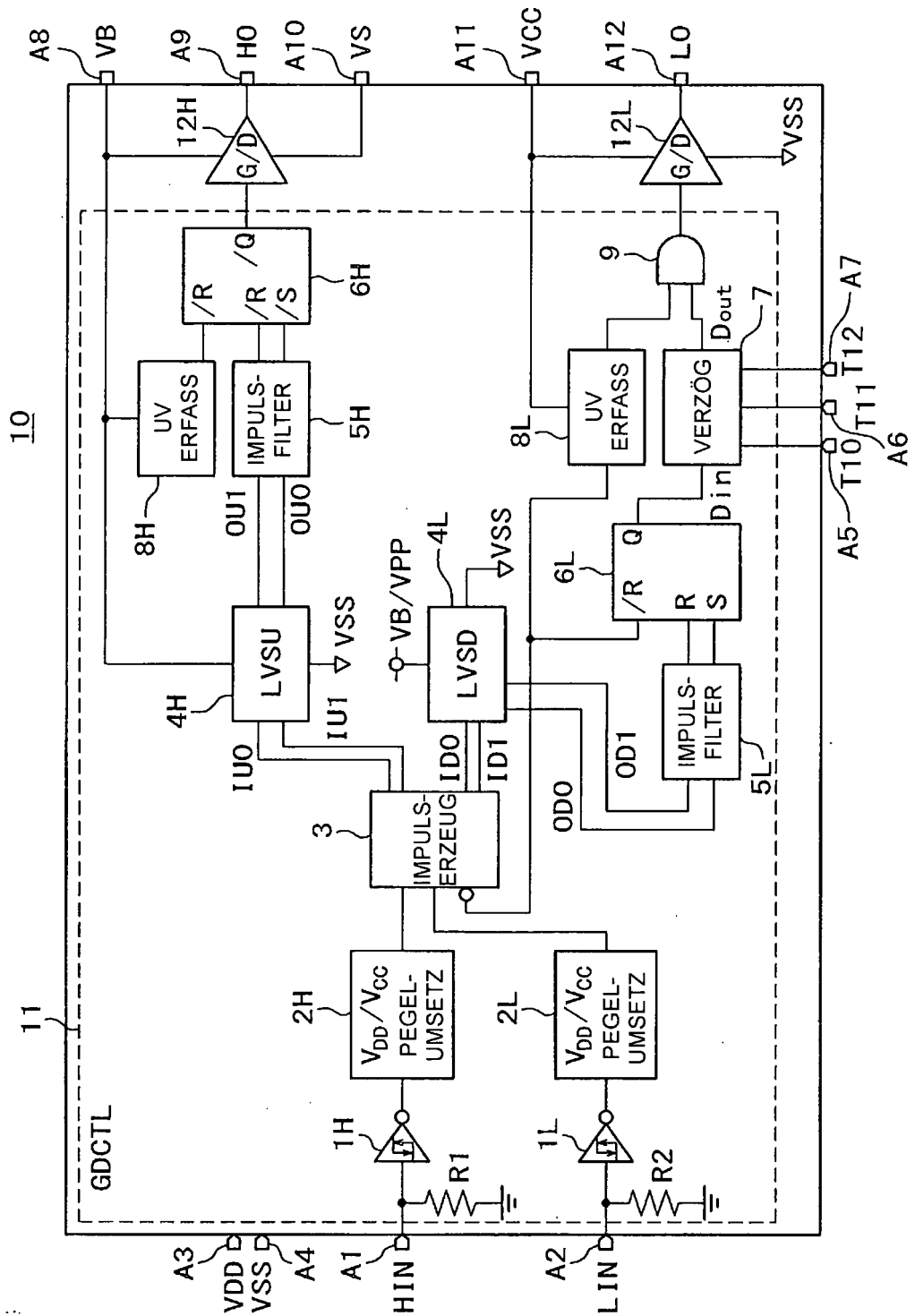




Fig.2

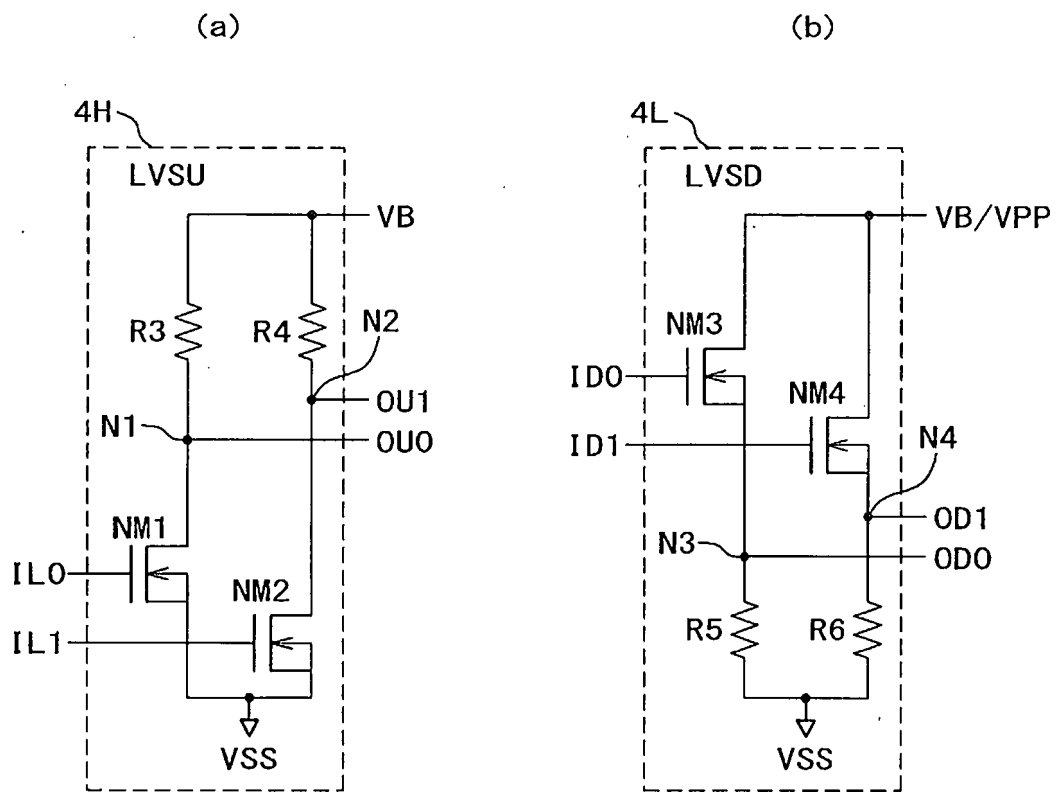


Fig.3

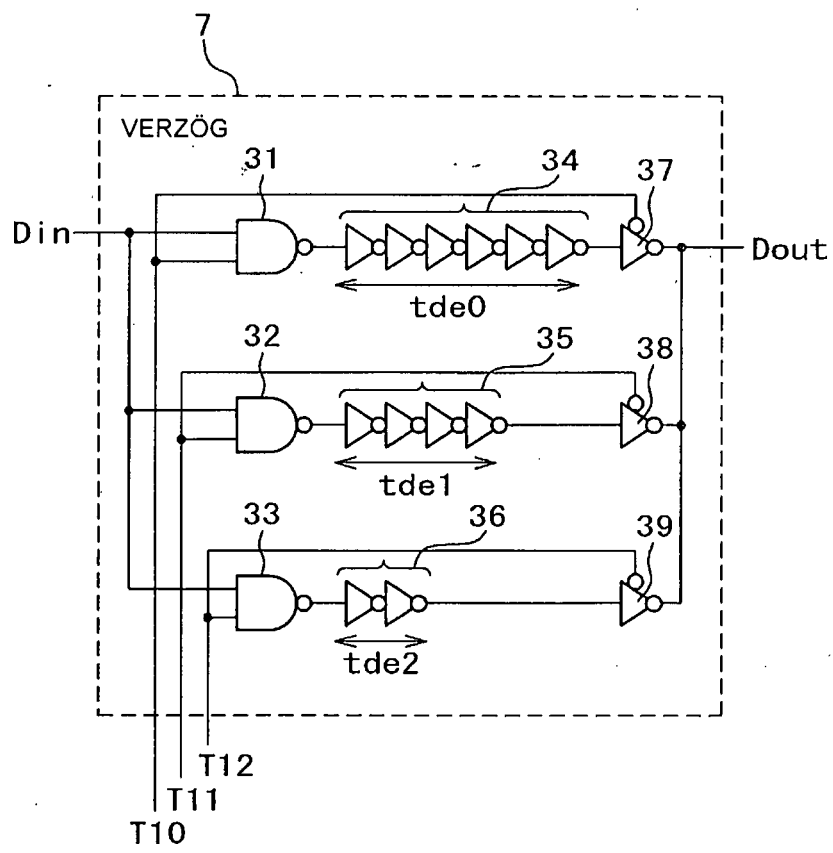


Fig.4

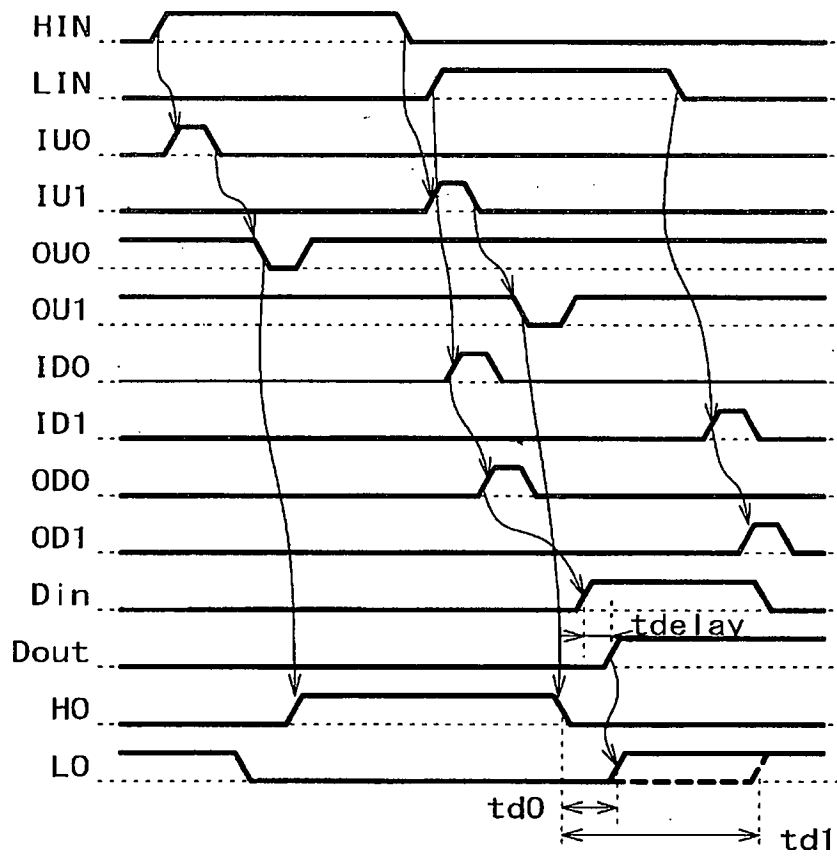


Fig.5

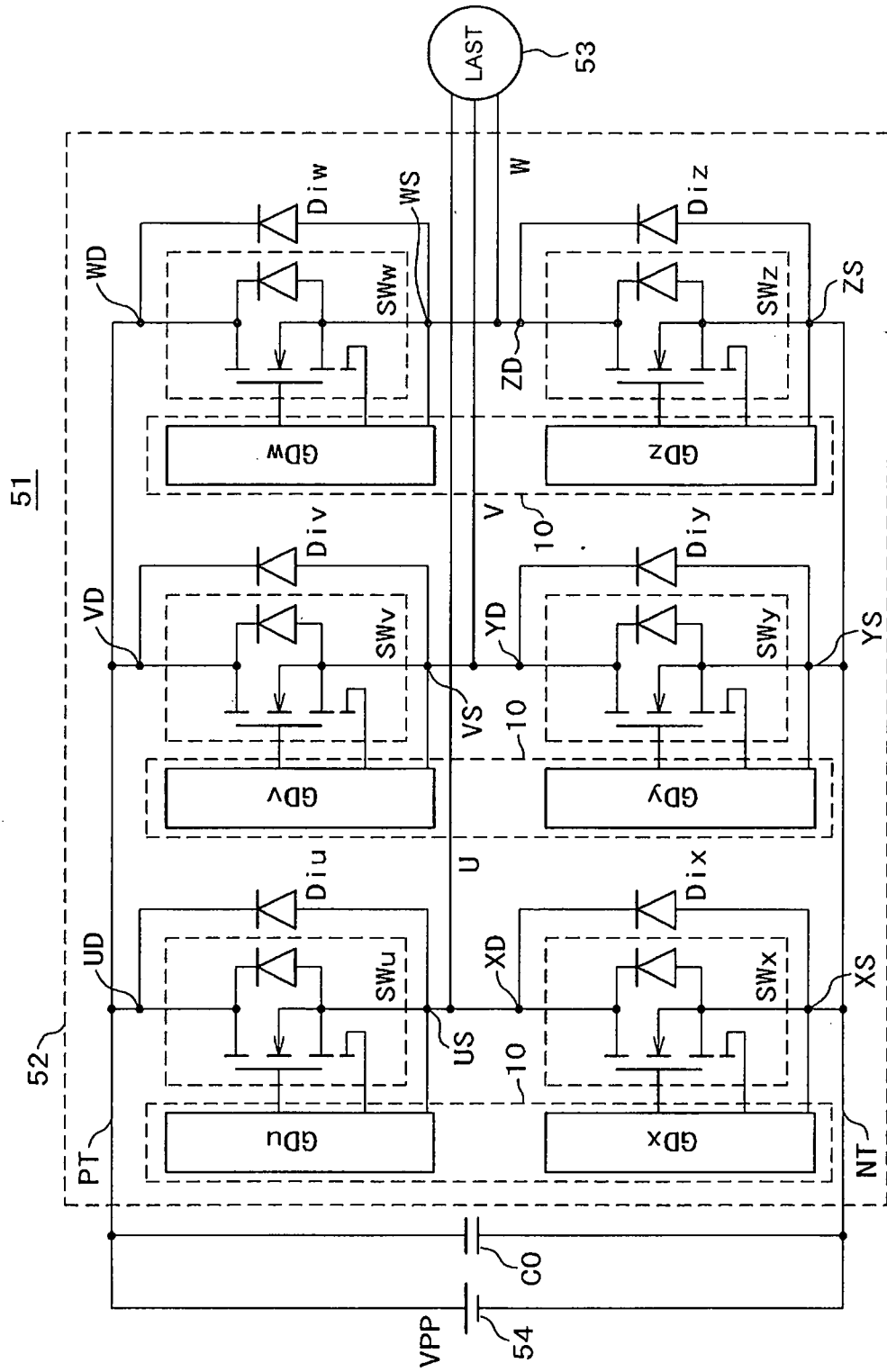


Fig.6

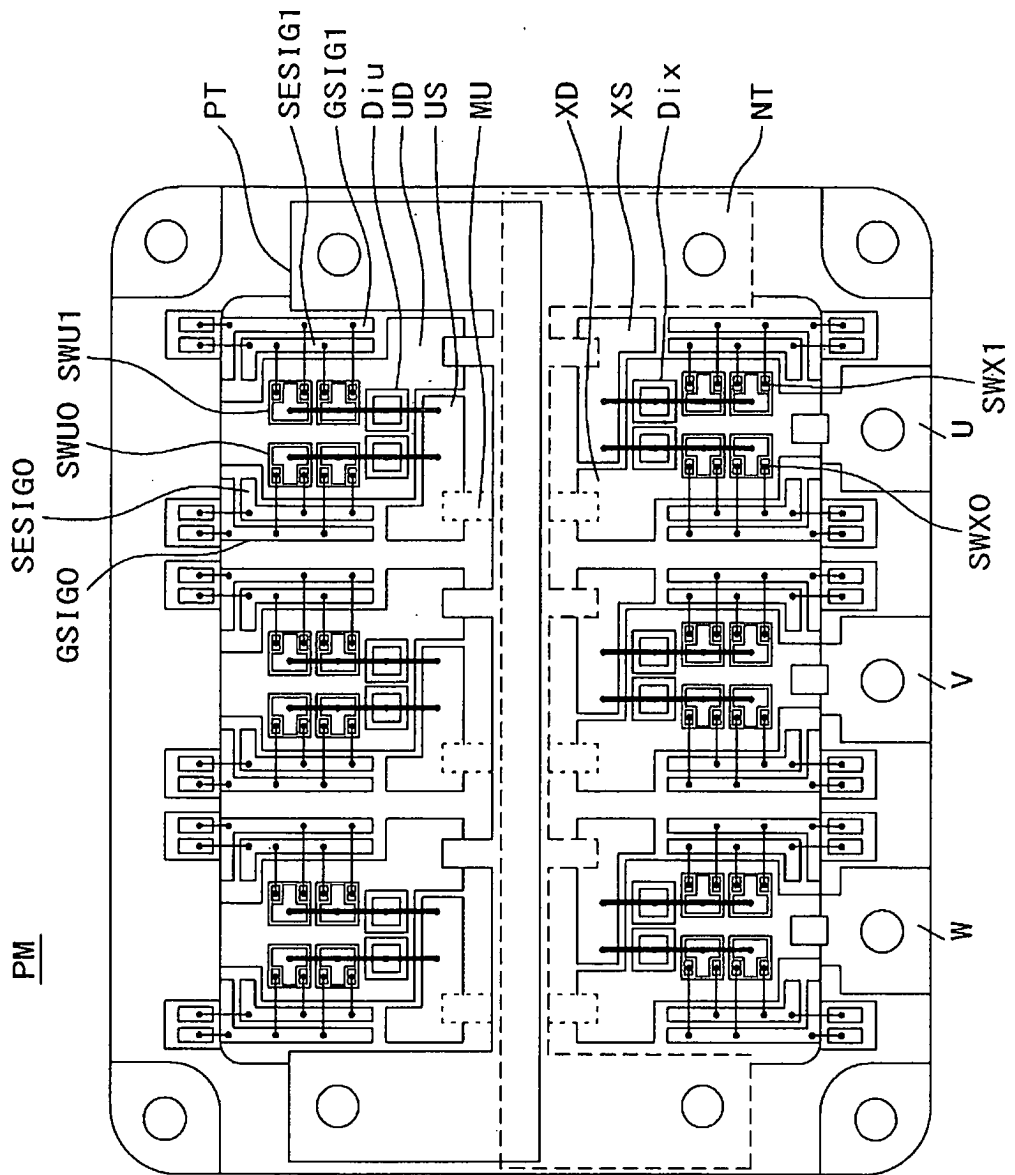
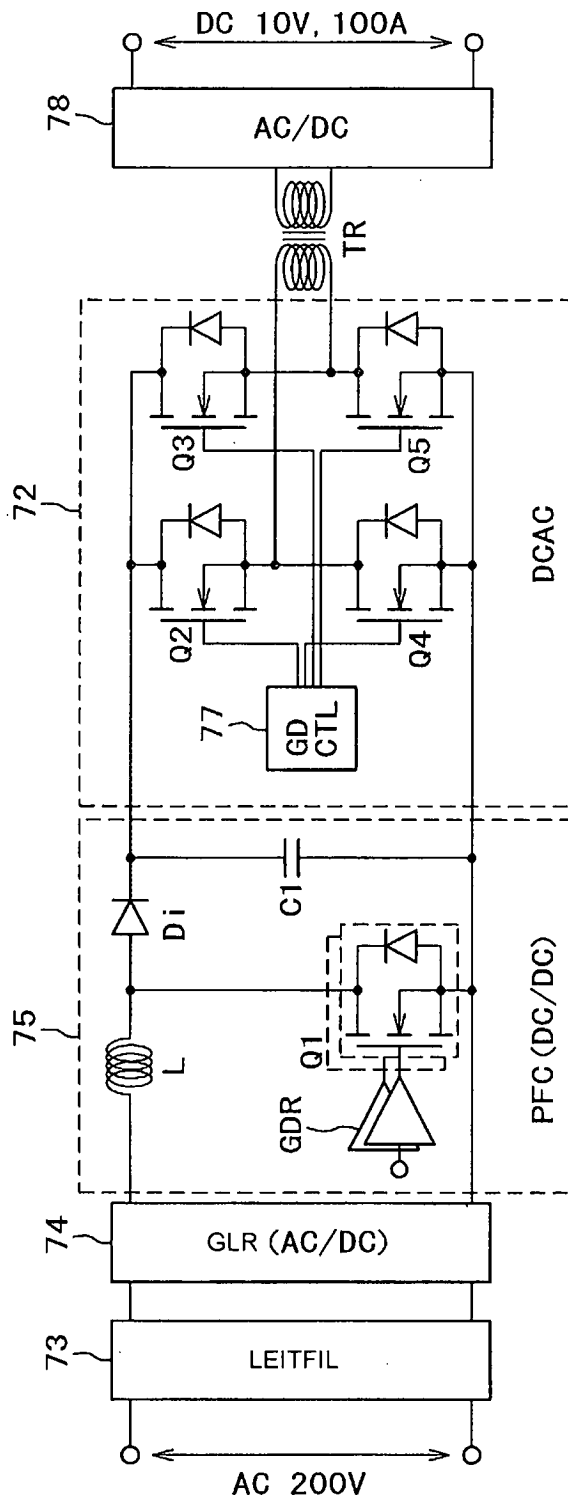


Fig.7



**Fig.8A**

81

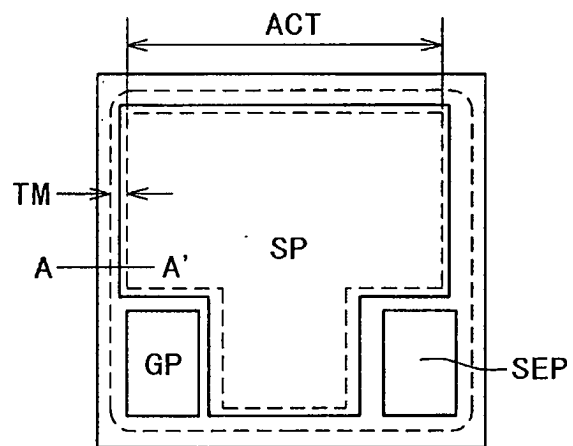
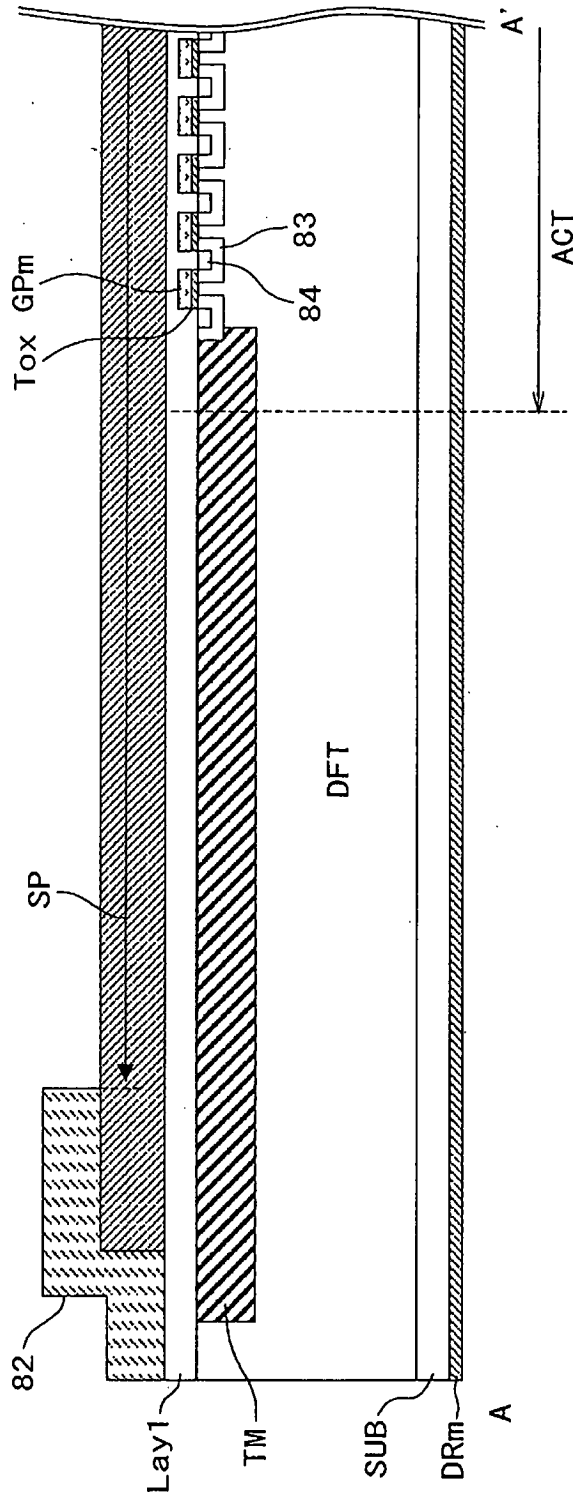


Fig.8B

81





**Fig.9A**

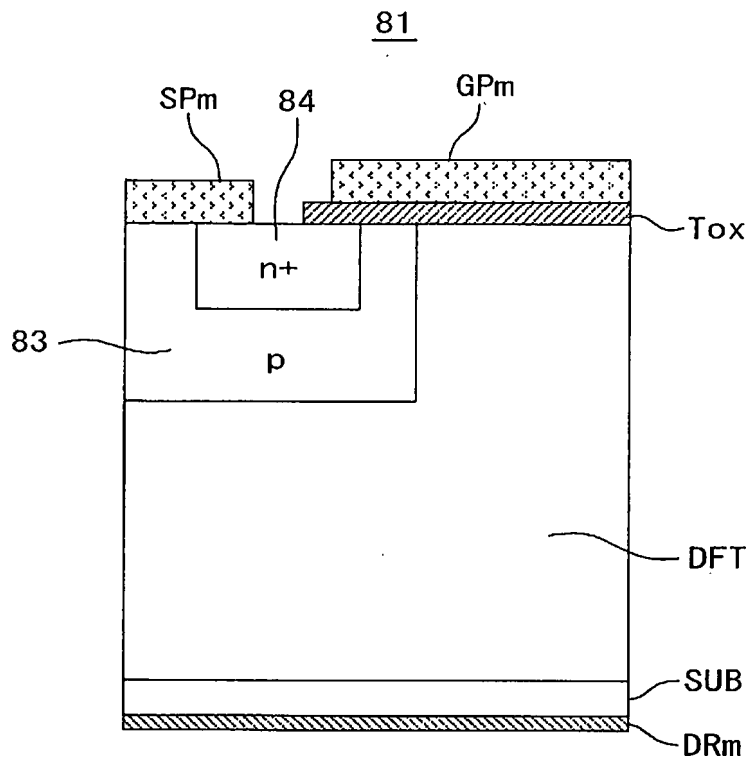


Fig.9B

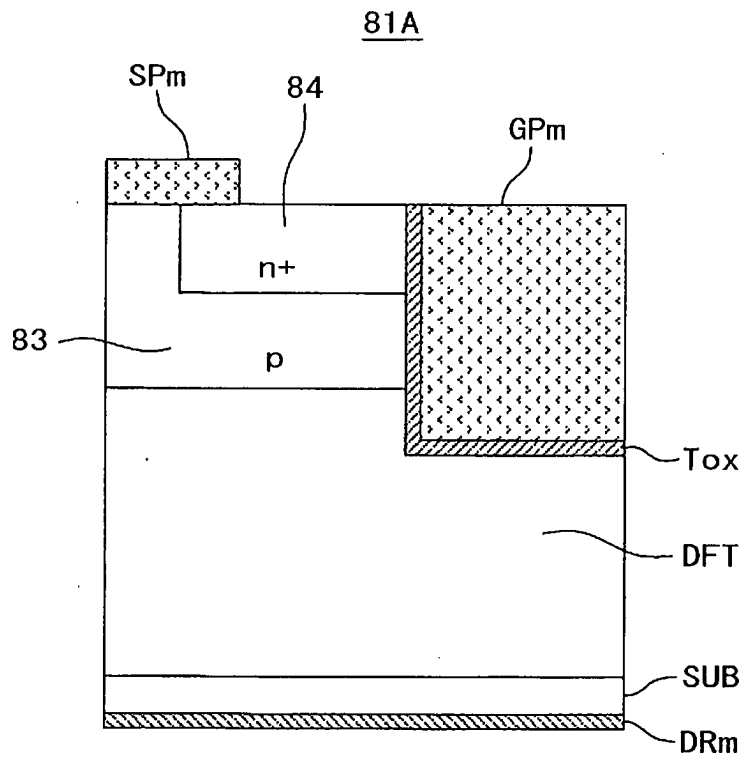


Fig.10A

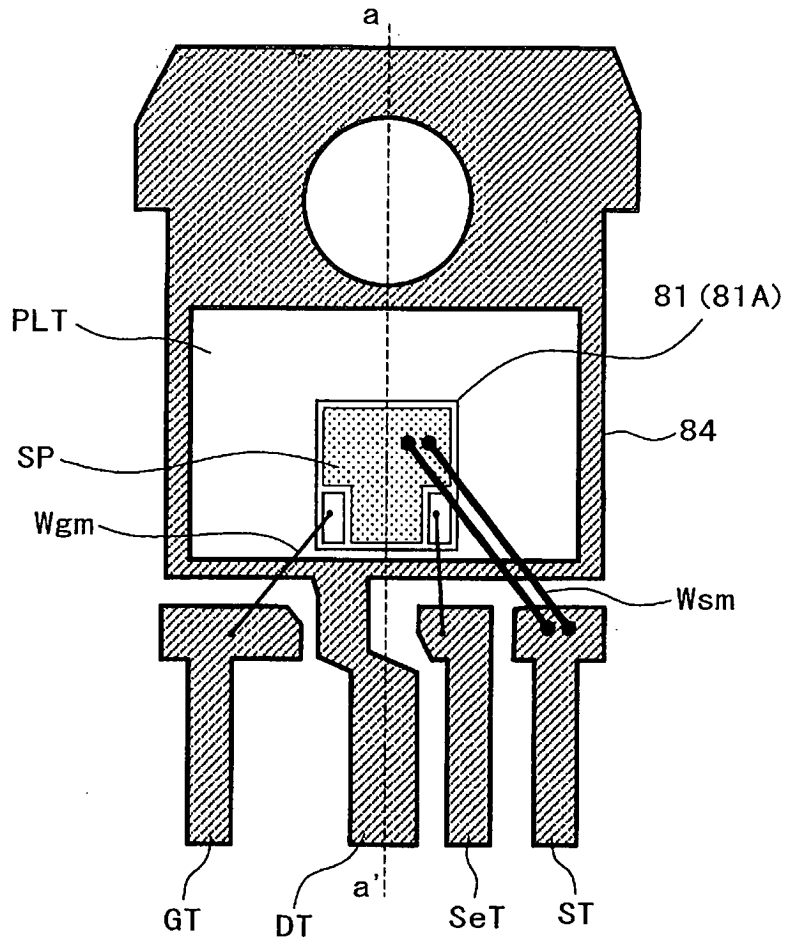


Fig.10B

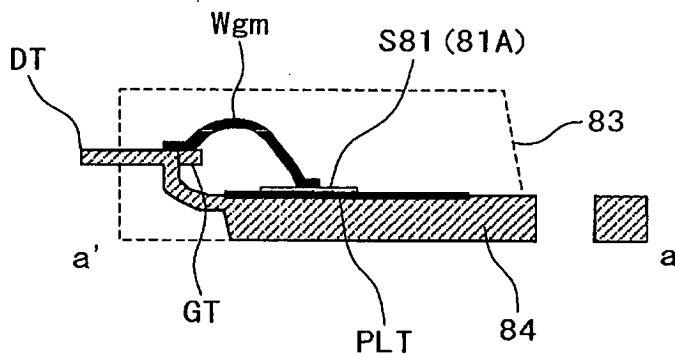


Fig.11

