



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0038914
(43) 공개일자 2014년03월31일

(51) 국제특허분류(Int. Cl.)
H01G 4/30 (2006.01) H01G 2/06 (2006.01)
(21) 출원번호 10-2013-0129120
(22) 출원일자 2013년10월29일
심사청구일자 없음

(71) 출원인
삼성전기주식회사
경기도 수원시 영통구 매영로 150 (매탄동)
(72) 발명자
안영규
경기 수원시 영통구 매영로 150, (매탄동, 삼성전기)
김현태
경기 수원시 영통구 매영로 150, (매탄동, 삼성전기)
(뒷면에 계속)
(74) 대리인
특허법인씨엔에스

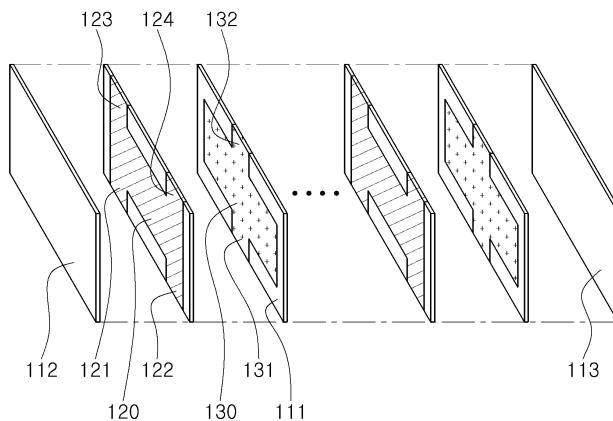
전체 청구항 수 : 총 14 항

(54) 발명의 명칭 **적층 세라믹 커패시터 및 그 실장 기판**

(57) 요약

본 발명은, 복수의 유전체층이 폭 방향으로 적층되며, 서로 마주보는 제1 및 제2 주면, 서로 마주보는 제1 및 제2 측면 및 서로 마주보는 제1 및 제2 단면을 갖는 세라믹 본체; 상기 세라믹 본체의 내부에 형성되며, 길이 방향으로 서로 이격되며 상기 세라믹 본체의 제1 주면으로 노출된 제1 및 제2 인출부를 가지며 상기 제1 및 제2 단면으로부터 일정거리 이격되어 형성된 복수의 제1 내부 전극과, 상기 세라믹 본체의 제1 주면으로 노출되며 상기 제1 및 제2 인출부 사이에 각각 일정거리 이격되어 형성된 제3 인출부를 가지며 상기 제1 및 제2 단면으로부터 일정거리 이격되어 형성된 복수의 제2 내부 전극을 포함하는 액티브층; 상기 세라믹 본체의 제1 주면에 길이 방향으로 서로 이격되어 형성되며, 상기 제1 및 제2 인출부와 각각 연결된 제1 및 제2 외부 전극; 상기 세라믹 본체의 제1 주면에 상기 제1 및 제2 외부 전극과 각각 일정거리 이격되어 형성되며, 상기 제3 인출부와 연결된 제3 외부 전극; 을 포함하며, 서로 인접한 인출부의 간격이 500.7 μm 이하이며, 상기 제1 내지 제3 외부 전극에서 각각 대응되는 인출부와 미접촉된 한쪽 길이방향의 마진이 20.2 μm 이상인 적층 세라믹 커패시터를 제공한다.

대표도 - 도3



(72) 발명자

임휘근

경기 수원시 영통구 매영로 150, (매탄동, 삼성
전기)

김진

경기 수원시 영통구 매영로 150, (매탄동, 삼성
전기)

이교광

경기 수원시 영통구 매영로 150, (매탄동, 삼성
전기)

이병화

경기 수원시 영통구 매영로 150, (매탄동, 삼성
전기)

특허청구의 범위

청구항 1

복수의 유전체층이 폭 방향으로 적층되며, 서로 마주보는 제1 및 제2 주면, 서로 마주보는 제1 및 제2 측면 및 서로 마주보는 제1 및 제2 단면을 갖는 세라믹 본체;

상기 세라믹 본체의 내부에 형성되며, 길이 방향으로 서로 이격되며 상기 세라믹 본체의 제1 주면으로 노출된 제1 및 제2 인출부를 가지며 상기 제1 및 제2 단면으로부터 일정거리 이격되어 형성된 복수의 제1 내부 전극과, 상기 세라믹 본체의 제1 주면으로 노출되며 상기 제1 및 제2 인출부 사이에 각각 일정거리 이격되어 형성된 제3 인출부를 가지며 상기 제1 및 제2 단면으로부터 일정거리 이격되어 형성된 복수의 제2 내부 전극을 포함하는 액티브층;

상기 세라믹 본체의 제1 주면에 길이 방향으로 서로 이격되어 형성되며, 상기 제1 및 제2 인출부와 각각 연결된 제1 및 제2 외부 전극;

상기 세라믹 본체의 제1 주면에 상기 제1 및 제2 외부 전극과 각각 일정거리 이격되어 형성되며, 상기 제3 인출부와 연결된 제3 외부 전극; 을 포함하며,

서로 인접한 인출부의 간격이 $500.7 \mu\text{m}$ 이하이며,

상기 제1 내지 제3 외부 전극에서 각각 대응되는 인출부와 미접촉된 한쪽 길이방향의 마진이 $20.2 \mu\text{m}$ 이상인 적층 세라믹 커패시터.

청구항 2

제1항에 있어서,

서로 인접한 외부 전극의 간격이 $126.9 \mu\text{m}$ 이상인 것을 특징으로 하는 적층 세라믹 커패시터.

청구항 3

제1항에 있어서,

상기 제1 내지 제3 외부 전극은 각각 상기 세라믹 본체의 제1 및 제2 측면의 일부로 연장된 측면 밴드를 가지며, 상기 측면 밴드의 높이가 각각 $73.4 \mu\text{m}$ 이상인 것을 특징으로 하는 적층 세라믹 커패시터.

청구항 4

제1항에 있어서,

상기 제1 내지 제3 외부 전극은 각각 상기 세라믹 본체의 제1 및 제2 측면의 일부로 연장된 측면 밴드를 가지며, 상기 측면 밴드의 높이가 각각 $40.0 \mu\text{m}$ 이상이고,

상기 제1 및 제2 외부 전극은 상기 세라믹 본체의 제1 및 제2 단면의 일부로 각각 연장된 단면 밴드를 가지며, 상기 단면 밴드의 높이가 각각 $30.3 \mu\text{m}$ 이상인 것을 특징으로 하는 적층 세라믹 커패시터.

청구항 5

제1항에 있어서,

상기 제1 내지 제3 외부 전극은, 각각의 대응되는 인출부와 접촉되어 연결된 도전층 및 상기 도전층을 덮도록 도금층을 포함하는 것을 특징으로 하는 적층 세라믹 커패시터.

청구항 6

제5항에 있어서,

상기 도금층은, 상기 도전층을 덮도록 형성된 니켈(Ni) 도금층 및 상기 니켈 도금층을 덮도록 형성된 주석(Sn) 도금층을 포함하는 것을 특징으로 하는 적층 세라믹 커패시터.

청구항 7

제1항에 있어서,

상기 제1 내부 전극은 길이 방향으로 서로 이격되며 상기 세라믹 본체의 제2 주면으로 노출된 제4 및 제5 인출부를 가지며,

상기 제2 내부 전극은 상기 세라믹 본체의 제2 주면으로 노출되며 상기 제4 및 제5 인출부 사이에 각각 일정거리 이격되어 형성된 제6 인출부를 가지며,

상기 세라믹 본체의 제2 주면에 길이 방향으로 서로 이격되어 형성되며, 상기 제4 및 제5 인출부와 각각 연결된 제4 및 제5 외부 전극;

상기 세라믹 본체의 제2 주면에 상기 제4 및 제5 외부 전극과 각각 일정거리 이격되어 형성되며, 상기 제6 인출부와 연결된 제6 외부 전극; 을 포함하는 것을 특징으로 하는 적층 세라믹 커패시터.

청구항 8

제7항에 있어서,

상기 제4 내지 제5 외부 전극에서 각각 대응되는 인출부와 미접촉된 한쪽 길이방향의 마진이 20.2 μm 이상인 적층 세라믹 커패시터.

청구항 9

제7항에 있어서,

상기 제4 내지 제6 외부 전극은 각각 상기 세라믹 본체의 제1 및 제2 측면의 일부로 연장된 측면 밴드를 가지며, 상기 측면 밴드의 높이가 각각 73.4 μm 이상인 것을 특징으로 하는 적층 세라믹 커패시터.

청구항 10

제7항에 있어서,

상기 제4 내지 제6 외부 전극은 각각 상기 세라믹 본체의 제1 및 제2 측면의 일부로 연장된 측면 밴드를 가지며, 상기 측면 밴드의 높이가 각각 40.0 μm 이상이고,

상기 제4 및 제5 외부 전극은 상기 세라믹 본체의 제1 및 제2 단면의 일부로 각각 연장된 단면 밴드를 가지며, 상기 단면 밴드의 높이가 각각 30.3 μm 이상인 것을 특징으로 하는 적층 세라믹 커패시터.

청구항 11

제7항에 있어서,

상기 제4 내지 제6 외부 전극은, 각각의 대응되는 인출부와 접촉되어 연결된 도전층 및 상기 도전층을 덮도록

도금층을 포함하는 것을 특징으로 하는 적층 세라믹 커패시터.

청구항 12

제11항에 있어서,

상기 도금층은, 상기 도전층을 덮도록 형성된 니켈(Ni) 도금층 및 상기 니켈 도금층을 덮도록 형성된 주석(Sn) 도금층을 포함하는 것을 특징으로 하는 적층 세라믹 커패시터.

청구항 13

제1항에 있어서,

상기 액티브층의 제1 및 제2 측면에 형성된 커버층을 더 포함하는 것을 특징으로 하는 적층 세라믹 커패시터.

청구항 14

상부에 제1 내지 제3 전극 패드를 갖는 기판; 및

상기 기판의 상기 제1 내지 제3 전극 패드 위에 실장된 상기 제1항 내지 제13항 중 어느 한 항의 적층 세라믹 커패시터; 를 포함하는 적층 세라믹 커패시터의 실장 기판.

명세서

기술분야

[0001] 본 발명은 적층 세라믹 커패시터 및 그 실장 기판에 관한 것이다.

배경기술

[0002] 최근 전자 제품이 소형화 및 고용량화 됨에 따라 전자 제품에 사용되는 전자 부품도 소형화 및 고용량화가 요구되고 있다.

[0003] 이 중 적층 세라믹 커패시터의 경우 등가 직렬 인덕턴스(Equivalent Series Inductance, 이하 “ESL”)가 커지면 전자 제품의 성능이 저하될 수 있으며, 적용되는 전자 부품이 소형화 및 고용량화 될수록 적층 세라믹 커패시터의 ESL 증가가 전자 부품의 성능 저하에 미치는 영향은 상대적으로 커지게 된다.

[0004] 특히, IC의 고성능화에 따라 디커플링 커패시터의 사용이 증가되고 있으며, 이에 외부 단자 간의 거리를 감소시켜 전류 흐름의 경로를 감소시키고 이로 인하여 커패시터의 인덕턴스를 줄일 수 있는 수직 적층형 3단자 구조의 MLCC인 소위 “LICC(Low Inductance Chip Capacitor)”의 수요가 증대되고 있다.

[0005] 한편, 적층 세라믹 커패시터는 외부 전극의 형태 및 크기에 따라 제품의 신뢰성 및 실장 불량율이 크게 영향을 받는 특징을 갖는다.

[0006] 특허문헌 1 및 2는 각각 수직 적층형 3단자 구조의 커패시터를 개시하고 있으나, 서로 인접한 내부 전극의 인출부의 간격에 대한 수치와, 외부 전극에서 각각 대응되는 인출부와 미접촉된 길이방향 마진의 수치를 한정하는 사항은 개시하지 않는다.

선행기술문헌

특허문헌

- [0007] (특허문헌 0001) 한국공개특허 제2009-0117686호
(특허문헌 0002) 한국등록특허 제0920614호

발명의 내용

해결하려는 과제

- [0008] 당 기술 분야에서는, 수직 적층형 3단자 커패시터에서, 저ESL 특성을 유지하면서 신뢰성 및 고착강도를 개선할 수 있는 새로운 방안이 요구되어 왔다.

과제의 해결 수단

- [0009] 본 발명의 일 측면은, 복수의 유전체층이 폭 방향으로 적층되며, 서로 마주보는 제1 및 제2 주면, 서로 마주보는 제1 및 제2 측면 및 서로 마주보는 제1 및 제2 단면을 갖는 세라믹 본체; 상기 세라믹 본체의 내부에 형성되며, 길이 방향으로 서로 이격되며 상기 세라믹 본체의 제1 주면으로 노출된 제1 및 제2 인출부를 가지며 상기 제1 및 제2 단면으로부터 일정거리 이격되어 형성된 복수의 제1 내부 전극과, 상기 세라믹 본체의 제1 주면으로 노출되며 상기 제1 및 제2 인출부 사이에 각각 일정거리 이격되어 형성된 제3 인출부를 가지며 상기 제1 및 제2 단면으로부터 일정거리 이격되어 형성된 복수의 제2 내부 전극을 포함하는 액티브층; 상기 세라믹 본체의 제1 주면에 길이 방향으로 서로 이격되어 형성되며, 상기 제1 및 제2 인출부와 각각 연결된 제1 및 제2 외부 전극; 상기 세라믹 본체의 제1 주면에 상기 제1 및 제2 외부 전극과 각각 일정거리 이격되어 형성되며, 상기 제3 인출부와 연결된 제3 외부 전극; 을 포함하며, 서로 인접한 인출부의 간격이 500.7 μm 이하이며, 상기 제1 내지 제3 외부 전극에서 각각 대응되는 인출부와 미접촉된 한쪽 길이방향의 마진이 20.2 μm 이상인 적층 세라믹 커패시터를 제공한다.
- [0010] 본 발명의 일 실시 예에서, 서로 인접한 외부 전극의 간격이 126.9 μm 이상일 수 있다.
- [0011] 본 발명의 일 실시 예에서, 상기 제1 내지 제3 외부 전극은 각각 상기 세라믹 본체의 제1 및 제2 측면의 일부로 연장된 측면 밴드를 가지며, 상기 측면 밴드의 높이가 각각 73.4 μm 이상일 수 있다.
- [0012] 본 발명의 일 실시 예에서, 상기 제1 내지 제3 외부 전극은 각각 상기 세라믹 본체의 제1 및 제2 측면의 일부로 연장된 측면 밴드를 가지며, 상기 측면 밴드의 높이가 각각 40.0 μm 이상이고, 상기 제1 및 제2 외부 전극은 상기 세라믹 본체의 제1 및 제2 단면의 일부로 각각 연장된 단면 밴드를 가지며, 상기 단면 밴드의 높이가 각각 30.3 μm 이상일 수 있다.
- [0013] 본 발명의 일 실시 예에서, 상기 제1 내지 제3 외부 전극은, 각각의 대응되는 인출부와 접촉되어 연결된 도전층 및 상기 도전층을 덮도록 도금층을 포함할 수 있다.
- [0014] 또한, 상기 도금층은, 상기 도전층을 덮도록 형성된 니켈(Ni) 도금층 및 상기 니켈 도금층을 덮도록 형성된 주석(Sn) 도금층을 포함할 수 있다.
- [0015] 본 발명의 일 실시 예에서, 상기 제1 내부 전극은 길이 방향으로 서로 이격되며 상기 세라믹 본체의 제2 주면으로 노출된 제4 및 제5 인출부를 가지며, 상기 제2 내부 전극은 상기 세라믹 본체의 제2 주면으로 노출되며 상기 제4 및 제5 인출부 사이에 각각 일정거리 이격되어 형성된 제6 인출부를 가지며, 상기 세라믹 본체의 제2 주면에 길이 방향으로 서로 이격되어 형성되며, 상기 제4 및 제5 인출부와 각각 연결된 제4 및 제5 외부 전극; 상기 세라믹 본체의 제2 주면에 상기 제4 및 제5 외부 전극과 각각 일정거리 이격되어 형성되며, 상기 제6 인출부와 연결된 제6 외부 전극; 을 포함할 수 있다.
- [0016] 본 발명의 일 실시 예에서, 상기 제4 내지 제5 외부 전극에서 각각 대응되는 인출부와 미접촉된 한쪽 길이방향

의 마진이 20.3 μm 이상일 수 있다.

- [0017] 본 발명의 일 실시 예에서, 상기 제4 내지 제6 외부 전극은 각각 상기 세라믹 본체의 제1 및 제2 측면의 일부로 연장된 측면 밴드를 가지며, 상기 측면 밴드의 높이가 각각 73.4 μm 이상일 수 있다.
- [0018] 본 발명의 일 실시 예에서, 상기 제4 내지 제6 외부 전극은 각각 상기 세라믹 본체의 제1 및 제2 측면의 일부로 연장된 측면 밴드를 가지며, 상기 측면 밴드의 높이가 각각 40.0 μm 이상이고, 상기 제4 및 제5 외부 전극은 상기 세라믹 본체의 제1 및 제2 단면의 일부로 각각 연장된 단면 밴드를 가지며, 상기 단면 밴드의 높이가 각각 30.3 μm 이상일 수 있다.
- [0019] 본 발명의 일 실시 예에서, 상기 제4 내지 제6 외부 전극은, 각각의 대응되는 인출부와 접촉되어 연결된 도전층 및 상기 도전층을 덮도록 도금층을 포함할 수 있다.
- [0020] 본 발명의 일 실시 예에서, 상기 액티브층의 제1 및 제2 측면에 커버층을 형성할 수 있다.
- [0021] 본 발명의 다른 측면은, 상부에 제1 내지 제3 전극 패드를 갖는 기판; 및 상기 기판의 상기 제1 내지 제3 전극 패드 위에 실장된 상기 적층 세라믹 커패시터; 를 포함하는 적층 세라믹 커패시터의 실장 기판을 제공한다.

발명의 효과

- [0022] 본 발명의 일 실시 형태에 따르면, 서로 인접한 인출부의 간격과, 외부 전극에서 각각 대응되는 인출부와 미접촉된 한쪽 길이방향의 마진을 조절하여 저ESL 특성을 유지하면서 신뢰성 및 고착강도를 개선시킬 수 있는 효과가 있다.

도면의 간단한 설명

- [0023] 도 1은 본 발명의 일 실시 형태에 따른 적층 세라믹 커패시터를 개략적으로 나타낸 투영사시도이다.
 도 2는 본 발명의 일 실시 형태에 따른 적층 세라믹 커패시터의 세라믹 본체와 제2 주면을 통해 노출된 인출부를 나타낸 사시도이다.
 도 3은 도 2의 분해사시도이다.
 도 4는 도 1의 측단면도이다.
 도 5는 본 발명의 다른 실시 형태에 따른 적층 세라믹 커패시터의 인출부 및 외부 전극의 수치 관계를 설명하기 위한 투영사시도이다.
 도 6은 도 1의 적층 세라믹 커패시터가 회로 기판에 실장된 모습을 도시한 사시도이다.
 도 7은 도 6의 측단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0024] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시 형태들을 설명한다.
- [0025] 그러나, 본 발명의 실시 형태는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 이하 설명하는 실시 형태로 한정되는 것은 아니다.
- [0026] 또한, 본 발명의 실시 형태는 당해 기술 분야에서 평균적인 지식을 가진 자에게 본 발명을 더욱 완전하게 설명하기 위해서 제공되는 것이다.
- [0027] 도면에서 요소들의 형상 및 크기 등은 보다 명확한 설명을 위해 과장될 수 있다.
- [0028] 또한, 각 실시 예의 도면에 나타난 동일한 사상의 범위 내의 기능이 동일한 구성 요소는 동일한 참조 부호를 사용하여 설명한다.
- [0029] 본 발명의 실시 예들을 명확하게 설명하기 위해 육면체의 방향을 정의하면, 도면 상에 표시된 L, W 및 T는 각각 길이 방향, 폭 방향 및 두께 방향을 나타낸다. 여기서, 폭 방향은 유전체층이 적층된 적층 방향과 동

일한 개념으로 사용될 수 있다.

[0030] **적층 세라믹 커패시터**

[0031] 도 1은 본 발명의 일 실시 형태에 따른 적층 세라믹 커패시터를 개략적으로 나타낸 투명사시도이고, 도 2는 본 발명의 일 실시 형태에 따른 적층 세라믹 커패시터의 세라믹 본체와 제2 주면을 통해 노출된 인출부를 나타낸 사시도이고, 도 3은 도 2의 분해사시도이고, 도 4는 도 1의 측단면도이다.

[0032] 도 1 내지 도 4를 참조하면, 본 실시 형태에 따른 적층 세라믹 커패시터(100)는 복수의 유전체층(111)이 폭 방향으로 적층된 세라믹 본체(110)와, 복수의 제1 및 제2 내부 전극(120, 130)을 포함하는 액티브층과, 전원 단자 역할을 하는 제1 내지 제4 외부 전극(131-134)과, 그라운드 단자 역할을 하는 제5 및 제6 외부 전극(135, 136)을 포함한다.

[0033] 본 실시 형태의 적층 세라믹 커패시터(100)는 총 3개의 외부 단자를 갖는 일명 3단자 커패시터로 볼 수 있다.

[0034] 세라믹 본체(110)는 서로 마주보는 두께 방향의 제1 주면(S1) 및 제2 주면(S2)과, 제1 주면(S1) 및 제2 주면(S2)을 연결하며 서로 마주보는 폭 방향의 제1 측면(S5) 및 제2 측면(S6)과, 서로 마주보는 길이 방향의 제1 단면(S3) 및 제2 단면(S4)을 가질 수 있다.

[0035] 이하, 본 실시 형태에서, 적층 세라믹 커패시터(100)의 실장 면은 세라믹 본체(110)의 제1 주면(S1)으로 정의하여 설명하기로 한다.

[0036] 이러한 세라믹 본체(110)는 복수의 유전체층(111)을 폭 방향으로 적층한 다음 소성하여 형성되며, 형상에 특별히 제한은 없지만 도시된 바와 같이 육면체 형상일 수 있다.

[0037] 다만, 이러한 세라믹 본체(110)의 형상, 치수 및 유전체층(111)의 적층 수가 본 실시 형태에 도시된 것으로 한정되는 것은 아니다.

[0038] 또한, 세라믹 본체(110)를 형성하는 복수의 유전체층(111)은 소결된 상태로서, 인접하는 유전체층(111) 사이의 경계는 주사전자현미경(SEM: Scanning Electron Microscope)를 이용하지 않고 확인하기 곤란할 정도로 일체화될 수 있다.

[0039] 이러한 세라믹 본체(110)는 커패시터의 용량 형성에 기여하는 부분으로서 복수의 내부 전극을 갖는 액티브층과, 마진부로서 상기 액티브층의 제1 및 제2 측면에 형성된 커버층(112, 113)으로 구성될 수 있다.

[0040] 상기 액티브층은 유전체층(111)을 사이에 두고 복수의 제1 및 제2 내부 전극(120, 130)을 폭 방향으로 번갈아 적층하여 형성될 수 있다.

[0041] 이때, 유전체층(111)의 두께는 적층 세라믹 커패시터(100)의 용량 설계에 맞추어 임의로 변경할 수 있으며, 바람직하게 1 층의 두께는 소성 후 0.01 내지 1.00 μm 이 되도록 구성할 수 있으며, 본 발명이 이에 한정되는 것은 아니다.

[0042] 또한, 유전체층(111)은 고유전률을 갖는 세라믹 분말, 예를 들어 티탄산바륨(BaTiO_3)계 또는 티탄산스트론튬(SrTiO_3)계 분말을 포함할 수 있으며, 충분한 정전 용량을 얻을 수 있는 한 본 발명이 이에 한정되는 것은 아니다.

[0043] 또한, 유전체층(111)에는 상기 세라믹 분말과 함께, 필요시 세라믹 첨가제, 유기용제, 가소제, 결합제 및 분산제 등이 더 첨가될 수 있다.

[0044] 이때, 유전체층(111)의 형성에 사용되는 세라믹 분말의 평균 입경은 특별히 제한되지 않으며, 본 발명의 목적

달성을 위해 조절될 수 있으며, 예를 들어 400 nm 이하로 조절될 수 있으며, 본 발명이 이에 한정되는 것은 아니다.

- [0045] 커버층(112, 113)은 내부 전극을 포함하지 않는 것을 제외하고는 유전체층(111)과 동일한 재질 및 구성을 가질 수 있다.
- [0046] 또한, 커버층(112, 113)은 단일 유전체층 또는 2 개 이상의 유전체층을 상기 액티브층의 제1 및 제2 측면(S5, S6)에 각각 폭 방향으로 더 적층하여 형성할 수 있으며, 기본적으로 물리적 또는 화학적 스트레스에 의한 제1 및 제2 내부 전극(120, 130)의 손상을 방지하는 역할을 수행할 수 있다.
- [0047] 제1 및 제2 내부 전극(120, 130)은 서로 다른 극성을 갖는 전극으로서, 세라믹 본체(110)의 내부에 형성되며, 유전체층(111)을 사이에 두고 서로 대향하도록 배치된다.
- [0048] 이때, 제1 및 제2 내부 전극(120, 130)은 중간에 배치된 유전체층(111)에 의해 서로 전기적으로 절연될 수 있다.
- [0049] 이러한 제1 및 제2 내부 전극(120, 130)은 이웃하는 내부 전극과 중첩되어 용량 형성에 기여하는 용량부 및 상기 용량부의 일부가 연장되어 세라믹 본체(110)의 외부로 노출되는 인출부를 포함한다.
- [0050] 상기 인출부는 특별히 제한되는 것은 아니나, 예를 들어 상기 용량부를 구성하는 내부 전극의 세라믹 본체(110)의 길이에 비하여 더 짧은 길이를 가질 수 있다.
- [0051] 또한, 제1 및 제2 내부 전극(120, 130)의 두께는 용도에 따라 결정될 수 있는데, 예를 들어 세라믹 본체(110)의 크기를 고려하여 0.2 내지 1.0 μm 의 범위 내에 있도록 결정될 수 있으며, 본 발명이 이에 한정되는 것은 아니다.
- [0052] 또한, 제1 및 제2 내부 전극(120, 130)을 형성하는 재료는 특별히 제한되지 않으며, 예를 들어 팔라듐(Pd), 팔라듐-은(Pd-Ag)합금 등의 귀금속 재료 및 니켈(Ni) 및 구리(Cu) 중 하나 이상의 물질로 이루어진 도전성 페이스트 등을 사용하여 형성될 수 있다.
- [0053] 또한, 상기 도전성 페이스트의 인쇄 방법은 스크린 인쇄법 또는 그라비아 인쇄법 등을 사용할 수 있으며, 본 발명이 이에 한정되는 것은 아니다.
- [0054] 본 실시 형태에서, 제1 내부 전극(120)은 길이 방향으로 서로 이격되며 세라믹 본체(110)의 제1 주면(S1)으로 노출된 제1 및 제2 인출부(121, 122)를 가지며, 제1 및 제2 단면(S3, S4)으로부터 일정거리 이격되어 형성된다.
- [0055] 그리고, 제2 내부 전극(130)은 세라믹 본체(110)의 제1 주면(S1)으로 노출되며 제1 및 제2 인출부(121, 122) 사이에 각각 일정거리 이격되어 형성된 제3 인출부(131)를 가지며, 제1 및 제2 단면(S3, S4)으로부터 일정거리 이격되어 형성된다.
- [0056] 이때, 제1 내부 전극(120)은 길이 방향으로 서로 이격되며 세라믹 본체(110)의 제2 주면(S2)으로 노출된 제4 및 제5 인출부(123, 124)를 가질 수 있으며, 제2 내부 전극(130)은 세라믹 본체(110)의 제2 주면(S2)으로 노출되며 제4 및 제5 인출부(123, 124) 사이에 각각 일정거리 이격되어 형성된 제6 인출부(132)를 가질 수 있다.
- [0057] 즉, 적층 세라믹 커패시터(100)가 상하 대칭 구조로 이루어져 기판에 실장시 실장 면을 반대로 하여 발생하는 불량을 방지할 수 있다.
- [0058] 이때, 서로 인접한 인출부의 간격($a_1+b_1+c_1$, $a_2+b_2+c_3$)은 500.7 μm 이하일 수 있다.
- [0059] 서로 인접한 인출부의 간격($a_1+b_1+c_1$, $a_2+b_2+c_3$)이 500.7 μm 를 초과하는 경우 ESL 50 pH 이하를 만족시키기 어려워 저 ESL을 구현하기 어렵다.

- [0060] 일반적인 적층 세라믹 전자 부품은 세라믹 본체의 길이 방향으로 서로 마주 보는 양 단면에 외부 전극이 배치되어 있을 수 있다.
- [0061] 그러나, 이 경우 외부 전극에 교류 인가시 전류의 경로가 길기 때문에 전류 루프가 더 크게 형성될 수 있으며, 유도 자기장의 크기가 커져 인덕턴스가 증가할 수 있다.
- [0062] 상기의 문제를 해결하기 위하여, 본 발명의 일 실시 형태에 따르면 전류의 경로를 감소시키기 위하여 세라믹 본체(110)의 두께 방향으로 서로 마주 보는 제1 또는 제2 주면(S1, S2)에 제1 내지 제6 외부 전극(141-146)이 배치될 수 있다.
- [0063] 제1 및 제2 외부 전극(141, 142)은 세라믹 본체(110)의 제1 주면(S1)에 길이 방향으로 서로 이격되어 형성되고 제1 및 제2 인출부(121, 122)와 각각 연결되며, 제3 외부 전극(143)은 세라믹 본체(110)의 제1 주면(S1)에 제1 및 제2 외부 전극(141, 142)과 각각 일정거리 이격되어 형성되고 제3 인출부(131)와 연결된다.
- [0064] 한편, 적층 세라믹 커패시터(100)를 상하 대칭구조로 형성하는 경우, 세라믹 본체(110)의 제2 주면(S2)에는 길이 방향으로 서로 이격되며 제4 및 제5 인출부(123, 124)와 각각 연결된 제4 및 제5 외부 전극(144, 145)이 형성될 수 있으며, 또한 세라믹 본체(110)의 제2 주면(S2)에는 제4 및 제5 외부 전극(144, 145)과 각각 일정거리 이격되며 제6 인출부(132)와 연결된 제6 외부 전극(132)이 형성될 수 있다.
- [0065] 이와 같은 구조를 갖는 적층 세라믹 커패시터(100)는, 제1 내지 제6 외부 전극(141-146) 간의 길이가 작기 때문에 전류 경로가 작아지고, 이로 인하여 전류 루프가 감소하여 인덕턴스를 감소시킬 수 있다.
- [0066] 또한, 제1 내지 제6 외부 전극(141-146)은 정전 용량 형성을 위하여 제1 및 제2 내부 전극(120, 130)의 대응되는 인출부와 각각 전기적으로 연결되며, 필요시 세라믹 본체(110)의 제1 및 제2 측면(S5, S6)의 일부까지 연장하여 측면 밴드를 형성할 수 있다.
- [0067] 이때, 제1 내지 제6 외부 전극(141-146)에서 각각 대응되는 인출부와 미접촉된 한쪽 길이방향의 마진(a1, a2, c1, c2)은 20.2 μm 이상일 수 있다.
- [0068] 제1 내지 제6 외부 전극(141-146)에서 각각 대응되는 인출부와 미접촉된 한쪽 길이방향의 마진(a1, a2, c1, c2)이 20.2 μm 미만인 경우 고온부하 및 내습부하 신뢰성이 악화되는 문제점이 발생할 수 있다.
- [0069] 또한, 서로 인접한 외부 전극의 간격(b1, b2)은 126.9 μm 이상일 수 있다.
- [0070] 서로 인접한 외부 전극의 간격(b1, b2)이 126.9 μm 미만인 경우 기판에 실장시 쇼트가 발생할 수 있다.
- [0071] 또한, 제1 내지 제6 외부 전극(141-146)의 측면 밴드의 높이(d)는 각각 73.4 μm 이상인 것이 바람직하다.
- [0072] 제1 내지 제6 외부 전극(141-146)의 측면 밴드의 높이(d)가 73.4 μm 이상인 경우 고착강도가 향상되어 불량이 발생하지 않으며, 제1 내지 제6 외부 전극(141-146)의 측면 밴드의 높이(d)가 73.4 μm 미만인 경우 제1 내지 제6 외부 전극(141-146)의 고착강도 불량이 발생할 수 있다.
- [0073] 한편, 이러한 제1 내지 제6 외부 전극(141-146)은 3중 층 구조로 형성될 수 있으며, 각각의 대응되는 내부 전극의 인출부와 접촉되어 연결되는 제1 내지 제6 도전층(141a-146a)과, 제1 내지 제6 도전층(141a-146a)을 덮도록 형성된 니켈(Ni) 도금층(141b-146b)과, 제1 내지 제6 니켈 도금층(141b-146b)을 덮도록 형성된 주석(Sn) 도금층(141c-146c)을 포함한다.
- [0074] 제1 내지 제6 도전층(141a-146a)은 제1 및 제2 내부 전극(120, 130)과 동일한 재질의 도전성 물질로 형성될 수 있으나 이에 제한되지는 않으며, 예를 들어 구리(Cu), 은(Ag) 및 니켈(Ni) 등의 금속 분말로 형성될 수 있으며,

이러한 금속 분말에 글라스 프릿을 첨가하여 마련된 도전성 페이스트를 도포한 후 소성함으로써 형성될 수 있다.

[0075] 도 5는 본 발명의 다른 실시 형태에 따른 적층 세라믹 커패시터의 인출부 및 외부 전극의 수치 관계를 설명하기 위한 투명사시도이다.

[0076] 도 5를 참조하면, 제1 내지 제6 외부 전극(141-146)은 정전 용량 형성을 위하여 제1 및 제2 내부 전극(120, 130)의 대응되는 인출부와 각각 전기적으로 연결되며, 필요시 세라믹 본체(110)의 제1 및 제2 측면(S5, S6)의 일부까지 연장하여 측면 밴드를 형성하고, 제1, 제2, 제4 및 제5 외부 전극(141, 142, 144, 145)은 세라믹 본체(110)의 제1 및 제2 단면(S3, S4)의 일부로 각각 연장된 단면 밴드를 가질 수 있다.

[0077] 이때, 제1 내지 제6 외부 전극(141-146)의 측면 밴드의 높이(d)는 각각 40.0 μm 이상이고, 제1, 제2, 제4 및 제5 외부 전극(141, 142, 144, 145)의 단면 밴드의 높이(e)는 각각 30.3 μm 이상인 것이 바람직하다.

[0078] 제1 내지 제6 외부 전극(141-146)의 측면 밴드의 높이(d)가 40.0 μm 미만이면, 제1, 제2, 제4 및 제5 외부 전극(141, 142, 144, 145)의 단면 밴드의 높이(e)가 각각 30.3 μm 미만인 경우 제1 내지 제6 외부 전극(141-146)의 고착강도 불량이 발생할 수 있다.

[0079] **실험 예**

[0080] 본 발명의 실시 예와 비교 예에 따른 적층 세라믹 커패시터는 하기와 같이 제작되었다.

[0081] 티탄산바륨(BaTiO_3) 등의 파우더를 포함하여 형성된 슬러리를 캐리어 필름(carrier film) 상에 도포 및 건조하여 1.8 μm 의 두께로 제조된 복수 개의 세라믹 그린 시트를 마련한다.

[0082] 다음으로, 상기 세라믹 그린 시트 상에 스크린을 이용하여 니켈 내부 전극용 도전성 페이스트를 도포하여 상기 세라믹 그린 시트의 제1 및 제2 주면으로 노출되는 제1, 제2, 제4 및 제5 인출부를 갖는 제1 내부 전극 및 상기 제1, 제2, 제4 및 제5 인출부와 이격되어 상기 세라믹 그린 시트의 제1 및 제2 주면으로 노출되는 제3 및 제6 인출부를 갖는 제2 내부 전극을 형성한다.

[0083] 다음으로, 상기 세라믹 그린 시트를 약 200 층으로 적층하되, 제1 및 제2 내부 전극이 형성되지 않은 세라믹 그린 시트를 양 측면에 더 적층하여 적층체를 제조하고, 이 적층체를 85 $^{\circ}\text{C}$ 에서 1000 kgf/cm^2 압력 조건으로 등압 압축성형(isostatic pressing) 하였다.

[0084] 다음으로, 압착이 완료된 세라믹 적층체를 개별 칩의 형태로 절단하였고, 절단된 칩은 대기 분위기에서 약 230 $^{\circ}\text{C}$, 60 시간 유지하여 탈바인더를 진행하였다.

[0085] 다음으로, 약 1200 $^{\circ}\text{C}$ 에서 내부 전극이 산화되지 않도록 Ni/NiO 평형 산소 분압 보다 낮은 10^{-11} 내지 10^{-10} atm의 산소분압하 환원분위기에서 소성하여 세라믹 본체를 마련하였다.

[0086] 소성 후 적층 칩 커패시터의 칩 사이즈는 길이×폭(L×W)은 약 1.0 mm × 0.5 mm(L×W, 1005 사이즈)이었다. 여기서, 제작 공차는 길이×폭(L×W)으로 ± 0.1 mm 내의 범위로 정하였다.

[0087] 다음으로, 세라믹 본체의 제1 및 제2 주면에 제1 및 제2 내부 전극의 인출부와 각각 대응되게 제1 내지 제6 외부 전극을 형성하는 공정을 거쳐 적층 세라믹 커패시터를 완성하고, 고온/내습부하 발생여부, 실장 쇼트 불량율, 고착강도 불량여부 및 등가 직렬 인덕턴스(ESL) 측정 테스트를 실시하여 표 1에 나타내었다. 각 시험은 샘플 시료 100 개에 대하여 수행되었다.

[0088]

표 1

No	a1	a2	b1	b2	c1	c2	d	e	$\frac{m(a1+b1+c1+a2+b2+c2)}{a2+b2+c2}$	$\frac{m(a1+a2+c1+c2)}{a2+c1+c2}$	$\frac{m(a1+b1)}{a1+b1}$	ESL	고온/내습부하 불량율	실장 쇼트 불량율	고착강도 불량율
1*	10.4 μm	11.5 μm	277.2 μm	277.5 μm	11.8 μm	12.4 μm	147.2 μm	0.0 μm	299.4 μm	10.4 μm	272.5 μm	38.2 pA	0/800	0/100	0/10
2	21.2 μm	20.4 μm	258.4 μm	254.0 μm	20.2 μm	22.1 μm	147.7 μm	0.0 μm	299.8 μm	20.2 μm	244.0 μm	38.5 pA	0/800	0/100	0/10
3	50.5 μm	45.2 μm	196.8 μm	203.2 μm	49.7 μm	49.0 μm	148.2 μm	0.0 μm	300.4 μm	49.7 μm	196.8 μm	38.0 pA	0/800	0/100	0/10
4	86.4 μm	86.1 μm	126.9 μm	128.1 μm	85.4 μm	86.0 μm	148.2 μm	0.0 μm	300.2 μm	85.4 μm	126.9 μm	38.5 pA	0/800	0/100	0/10
5*	104.2 μm	102.8 μm	95.7 μm	96.2 μm	100.1 μm	101.7 μm	147.5 μm	0.0 μm	300.7 μm	100.1 μm	95.7 μm	38.1 pA	0/800	47/100	0/10
6*	103.5 μm	111.1 μm	377.3 μm	372.9 μm	11.5 μm	12.1 μm	148.0 μm	0.0 μm	399.3 μm	10.5 μm	372.9 μm	43.7 pA	2/800	0/100	0/10
7	20.9 μm	20.5 μm	358.5 μm	354.1 μm	20.7 μm	21.8 μm	148.2 μm	0.0 μm	400.0 μm	20.5 μm	354.1 μm	43.6 pA	0/800	0/100	0/10
8	50.8 μm	48.0 μm	297.1 μm	303.4 μm	49.5 μm	48.6 μm	148.8 μm	0.0 μm	400.1 μm	49.5 μm	297.1 μm	43.5 pA	0/800	0/100	0/10
9	86.4 μm	86.0 μm	227.2 μm	228.3 μm	85.5 μm	85.7 μm	148.1 μm	0.0 μm	400.0 μm	85.5 μm	227.2 μm	44.0 pA	0/800	0/100	0/10
10	104.0 μm	103.1 μm	195.6 μm	196.5 μm	99.9 μm	101.7 μm	148.1 μm	0.0 μm	401.3 μm	99.9 μm	195.6 μm	43.7 pA	0/800	0/100	0/10
11*	101.1 μm	106.1 μm	477.6 μm	473.0 μm	11.8 μm	12.5 μm	147.5 μm	0.0 μm	499.5 μm	10.1 μm	473.0 μm	48.2 pA	5/800	0/100	0/10
12	20.5 μm	20.7 μm	458.6 μm	454.1 μm	20.6 μm	22.1 μm	148.3 μm	0.0 μm	499.9 μm	20.6 μm	454.1 μm	48.3 pA	0/800	0/100	0/10
13	50.9 μm	46.3 μm	397.3 μm	403.3 μm	49.9 μm	48.3 μm	148.2 μm	0.0 μm	499.8 μm	49.9 μm	397.3 μm	48.8 pA	0/800	0/100	0/10
14	86.5 μm	86.4 μm	327.3 μm	328.1 μm	85.3 μm	85.7 μm	148.1 μm	0.0 μm	500.2 μm	85.3 μm	327.3 μm	49.3 pA	0/800	0/100	0/10
15	103.7 μm	102.6 μm	295.9 μm	296.2 μm	100.0 μm	101.9 μm	148.2 μm	0.0 μm	500.7 μm	100.0 μm	295.9 μm	48.3 pA	0/800	0/100	0/10
16*	97.7 μm	110.1 μm	577.3 μm	572.7 μm	12.3 μm	12.6 μm	147.5 μm	0.0 μm	599.3 μm	9.7 μm	572.7 μm	57.0 pA	1/800	0/100	0/10
17*	20.3 μm	20.4 μm	559.1 μm	554.2 μm	20.4 μm	22.2 μm	148.0 μm	0.0 μm	599.8 μm	20.3 μm	554.2 μm	57.4 pA	0/800	0/100	0/10
18*	50.7 μm	48.2 μm	496.9 μm	503.4 μm	49.7 μm	48.6 μm	148.1 μm	0.0 μm	600.2 μm	49.7 μm	496.9 μm	57.5 pA	0/800	0/100	0/10
19*	86.4 μm	86.3 μm	427.7 μm	427.6 μm	85.4 μm	85.9 μm	148.1 μm	0.0 μm	599.8 μm	85.4 μm	427.6 μm	58.2 pA	0/800	0/100	0/10
20*	103.2 μm	102.8 μm	395.8 μm	396.2 μm	100.3 μm	102.0 μm	147.5 μm	0.0 μm	601.0 μm	100.3 μm	395.8 μm	57.3 pA	0/800	0/100	0/10
21	50.7 μm	46.5 μm	196.6 μm	203.1 μm	49.8 μm	49.0 μm	110.3 μm	0.0 μm	300.3 μm	49.8 μm	196.6 μm	39.1 pA	0/800	0/100	0/10
22	50.8 μm	48.0 μm	196.7 μm	203.4 μm	50.2 μm	49.1 μm	75.2 μm	0.0 μm	300.4 μm	48.0 μm	196.7 μm	39.2 pA	0/800	0/100	0/10
23*	51.0 μm	47.6 μm	196.9 μm	203.0 μm	49.8 μm	49.4 μm	49.4 μm	0.0 μm	300.0 μm	49.8 μm	196.9 μm	39.2 pA	0/800	0/100	2/10
24*	51.1 μm	47.5 μm	197.3 μm	203.0 μm	49.5 μm	49.1 μm	0.0 μm	0.0 μm	299.7 μm	47.5 μm	197.3 μm	39.1 pA	0/800	0/100	10/10
25	51.1 μm	47.2 μm	197.0 μm	203.0 μm	49.5 μm	48.6 μm	39.8 μm	0.0 μm	298.7 μm	47.2 μm	197.0 μm	38.9 pA	0/800	0/100	6/10
26	51.4 μm	47.3 μm	196.7 μm	203.1 μm	49.1 μm	48.3 μm	42.0 μm	0.0 μm	298.9 μm	47.3 μm	196.7 μm	39.3 pA	0/800	0/100	0/10
27	51.8 μm	46.9 μm	196.7 μm	202.8 μm	48.8 μm	47.9 μm	39.6 μm	0.0 μm	297.7 μm	46.9 μm	196.7 μm	39.3 pA	0/800	0/100	0/10
28	51.7 μm	47.1 μm	197.2 μm	202.8 μm	48.3 μm	47.5 μm	39.2 μm	0.0 μm	297.4 μm	47.1 μm	197.2 μm	39.5 pA	0/800	0/100	0/10
29	51.2 μm	46.9 μm	196.9 μm	203.0 μm	49.2 μm	48.7 μm	48.8 μm	0.0 μm	298.6 μm	46.9 μm	196.9 μm	39.4 pA	0/800	0/100	0/10
30	50.9 μm	47.2 μm	196.7 μm	202.8 μm	49.7 μm	48.7 μm	48.7 μm	0.0 μm	298.7 μm	47.2 μm	196.7 μm	39.6 pA	0/800	0/100	0/10
31	50.9 μm	47.6 μm	197.1 μm	203.0 μm	49.7 μm	48.6 μm	48.6 μm	0.0 μm	299.1 μm	47.6 μm	197.1 μm	39.4 pA	0/800	0/100	0/10
32	51.0 μm	47.8 μm	196.3 μm	203.1 μm	49.6 μm	48.8 μm	48.8 μm	0.0 μm	299.8 μm	47.8 μm	196.3 μm	39.6 pA	0/800	0/100	0/10
33	51.2 μm	47.4 μm	196.5 μm	203.1 μm	49.8 μm	48.3 μm	77.3 μm	0.0 μm	299.4 μm	47.4 μm	196.5 μm	39.5 pA	0/800	0/100	0/10
34	51.5 μm	47.4 μm	196.5 μm	203.1 μm	49.6 μm	48.7 μm	77.7 μm	0.0 μm	299.4 μm	47.4 μm	196.5 μm	39.0 pA	0/800	0/100	0/10
35	51.5 μm	47.8 μm	196.9 μm	203.0 μm	49.8 μm	48.2 μm	75.0 μm	0.0 μm	299.0 μm	47.8 μm	196.9 μm	39.2 pA	0/800	0/100	0/10
36	51.6 μm	47.9 μm	197.4 μm	202.8 μm	49.8 μm	48.0 μm	75.4 μm	0.0 μm	298.8 μm	47.9 μm	197.4 μm	39.0 pA	0/800	0/100	0/10

[0089]

[0090] 상기 표 1을 참조하면, 서로 인접한 인출부의 간격(a1+b1+c1, a2+b2+c3)은 500.7 μm 이하인 것이 바람직하며, 서로 인접한 인출부의 간격(a1+b1+c1, a2+b2+c3)이 500.7 μm를 초과하는 샘플 16 내지 20의 경우 ESL이 50 pH를 초과하여 저 ESL을 구현하기 어려움을 확인할 수 있다.

[0091] 또한, 제1 내지 제6 외부 전극(141-146)에서 각각 대응되는 인출부와 미접촉된 한쪽 길이방향의 마진(a1, a2,

c1, c2)은 20.2 μm 이상인 것이 바람직하며, 제1 내지 제6 외부 전극(141-146)에서 각각 대응되는 인출부와 미 접촉된 한쪽 길이방향의 마진(a1, a2, c1, c2)이 20.2 μm 미만인 샘플 1, 6, 11 및 16의 경우 고온부하 및 내습 부하 신뢰성이 악화되는 문제점이 발생함을 확인할 수 있다.

[0092] 또한, 서로 인접한 외부 전극의 간격(b1, b2)은 126.9 μm 이상인 것이 바람직하며, 서로 인접한 외부 전극의 간격(b1, b2)이 126.9 μm 미만인 샘플 5의 경우 기판에 실장시 쇼트 불량이 발생함을 확인할 수 있다.

[0093] 또한, 제1 내지 제6 외부 전극(141-146)은 각각 세라믹 본체(110)의 제1 및 제2 측면(S5, S6)의 일부로 연장된 측면 밴드를 가지며, 상기 측면 밴드의 높이(d)는 각각 73.4 μm 인 것이 바람직하며, 제1 내지 제6 외부 전극(141-146)의 측면 밴드의 높이(d)가 73.4 μm 미만인 샘플 23 및 24의 경우 제1 내지 제6 외부 전극(141-146)의 고착강도 불량이 발생함을 확인할 수 있다.

[0094] 한편, 샘플 26 내지 36은 제1 내지 제6 외부 전극(141-146)이 각각 세라믹 본체(110)의 제1 및 제2 측면(S5, S6)의 일부로 연장된 측면 밴드를 가지며, 제1, 제2, 제4 및 제5 외부 전극(141, 142, 144, 145)이 세라믹 본체(110)의 제1 및 제2 단면(S3, S4)의 일부로 각각 연장된 단면 밴드를 가지는 구조이다.

[0095] 이때, 샘플 26을 참조하면, 외부 전극의 고착 강도 불량이 발생되지 않는 제1 내지 제6 외부 전극(141-146)의 측면 밴드의 높이(d)는 각각 40.0 μm 이상이고, 제1, 제2, 제4 및 제5 외부 전극(141, 142, 144, 145)의 단면 밴드의 높이(e)는 각각 30.3 μm 이상인 것을 확인할 수 있다.

[0096] **적층 세라믹 커패시터의 실장 기판**

[0097] 도 6은 도 1의 적층 세라믹 커패시터가 회로 기판에 실장된 모습을 도시한 사시도이고, 도 7은 도 6의 측단면도이다.

[0098] 도 6 및 도 7을 참조하면, 본 실시 형태에 따른 적층 세라믹 커패시터(100)의 실장 기판(200)은 적층 세라믹 커패시터(100)가 수평하도록 실장되는 기판(210)과, 기판(210)의 상면에 서로 이격되게 형성된 제1 내지 제3 전극 패드(221, 222, 223)를 포함한다.

[0099] 이때, 적층 세라믹 커패시터(100)는 제1 내지 제3 외부 전극(141-143)이 각각 제1 내지 제3 전극 패드(221, 222, 223) 위에 접촉되게 위치한 상태에서 솔더(230)에 의해 기판(210)과 전기적으로 연결될 수 있다.

[0100] 도 7에서 도면 부호 224는 접지 단자를, 도면 부호 225는 전원 단자를 나타낸다.

[0101] 본 발명은 상술한 실시형태 및 첨부된 도면에 의해 한정되는 것이 아니며, 첨부된 청구범위에 의해 한정하고자 한다.

[0102] 따라서, 청구범위에 기재된 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 당 기술 분야의 통상의 지식을 가진 자에 의해 다양한 형태의 치환, 변형 및 변경이 가능할 것이며, 이 또한 본 발명의 범위에 속한다고 할 것이다.

부호의 설명

- | | | |
|--------|-------------------|------------------------|
| [0103] | 100 ; 적층 세라믹 커패시터 | 110 ; 세라믹 본체 |
| | 111 ; 유전체층 | 112, 113 ; 커버층 |
| | 120 ; 제1 및 내부 전극 | 121-124 ; 제1 내지 제4 인출부 |
| | 130 ; 제2 내부 전극 | 131, 132 ; 제5 및 제6 인출부 |

141-146 ; 제1 내지 제6 외부 전극

200 ; 실장 기판

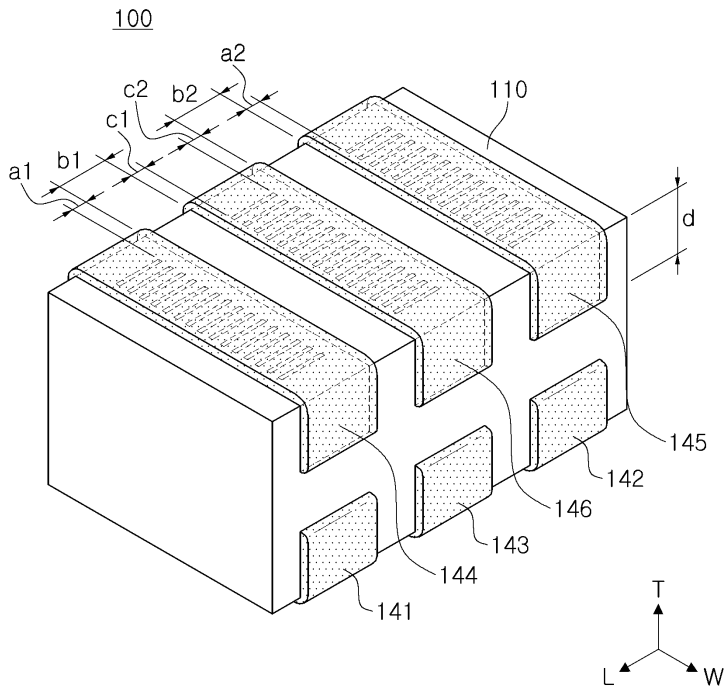
210 ; 기판

221, 222, 223 ; 제1 내지 제3 전극 패드

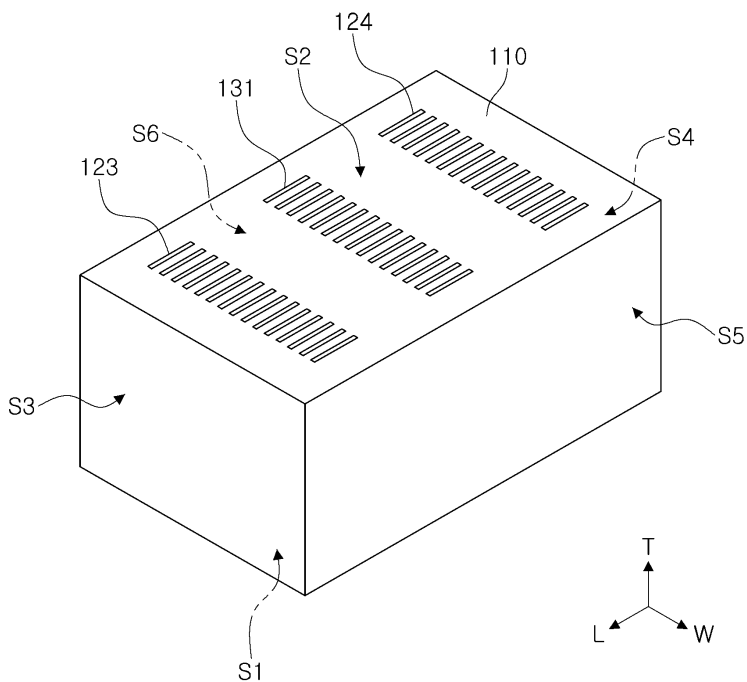
230 ; 솔더

도면

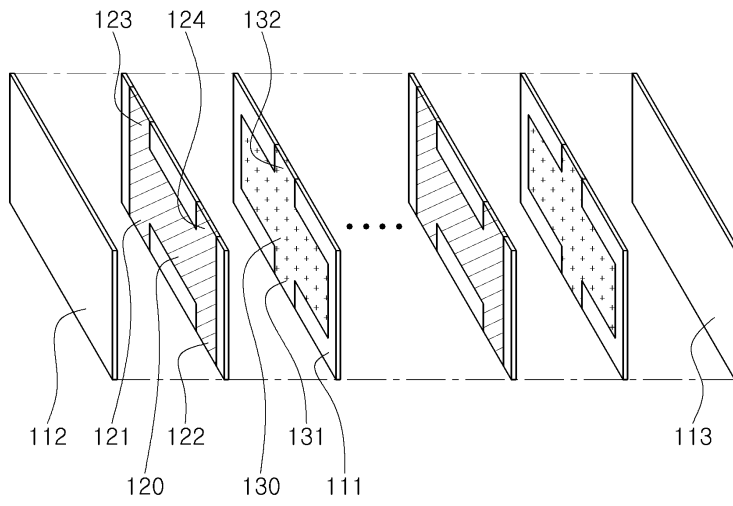
도면1



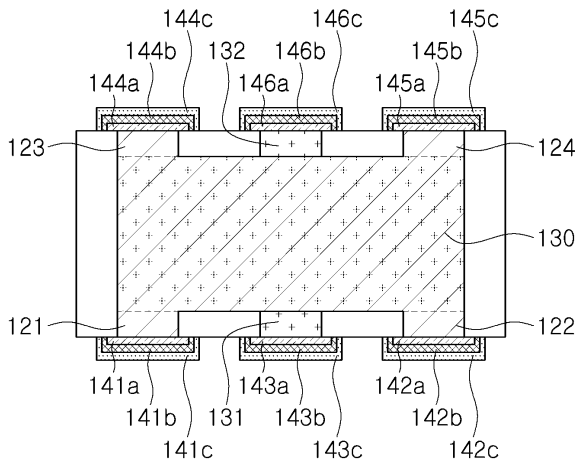
도면2



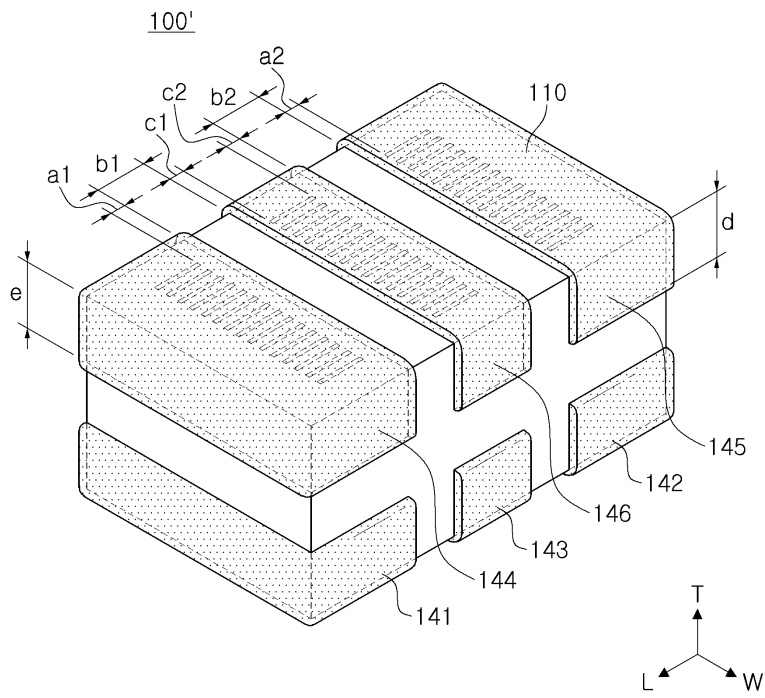
도면3



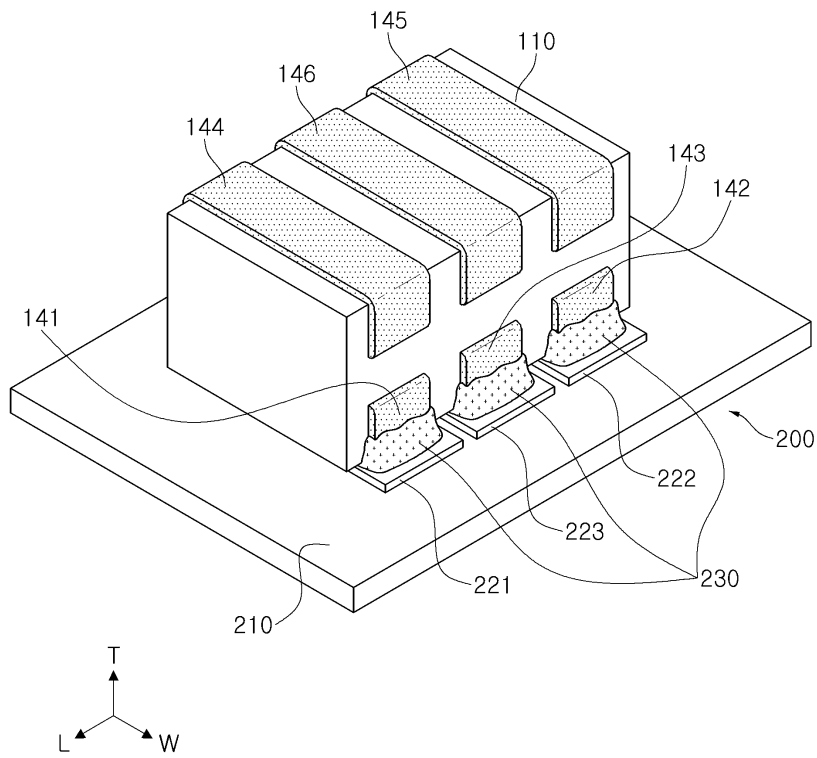
도면4



도면5



도면6



도면7

