

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. (45) 공고일자 2006년03월29일
H01L 21/3065 (2006.01) (11) 등록번호 10-0563969
(24) 등록일자 2006년03월17일

(21) 출원번호	10-2000-7002106	(65) 공개번호	10-2001-0023462
(22) 출원일자	2000년02월28일	(43) 공개일자	2001년03월26일
번역문 제출일자	2000년02월28일		
(86) 국제출원번호	PCT/US1998/017607	(87) 국제공개번호	WO 1999/10923
국제출원일자	1998년08월25일	국제공개일자	1999년03월04일

(81) 지정국 국내특허 : 일본, 대한민국,

 EP 유럽특허 : 오스트리아, 벨기에, 스위스, 사이프러스, 독일, 덴마크, 스페인, 핀란드, 프랑스,
 영국, 그리스, 아일랜드, 이탈리아, 룩셈부르크, 모나코, 네덜란드, 포르투갈, 스웨덴,

(30) 우선권주장 08/919,659 1997년08월28일 미국(US)

(73) 특허권자 램 리서치 코퍼레이션
미합중국, 캘리포니아 94538-6470, 프레몬트, 쿨링 파크웨이 4650

(72) 발명자 즈후, 헬렌, 에이치.
미국, 캘리포니아95035, 밀피타스, 렉싱턴스트리트777

무엘러, 조지, 에이.
미국, 캘리포니아95126, 산조세, 에모리스트리트1565

앵구엔, 토마스, 디.
미국, 캘리포니아95008, 캠프벨, 롱펠로우에비뉴1198

리, 루민
미국, 캘리포니아95051, 산타클라라, 트레시드라이브3480

(74) 대리인 진천웅

심사관 : 김성희

(54) 선택적 플라즈마 식각방법

요약

유전체층 대 포토레지스트 층 및 베이스층의 선택성을 개선하기 위한 방법이 개시된다. 이 방법은 플라즈마 프로세싱 챔버에서 수행되고, 포토레지스트층은 유전체층 위에 코팅된다. 이 방법은 C_xF_y 가스와 N₂ 가스를 필수적으로 포함하여 구성되는 식각제 소스가스를 플라즈마 프로세싱 챔버로 유입하는 단계, 플라즈마 프로세싱 챔버에서 식각제 소스가스로부터

플라즈마를 발생시키는 단계, 및 플라즈마로 적어도 일부분의 유전체층을 유전체층 아래에 위치하는 베이스층까지 식각하는 단계를 포함하여 구성된다. 이 방법은 또한 Si, Si₃N₄, TiN 및 메탈 실리사이드에 대하여 매우 높은 선택성을 가지고 산화막층을 이방성 식각하는데 매우 적합하다.

대표도

도 3

색인어

플라즈마 식각, 선택성

명세서

기술분야

본 발명은 반도체 집적회로(IC's)의 제조에 관한 것으로서, 더욱 상세하게는 반도체 소자에서 높은 중형비의 피쳐들(features)을 높은 선택성으로 제조하기 위한 개선된 방법 및 장치에 관한 것이다.

배경기술

반도체 집적회로에 있어서, 통상적으로 실리콘으로 제작된 반도체 웨이퍼 기판 위에 트랜지스터 부품과 같은 소자들이 형성되고, 제조과정중 원하는 집적회로(IC)를 만들기 위하여 여러가지 물질이 서로 다른 층 위에 증착된다. 통상, 패터닝된 금속화 배선 및 폴리실리콘 트랜지스터 게이트 등을 포함하는 도전층들은 예를 들어 SiO₂, BPSG, PSG, TEOS 등과 같은 유전체 물질에 의해 서로 절연된다. 반도체 집적회로는 다층구조로 제작되기 때문에, 일반적으로 하나의 층 위에 패터닝된 IC 피쳐를 다른 층의 IC 피쳐와 상호연결해야 할 필요가 있다. 이러한 상호연결을 위해서는 통상 유전체 물질을 통해 하부의 IC 피쳐까지 비아홀(via hole)을 식각한다.

일단 비아홀이 식각되면, 하부층과 그 위에 연속적으로 증착되어 패터닝된 금속화층 사이에서 도전성 비아들이 생성되도록 예컨대 텅스텐 혹은 알루미늄 등과 같은 도전성 물질로 이들 비아홀을 채운다. 또 다른 경우에는, 하부의 폴리실리콘 트랜지스터 게이트 혹은 실리콘 웨이퍼 확산영역까지 비아홀을 식각한다. 일단 이들 비아가 식각되면, 하부의 디바이스와 그 위에 연속적으로 증착되어 패터닝된 금속화층 사이에서 전기적인 접촉이 형성되도록 비아홀들을 도전성 물질로 채운다.

도 1a는 설명의 편의를 위해 여러개의 증착 및 식각된 층을 갖는 반도체 웨이퍼(10)를 도시한 것으로서, 게이트 산화막(20), 폴리실리콘 게이트(22), 스페이서(24)와 확산영역(12)을 포함하여 이루어진 트랜지스터 소자가 반도체 웨이퍼(10) 상에 형성된다. 일반적으로, 일단 트랜지스터 소자의 부품들이 형성되면, 소자와 반도체 웨이퍼(10) 위에 유전체층(16)이 적당한 두께로 증착된다. 상술한 바와 같이, 적절한 전기적인 상호연결이 이루어지도록 통상 비아홀은 폴리실리콘 게이트(22)와 확산영역(12)까지 식각되어야 한다. 종래의 비아홀 식각방법에서는 포토레지스터층(18)을 적용하여 궁극적으로 비아홀이 위치할 영역을 노출시키기 위해 패터닝시킨다.

일단 포토레지스터층(18)이 패터닝되면, CF₄/CHF₃ 와 같은 플루오르화탄소 가스의 화합물을 사용하여 유전체층(16)을 식각한다. 그러나, 이들 플루오르화탄소 화합물 화학제는 높은 중형비와 좁은 선폴을 갖는 피쳐를 식각할 때 식각저지(etch-stop) 특성이 불량해지는 문제점이 있다. 이러한 식각저지 문제를 해결하기 위하여, 대개 O₂ 및/또는 CO 화학제가 플라즈마 가스에 첨가된다. 그러나, O₂ 가 첨가되면 하부층의 일부분 뿐만 아니라 포토레지스터층(18)이 상당 부분 제거된다.

게다가 포토레지스터층(18)이 과도하게 제거되면, 비아홀 식각공정 중에 그 두께가 약 PR₁ 에서 약 PR₂ 로 감소하게 된다. 이와 같이 포토레지스터층(18)이 상당부분 소실되기 때문에, 임계치수(CD)를 양호하게 제어하는 것이 어려워진다. 또한, 유전체층이 상당히 두꺼운 경우에는 비아홀(14b)이 완전히 형성되기도 전에 포토레지스터층(18)이 모두 소실될 수도 있다.

일반적으로 사용되는 $CxFy/CO$ 플라즈마 식각 화학제가 $CxFy/O_2$ 화학제보다 포토레지스트 층을 덜 소실시키기는 하나, 식각공정중에 과도한 양의 유독성 부산물을 배출하는 것으로 알려져 있다. 반도체 제조시 환경오염을 줄이는 것이 바람직한 양상이므로 환경에 유해한 제조 화학제가 사용되면 정화 및 처리비용 또한 상승하게 된다.

그러므로, 비아홀이 유전체층(16)을 통해 식각될 때, 비아홀의 하부에 위치하는 예컨대 폴리실리콘층, 실리콘층 혹은 금속화층 등과 같은 층들 뿐만 아니라 포토레지스터층(18)이 상당 부분 식각되어 버리기 때문에 종래의 플라즈마 식각 화학제는 매우 나쁜 선택성을 가진다. 도 1a를 참조하여 설명한 바와 같이, 비아홀(14b)에서 충분한 식각이 행해지는 한편, 비아홀(14a)이 식각될 때 폴리실리콘 게이트(22)로부터 상당한 양의 폴리실리콘 물질이 제거될 수 있는 것이다.

이러한 문제를 해결하기 위하여, 좀 더 두꺼운 포토레지스터층(18)을 형성함으로써 유전체층(16)의 보호영역 위에 적당한 양의 포토레지스트 물질이 남아있도록 한다. 그런데 더 두꺼운 유전체층(18)을 첨가시킬 경우에는 비아홀의 종횡비가 증가하는 문제가 있다. 예를 들어, 비아홀의 폭은 일정하나 높이가 증가할 경우, 종횡비(즉, 종횡비=높이/폭)가 증가한다. 게다가, 종횡비는 증가한 반면 선택성이 나쁜 경우에는 점점 더 작아지는 치수를 갖는 반도체 소자의 경우 양호한 임계치수(CD) 제어를 수행하는 것이 어렵게 된다.

또한, 좀 더 두꺼운 포토레지스터층(18)은 포토리소그래피 툴(photolithography tool)의 한계로 인하여 좁은 선폭을 갖는 피쳐 응용부분에서는 실용적이지 못하다. 이는 좁은 선폭을 갖는 피쳐에 대해서는 더 나은 해상도를 얻기 위하여 포토리소그래피 툴에 사용되는 노출광의 파장이 더 짧아져야 하기 때문이다. 이와 같은 짧은 파장은 초점 심도(focus depth)를 감소시키는 문제점이 있고, 이러한 문제점은 콘택홀과 비아홀의 크기가 계속 줄어들고 포토레지스터층의 두께가 이전보다 더 얇아지기 때문에 훨씬 심화된다.

따라서, 유전체 물질을 통한 식각공정의 속도를 저하시키지 않고서 높은 선택성을 얻을 수 있는 개선된 방법 및 장치가 필요하게 되었다.

발명의 상세한 설명

이에 본 발명은 상술한 필요성을 충족하기 위하여, 포토레지스트로 마스킹된 유전체층에서 선택된 영역을 통해 선택적으로 식각할 수 있는 개선된 식각 화학제를 제공하는 데 그 목적이 있다. 개선된 선택성으로 인하여 포토레지스트와 베이스층 물질을 덜 제거시키면서 큰 종횡비를 갖는 비아홀과 콘택홀의 플라즈마 식각이 가능해진다. 본 발명은 프로세스, 장치, 시스템, 디바이스와 방법을 포함하여 다양한 방법으로 구현될 수 있다. 이하 본 발명에 따른 여러가지 실시예가 기술될 것이다.

본 발명의 일 실시예에 따르면, 플라즈마 프로세싱 챔버에서 웨이퍼의 유전체층중 선택된 영역을 통해 식각하기 위한 방법이 개시된다. 상기 방법은 $CxFy$ 가스와 N_2 가스를 필수적으로 포함하여 구성되는 식각제 소스 가스를 플라즈마 프로세싱 챔버로 주입시키는 단계를 포함한다. 상기 방법은 플라즈마 프로세싱 챔버에서 상기 식각제 소스 가스로부터 플라즈마를 발생시키는 단계를 더 포함한다. 또한, 상기 방법은 유전체층을 플라즈마로 적어도 부분적으로 식각하는 단계를 더 포함한다.

본 발명의 다른 실시예에 따르면, 유전체층 대 포토레지스터층 및 베이스층의 선택성을 개선하기 위한 방법이 개시된다. 상기 방법은 플라즈마 프로세싱 챔버에서 행해지며, 상기 포토레지스터층은 유전체층 위에 피복된다. 상기 방법은 $CxFy$ 가스와 N_2 가스를 필수적으로 포함하여 구성되는 식각제 소스 가스를 플라즈마 프로세싱 챔버로 주입시키는 단계를 포함한다. 상기 방법은 플라즈마 프로세싱 챔버에서 상기 식각제 소스 가스로부터 플라즈마를 발생시키는 단계를 더 포함한다. 또한, 상기 방법은 적어도 일부분의 유전체층을 유전체층 아래에 위치하는 베이스층까지 플라즈마로 부분적으로 식각하는 단계를 더 포함한다.

본 발명의 또 다른 실시예에 따르면, 유전체층 대 포토레지스터층의 선택성을 개선하기 위한 방법이 개시된다. 상기 방법은 플라즈마 프로세싱 챔버에서 행해지며, 상기 포토레지스터층은 유전체층 위에 피복된다. 상기 방법은 식각제 소스 가스를 상기 플라즈마 프로세싱 챔버로 주입하는 과정을 포함한다. 식각제 가스는 C_2F_6 가스, C_4F_8 가스 혹은 C_3F_6 가스, 및 N_2 가스와 Ar 가스로 이루어지는 그룹에서 선택된다. 상기 방법은 플라즈마 프로세싱 챔버에서 상기 식각제 소스 가스로부터 플라즈마를 발생시키는 단계를 더 포함한다. 또한, 상기 방법은 적어도 일부분의 유전체층을 통하여 높은 종횡비의 비아홀을 유전체층 아래에 위치하는 베이스층까지 플라즈마로 부분적으로 식각하는 단계를 더 포함한다.

따라서, 본 발명에 따라 개선된 포토레지스트 선택성으로 인하여 매우 얇은 포토레지스트 마스크에 응용이 가능할 뿐 아니라 양호한 임계치수(CD) 제어를 유지하는 동시에 높은 중형비를 갖는 비아홀을 이방성 식각할 수 있는 효과가 있다.

본 발명의 또 다른 실시예에 따르면, 높은 선택성을 갖는 본 발명의 화학제로 인하여 유전체층 아래에 위치하는 물질을 과도하게 제거하지 않고도 깊이를 달리하는 유전체층을 정밀하게 식각할 수 있는 효과가 있다.

본 발명의 이러한 효과와 또 다른 효과들은 이하의 자세한 설명과 첨부된 각종 도면을 참조함으로써 명백해 질 것이다.

도면의 간단한 설명

상기한 본 발명은 아래의 첨부도면들을 참조함으로써 더 잘 이해될 것이다.

도 1a는 종래의 여러가지 증착 식각된 층들을 갖는 반도체 웨이퍼의 단면도를 나타낸 것이다.

도 1b는 본 발명의 일실시예에 따라 프로세싱 챔버를 구비한 플라즈마 식각 시스템을 나타낸 것이다.

도 2는 본 발명의 일실시예에 따라 유전체층을 통한 선택적 비아홀 식각의 예를 보여주는 반도체 웨이퍼의 단면도이다.

도 3은 본 발명의 일실시예에 따라 유전체층을 통해 선택적으로 식각된 콘택홀을 갖는 반도체 웨이퍼의 단면도이다.

도 4는 본 발명의 일실시예에 따라 유전체층을 통해 선택적으로 식각되고 자체정렬된 비아홀을 갖는 반도체 웨이퍼의 또 다른 단면도이다.

도 5는 본 발명의 일실시예에 따라 높은 선택성을 갖는 플라즈마 식각공정을 수행하기 위한 바람직한 방법을 설명하는 플로우차트이다.

실시예

본 발명은 포토레지스트로 마스크된 유전체층중 선택된 영역을 통해 선택적으로 식각하기 위한 개선된 식각화학제를 개시한 것이다.

이하에서는 본 발명을 쉽게 이해할 수 있도록 구체적이고 상세하게 설명하고 있지만, 당업자에게 있어서 이들 특정한 설명의 모두 또는 일부가 없어도 본 발명을 충분히 실시할 수 있는 것이다. 그리고, 잘 알려진 공지단계들은 본 발명을 불필요하게 제한하지 않도록 자세히 기술하지는 않을 것이다.

도 1b는 본 발명의 일실시예에 따라 프로세싱 챔버(101)를 포함하는 플라즈마 식각시스템(100)을 도시한 것이다. 일반적으로 상기 프로세싱 챔버(101)는 하부전극(102)과 상부전극(104)을 포함하며, 여기서 상부전극(104)은 샤워헤드(shower head) 역할을 함으로써 하부전극(102)과 상부전극(104) 사이의 임의의 위치에서 가스화학제(110)가 프로세싱 챔버(101)로 유입되도록 한다. 일반적으로, 상부전극(104)은 상부전극(104) 아래에 위치한 에지를 둘러싸는 석영 제한링(quartz confinement ring, 108)을 포함한다. 이와 같은 방법으로 상기 석영 제한링(108)은 하부전극(102), 즉 척(chuck)의 상부에 위치하는 웨이퍼(106) 위에 놓이게 된다.

프로세싱 챔버(101)에는 듀얼 주파수 평행 플레이트 처리설비가 설치되어, 제1 무선주파수(Radio Frequency) 소스(114a)가 RF 정합망(matching network, 112a)을 통해 상부전극(104)에 연결된다. 마찬가지로, 하부전극(102)은 제2 RF 정합망(112b)을 통해 제2 RF 소스(114b)에 연결된다. 또한, 각 RF 소스(114a, 114b)의 일단은 접지(116)에 연결된다.

동작을 살펴보면, 상기 프로세싱 챔버(101)는 VAT 밸브(124)에 연결되고 높은 컨덕턴스를 갖는 펌핑망(pumping network, 122)을 통해 처리가스를 배출시킬 수 있다. 상기 VAT 밸브(124)는 적절한 저장기기(미도시)로 처리가스가 전달되도록 도와주는 드랙 펌프(drag pump, 126)에 연결된다. 일실시예에 따르면, 웨이퍼(106)는 프로세싱 챔버(101)에서 수행되는 고선택성 식각을 포함하여 많은 처리공정을 거침으로써 여러개의 반도체 다이를 제작할 수 있게 된다. 이후 상기 반도체 다이는 패키징되어 여러개의 패키지 집적회로 칩(120)을 만든다. 일실시예에 따르면, 프로세싱 챔버(101)는 캘리

포니아 프레몬트에 있는 램 리서치 코오포레이션에서 입수할 수 있는 램 리서치 레인보우 4520XL 프로세싱 챔버를 사용할 수도 있다. 물론, 본 발명에 따른 고선택성 식각공정을 수행하기 위하여 또 다른 적절한 설비를 갖는 프로세싱 챔버를 이용할 수도 있다.

예를 들면, 본 발명은 예컨대 정전 용량성으로 결합된 평행한 전극 플레이트, 전자사이클로트론 공명기(ECR) 마이크로웨이브 플라즈마 소스 혹은, 헬리콘, 헬리컬 공명기와 트랜스포머 결합된 RF 소스(TCP)를 통해 에너지를 플라즈마로 전달하는 여러가지의 적절한 설비를 갖는 프로세싱 챔버에서 실시할 수 있다. 그 중, ECR 및 TCP 플라즈마 처리 시스템도 캘리포니아 프레몬트에 있는 램 리서치 코오포레이션에서 입수할 수 있다. 또 다른 적절한 프로세싱 챔버로는 유도성 플라즈마 소스(IPS), 분리형 플라즈마 소스(DPS) 및 다이폴 링 마스네트(DRM)가 있다. 이 중, IPS 및 DRS 플라즈마 처리시스템은 캘리포니아, 산타클라라의 어플라이드 머티어리얼즈(Applied Materials)에서 입수할 수 있고, DRM 소스 플라즈마 처리 장비는 일본의 도쿄 전자회로부터 입수할 수 있다.

도 2는 본 발명의 일실시에에 따라 제작된 많은 층을 보여주는 반도체 웨이퍼(200)의 단면도로서, 먼저 실리콘 다이옥사이드(SiO₂) 층(202)이 반도체 웨이퍼(200)의 표면에서 열적으로 성장된다. 실리콘 다이옥사이드층(202)의 두께는 가변될 수 있지만 약 1,000 Å 두께가 바람직하다. 다음에는 예컨대 약 3,000 Å 두께인 폴리실리콘 층(204)이 실리콘 다이옥사이드층(202) 위에 증착된다. 일단 폴리실리콘 층(204)이 적절한 두께로 증착되면, 티타늄-실리사이드(TiSi₂) 층(204)이 약 1,000 Å 두께로 형성된다.

이후, 유전체층(208)이 약 5,000 Å 내지 20,000 Å 두께 혹은 그 이상의 두께로 티타늄-실리사이드층(206) 위에 증착된다. 일실시에에서는, 유전체층(208) 물질은 통상적으로 반도체 소자에서 패터닝된 도전성 레벨간의 절연체로 사용되는 공지된 불순물 첨가 혹은 비첨가 유전체를 사용할 수 있다. 예를 들면, 유전체층(208)으로서는 실리콘-다이옥사이드(SiO₂) 층, 보로포스포실리케이트 글래스(BPSG) 층, 테트라-에틸-오쏘-실리케이트(TEOS) 층, 포스포실리케이트 글래스(PSG) 층 등을 사용할 수 있다. 일단 유전체층(208)이 적절한 두께로 증착되면, 포토레지스트 층(210)이 약 5,000 Å 내지 10,000 Å의 두께로 스핀-코팅(spin coat)된다.

다음, 포토레지스트층(210)을 패터닝하기 위한 레티클-스테퍼(reticle-stepper) 장비를 구현하는 포토리소그래피 공정에서 포토레지스트층(210)이 선택적으로 노광된다. 노광 및 현상이후, 패터닝된 포토레지스트층(210)이 남아 있게 되며, 포토레지스트층(210)으로 덮혀 있지 않은 영역을 통해 식각이 행해진다. 이 예에 따르면, 본 발명에 의한 선택적 플라즈마 식각공정이 수행되는 경우 비아홀이 유전체층(208)을 통해 식각되도록 포토레지스트층(210)이 패터닝된다.

바람직하게는 식각공정은 표 1A 내지 표 1C에 기술된 화학제를 사용하면서 도 1b의 플라즈마 식각시스템(100)에서 수행된다. 본 실시예에 따르면 화학제는 C_xF_y/N₂/Ar 혼합물(여기서, x는 대략 1 내지 4의 범위에 있고, y는 대략 1 내지 8의 범위에 있음)이 바람직하다. 뿐만 아니라, 아르곤(Ar)은 화학제 가스의 희석제로 사용하는 것이 바람직하다. 여기서, 표 A 내지 표 C의 각 예에 대하여 아르곤의 유량율은 대략 0 sccms 내지 400 sccms 사이가 바람직하고, 대략 100 sccms 내지 300 sccms 사이가 좀 더 바람직하고, 대략 200 sccms 이 가장 바람직하다. 식각화학제로 얻어진 개선된 선택성으로 인하여, 반도체 소자 및 평판형 디스플레이의 제조에 사용되는 다양한 규격과 형상이 사용될 수 있지만, 이하 제공되는 파라미터들은 바람직하게는 8 인치 웨이퍼 제작에 관한 것이다.

[표 A]

식각화학제 C ₂ F ₆ /N ₂ /Ar						
범위	상부전력 (watts)	하부전력 (watts)	유량율		압력	온도
바람직한 범위	500-1500	1000-2500	2-20 sccms C ₂ F ₆	10-100 sccms N ₂	15-100 mTorrs	-20°C ~ 50°C
더 바람직한 범위	700-1200	1500-2200	4-10 sccms C ₂ F ₆	20-70 sccms N ₂	20-60 mTorrs	15°C ~ 40°C
가장 바람직한 범위	900	2000	6 sccms C ₂ F ₆	30 sccms N ₂	30 mTorr	30°C

상기 표 A에 보여지는 바와 같이, 화학제로는 $C_2F_6/N_2/Ar$ 이 바람직하고, 상부 전력을 약 900 watts 로, 하부전력을 약 2000 watts로, C_2F_6 의 유량을 약 6 sccms로, N_2 의 유량을 약 30 sccms로, 압력을 약 30 mTorr로, 온도를 약 30℃로 조절할 경우 가장 바람직한 식각이 행해질 수 있다.

[표 B]

식각화학제 $C_4F_8/N_2/Ar$						
범위	상부전력 (watts)	하부전력 (watts)	유량		압력	온도
바람직한 범위	500-1500	1000-2500	2-15 sccms C_4F_8	10-150 sccms N_2	15-100 mTorr	-20℃~ 50℃
더 바람직한 범위	700-1200	1500-2200	3-8 sccms C_4F_8	20-70 sccms N_2	20-60 mTorr	15℃~ 40℃
가장 바람직한 범위	900	2000	6 sccms C_4F_8	60 sccms N_2	25 mTorr	30℃

상기 표 B에 보여지는 바와 같이, 다른 화학제로는 $C_4F_8/N_2/Ar$ 이 바람직하고, 상부 전력을 약 900 watts 로, 하부전력을 약 2000 watts로, C_4F_8 의 유량을 약 6 sccms로, N_2 의 유량을 약 60 sccms로, 압력을 약 25 mTorr로, 온도를 약 30℃로 조절할 경우 가장 바람직한 식각이 행해질 수 있다.

[표 C]

식각화학제 $C_3F_6/N_2/Ar$						
범위	상부전력 (watts)	하부전력 (watts)	유량		압력	온도
바람직한 범위	500-1500	1000-2500	2-15 sccms C_3F_6	10-100 sccms N_2	15-100 mTorr	-20℃~ 50℃
더 바람직한 범위	700-1200	1500-2200	3-8 sccms C_3F_6	20-70 sccms N_2	20-60 mTorr	15℃~ 40℃
가장 바람직한 범위	900	2000	5 sccms C_2F_6	40 sccms N_2	30 mTorr	30℃

상기 표 C에 보여지는 바와 같이, 또 다른 화학제로는 $C_3F_6/N_2/Ar$ 이 바람직하고, 상부 전력을 약 900 watts 로, 하부전력을 약 2000 watts로, C_3F_6 의 유량을 약 5 sccms로, N_2 의 유량을 약 40 sccms로, 압력을 약 30 mTorr로, 온도를 약 30℃로 조절할 경우 가장 바람직한 식각이 행해질 수 있다.

도 1b에 있어서 상술한 바람직한 화학제들을 유입가스 화학제(110)로 채용함으로써, 포토레지스트층(210)과 유전체층(208) 사이의 높은 선택성을 나타내면서 실질적으로 개선된 식각공정이 행해질 수 있다. 다시 말하면, "유전체층" 대 "포토레지스트층"에 대하여 약 7:1과 약 10:1 사이의 바람직한 식각율이 얻어진다. 그 결과, 포토레지스트층(210)보다 10 배까지 더 빠르게 유전체층이 식각될 수 있다.

선택성에 있어서 이와 같은 상당한 개선 측면에서는, 비아홀 및 콘택홀의 식각시 일반적인 높은 중횡비(예를 들면, "R" 4)를 갖는 소자는 우수한 임계치수(CD) 제어로 식각될 수 있다. 도 2의 예에서는, 상술한 화학제 역시 유전체층(208) 아래에 위치하는 베이스층에 대하여 개선된 선택성을 제공한다. 따라서, 비아홀(220)이 유전체층(208)을 통해 식각되는 경우, 실질적으로 하부의 티타늄 실리사이드층(206)이 덜 제거된다. 유전체층(208) 아래에 위치하는 층으로서 티타늄 실리사이드층(206)을 예로 들었으나, 상기 화학제는 일반적으로 유전체층(208) 아래에 놓이는 다른 물질에 대하여도 높은 선택성을 가진다. 그와 같은 물질로는 티타늄 나이트라이드(TiN), 텅스텐 실리사이드(WSi₂), 실리콘 나이트라이드(SiN), 폴리실리콘, 실리콘 및 알루미늄/구리 혼합물을 포함하는 금속을 예로 들 수 있다.

도 3은 본 발명의 일실시예에 따라 제작되는 반도체 소자를 갖는 반도체 웨이퍼(200)의 단면도이다. 이 예에서도 식각공정은 표 A 내지 C에서 기술한 화학제를 사용하면서 도 1b의 플라즈마 식각시스템(100)에서 수행되는 것이 바람직하다. 상기 반도체 소자는 게이트 산화물(302), 폴리실리콘 게이트(304), 스페이서(306) 및 확산영역(310)으로 이루어진다. 상기 반도체 소자 위에 유전체층(208)이 증착되고, 이때 대략 5,000 Å 내지 20,000 Å 사이의 두께로 증착된다.

일단 유전체층(208)이 적절한 두께로 증착되면, 유전체층(208)의 표면 위에서 포토레지스트 층(21)이 스핀 코팅되어 패터닝된다. 상술한 바와 같이, 포토레지스트층(210)은 대략 5,000 Å 내지 10,000 Å 사이의 두께인 것이 바람직하다. 폴리실리콘 게이트(304)와 확산영역(310) 아래쪽으로 콘택홀로 정해지는 영역을 노출시키기 위하여 포토레지스트층(210)이 패터닝된 후, 반도체 웨이퍼(200)는 플라즈마 식각시스템(100)의 하부전극(102) 위에 놓이게 된다. 다음, 식각 화학제를 챔버로 유입시키고 플라즈마 식각시스템(100)에 전원을 인가하기 전에 압력과 온도를 안정화시킨다. 상기 예에 있어서, 식각공정은 매우 선택성이 높은 공정으로서, 예컨대 포토레지스트층(210), 하부 폴리실리콘 게이트(304) 및 확산영역(310)에 대하여 선택적인 공정이다.

이러한 방법으로, 폴리실리콘 게이트(304)와 포토레지스트층(210)을 과도하게 식각하지 않고서도 폴리실리콘 게이트(304)와 확산영역(310)에 이르는 콘택홀(320a)이 형성된다. 아래의 표 D는 유전체층(208)과 통상 유전체층(208) 아래에 위치하는 예로 든 여러가지 물질들 사이에서 얻어지는 개선된 식각 선택성을 설명하기 위한 것이다.

[표 D]

물질	유전체층 대 각 물질에 대한 선택도의 범위	유전체층 대 각 물질에 대한 대략적인 선택도
티타늄-실리사이드	20:1 ~ 100:1	40:1
텅스텐-실리사이드	20:1 ~ 100:1	40:1
폴리실리콘	20:1 ~ 100:1	50:1
실리콘 (불순물첨가/비첨가)	20:1 ~ 100:1	50:1
티타늄-나이트라이드	20:1 ~ 100:1	40:1
실리콘-나이트라이드	10:1 ~ 40:1	20:1
알루미늄/구리	20:1 ~ 100:1	50:1

이와 같이 유전체층 대 포토레지스트층의 개선된 선택성이 얻어지기 때문에, CD 제어를 위하여 충분한 포토레지스트를 유지하면서 소자에서 깊은 콘택홀/비아홀을 식각하는 것이 가능하다. 따라서, 상기 화학제는 높은 중횡비 응용에 대한 해결책을 제공한다. 게다가, 상기 화학제는 종래의 일산화탄소 기반 화학제, 예를 들면 C_xF_y/CO 와 비교하여 무독성이기 때문에, 식각공정이 훨씬 환경친화적이 된다.

도 4는 본 발명의 일실시예에 따라 유전체층을 통해 선택적으로 식각되고 자체정렬된(self-aligned) 비아홀을 갖는 반도체 웨이퍼의 또 다른 단면도이다. 이 예에서는 자체정렬된 콘택(SAC) 홀(420)이 실리콘 나이트라이드(Si₃N₄) 층(402) 쪽으로 식각된다. 상기 실리콘 질화물(402) 층은 공지의 화학기상증착(CVD) 공정을 사용하여 형성하는 것이 바람직하다. 일단 상기 실리콘 나이트라이드(402) 층이 반도체 소자 위에 형성되면, 대략 5,000 Å 내지 20,000 Å 범위에서 적절한 두께

로 유전체층(208)이 증착된다. 이전의 예와 마찬가지로 대략 5,000 Å 내지 10,000 Å 범위의 포토레지스트층(210)이 유전체층(208) 위에 증착된다. 그리고 나서, 최종적으로 비아홀(420)이 식각될 영역을 노출시키기 위하여 포토레지스트 층(208)이 패터닝된다.

포토레지스트층(210)이 패터닝된 후, 반도체 웨이퍼(200)를 플라즈마 식각시스템(100) 내부에 두고서 선택적 식각화학제를 주입시킨다. 그 결과, 포토레지스트층(210)의 과잉 제거를 방지하는 동시에 티타늄 실리사이드를 과도하게 제거하지 않고도 상기 SAC 홀(420)이 유전체층(208)을 통해 실리콘 나이트라이드층(402)까지 정해진다.

도 5는 본 발명의 일실시예에 따라 높은 선택성을 갖는 플라즈마 식각공정을 수행하기 위한 바람직한 방법을 설명하는 플로우차트이다. 상기 방법은 식각하기로 정해진 층을 갖는 반도체 웨이퍼를 제공하는 공정 502로 시작한다. 상기 식각하기로 정해진 층은 대략 5,000 Å 내지 20,000 Å 범위의 두께로 증착되는 유전체층인 것이 바람직하다.

다음, 상기 방법은 식각위치를 결정하기 위하여 상기 식각하기로 정해진 층위에 포토레지스트 마스크를 행하는 공정 504로 진행한다. 상술한 바와 같이, 포토레지스트 마스크는 식각공정후 비아홀, 콘택, 자체정렬된 콘택 혹은 트렌치가 형성될 위치를 결정하기 위하여 패터닝되는 것이 바람직하다. 일단 공정 504에서 포토레지스트 마스크가 행해지면, 공정 506로 진행하여 반도체 웨이퍼를 플라즈마 프로세싱 챔버에 둔다. 일실시예에 따르면, 압력은 대략 15 mTorr 내지 100 mTorr 사이에 있을때 안정화되고, 온도는 대략 10 내지 50 °C 사이에 있을때 안정화된다.

일단 플라즈마 프로세싱 챔버가 안정화되면, 공정 510으로 진행하여 플라즈마 프로세싱 챔버의 전극에 표 A 내지 표 C에 기술된 바람직한 레벨의 전원을 인가한다. 예를 들어, 전극(104)과 연결된 상부전원은 대략 500 watts 내지 1,500 watts 사이인 것이 바람직하고, 하부전극(102)과 연결된 하부전원은 대략 500 watts 내지 1,500 watts 사이인 것이 바람직하다.

일단 전원이 인가되면, 공정 512로 진행하여 도 2 내지 도 4에서 설명한 선택적 식각을 공정 502에서 식각하기로 정한 층을 통해 수행한다. 식각이 완료되면, 공정 514로 진행하여 종래와 마찬가지로 후식각 공정을 수행한다. 그리고, 공정이 완료된 웨이퍼는 다이들로 절단되어 비로소 IC 칩들로 만들어질 수 있다. 이렇게 얻어진 IC 칩 예를 들면 도 1b의 IC 칩(220)은 디지털 컴퓨터를 포함하여 잘 알려진 상업용 또는 민수용 전자제품들과 같은 전자장치에 결합될 수 있다. 일단 패키지되면, 본 발명에 의한 식각공정은 종료한다.

본 발명은 여러가지의 바람직한 실시예들에 대하여 서술하고 있지만, 본 발명의 범위내에 속하는 변형물, 치환물 및 등가물들이 있으며, 본 발명의 방법과 장치를 구현하는 다른 방법들이 있다는 것을 주목해야 한다. 뿐만 아니라 다음의 청구범위들에 의해 본 발명의 범위와 진정한 정신 내에 속하는 모든 변형물, 치환물 등가물들을 포함하는 것으로 해석해야 한다.

(57) 청구의 범위

청구항 1.

플라즈마 프로세싱 챔버에서 웨이퍼의 유전체층 중 선택된 부분을 식각하기 위한 방법에 있어서,

C₂F₆ 가스, C₄F₈ 가스 및 C₃F₆ 가스로 이루어진 군에서 선택된 어느 하나의 가스와 N₂ 가스를 필수적으로 포함하여 구성되는 식각제 소스가스를 상기 플라즈마 프로세싱 챔버로 유입하는 단계;

상기 플라즈마 프로세싱 챔버에서 상기 식각제 소스가스로부터 플라즈마를 발생시키는 단계;

티타늄-실리사이드(TSi₂) 층, 티타늄-나이트라이드(TiN) 층, 텅스텐-실리사이드(WSi₂) 층, 실리콘 층, 폴리실리콘 층, 실리콘-나이트라이드(Si₃N₄) 층 및 알루미늄/구리(Al/Cu) 층으로 이루어지는 그룹에서 선택되는 베이스층 위에 위치하는 상기 유전체층을 상기 플라즈마에 의해 적어도 부분적으로 식각하는 단계;

상기 C₂F₆ 가스를 약 2 내지 약 20 표준상태하의 분당입방센티미터(sccm) 사이의 유량율로, 상기 N₂ 가스를 약 10 내지 약 100 표준상태하의 분당입방센티미터(sccm) 사이의 유량율로 유입하는 단계, 상기 C₄F₈ 가스를 약 2 내지 약 15 표준상태하의 분당입방센티미터(sccm) 사이의 유량율로, 상기 N₂ 가스를 약 10 내지 약 150 표준상태하의 분당입방센티미터

(sccm) 사이의 유량율로 유입하는 단계, 및 상기 C_3F_6 가스를 약 2 내지 약 15 표준상태하의 분당입방센티미터(sccm) 사이의 유량율로, 상기 N_2 가스를 약 10 내지 약 100 표준상태하의 분당입방센티미터(sccm) 사이의 유량율로 유입하는 단계로 이루어진 군에서 선택된 어느 하나의 단계; 및

상기 유전체층 대 상기 티타늄-실리사이드 층에 대하여 적어도 약 40:1의 식각율 선택성을 발생시키는 단계, 상기 유전체층 대 상기 텅스텐-실리사이드 층에 대하여 적어도 약 40:1의 식각율 선택성을 발생시키는 단계, 상기 유전체층 대 상기 실리콘 층에 대하여 적어도 약 50:1의 식각율 선택성을 발생시키는 단계, 상기 유전체층 대 상기 티타늄-나이트라이드층에 대하여 적어도 약 40:1의 식각율 선택성을 발생시키는 단계, 상기 유전체층 대 상기 폴리실리콘 층에 대하여 적어도 약 50:1의 식각율 선택성을 발생시키는 단계, 상기 유전체층 대 상기 실리콘-나이트라이드 층에 대하여 적어도 약 20:1의 식각율 선택성을 발생시키는 단계, 및 상기 유전체층 대 상기 알루미늄/구리 층에 대하여 적어도 약 50:1의 식각율 선택성을 발생시키는 단계로 이루어지는 일군의 공정으로부터 선택된 하나의 단계를 수행하는 단계를 포함하는 것을 특징으로 하는 식각방법.

청구항 2.

삭제

청구항 3.

제 1 항에 있어서, 상기 유전체층은 실리콘 다이옥사이드(SiO_2) 층, 보로포스포실리케이트(BPSG) 층, 포스포실리케이트 글래스(PSG), 테트라-에틸-오쏘-실리케이트(TEOS)로 이루어지는 그룹에서 선택되는 불순물 첨가물질 및 비첨가물질 중 하나로 이루어지는 것을 특징으로 하는 식각방법.

청구항 4.

제 3 항에 있어서, 상기 방법은 상기 플라즈마 프로세싱 챔버로 약 0 내지 약 400 표준상태하의 분당입방센티미터(sccm) 사이의 유량율로 아르곤(Ar) 가스를 유입하는 단계를 더 포함하는 것을 특징으로 하는 식각방법.

청구항 5.

제 4 항에 있어서, 상기 플라즈마 프로세싱 챔버 내부의 압력은 식각공정동안 약 15 mTorr 내지 약 100 mTorr 인 것을 특징으로 하는 식각방법.

청구항 6.

제 4 항에 있어서, 상기 플라즈마 프로세싱 챔버 내부의 온도는 약 10 °C 내지 약 50 °C 인 것을 특징으로 하는 식각방법.

청구항 7.

제 6 항에 있어서, 상기 플라즈마 프로세싱 챔버 내부의 온도는 약 30 °C 인 것을 특징으로 하는 식각방법.

청구항 8.

제 1 항에 있어서, 상기 플라즈마 프로세싱 챔버의 상부전극은 900 watts 로 조정되는 전원레벨을 가지고, 상기 플라즈마 프로세싱 챔버의 하부전극은 2000 watts 로 조정되는 전원레벨을 가지는 것을 특징으로 하는 식각방법.

청구항 9.

플라즈마 프로세싱 챔버에서 유전체층 대 상기 유전체층 위에 코팅되는 포토레지스트층 및 베이스 층의 선택성을 개선하기 위한 방법에 있어서,

C_2F_6 가스, C_4F_8 가스 및 C_3F_6 가스로 이루어진 군에서 선택된 어느 하나의 가스와 N_2 가스를 필수적으로 포함하여 구성되는 식각제 소스가스를 상기 플라즈마 프로세싱 챔버로 유입하는 단계;

상기 플라즈마 프로세싱 챔버에서 상기 식각제 소스가스로부터 플라즈마를 발생시키는 단계;

상기 플라즈마에 의해 상기 유전체층의 적어도 일부분을 상기 유전체층 아래에 위치하며, 티타늄-실리사이드(TSi₂) 층, 티타늄-나이트라이드(TiN) 층, 텅스텐-실리사이드(WSi₂) 층, 실리콘 층, 폴리실리콘 층, 실리콘-나이트라이드(Si₃N₄) 층 및 알루미늄/구리(Al/Cu) 층으로 이루어지는 그룹에서 선택되는 베이스층까지 적어도 부분적으로 식각하는 단계;

상기 C_2F_6 가스를 약 2 내지 약 20 표준상태하의 분당입방센티미터(sccm) 사이의 유량율로, 상기 N_2 가스를 약 10 내지 약 100 표준상태하의 분당입방센티미터(sccm) 사이의 유량율로 유입하는 단계, 상기 C_4F_8 가스를 약 2 내지 약 15 표준상태하의 분당입방센티미터(sccm) 사이의 유량율로, 상기 N_2 가스를 약 10 내지 약 150 표준상태하의 분당입방센티미터(sccm) 사이의 유량율로 유입하는 단계, 및 상기 C_3F_6 가스를 약 2 내지 약 15 표준상태하의 분당입방센티미터(sccm) 사이의 유량율로, 상기 N_2 가스를 약 10 내지 약 100 표준상태하의 분당입방센티미터(sccm) 사이의 유량율로 유입하는 단계로 이루어진 군에서 선택된 어느 하나의 단계; 및

상기 유전체층 대 상기 티타늄-실리사이드 층에 대하여 적어도 약 40:1의 식각율 선택성을 발생시키는 단계, 상기 유전체층 대 상기 텅스텐-실리사이드 층에 대하여 적어도 약 40:1의 식각율 선택성을 발생시키는 단계, 상기 유전체층 대 상기 실리콘 층에 대하여 적어도 약 50:1의 식각율 선택성을 발생시키는 단계, 상기 유전체층 대 상기 티타늄-나이트라이드층에 대하여 적어도 약 40:1의 식각율 선택성을 발생시키는 단계, 상기 유전체층 대 상기 폴리실리콘 층에 대하여 적어도 약 50:1의 식각율 선택성을 발생시키는 단계, 상기 유전체층 대 상기 실리콘-나이트라이드 층에 대하여 적어도 약 20:1의 식각율 선택성을 발생시키는 단계, 및 상기 유전체층 대 상기 알루미늄/구리 층에 대하여 적어도 약 50:1의 식각율 선택성을 발생시키는 단계로 이루어지는 일군의 공정으로부터 선택된 하나의 단계를 수행하는 단계를 포함하는 것을 특징으로 하는 선택성 개선방법.

청구항 10.

삭제

청구항 11.

제 9 항에 있어서, 상기 방법은 상기 플라즈마 프로세싱 챔버로 약 0 내지 약 400 표준상태하의 분당입방센티미터(sccm) 사이의 유량율로 아르곤(Ar) 가스를 유입하는 단계를 더 포함하는 것을 특징으로 하는 선택성 개선방법.

청구항 12.

제 11 에 있어서, 상기 방법은 상기 유전체층 대 상기 포토레지스트 층에 대하여 적어도 약 7:1의 식각율 선택성을 발생시키는 단계를 더 포함하는 것을 특징으로 하는 선택성 개선방법.

청구항 13.

제 12 항에 있어서, 상기 포토레지스트 층 혹은 상기 베이스 층을 과도하게 제거시키지 않고서 비아홀들 및 콘택홀들로 이루어지는 그룹에서 선택된 홀들이 상기 유전체층을 통해 결정되는 것을 특징으로 하는 선택성 개선방법.

청구항 14.

플라즈마 프로세싱 챔버에서 유전체층 대 상기 유전체층 위에 코팅되는 포토레지스트 층 및 베이스 층의 선택성을 개선하기 위한 방법에 있어서,

C_2F_6 가스, C_4F_8 가스 혹은 C_3F_6 가스, N_2 가스와 Ar 가스로 이루어지는 그룹에서 선택되어지는 식각제 소스가스를 상기 플라즈마 프로세싱 챔버로 유입하는 단계;

상기 플라즈마 프로세싱 챔버에서 상기 식각제 소스가스로부터 플라즈마를 발생시키는 단계;

높은 중형비를 갖는 비아홀을 상기 유전체층 아래에 위치하는 상기 베이스 층까지 상기 유전체층을 통하여 상기 플라즈마로 식각하는 단계;

상기 C_2F_6 가스를 약 2 내지 약 20 표준상태하의 분당입방센티미터(sccm) 사이의 유량율로, 상기 N_2 가스를 약 10 내지 약 100 표준상태하의 분당입방센티미터(sccm) 사이의 유량율로 유입하는 단계, 상기 C_4F_8 가스를 약 2 내지 약 15 표준상태하의 분당입방센티미터(sccm) 사이의 유량율로, 상기 N_2 가스를 약 10 내지 약 150 표준상태하의 분당입방센티미터(sccm) 사이의 유량율로 유입하는 단계, 및 상기 C_3F_6 가스를 약 2 내지 약 15 표준상태하의 분당입방센티미터(sccm) 사이의 유량율로, 상기 N_2 가스를 약 10 내지 약 100 표준상태하의 분당입방센티미터(sccm) 사이의 유량율로 유입하는 단계로 이루어진 군에서 선택된 어느 하나의 단계; 및

상기 유전체층 대 상기 포토레지스트 층에 대하여 적어도 약 7:1의 식각율 선택성을 발생시키는 단계를 포함하며, 여기서 상기 포토레지스트 층 혹은 상기 베이스 층을 과도하게 제거시키지 않고서 상기 비아홀 및 콘택홀로 이루어지는 그룹에서 선택된 홀들이 상기 유전체층을 통해 결정되는 것을 특징으로 하는 선택성 개선방법.

청구항 15.

삭제

청구항 16.

제 14 항에 있어서, 상기 방법은 상기 플라즈마 프로세싱 챔버로 약 0 내지 약 400 표준상태하의 분당입방센티미터(sccm) 사이의 유량율로 아르곤(Ar) 가스를 유입하는 단계를 더 포함하는 것을 특징으로 하는 선택성 개선방법.

청구항 17.

삭제

청구항 18.

삭제

청구항 19.

삭제

청구항 20.

삭제

청구항 21.

삭제

청구항 22.

삭제

청구항 23.

삭제

청구항 24.

삭제

청구항 25.

삭제

청구항 26.

삭제

청구항 27.

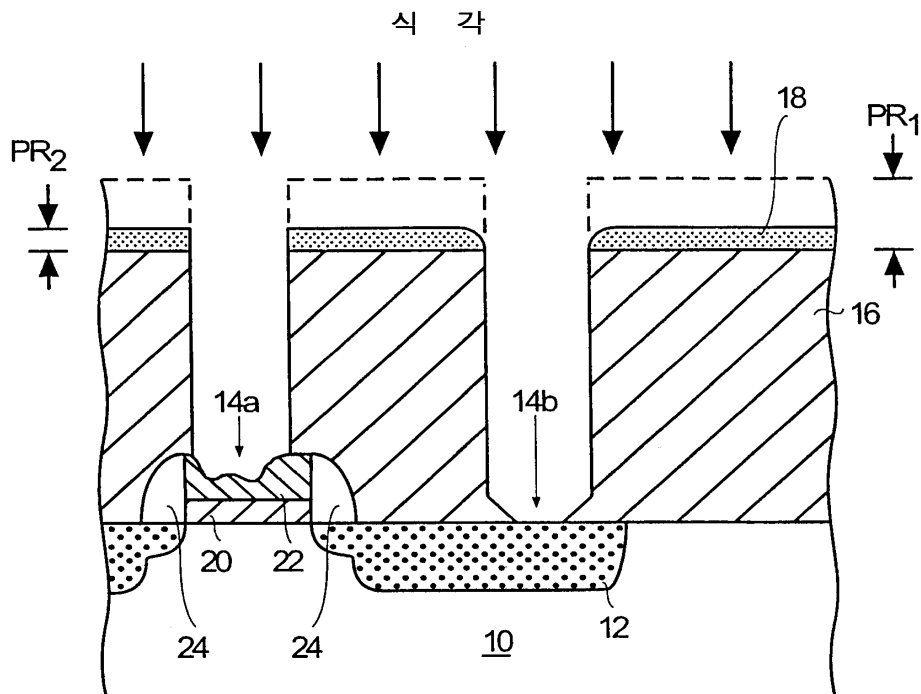
삭제

청구항 28.

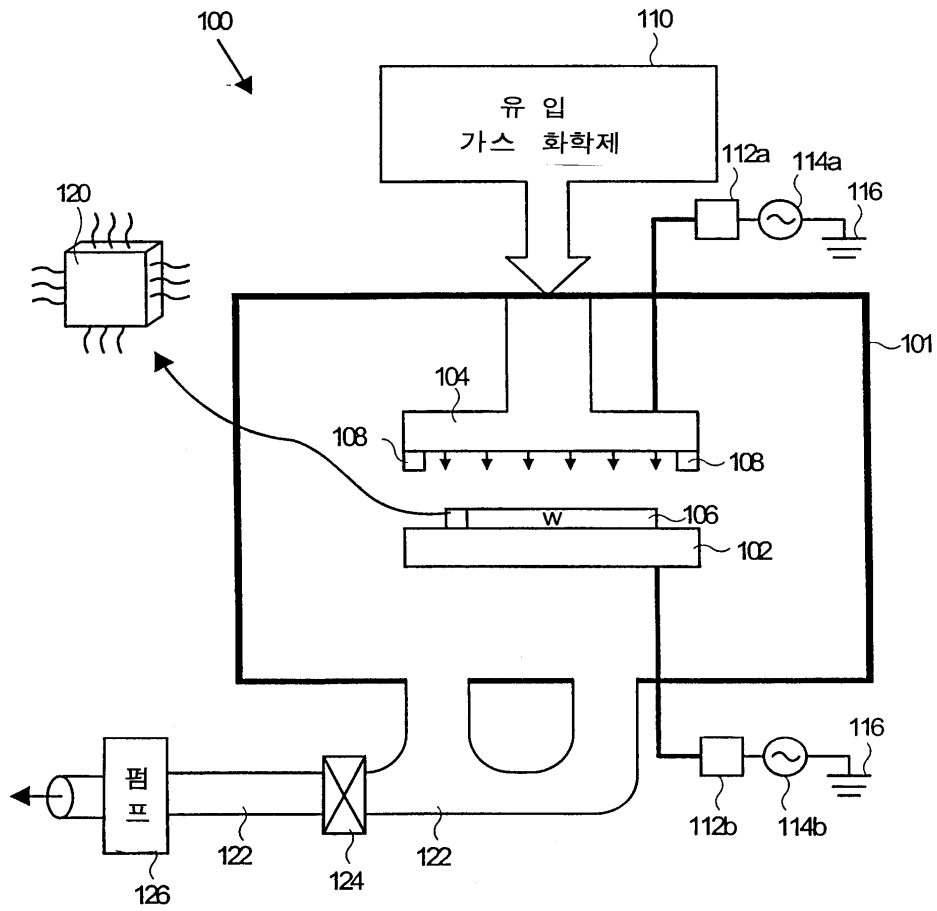
삭제

도면

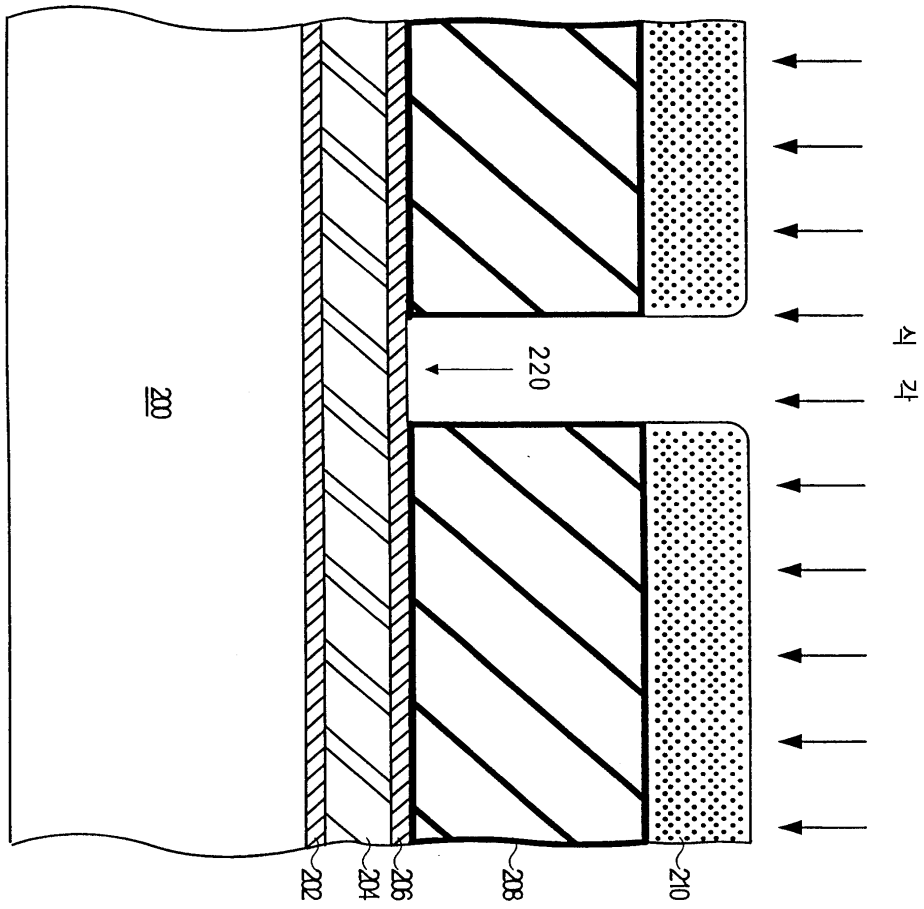
도면1a



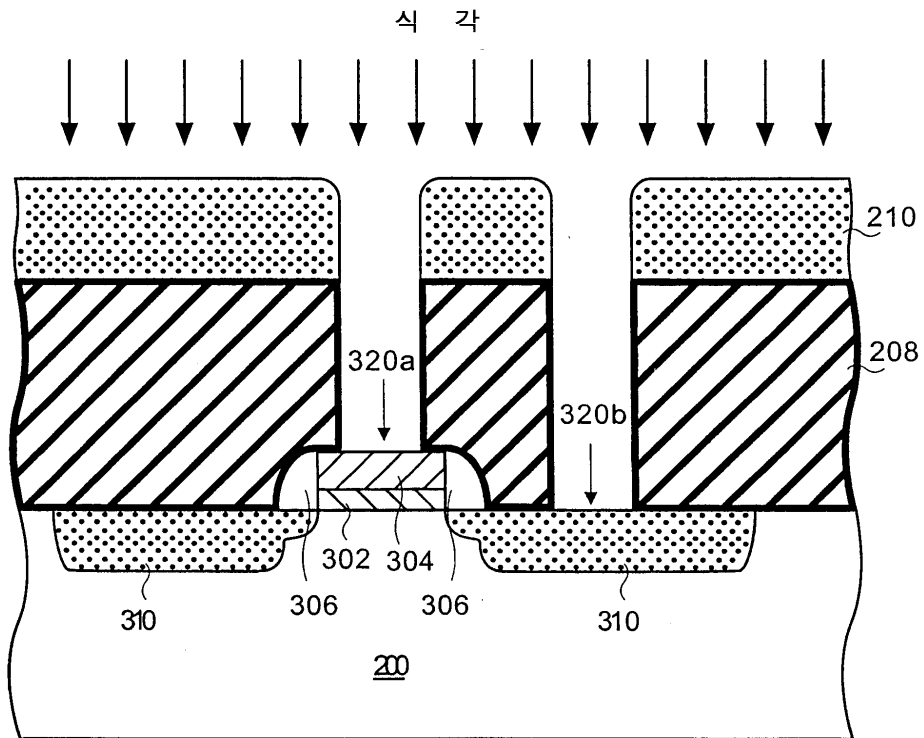
도면1b



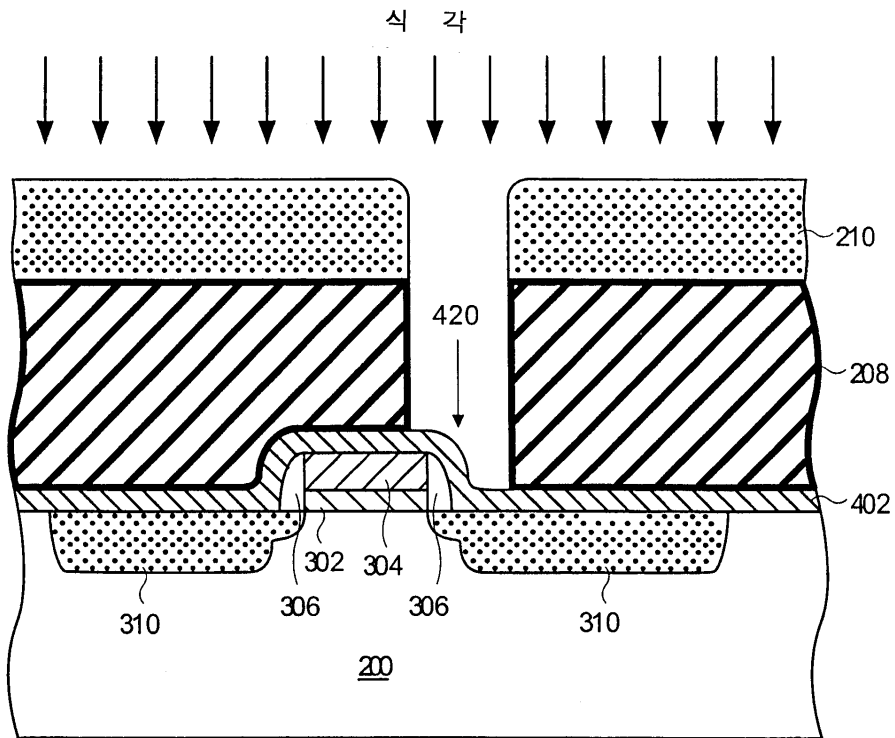
도면2



도면3



도면4



도면5

