

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4444005号
(P4444005)

(45) 発行日 平成22年3月31日(2010.3.31)

(24) 登録日 平成22年1月22日(2010.1.22)

(51) Int.Cl.

F I

GO 1 P 15/125 (2006.01)

GO 1 P 15/125

Z

請求項の数 1 (全 12 頁)

(21) 出願番号	特願2004-163630 (P2004-163630)	(73) 特許権者	000004260
(22) 出願日	平成16年6月1日(2004.6.1)		株式会社デンソー
(65) 公開番号	特開2005-345207 (P2005-345207A)		愛知県刈谷市昭和町1丁目1番地
(43) 公開日	平成17年12月15日(2005.12.15)	(74) 代理人	100123191
審査請求日	平成18年6月26日(2006.6.26)		弁理士 伊藤 高順
審判番号	不服2007-31679 (P2007-31679/J1)	(74) 代理人	100145595
審判請求日	平成19年11月22日(2007.11.22)		弁理士 久保 貴則
		(74) 代理人	100147234
			弁理士 永井 聡
		(74) 代理人	100096998
			弁理士 碓氷 裕彦
		(72) 発明者	酒井 峰一
			愛知県刈谷市昭和町1丁目1番地 株式会 社デンソー内

最終頁に続く

(54) 【発明の名称】 半導体力学量センサ

(57) 【特許請求の範囲】

【請求項1】

半導体材料よりなる電位がフローティング状態の支持基板(2)の一側面上に絶縁膜(3)を配するとともに該絶縁膜(3)上に薄膜半導体層(4)を配したSOI構造の積層基板(1)にて構成され、

前記薄膜半導体層(4)において第1の梁構造体(10)が区画形成され、第1の梁構造体(10)の可動電極部(13)が共通の固定電極である前記支持基板(2)に対し空隙(14)を介して対向配置され、当該可動電極部(13)に搬送波電圧が印加されながら当該可動電極部(13)が力学量の作用により共通の固定電極である前記支持基板(2)の表面に直交する方向に変位して当該可動電極部(13)と前記支持基板(2)との間の容量が変化する第1のコンデンサ構成部(E1)と、

前記第1のコンデンサ構成部(E1)と共に前記積層基板(1)にワンチップ化され、前記薄膜半導体層(4)において第2の梁構造体(20)が区画形成され、第2の梁構造体(20)の可動電極部(23)が共通の固定電極である前記支持基板(2)に対し空隙(24)を介して対向配置され、当該可動電極部(23)に搬送波電圧が印加されながら当該可動電極部(23)が力学量の作用により共通の固定電極である前記支持基板(2)の表面に直交する方向に変位して当該可動電極部(23)と前記支持基板(2)との間の容量が、前記第1の梁構造体(10)の可動電極部(13)の変位による容量とは異なる状態で変化する第2のコンデンサ構成部(E2)と、

前記第1および第2のコンデンサ構成部(E1, E2)と共に前記積層基板(1)にワ

ンチップ化され、前記薄膜半導体層(4)において信号取出用対向電極部(30)がその下に前記絶縁膜(3)が存在する状態で区画形成され、前記信号取出用対向電極部(30)が前記第1および第2のコンデンサ構成部の固定電極である前記支持基板(2)に対し対向配置される第3のコンデンサ構成部(E3)とを備え、

力学量検出時において力学量の作用により前記各可動電極部(13、23)が変位することで前記第1、第2のコンデンサ構成部(E1、E2)に容量差が生じ、該容量差に基づく前記支持基板(2)の平衡電位からの変化量を前記第3のコンデンサ構成部(E3)を介して前記信号取出用対向電極部(30)に取り出す半導体力学量センサであって、

前記薄膜半導体層(4)よりなり、前記第1の梁構造体(10)の周囲と第2の梁構造体(20)の周囲と信号取出用対向電極部(30)の周囲において区画形成され、前記第1の梁構造体(10)および第2の梁構造体(20)および前記信号取出用対向電極部(30)の周囲を囲む前記グランド電位のシールド層(40)と、

を備えたことを特徴とする半導体力学量センサ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体力学量センサに関するものである。

【背景技術】

【0002】

特許文献1、2において基板の表面に直交する方向に作用する加速度を検出するセンサが開示されている。

図10に、特許文献1に記載のSOI基板を用いた容量式加速度センサを示す。支持基板100上において梁101a、101b、101c、101dにより可動電極部(重り部)102が連結支持されている。梁101a、101b、101c、101dは、円形状であり、可動電極部102は基板の表面に垂直なZ軸方向に変位する。加速度は、支持基板100と可動電極部102間の容量変化から検出する。この場合には外乱(ノイズ)の影響を受け易い。

【0003】

図11に、特許文献2に記載の差動容量式センサを示す。シリコン基板110上において第1スタティック導電層(ポリシリコン層)111が配置され、その上に空隙112を介してダイナミック導電層(ポリシリコン層)113が形成され、さらにその上に空隙114を介して第2スタティック導電層(ポリシリコン層)115が配置されている。第1、2スタティック導電層111、115は固定されており、その間においてダイナミック導電層113が基板110の表面に直交する方向に変位する。このように、差動容量式とすることにより外乱(ノイズ)を相殺することができる。

【特許文献1】特開平9-113534号公報

【特許文献2】特開平5-218300号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

ところが、図11のセンサはノイズに強い構造ではあるが、シリコン基板110上において第1スタティック導電層(ポリシリコン層)111、ダイナミック導電層(ポリシリコン層)113および第2スタティック導電層(ポリシリコン層)115を積層して配置する必要があり、構造的に複雑化してしまう。

【0005】

本発明は、上記問題点に着目してなされたものであり、その目的は、新規な構成にて精度よくセンシングすることができるとともに出力の安定化を図ることができる半導体力学量センサを提供することにある。

【課題を解決するための手段】

【0006】

10

20

30

40

50

請求項 1 に記載の発明によれば、半導体材料よりなる支持基板の上に絶縁膜を介して薄膜半導体層を配した積層基板において、第 1 のコンデンサ構成部と第 2 のコンデンサ構成部と第 3 のコンデンサ構成部とがワンチップ化されている。第 1 のコンデンサ構成部での第 1 の梁構造体の可動電極部には搬送波電圧が印加される。また、第 2 のコンデンサ構成部での第 2 の梁構造体の可動電極部には搬送波電圧が印加される。そして、第 1 のコンデンサ構成部の可動電極部と第 2 のコンデンサ構成部の可動電極部とが力学量の作用により支持基板の表面に直交する方向に変位する。これにより、第 1 のコンデンサ構成部における可動電極部と支持基板との間の容量が変化するとともに、第 2 のコンデンサ構成部における可動電極部と支持基板との間の容量が変化する。このとき、第 2 のコンデンサ構成部における可動電極部と支持基板との間の容量が、第 1 のコンデンサ構成部の可動電極部の変位による容量とは異なる状態で変化する。そしてこの容量差が支持基板に取り出され、さらに、第 3 のコンデンサ構成部を介して支持基板から信号取出用対向電極部に取り出される。

10

【 0 0 0 7 】

よって、差動容量構造を採用することにより外乱（ノイズ）が相殺され、精度よくセンシングすることができる。また、半導体材料よりなる支持基板の上に絶縁膜を介して薄膜半導体層を配した積層基板を用い、この積層基板での薄膜半導体層を区画形成することにより、図 1 1 でのポリシリコン層を 3 層にわたり積層する場合よりも簡単な構成にて差動容量構造とすることができる。

【 0 0 0 8 】

また、薄膜半導体層よりなるシールド層にて、第 1 の梁構造体の周囲と第 2 の梁構造体の周囲と信号取出用対向電極部の周囲が囲まれており、これにより、第 1 のコンデンサ構成部の電極部（薄膜半導体層により構成される電極部）と、第 2 のコンデンサ構成部の電極部（薄膜半導体層により構成される電極部）と、第 3 のコンデンサ構成部の電極部（薄膜半導体層により構成される電極部）との間の相互干渉を防止して出力の安定化を図ることができる。

20

【発明を実施するための最良の形態】

【 0 0 0 9 】

以下、本発明を具体化した一実施形態を図面に従って説明する。

本実施形態では、差動容量式の半導体加速度センサに具体化している。図 1 には半導体加速度センサの平面図を示す。また、図 2 に図 1 における A - A 線での縦断面を示す。図 3 に図 1 における B - B 線での縦断面を示す。このセンサは、基板の表面に垂直な方向（直交する方向）に加わる加速度を検出するセンサである。

30

【 0 0 1 0 】

図 2 に示すように、センサチップとして S O I 基板 1 を用いており、単結晶シリコン基板よりなる支持基板 2 の上に、シリコン酸化膜よりなる絶縁膜 3 を介して薄膜シリコン層（単結晶シリコン層）4 が配置された構造となっている。広義には、S O I 基板 1 は積層基板であり、支持基板 2 は半導体材料よりなり、薄膜シリコン層 4 は薄膜半導体層よりなる。薄膜シリコン層 4 は、支持基板 2 の上に絶縁膜 3 を介して単結晶シリコン基板を配置した後に薄膜化したものである。支持基板 2 と絶縁膜 3 の積層体は四角板状をなしている。

40

【 0 0 1 1 】

この S O I 基板 1 により、第 1 のコンデンサ構成部 E 1 と第 2 のコンデンサ構成部 E 2 と第 3 のコンデンサ構成部 E 3 が構成されている（ワンチップ化されている）。また、薄膜シリコン層 4 における、コンデンサ構成部 E 1 , E 2 , E 3（詳しくは、後記する梁構造体 1 0 , 2 0、電極部 3 0）の周囲の枠部 4 0 をシールド層として用いている。以下、この第 1、第 2、第 3 のコンデンサ構成部 E 1 , E 2 , E 3 およびシールド層（4 0）について説明していく。

【 0 0 1 2 】

薄膜シリコン層 4 には貫通孔 5 が形成され、この貫通孔 5 により薄膜シリコン層 4 が所

50

定の形状に区画形成されている。つまり、貫通孔5により、図1のごとく、左右に配した第1および第2の梁構造体10, 20と、その間に配した信号取出用対向電極部30と、これら部材(10, 20, 30)の周囲の枠部40が区画形成されている。支持基板2を共通の電極として、第1の梁構造体10を用いて第1のコンデンサ構成部E1が、第2の梁構造体20を用いて第2のコンデンサ構成部E2が、信号取出用対向電極部30を用いて第3のコンデンサ構成部E3が、それぞれ構成されている。

【0013】

第1の梁構造体10は、アンカー部11a, 11b, 11c, 11dと梁部12a, 12b, 12c, 12dと可動電極部(重り部)13からなる。アンカー部11a, 11b, 11c, 11dは絶縁膜3の上に固定されている。梁部12a, 12b, 12c, 12dと可動電極部(重り部)13は、図2, 3に示すように、絶縁膜3の上において空隙14を介して配置されている。つまり、アンカー部11a, 11b, 11c, 11dから梁部12a, 12b, 12c, 12dが伸び、梁部12a, 12b, 12c, 12dの先端部において可動電極部(重り部)13が連結支持されている。このようにして4本の卍字梁(12a, 12b, 12c, 12d)を備え、この梁部12a, 12b, 12c, 12dにより可動電極部(重り部)13が支えられ、可動電極部(重り部)13は支持基板2に対し空隙14を介して対向配置されている。

【0014】

また、図1に示すように、重り部13には透孔15が形成され、軽量化が図られている。そして、可動電極部(重り部)13は支持基板2の表面に直交する方向(上下方向)に可動となっている。図4に示すように、この可動電極部(重り部)13と支持基板2との間の容量(コンデンサ容量)をC1とする。つまり、可動電極部(重り部)13と支持基板2とが対向電極をなし、両対向電極の間の容量をC1とする。

【0015】

同様に、図1の第2の梁構造体20は、アンカー部21a, 21b, 21c, 21dと梁部22a, 22b, 22c, 22dと可動電極部(重り部)23からなる。アンカー部21a, 21b, 21c, 21dは絶縁膜3の上に固定されている。梁部22a, 22b, 22c, 22dと可動電極部(重り部)23は、図2に示すように、絶縁膜3の上において空隙24を介して配置されている。つまり、アンカー部21a, 21b, 21c, 21dから梁部22a, 22b, 22c, 22dが伸び、梁部22a, 22b, 22c, 22dの先端部において可動電極部(重り部)23が連結支持されている。このようにして4本の卍字梁(22a, 22b, 22c, 22d)を備え、この梁部22a, 22b, 22c, 22dにより可動電極部(重り部)23が支えられ、可動電極部(重り部)23は支持基板2に対し空隙24を介して対向配置されている。

【0016】

また、図1に示すように、重り部23には透孔25が形成され、軽量化が図られている。そして、可動電極部(重り部)23は支持基板2の表面に直交する方向(上下方向)に可動となっている。図4に示すように、この可動電極部(重り部)23と支持基板2との間の容量(コンデンサ容量)をC2とする。つまり、可動電極部(重り部)23と支持基板2とが対向電極をなし、両対向電極の間の容量をC2とする。

【0017】

ここで、梁部12a~12d, 22a~22dは、支持基板2の表面に直交する方向(上下方向)に加速度を受けたときに可動電極部(重り部)13, 23を当該方向へ変位させると共に、加速度の消失に応じて元の状態に復元させるというバネ機能を備えたものである。

【0018】

また、図1の第1の梁構造体10における梁部の長さL1と第2の梁構造体20における梁部の長さL2との比較において、長さL1に比べ長さL2が大きくなっている。これにより、加速度が加わったときに第1の梁構造体10の電極部13よりも第2の梁構造体20の電極部23の方が大きく変位する。このようにして、第1の梁構造体10と第2の

10

20

30

40

50

梁構造体 20 とは、加速度（力学量）が作用したときの容量変化が異なっている。

【0019】

図 1 において、薄膜シリコン層よりなるアンカー部 11c の上面にはワイヤボンディング用の電極パッド（アルミパッド）16 が形成されている。同様に、薄膜シリコン層よりなるアンカー部 21d の上面にはワイヤボンディング用の電極パッド（アルミパッド）26 が形成されている。

【0020】

図 1 の信号取出用対向電極部 30 は、方形部 31 と帯状部 32 からなり、方形部 31 からパッド形成用の帯状部 32 が延びている。図 2 に示すように、信号取出用対向電極部 30 はその下面に絶縁膜 3 が接する状態で区画形成されている（信号取出用対向電極部 30 がその下に絶縁膜 3 が存在する状態で区画形成されている）。図 4 に示すように、信号取出用対向電極部 30 と支持基板 2 との間の容量（コンデンサ容量）を C_3 とする。図 1 の薄膜シリコン層よりなる帯状部 32 の上面にはワイヤボンディング用の電極パッド（アルミパッド）33 が形成されている。そして、図 4 に示すように、第 1 のコンデンサ構成部 E1 での容量 C_1 と第 2 のコンデンサ構成部 E2 での容量 C_2 の差（ $C_1 - C_2$ ）が支持基板 2 から信号取出用対向電極部 30 に取り出されることになる。

【0021】

また、薄膜シリコン層 4 において、図 1 の第 1 の梁構造体 10 の周囲と第 2 の梁構造体 20 の周囲と信号取出用対向電極部 30 の周囲には枠部 40 が区画形成され、枠部 40（薄膜シリコン層 4）の上面にはワイヤボンディング用の電極パッド（アルミパッド）41 が形成されている。このパッド 41 により第 1 の梁構造体 10 の周辺部と第 2 の梁構造体 20 の周辺部と信号取出用対向電極部 30 の周辺部における薄膜シリコン層 4（枠部 40）がグランド電位にされている（接地されている）。これにより、梁構造体 10、20 および信号取出用対向電極部 30 がシールドされることになる。図 4 に示すように、シールド層（40）と支持基板 2 との間の容量を C_4 とする。

【0022】

半導体加速度センサ（センサチップ）は、次のようにして製造したものである。図 5 を用いて製造工程を説明する。図 5 は図 1 の B - B 線での断面をとっている。

まず、図 5（a）に示すように、ウエハ状の SOI 基板 1 を用意する。そして、薄膜シリコン層 4 の上にフォトリソグラフィ技術及びエッチング技術を利用して電極パッド 16、26、33、41（図 1 参照）を形成する。

【0023】

続いて、図 5（b）に示すように、マスク材 7 をパターニングし、ドライエッチング装置により異方性ドライエッチングを実行することにより、薄膜シリコン層 4 に対し絶縁膜（埋込み酸化膜）3 に達する貫通孔 5 および透孔 15、25 を形成する（パターニングする）。さらに、マスク材 7 を残した状態で、絶縁膜（埋込み酸化膜）3 が露出する SOI 基板（ウエハ）1 の表面側から、等方性ドライエッチングを施すことにより、図 5（c）に示すように、薄膜シリコン層 4 での絶縁膜（埋込み酸化膜）3 と接する部分を除去する。これによって、梁構造体 10 の可動電極部（重り部）13、梁部 12a、12b、12c、12d および梁構造体 20 の可動電極部（重り部）23、梁部 22a、22b、22c、22d が可動になる。そして、マスク材 7 を除去するとともにダイシングすることにより図 1 等に示すセンサチップが完成する。

【0024】

上記のように構成された半導体加速度センサにあっては、基板 2 の表面に直交する方向（上下方向）の成分を含む加速度が印加されると、可動電極部（重り部）13、23 が当該方向へ変位するようになる。そして、その加速度に応じた変位量は、可動電極部（重り部）13、23 の質量と梁部 12a、12b、12c、12d、22a、22b、22c、22d の復元力に比例したものとなる。この場合、可動電極部 13 と支持基板 2 の間の第 1 の容量 C_1 と、可動電極部 23 と支持基板 2 の間の第 2 の容量 C_2 について、図 4 のごとく支持基板 2 の電位はフローティング状態であり、同基板 2 において容量の変化（容

10

20

30

40

50

量差)が現れる。

【0025】

なお、上記第1及び第2の容量 C_1 、 C_2 は、本例の場合、加速度が印加されていない状態で互いに等しくなるように設定されている。つまり、図1において左右に配置された梁構造体10、20において、 $C_1 = C_2$ となっている。

【0026】

図6には、上記のような静電容量の変化を検出するための容量変化検出回路(CV変換回路)の回路構成を示す。但し、この図6では、半導体加速度センサを等価回路で表現している。

【0027】

第1の梁構造体10での電極パッド16には、図7に示すような矩形波より成る第1搬送波信号(周波数;例えば100kHz、電圧レベル V_{cc} は例えば5ボルト)が印加される。また、第2の梁構造体20での電極パッド26には、上記第1搬送波信号と位相が 180° 異なる矩形波より成る第2搬送波信号(周波数;例えば100kHz、電圧レベル V_{cc} は例えば5ボルト)が印加されるようになっている。なお、具体的には図示しないが、上記第1及び第2搬送波信号は、同一の発振回路からのクロック信号に同期して形成されるものである。

【0028】

このようにして、第1のコンデンサ構成部E1において、可動電極部13に搬送波電圧が印加されながら可動電極部13が加速度の作用により支持基板2の表面に直交する方向に変位して可動電極部13と支持基板2との間の容量 C_1 が変化する。同様に、第2のコンデンサ構成部E2において、可動電極部23に搬送波電圧が印加されながら可動電極部23が加速度の作用により支持基板2の表面に直交する方向に変位して可動電極部23と支持基板2との間の容量 C_2 が変化する。このとき、可動電極部23と支持基板2との間の容量 C_2 が、第1の梁構造体10の可動電極部13の変位による容量 C_1 とは異なる状態で変化し、その容量差($C_1 - C_2$)が支持基板2から取り出される。

【0029】

図6においてパッド33にはCV変換回路としてのスイッチドキャパシタ回路50が接続されている。スイッチドキャパシタ回路50は図1に示したセンサチップとは別のチップにおいて形成されている。上記のような各搬送波信号が印加された状態では、信号取出用対向電極部30での電極パッド33の電位レベルは、第1及び第2の容量 C_1 、 C_2 の差に応じたレベルになるものであり、その電位レベルをスイッチドキャパシタ回路50により検出するようにしている。

【0030】

詳しくは、スイッチドキャパシタ回路50は、オペアンプ51、帰還コンデンサ52及びスイッチ要素53を図示のように組み合わせて接続されている。上記オペアンプ51は、反転入力端子に電極パッド33からの信号が入力され、非反転入力端子に $V_{cc}/2$ (つまり、第1及び第2の容量 C_1 、 C_2 が等しい状態時に電極パッド33に現れる電位レベルに相当)の電圧信号が与えられる構成となっている。また、上記スイッチ要素53は、前記図示しない発振回路からのクロック信号に同期して生成されるトリガ信号によりオン/オフされるものであり、図7に示すように、第1搬送波信号の立ち上がりタイミング(第2搬送波信号の立ち下がりタイミング)で一定時間(第1搬送波信号の $1/2$ 周期より短い時間)だけオンするように設定される。

【0031】

図6に示した容量変化検出回路(CV変換回路)は、以下のように動作する。

即ち、第1及び第2の容量 C_1 、 C_2 が等しい場合、図7のタイミングチャート中のタイミングT1においては、第1の梁構造体10での電極に V_{cc} (例えば5ボルト)、第2の梁構造体20での電極に0ボルトの電圧がそれぞれ印加されることになる。このときには、スイッチ要素53がオンされるため、スイッチドキャパシタ回路50からの出力電圧 V_o は $V_{cc}/2$ になる。

10

20

30

40

50

【 0 0 3 2 】

上記タイミング T 1 から所定時間が経過したタイミング T 2 において、スイッチ要素 5 3 がオフされたときには、各電極に対する印加電圧は変化しないので、出力電圧 V_o も $V_{cc} / 2$ のままである。次に、搬送波電圧が切り替わると、各電極に対する印加電圧が変化する。

【 0 0 3 3 】

ここで、出力電圧 V_o のレベルは、第 1 及び第 2 の容量 C_1 , C_2 の差動的な変化量、つまり、電極部 (重り部) 1 3 , 2 3 に作用する加速度の大きさに応じて変化することになるから、その出力電圧 V_o を利用して加速度の大きさを検出できる。

【 0 0 3 4 】

つまり、可動電極と固定電極との間の容量 C_1 , C_2 、信号取出用の固定容量 C_3 および枠部 (シールド層) 4 0 による容量 C_4 に関して、加速度が加わった時のセンサの出力は、可動電極と固定電極の間隔が変化し、その間の容量変化 ($C_1 - C_2$) が生じることで、発生する。詳しくは、センサ出力電圧 V_o は、

$$V_o = C_3 \cdot (C_1 - C_2) \cdot V_{cc} / (C_1 + C_2 + C_3 + C_4) / C_f$$

となる。ただし、 C_f はスイッチドキャパシタ回路の帰還容量である。

【 0 0 3 5 】

ここで、 C_1 , C_2 値が C_3 値よりも十分小さいならば、センサ出力電圧 V_o は、

$$V_o = (C_1 - C_2) \cdot V_{cc} / C_f$$

となる。

【 0 0 3 6 】

よって、加速度により変化する容量差 ($C_1 - C_2$) に比例した出力が得られる。

このようにして、第 1 のコンデンサ構成部 E 1 での梁構造体 1 0 の可動電極部 1 3 と第 2 のコンデンサ構成部 E 2 での梁構造体 2 0 の可動電極部 2 3 とが同一方向に動き、発生した容量差 ($C_1 - C_2$) を検出するとともに、第 3 のコンデンサ構成部 E 3 を介して上記容量差 ($C_1 - C_2$) が取り出される。

【 0 0 3 7 】

また、各コンデンサ構成部 E 1 , E 2 , E 3 (梁構造体 1 0 , 2 0 、信号取出用対向電極部 3 0) をシールド層としての枠部 (薄膜シリコン層) 4 0 にて完全に周囲で囲っているので、互いの干渉を防止することができる。つまり、SOIウエハを用いた容量式加速度センサにおいて基板の表面に垂直な方向に変位して加速度を支持基板と可動電極間の容量変化から検出する場合 (支持基板の電位をフローティングで可動電極と支持基板間の容量変化を検出する場合) 、第 1 ~ 第 3 の各コンデンサ構成部 E 1 , E 2 , E 3 が互いに干渉し、出力が不安定になりやすいが、可動電極の周囲がすべてシールド層としての枠部 (薄膜シリコン層) 4 0 で覆われており、これにより、電極間の干渉を防止することができる。

【 0 0 3 8 】

シールド層に関して、本実施形態の図 1 , 2 , 3 を、図 8 と比較して本実施形態のメリットを説明する。

図 8 においては、第 1 のコンデンサ構成部 E 1 (第 1 の梁構造体 1 0) と第 3 のコンデンサ構成部 E 3 (信号取出用対向電極部 3 0) との間、および、第 2 のコンデンサ構成部 E 2 (第 2 の梁構造体 2 0) と第 3 のコンデンサ構成部 E 3 (信号取出用対向電極部 3 0) との間にシールド層が無い。この場合には、図 9 に示すように、可動電極部 1 3 と信号取出用対向電極部 3 0 の間に寄生容量 C_{10} が形成されるとともに、可動電極部 2 3 と信号取出用対向電極部 3 0 の間に寄生容量 C_{11} が形成される。そして、この寄生容量 C_{10} , C_{11} の容量値が変化するためセンサ出力誤差の要因となってしまう。これに対し、本実施形態においては図 1 および図 4 に示すように可動電極部 1 3 と信号取出用対向電極部 3 0 との間、および、可動電極部 2 3 と信号取出用対向電極部 3 0 との間に寄生容量が形成されずセンサ出力誤差を小さくすることができる。

10

20

30

40

50

【 0 0 3 9 】

以上、本実施形態は下記の特徴を有する。

SOI基板1において第1のコンデンサ構成部E1と第2のコンデンサ構成部E2と第3のコンデンサ構成部E3とがワンチップ化されている。第1のコンデンサ構成部E1での第1の梁構造体10の可動電極部13には搬送波電圧が印加され、また、第2のコンデンサ構成部E2での第2の梁構造体20の可動電極部23には逆相の搬送波電圧が印加される。そして、第1のコンデンサ構成部E1の可動電極部13と第2のコンデンサ構成部E2の可動電極部23とが加速度の作用により支持基板2の表面に直交する方向に変位する。これにより、第1のコンデンサ構成部E1における可動電極部13と支持基板2との間の容量C1が変化するとともに、第2のコンデンサ構成部E2における可動電極部23と支持基板2との間の容量C2が変化する。このとき、第2のコンデンサ構成部E2における可動電極部23と支持基板2との間の容量C2が、第1のコンデンサ構成部E1の可動電極部13の変位による容量C1とは異なる状態で変化する。そしてこの容量差が支持基板2から取り出され、さらに、第3のコンデンサ構成部E3を介して支持基板2から信号取出用対向電極部30に取り出される。よって、差動容量構造を採用することにより外乱(ノイズ)が相殺され、精度よくセンシングすることができる。また、SOI基板1を用い、このSOI基板1での薄膜シリコン層4を区画形成することにより、図11でのポリシリコン層を3層にわたり積層する場合よりも簡単な構成にて差動容量構造とすることができる。

10

【 0 0 4 0 】

20

さらに、薄膜シリコン層4よりなる枠部40をシールド層として、第1の梁構造体10の周囲と第2の梁構造体20の周囲と信号取出用対向電極部30の周囲において区画形成した。よって、薄膜シリコン層4よりなるシールド層(40)にて、第1の梁構造体10の周囲と第2の梁構造体20の周囲と信号取出用対向電極部30の周囲が囲まれており、これにより、第1のコンデンサ構成部E1の電極部(薄膜シリコン層により構成される電極部)と、第2のコンデンサ構成部E2の電極部(薄膜シリコン層により構成される電極部)と、第3のコンデンサ構成部E3の電極部(薄膜シリコン層により構成される電極部)との間の相互干渉を防止して出力の安定化を図ることができる。

【 0 0 4 1 】

なお、上記実施形態においては、第1の梁構造体10と第2の梁構造体20とは、梁部の長さL1, L2を変えることにより加速度(力学量)が作用したときの容量変化を異ならせたが、これに代わり以下のようにしてもよい。

30

【 0 0 4 2 】

・第1の梁構造体10と第2の梁構造体20とは、梁部12a~12dの幅と梁部22a~22dの幅とを変えることにより加速度(力学量)が作用したときの容量変化を異ならせる。

【 0 0 4 3 】

・第1の梁構造体10と第2の梁構造体20とは、可動電極部13, 23の質量または電極面積を変えることにより加速度(力学量)が作用したときの容量変化を異ならせる。

・第1の梁構造体10と第2の梁構造体20とは、支持基板2と薄膜シリコン層4の間の絶縁膜3の材質または厚さを変えることにより加速度(力学量)が作用したときの容量変化を異ならせる。

40

【 0 0 4 4 】

また、半導体加速度センサの他にも半導体ヨーレートセンサ等の他の力学量を検出するためのセンサに適用してもよい。

次に、上記実施形態および他の実施形態から把握できる技術的思想を以下に記載する。

【 0 0 4 5 】

(イ)請求項1に記載の半導体力学量センサにおいて、第1の梁構造体(10)と第2の梁構造体(20)とは、梁部(12a~12d, 22a~22d)の長さ(L1, L2)を変えることにより力学量が作用したときの容量変化を異ならせたことを特徴とする半

50

導体力学量センサ。

【0046】

(ロ) 請求項1に記載の半導体力学量センサにおいて、第1の梁構造体(10)と第2の梁構造体(20)とは、梁部(12a~12d, 22a~22d)の幅を変えることにより力学量が作用したときの容量変化を異ならせたことを特徴とする半導体力学量センサ。

【0047】

(ハ) 請求項1に記載の半導体力学量センサにおいて、第1の梁構造体(10)と第2の梁構造体(20)とは、可動電極部(13, 23)の質量または電極面積を変えることにより力学量が作用したときの容量変化を異ならせたことを特徴とする半導体力学量センサ。

10

【0048】

(ニ) 請求項1に記載の半導体力学量センサにおいて、第1の梁構造体(10)と第2の梁構造体(20)とは、支持基板(2)と薄膜半導体層(4)の間の絶縁膜(3)の材質または厚さを変えることにより力学量が作用したときの容量変化を異ならせたことを特徴とする半導体力学量センサ。

【図面の簡単な説明】

【0049】

【図1】実施の形態における半導体加速度センサの平面図。

【図2】図1におけるA-A線での縦断面図。

20

【図3】図1におけるB-B線での縦断面図。

【図4】電氣的構造を説明するための概念図。

【図5】(a)~(c)は半導体加速度センサの製造工程を説明するための断面図。

【図6】容量変化検出回路の回路構成図。

【図7】各種の波形図。

【図8】比較のための半導体加速度センサを示す図。

【図9】比較のための半導体加速度センサにおける等価回路図。

【図10】背景技術を説明するためのセンサの斜視図。

【図11】背景技術を説明するためのセンサの縦断面図。

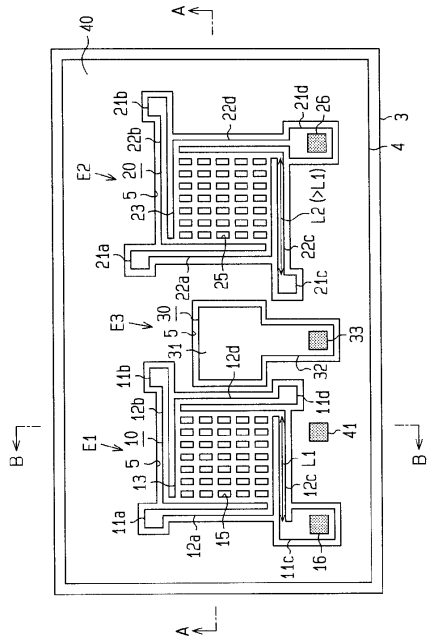
【符号の説明】

30

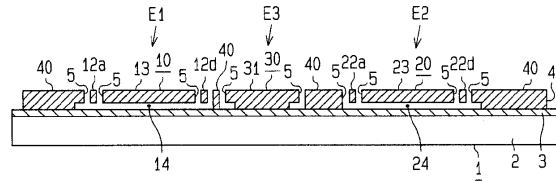
【0050】

1...SOI基板、2...支持基板、3...絶縁膜、4...薄膜シリコン層、10...第1の梁構造体、11a, 11b, 11c, 11d...アンカー部、12a, 12b, 12c, 12d...梁部、13...可動電極部、14...空隙、20...第2の梁構造体、21a, 21b, 21c, 21d...アンカー部、22a, 22b, 22c, 22d...梁部、23...可動電極部、24...空隙、30...信号取出用対向電極部、40...シールド層となる枠部、41...パッド、E1...第1のコンデンサ構成部、E2...第2のコンデンサ構成部、E3...第3のコンデンサ構成部。

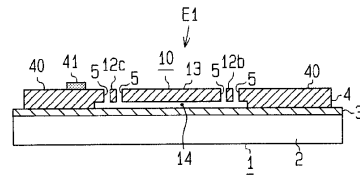
【図1】



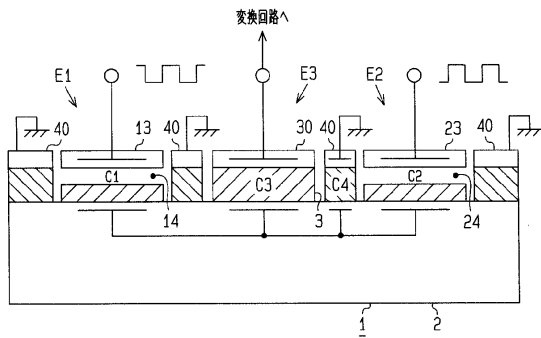
【図2】



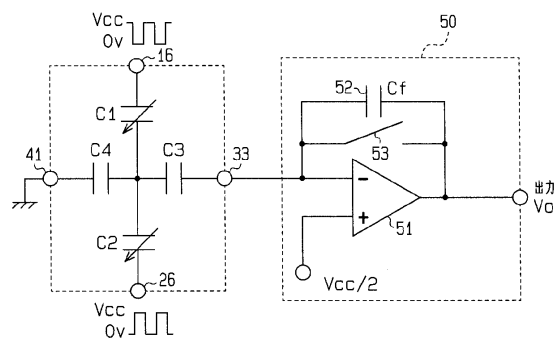
【図3】



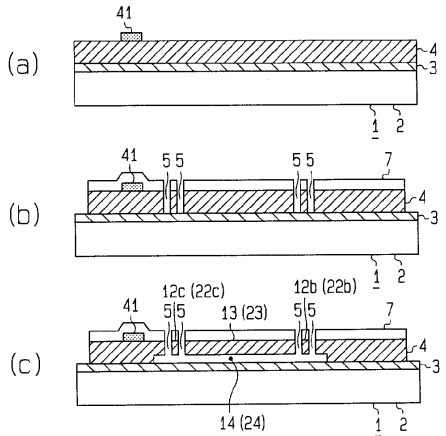
【図4】



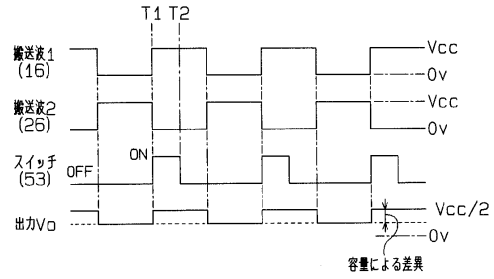
【図6】



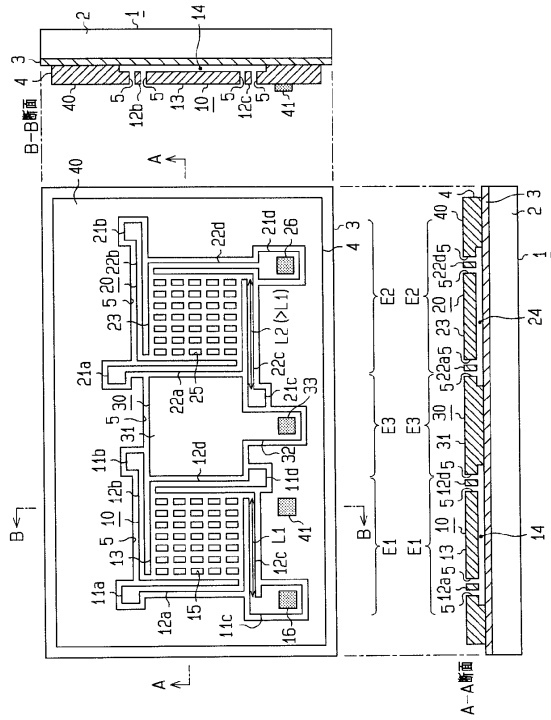
【図5】



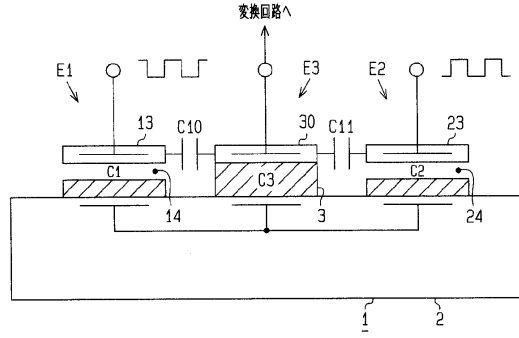
【図7】



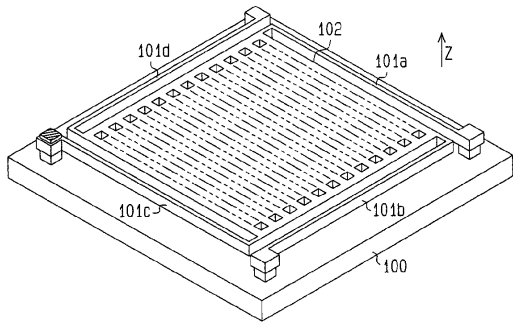
【 図 8 】



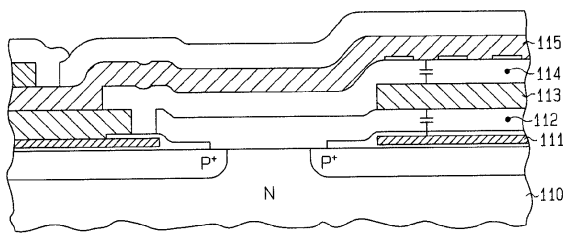
【 図 9 】



【 図 10 】



【 図 11 】



フロントページの続き

合議体

審判長 下中 義之

審判官 濱本 禎広

審判官 江塚 政弘

- (56)参考文献 特開平9 - 5354 (JP, A)
特開平5 - 18990 (JP, A)
特開平7 - 174652 (JP, A)
特開平11 - 345984 (JP, A)
特開2000 - 31502 (JP, A)
特開平8 - 211094 (JP, A)
特開2001 - 91263 (JP, A)

- (58)調査した分野(Int.Cl., DB名)

G01P 15/125