

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4932624号
(P4932624)

(45) 発行日 平成24年5月16日 (2012.5.16)

(24) 登録日 平成24年2月24日 (2012.2.24)

(51) Int.Cl.

F I

G09G 3/30 (2006.01)

H04N 5/66 (2006.01)

G09G 3/20 (2006.01)

H01L 51/50 (2006.01)

G09G 3/30 J

H04N 5/66 103

G09G 3/30 K

G09G 3/20 642A

G09G 3/20 670J

請求項の数 27 (全 38 頁) 最終頁に続く

(21) 出願番号 特願2007-179978 (P2007-179978)
 (22) 出願日 平成19年7月9日 (2007.7.9)
 (65) 公開番号 特開2008-176272 (P2008-176272A)
 (43) 公開日 平成20年7月31日 (2008.7.31)
 審査請求日 平成19年7月9日 (2007.7.9)
 (31) 優先権主張番号 10-2007-0004860
 (32) 優先日 平成19年1月16日 (2007.1.16)
 (33) 優先権主張国 韓国 (KR)

(73) 特許権者 308040351
 三星モバイルディスプレイ株式会社
 Samsung Mobile Display Co., Ltd.
 大韓民国京畿道龍仁市器興区農書洞山24
 San #24 Nongseo-Dong,
 Giheung-Gu, Yongin-City,
 Gyeonggi-Do 446-711
 Republic of KOREA
 (74) 代理人 110000671
 八田国際特許業務法人
 (72) 発明者 金 陽 完
 大韓民国京畿道龍仁市器興区公税里428-5

最終頁に続く

(54) 【発明の名称】 有機電界発光表示装置

(57) 【特許請求の範囲】

【請求項 1】

走査線、データ線および発光制御線に接続された画素を含む有機電界発光表示装置において、

前記画素は、有機電界発光素子と、前記有機電界発光素子を駆動する駆動トランジスタと、前記駆動トランジスタを駆動する第1スイッチング素子と、前記駆動トランジスタに直列に接続された第2スイッチング素子と、第1容量性素子と、第2容量性素子と、を含み、

前記有機電界発光素子は、前記駆動トランジスタと第2電源電圧線に接続され、

前記駆動トランジスタは、前記有機電界発光素子と前記第2スイッチング素子に接続されるとともにその制御電極が第1スイッチング素子に接続され、

前記第1スイッチング素子は、前記駆動トランジスタの制御電極と前記データ線に接続されるとともにその制御電極が前記走査線に接続され、

前記第2スイッチング素子は、前記駆動トランジスタと第1電源電圧線とに接続されるとともにその制御電極が発光制御線に接続され、

前記第1容量性素子は、その一端が前記第1スイッチング素子と前記駆動トランジスタの制御電極に接続されるとともにその他端が前記第1電源電圧線に接続され、

前記第2容量性素子は、その一端が前記第1容量性素子の前記一端に接続されるとともにその他端が前記第2スイッチング素子と前記駆動トランジスタに接続されていることを特徴とする有機電界発光表示装置。

10

20

【請求項 2】

前記第 1 スイッチング素子は、前記走査線に制御電極が接続され、第 1 電極が前記データ線に接続され、第 2 電極が前記駆動トランジスタの制御電極に接続されたことを特徴とする請求項 1 に記載の有機電界発光表示装置。

【請求項 3】

前記第 1 スイッチング素子は、前記走査線に制御電極が接続され、第 1 電極から第 2 電極の方向にデータを伝達することを特徴とする請求項 1 または 2 に記載の有機電界発光表示装置。

【請求項 4】

前記駆動トランジスタは、制御電極が前記第 1 スイッチング素子の第 2 電極と接続され、第 1 電極が前記第 2 スイッチング素子の第 2 電極に接続され、第 2 電極が前記有機電界発光素子のアノード電極と接続されたことを特徴とする請求項 1 ～ 3 のいずれか一項に記載の有機電界発光表示装置。

10

【請求項 5】

前記駆動トランジスタは、制御電極が前記第 1 スイッチング素子の第 2 電極と接続され、前記第 1 電源電圧線からの有機電界発光素子を駆動する駆動電流を制御することを特徴とする請求項 1 ～ 4 のいずれか一項に記載の有機電界発光表示装置。

【請求項 6】

前記第 1 容量性素子は、第 1 電極が前記第 1 電源電圧線と接続され、第 2 電極が前記第 1 スイッチング素子の第 2 電極および前記駆動トランジスタの制御電極と接続されたことを特徴とする請求項 1 ～ 5 のいずれか一項に記載の有機電界発光表示装置。

20

【請求項 7】

前記第 1 容量性素子は、第 1 電極が前記第 1 電源電圧線と接続され、第 2 電極が前記第 2 容量性素子の第 2 電極と接続されたことを特徴とする請求項 1 ～ 6 のいずれか一項に記載の有機電界発光表示装置。

【請求項 8】

前記第 2 スイッチング素子は、制御電極が前記発光制御線と接続され、第 1 電極が前記第 1 電源電圧線と接続され、第 2 電極が前記駆動トランジスタの第 1 電極と接続されたことを特徴とする請求項 1 ～ 7 のいずれか一項に記載の有機電界発光表示装置。

【請求項 9】

前記第 2 スイッチング素子は、制御電極が前記発光制御線と接続され、第 1 電極が前記第 1 電源電圧線と接続され、第 2 電極が前記第 2 容量性素子の第 1 電極と接続されたことを特徴とする請求項 1 ～ 8 のいずれか一項に記載の有機電界発光表示装置。

30

【請求項 10】

前記第 2 容量性素子は、第 1 電極が前記第 2 スイッチング素子の第 2 電極および前記駆動トランジスタの第 1 電極と接続され、第 2 電極が前記第 1 容量性素子の第 2 電極、前記第 1 スイッチング素子の第 2 電極および前記駆動トランジスタの制御電極と接続されたことを特徴とする請求項 1 ～ 9 のいずれか一項に記載の有機電界発光表示装置。

【請求項 11】

前記第 2 容量性素子は、前記駆動トランジスタの制御電極と前記駆動トランジスタの第 1 電極間に接続されたことを特徴とする請求項 1 ～ 10 のいずれか一項に記載の有機電界発光表示装置。

40

【請求項 12】

前記有機電界発光素子は、アノード電極が前記駆動トランジスタの第 2 電極と接続され、カソード電極が前記第 2 電源電圧線と接続されたことを特徴とする請求項 1 ～ 11 のいずれか一項に記載の有機電界発光表示装置。

【請求項 13】

前記第 1 スイッチング素子、第 2 スイッチング素子、駆動トランジスタは N 型チャネルトランジスタであることを特徴とする請求項 1 ～ 12 のいずれか一項に記載の有機電界発光表示装置。

50

【請求項 1 4】

前記第 1 スイッチング素子、第 2 スイッチング素子、駆動トランジスタは P 型チャネルトランジスタであることを特徴とする請求項 1 ~ 1 2 のいずれか一項に記載の有機電界発光表示装置。

【請求項 1 5】

前記有機電界発光素子は発光層を備えており、前記発光層は蛍光材料および燐光材料のうち選択されたいずれか 1 つまたはその混合物であることを特徴とする請求項 1 ~ 1 4 のいずれか一項に記載の有機電界発光表示装置。

【請求項 1 6】

前記発光層は、赤色発光材料、緑色発光材料、青色発光材料のうち選択されたいずれか 1 つまたはその混合物であることを特徴とする請求項 1 5 に記載の有機電界発光表示装置。

10

【請求項 1 7】

前記駆動トランジスタは、非晶質シリコン薄膜トランジスタ、ポリシリコン薄膜トランジスタ、有機薄膜トランジスタおよびナノ薄膜トランジスタのうち選択されたいずれか 1 つであることを特徴とする請求項 1 ~ 1 6 のいずれか一項に記載の有機電界発光表示装置。

【請求項 1 8】

前記駆動トランジスタは、ニッケル (Ni)、カドミウム (Cd)、コバルト (Co)、チタニウム (Ti)、パラジウム (Pd) およびタングステン (W) のうち選択されたいずれか 1 つを有するポリシリコントランジスタであることを特徴とする請求項 1 ~ 1 7 のいずれか一項に記載の有機電界発光表示装置。

20

【請求項 1 9】

前記第 2 電源電圧線の第 2 電源電圧は前記第 1 電源電圧線の第 1 電源電圧より低い電位であることを特徴とする請求項 1 ~ 1 8 のいずれか一項に記載の有機電界発光表示装置。

【請求項 2 0】

前記第 2 電源電圧線の第 2 電源電圧は接地電位であることを特徴とする請求項 1 ~ 1 9 のいずれか一項に記載の有機電界発光表示装置。

【請求項 2 1】

1 フレームの画像表示期間中、前記第 1 スイッチング素子および第 2 スイッチング素子がターンオンされると、前記データ線からデータ電圧が前記第 1 容量性素子の第 2 電極、第 2 容量性素子の第 2 電極および前記駆動トランジスタの制御電極に印加され、前記第 1 電源電圧線からの第 1 電源電圧が前記第 1 容量性素子の第 1 電極および前記第 2 容量性素子の第 1 電極に印加されることを特徴とする請求項 1 ~ 2 0 のいずれか一項に記載の有機電界発光表示装置。

30

【請求項 2 2】

1 フレームの画像表示期間中、前記第 1 スイッチング素子がターンオンされて前記第 2 スイッチング素子がターンオフされると、前記データ線からデータ電圧が前記第 1 容量性素子の第 2 電極、第 2 容量性素子の第 2 電極および前記駆動トランジスタの制御電極に印加され、前記第 1 電源電圧線からの第 1 電源電圧が前記第 1 容量性素子の第 1 電極に印加されることを特徴とする請求項 1 ~ 2 1 のいずれか一項に記載の有機電界発光表示装置。

40

【請求項 2 3】

1 フレームの画像表示期間中、前記第 1 スイッチング素子がターンオフされて前記第 2 スイッチング素子がターンオンされると、前記第 1 電源電圧線、駆動トランジスタおよび有機電界発光素子が接続され、前記有機電界発光素子のアノード電極からカソード電極の方向に電流が印加されることを特徴とする請求項 1 ~ 2 2 のいずれか一項に記載の有機電界発光表示装置。

【請求項 2 4】

前記駆動トランジスタと前記有機電界発光素子との間には発光制御スイッチング素子がさらに含まれることを特徴とする請求項 1 ~ 2 3 のいずれか一項に記載の有機電界発光表

50

示装置。

【請求項 2 5】

前記発光制御スイッチング素子の制御電極は前記発光制御線と接続され、前記発光制御スイッチング素子の第 1 電極は前記駆動トランジスタの第 2 電極と接続され、前記発光制御スイッチング素子の第 2 電極は前記有機電界発光素子のアノード電極と接続されたことを特徴とする請求項 2 4 に記載の有機電界発光表示装置。

【請求項 2 6】

前記発光制御スイッチング素子は N 型チャネルトランジスタであることを特徴とする請求項 2 4 に記載の有機電界発光表示装置。

【請求項 2 7】

前記発光制御スイッチング素子は P 型チャネルトランジスタであることを特徴とする請求項 2 4 に記載の有機電界発光表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、有機電界発光表示装置に関し、より詳しくは、従来の画素回路に比べて少ない数のトランジスタを使うことで画素回路の高集積化、さらには高解像度を実現し、画素回路内の第 1 容量性素子と第 2 容量性素子との比率を適切に調節することで駆動トランジスタの閾値電圧のバラツキを補償し、第 1 電源電圧線による電圧降下 (I R - D R O P) を補償することができる有機電界発光表示装置に関する。

【0002】

また、本発明は、前記画素回路の駆動方法としてデマルチプレクサ (D e m u l t i p l e x e r) を使って R G B データ信号を印加する場合、走査信号のオン / オフにかかわらず発光制御信号のオン期間の間に前記 R G B データ信号を印加することで、前記 R G B データを画素回路の各容量性素子に正しく記憶するデマルチプレクサ駆動方法に関する内容を含む。

【0003】

さらに、本発明は、画素回路の駆動方法としてデマルチプレクサを使って R G B データ信号を印加する際、発光期間中にホワイトバランス補償期間を設けることで、時間が経つにつれてホワイトバランスが変わって所望の色を再現できなくなる問題点を改善できるようにするデマルチプレックス駆動方法に関する内容を含む。

【背景技術】

【0004】

近年、有機電界発光表示装置は、薄さと広い視野角、そして速い反応速度などの長所を有するために次世代平板ディスプレイとして注目されている。

【0005】

このような有機電界発光表示装置は、各画素 (P i x e l) の有機電界発光素子 O L E D に流れる電流の量を制御することで、各画素の明るさ (B r i g h t n e s s) を制御して映像を表示する。

【0006】

言い換えると、データ電圧に対応する電流が有機電界発光素子に供給され、供給された電流に対応して有機電界発光素子が発光する。このとき、データ電圧は、階調を表現するために一定範囲で各段階の値を有する。

【0007】

駆動トランジスタとして非晶質シリコン (a - s i) を使った薄膜トランジスタ (T h i n F i l m T r a n s i s t o r ; T F T) を用いる場合、電流駆動能力は相対的に低いものの、表示装置の均一性に優れ、大面積表示装置最適であるという長所を有する。

【0008】

このような有機電界発光表示装置の各画素回路の駆動トランジスタは、互いに異なる閾

10

20

30

40

50

値電圧 V_{th} を有し得るが、これは最終的にディスプレイパネルの輝度の均一性 (Uniformity) 低下の問題をもたらす。また、第1電源電圧線 VDD が各画素回路に配線されることにより電圧降下 (IR-DROP) が生じ、パネルの下端に行くほど画素の輝度が低下するといった問題がある。

【0009】

さらに、有機電界発光表示装置の画素回路が多数のトランジスタを含む場合、高集積化が困難になるため、前記画素回路を装着したディスプレイパネルの高解像度の実現に対し障害となる。

【0010】

上述した画素回路内駆動トランジスタの閾値電圧の補償のために、従来の回路は、駆動トランジスタの制御電極から負 (Negative) 電源にパス (Path) を形成していたため、これを通じて漏洩電流 (Leakage current) が流れることになり、これにより有機電界発光素子が誤った発光を起こし得るといった問題があった。

【0011】

そして、デマルチプレクサを使ってRGBデータ信号を画素回路に印加する場合、画素回路と電氣的に接続された発光制御線 ($EM[1] \dots, EM[N]$) を通じて印加される発光制御信号がオフであるときに、前記RGBデータ信号が前記画素回路内の容量性素子に正しく記憶されないこともある。

【0012】

すなわち、前記容量性素子に既に記憶されていたRGBデータ信号 (電圧) が初期化されていない状態で、デマルチプレクサを駆動してRGBデータ信号 (電圧) を印加し続ける場合に、前記容量性素子に正しいRGBデータ信号電圧を記憶させることができないという問題がある。

【0013】

さらに、フルカラー有機電界発光表示装置の場合には、有機電界発光素子として赤色 (R)、緑色 (G)、青色 (B) の三色を発光する有機電界発光素子を備えることでフルカラーを具現する。

【0014】

しかし、有機電界発光層として使われる材料は、自身の発光の際に発生する熱によって劣化することがある。このような劣化の進行によって有機電界発光素子OLEDの輝度が低下する現象が起きることがあり、これは前記有機電界発光素子OLEDの寿命が短縮される結果となり得る。

【0015】

一方、有機電界発光素子OLED内の赤色 (Red、R)、緑色 (Green、G) および青色 (Blue、B) を形成する有機電界発光層の劣化 (Degradation) 程度はそれぞれ差があり、赤色 (R) 有機電界発光層、緑色 (G) 有機電界発光層、および青色 (B) 有機電界発光層の輝度差は時間が経つほど大きくなり得る。したがって、初期設定値に比べてホワイトバランス (White Balance) が経時的に変わって色座標の転移が生ずるため、所望の色を再現できない問題が起きる。

【0016】

すなわち、赤色 (R)、緑色 (G)、青色 (B) のそれぞれにあたる発光層は、互いに異なる寿命特性を有しているため、長期間に渡って、ホワイトバランスを維持することが難しいという短所がある。

【発明の開示】

【発明が解決しようとする課題】

【0017】

本発明は、上述した従来の問題点を克服するためのものであって、本発明の目的は、従来の画素回路に比べて、使用するトランジスタの数を3個という少ない数とすることで、高集積化を図り、高解像度を実現することにある。

【0018】

また、本発明の目的は、第1容量性素子と第2容量性素子の比率($C1 : C2$)を適切に調節することで、駆動トランジスタの閾値電圧 V_{th} を補償して輝度の均一性を向上し、前記第1容量性素子と第2容量性素子の比率調節によって第1電源電圧線 VDD による電圧降下($IR - DROP$)現象を改善することにある。

【0019】

また、本発明の目的は、画素回路内駆動トランジスタの制御電極から負(Negative)電源に向かって漏洩電流が流すためのパス(Path)をもたないことで、前記パスを通じて流れる漏洩電流による有機電界発光素子の誤った発光を防止することにある。

【0020】

また、本発明の目的は、デマルチプレクサを使ってRGBデータ信号を印加する場合に、走査信号のオン/オフにかかわらず発光制御信号がオンしている間に前記RGBデータ信号を印加することで、RGBデータが画素回路の各容量性素子に正しく記憶できるようにすることにある。

10

【0021】

また、本発明の目的は、赤色、緑色、青色の3原色を表現する有機電界発光素子の発光回数または発光強度を制御してカラー表示をする有機電界発光表示装置において、ホワイトバランス補償期間を設けることで、時間が経つにつれてホワイトバランスが変わって所望の色を再現できなくなるという問題を改善することにある。

【課題を解決するための手段】

【0022】

20

本発明の目的を実現するための手段は、詳細には、1フレームの画像表示期間を第1期間 $T1$ 、第2期間 $T2$ および第3期間 $T3$ に分ける。第1期間はデータ書き込み期間であり、第2期間は駆動トランジスタの閾値電圧を記憶させる期間であり、第3期間は発光期間である。このような第1期間、第2期間および第3期間を順次進行すると同時に、記憶素子である第1容量性素子と第2容量性素子の比率($C1 : C2$)を適切に調節して、各画素回路内の駆動トランジスタの閾値電圧のバラツキによるパネルの輝度不均一性および第1電源電圧線の電圧降下($IR - DROP$)を改善することができる。この場合、第1期間および第2期間は非発光期間となり、第3期間は発光期間となる。非発光期間は発光期間に比べて相対的に短くすることができる。

【0023】

30

また、デマルチプレクサを使って前記画素回路を駆動する際、走査信号および発光制御信号がそれぞれオンである期間の間にデマルチプレクサからのRGBデータ信号を印加する方法により画素回路を駆動することができる。

【0024】

また、走査信号がオフ、発光制御信号がオンである期間の間にデマルチプレクサからRGBデータ信号を印加する方法で画素回路を駆動することもできる。

【0025】

これにより、RGBデータ信号が画素回路内の容量性素子に正しく記憶されるように改善することができる。

【0026】

40

また、ホワイトバランス補償のためのデマルチプレクサ駆動方法においては、走査信号および発光制御信号がそれぞれオンである期間にデマルチプレクサからRGBデータ信号を印加することができる。

【0027】

さらに、このようなRGBデータ信号を印加する期間に、ホワイトバランスを補償するためのホワイトバランス補償期間を設けることができる。

【0028】

ホワイトバランス補償期間においては、有機電界発光素子にホワイトバランス補償のために電流を流す時間は、時間が長い方から緑色(G)、赤色(R)および青色(B)の順にすることができる。また、前記電流は発光期間に前記有機電界発光素子に流れる電流よ

50

り大きくすることができる。

【0029】

このように、最も寿命が長い緑色有機電界発光素子には、寿命が相対的に短い青色有機電界発光素子よりホワイトバランス補償のための電流を長時間流すことにより、発光期間の寿命差をホワイトバランス補償期間の間の電流で補償することができる。

【0030】

一般に、有機電界発光表示パネルはマトリクス状に配列された $N \times M$ 個の有機発光セルを電圧駆動あるいは電流駆動して映像を表現する。

【0031】

ダイオード特性を有する有機電界発光素子(OLED)は、図1に示すようにアノード(Anode;ITO)電極、有機薄膜(有機層)およびカソード(Cathode;Metal)電極からなっている。有機薄膜は、正孔の均衡を良くして発光効率を向上させるために、発光層(Emitting Layer、EML)、電子を輸送する電子輸送層(Electron Transport Layer、ETL)および正孔を輸送する正孔輸送層(Hole Transport Layer、HTL)を含む多層構造を有し得る。また、さらに電子輸送層の一側面に電子を注入する電子注入層(Electron Injecting Layer、EIL)と正孔輸送層の一側面に正孔を注入する正孔注入層(Hole Injection Layer)を形成し得る。

【0032】

さらに、燐光型有機電界発光素子の場合には、正孔抑制層(Hole Blocking Layer;HBL)が発光層EMLと電子輸送層ETL間に選択的に形成でき、電子抑制層(Electron Blocking Layer;EBL)が前記発光層EMLと正孔輸送層HTL間に選択的に形成できる。

【0033】

また、前記有機薄膜(有機層)は2種の層を混合してその厚さを減少させるスリム型有機電界発光素子(Slim OLED)構造で形成することもできる。例えば、前記正孔注入層HILと前記正孔輸送層HTLを同時に形成する正孔注入輸送層(Hole Injection Transport Layer;HITL)構造および前記電子注入層EILと前記電子輸送層ETLを同時に形成する電子注入輸送層(Electron Injection Transport Layer;EITL)構造を選択的に形成することができる。前記のようなスリム型有機電界発光素子を使用することの目的は発光効率を増加させるところにある。

【0034】

また、前記アノード電極と発光層EML間に選択的にバッファ層(Buffer Layer)を形成することができる。前記バッファ層は電子をバッファリングする電子バッファ層(Electron Buffer Layer)と正孔をバッファリングする正孔バッファ層(Hole Buffer Layer)とに区分され得る。電子バッファ層は、カソードと電子注入層EIL間に選択的に形成することができ、前記電子注入層EILの機能に代わるものとして形成することができる。このとき、前記有機薄膜の積層構造は発光層EML/電子輸送層ETL/電子バッファ層/カソードとなり得る。また、正孔バッファ層は前記アノード電極と前記正孔注入層EIL間に選択的に形成されることができ、前記正孔注入層HILの機能に代わるものとして形成することができる。このとき、前記有機薄膜の積層構造はアノード電極/正孔バッファ層HBL/正孔輸送層HTL/発光層EMLとなり得る。

【0035】

前記構造に対して可能な積層構造を記載すると、次のようになる。

【0036】

a) 通常積層構造(Normal Stack Structure)

1) アノード/正孔注入層/正孔輸送層/発光層/電子輸送層/電子注入層/カソード

2) アノード/正孔バッファ層/正孔注入層/正孔輸送層/発光層/電子輸送層/電子

10

20

30

40

50

注入層 / カソード

3) アノード / 正孔注入層 / 正孔輸送層 / 発光層 / 電子輸送層 / 電子注入層 / 電子バッファ層 / カソード

4) アノード / 正孔バッファ層 / 正孔注入層 / 正孔輸送層 / 発光層 / 電子輸送層 / 電子注入層 / 電子バッファ層 / カソード

5) アノード / 正孔注入層 / 正孔バッファ層 / 正孔輸送層 / 発光層 / 電子輸送層 / 電子注入層 / カソード

6) アノード / 正孔注入層 / 正孔輸送層 / 発光層 / 電子輸送層 / 電子バッファ層 / 電子注入層 / カソード

b) 通常スリム構造 (Normal Slim Structure)

10

1) アノード / 正孔注入輸送層 / 発光層 / 電子輸送層 / 電子注入層 / カソード

2) アノード / 正孔バッファ層 / 正孔注入輸送層 / 発光層 / 電子輸送層 / 電子注入層 / カソード

3) アノード / 正孔注入層 / 正孔輸送層 / 発光層 / 電子注入輸送層 / 電子バッファ層 / カソード

4) アノード / 正孔バッファ層 / 正孔輸送層 / 発光層 / 電子注入輸送層 / 電子バッファ層 / カソード

5) アノード / 正孔注入輸送層 / 正孔バッファ層 / 発光層 / 電子輸送層 / 電子注入層 / カソード

6) アノード / 正孔注入層 / 正孔輸送層 / 発光層 / 電子バッファ層 / 電子注入輸送層 / カソード

20

c) 逆相積層構造 (Inverted Stack Structure)

1) カソード / 電子注入層 / 電子輸送層 / 発光層 / 正孔輸送層 / 正孔注入層 / アノード

2) カソード / 電子注入層 / 電子輸送層 / 発光層 / 正孔輸送層 / 正孔注入層 / 正孔バッファ層 / アノード

3) カソード / 電子バッファ層 / 電子注入層 / 電子輸送層 / 発光層 / 正孔輸送層 / 正孔注入層 / アノード

4) カソード / 電子バッファ層 / 電子注入層 / 電子輸送層 / 発光層 / 正孔輸送層 / 正孔バッファ層 / アノード

5) カソード / 電子注入層 / 電子輸送層 / 発光層 / 正孔輸送層 / 正孔バッファ層 / 正孔注入層 / アノード

30

6) カソード / 電子注入層 / 電子バッファ層 / 電子輸送層 / 発光層 / 正孔輸送層 / 正孔注入層 / アノード

d) 逆相スリム構造 (Inverted Slim Structure)

1) カソード / 電子注入層 / 電子輸送層 / 発光層 / 正孔注入層 / アノード

2) カソード / 電子注入層 / 電子輸送層 / 発光層 / 正孔注入輸送層 / 正孔バッファ層 / アノード

3) カソード / 電子バッファ層 / 電子注入輸送層 / 発光層 / 正孔輸送層 / 正孔注入層 / アノード

4) カソード / 電子バッファ層 / 電子注入輸送層 / 発光層 / 正孔輸送層 / 正孔注入層 / アノード

40

5) カソード / 電子注入層 / 電子輸送層 / 発光層 / 正孔バッファ層 / 正孔注入輸送層 / アノード

6) カソード / 電子注入輸送層 / 電子バッファ層 / 発光層 / 正孔輸送層 / 正孔注入層 / アノード

ここでカソード (Cathode) は陰極、アノード (Anode) は陽極を意味する。

【0037】

また、このような有機電界発光表示装置は、データラインに書き込まれるデータ種類によって電圧プログラミング (Voltage Programming) 有機電界発光表

50

示装置と、電流プログラミング (Current Programming) 有機電界発光表示装置とに分けられる。

【0038】

このような有機電界発光素子の駆動方式としては、受動マトリクス (Passive Matrix) 方式と能動マトリクス (Active Matrix) 方式が知られている。受動マトリクス方式は、陽極と陰極とを直交させて形成してラインを選択して駆動するため、製作工程が簡単で投資額が少なくてよいが大画面表示装置に適用する場合に電流消費量が多いという短所がある。能動マトリクス方式は、薄膜トランジスタのような能動素子および容量性素子を各画素に形成することで、電流消費量が少なく、画質および寿命に優れ、中型大型にまで適用可能であるという長所がある。

10

【0039】

上述したように能動マトリクス方式においては、有機電界発光素子と薄膜トランジスタを基盤とした画素回路構成が必須の構成要素となるが、このとき、薄膜トランジスタとしては非晶質シリコン薄膜トランジスタまたは多結晶シリコン薄膜トランジスタを用い得る。図2には、有機電界発光表示装置の画素回路を、図3には図2に示した画素回路の駆動タイミング図を示した。図2に示した画素回路はN×M個の画素のうち1つを代表的に示したものである。

【0040】

図2に示すように、有機電界発光表示装置の画素回路は走査信号を供給する走査線S[N]、データ信号を供給するデータ線D[M]、第1電源電圧を供給する第1電源電圧線VDD、第2電源電圧を供給する第2電源電圧線VSS、駆動トランジスタDR-TR、スイッチング素子SW-TR、容量性素子Cおよび有機電界発光素子OLEDを含む。ここで、第1電源電圧は、第2電源電圧に比べて相対的に高い電位であり得る。

20

【0041】

上述した画素回路の1フレームの動作を図3により説明する。

【0042】

図3に示すように、走査信号が供給され、その後少し時間を置いてデータ信号が供給される。少し時間を置く理由は、走査信号の供給によるスイッチング素子のターンオン時間からデータ信号の供給時間までのマージン (Margin) を確保するためである。

【0043】

図2の画素回路を図3のタイミング図によって説明する。走査線S[N]から走査信号が供給されると、スイッチング素子SW-TRがターンオンされる。したがって、データ線D[M]からのデータ信号 (電圧) は駆動トランジスタDR-TRの制御電極および容量性素子Cの第1電極Aに供給される。第1電源電圧線VDDからの第1電源電圧が駆動トランジスタDR-TRを通じて有機電界発光素子OLEDに供給されることで、有機電界発光素子OLEDは1フレームの間一定輝度で発光するようになる。容量性素子Cには前記データ線D[M]から供給されるデータ電圧が記憶されるため、前記走査信号線S[N]からの走査信号供給が遮断されても1フレームの間、前記駆動トランジスタDR-TRはターンオン状態を維持し続ける。

30

【0044】

ところが、図2に示す画素回路のような従来の回路構成で電圧駆動方式を用いる場合、駆動トランジスタとして使われる薄膜トランジスタ (Thin Film Transistor; TFT) の閾値電圧 (Threshold Voltage; Vth) のバラツキのため高階調が得られ難い問題点がある。例えば、3Vでピクセルを駆動する場合に8ビット (256) 階調を表現するためには $3 / 256 = 12 \text{ mV}$ で 10 mV 単位を有する一方、薄膜トランジスタの閾値電圧Vthのバラツキは 100 mV の単位を有するため高階調を表現しにくいという問題点がある。

40

【0045】

また、第1電源電圧線VDDで有機電界発光素子OLEDを駆動する電流を供給するため、画素の数が多くなるほどVDDではさらに大きい電流を供給しなければならない。し

50

たがって、行（ROW）方向に画素数が多くなるほど、VDD供給ライン（Line）でライン抵抗によって電圧降下（IR-DROP）が発生する。

【0046】

これは画素それぞれに配置されている薄膜トランジスタTFTへ印加されるVgs値を異ならせ、有機電界発光素子OLEDの電流差を誘発する原因となる。この電流差は有機電界発光表示装置の画像表示面積が大面積化されるほどさらに深刻になって画質バラツキとして現われることになる。

【0047】

上述した、閾値電圧Vthの補償、VDDラインの電圧降下（IR-DROP）の補償をするために画素回路を多様に構成することはできるが、画素回路が複雑になるおそれがあり、このような画素回路の複雑化は画素回路の高集積化を困難にする。高集積化は高解像度の実現に寄与するため、画素回路の単純化は有機電界発光表示装置の高解像度の実現のために必要な課題である。

10

【0048】

また、デマルチプレクサによるRGBデータ信号を画素回路に印加する際、画素回路と電氣的に接続された発光制御信号（EM[N]からの信号）がオフの状態であれば、RGBデータ信号が画素回路内の容量性素子に正しく記憶されないこともあり得る。すなわち、容量性素子に既に記憶されていたRGBデータ信号（電圧）が初期化されない状態でデマルチプレクサを駆動し続けてRGBデータ信号電圧を印加し続ける場合、容量性素子に正しいRGBデータ信号（電圧）が記憶できない問題がある。

20

【0049】

さらに、有機電界発光層として使われる材料（例えば、DCM2、キナクリドン、DPVBiなど）は、それ自身の発光の際に発生する熱によって劣化されることがある。このような劣化の進行によって有機電界発光素子OLEDの輝度が低下する現象が起きることがあり、これは前記有機電界発光素子OLEDの寿命が短縮される結果となり得る。

【0050】

有機電界発光素子OLED内の赤色（Red、R）、緑色（Green、G）および青色（Blue、B）を形成する有機電界発光層の劣化（Degradation）の速度にはそれぞれ差がある。したがって、赤色（R）有機電界発光層、緑色（G）有機電界発光層および青色（B）有機電界発光層の輝度の差は時間が経つにつれて大きくなり得る。このように経時的に初期設定値に比べてホワイトバランスが変わって色座標の転移が生ずるため、所望の色を再現することができなくなるといえる問題がある。

30

【0051】

前記問題を解決するために本発明による有機電界発光表示装置は、走査線、データ線および発光制御線に接続された画素を含む有機電界発光表示装置において、前記画素は、有機電界発光素子と、前記有機電界発光素子を駆動する駆動トランジスタと、前記駆動トランジスタを駆動する第1スイッチング素子と、前記第1スイッチング素子に直列に接続された第2スイッチング素子と、第1容量性素子と、第2容量性素子と、を含み、前記有機電界発光素子は、前記駆動トランジスタと第2電源電圧線に接続され、前記駆動トランジスタは、前記有機電界発光素子と前記第2スイッチング素子に接続されるとともにその制御電極が第1スイッチング素子に接続され、前記第1スイッチング素子は、前記駆動トランジスタの制御電極と前記データ線に接続されるとともにその制御電極が前記走査線に接続され、前記第2スイッチング素子は、前記駆動トランジスタと第1電源電圧線とに接続されるとともにその制御電極が発光制御線に接続され、前記第1容量性素子は、その一端が前記第1スイッチング素子と前記駆動トランジスタの制御電極に接続されるとともにその他端が前記第1電源電圧線に接続され、前記第2容量性素子は、その一端が前記第1容量性素子の前記一端に接続されるとともにその他端が前記第2スイッチング素子と前記駆動トランジスタに接続されていることを特徴とする。

40

【0052】

前記第1スイッチング素子は、前記走査線に制御電極が接続され、第1電極が前記デー

50

タ線に接続され、第2電極が前記駆動トランジスタの制御電極に接続され得る。

【0053】

前記第1スイッチング素子は、前記走査線に制御電極が接続され、第1電極から第2電極の方向にデータを伝達することができ得る。

【0054】

前記駆動トランジスタは、制御電極が前記第1スイッチング素子の第2電極と接続され、第1電極が前記第2スイッチング素子の第2電極に接続され、第2電極が前記有機電界発光素子のアノード電極と接続され得る。

【0055】

前記駆動トランジスタは、制御電極が前記第1スイッチング素子の第2電極と接続され、前記第1電源電圧線からの有機電界発光素子を駆動する駆動電流を制御することができ得る。

10

【0056】

前記第1容量性素子は、第1電極が前記第1電源電圧線と接続され、第2電極が前記第1スイッチング素子の第2電極および前記駆動トランジスタの制御電極と接続され得る。

【0057】

前記第1容量性素子は、第1電極が前記第1電源電圧線と接続され、第2電極が前記第2容量性素子の第2電極と接続され得る。

【0058】

前記第2スイッチング素子は、制御電極が前記発光制御線と接続され、第1電極が前記第1電源電圧線と接続され、第2電極が前記駆動トランジスタの第1電極と接続され得る。

20

【0059】

前記第2スイッチング素子は、制御電極が前記発光制御線と接続され、第1電極が前記第1電源電圧線と接続され、第2電極が前記第2容量性素子の第1電極と接続され得る。

【0060】

前記第2容量性素子は、第1電極が前記第2スイッチング素子の第2電極および前記駆動トランジスタの第1電極と接続され、第2電極が前記第1容量性素子の第2電極、前記第1スイッチング素子の第2電極および前記駆動トランジスタの制御電極と接続され得る。

30

【0061】

前記第2容量性素子は、前記駆動トランジスタの制御電極と前記駆動トランジスタの第1電極間に接続され得る。

【0062】

前記有機電界発光素子は、アノード電極が前記駆動トランジスタの第2電極と接続され、カソード電極が前記第2電源電圧線と接続され得る。

【0063】

前記第1スイッチング素子、第2スイッチング素子、駆動トランジスタはN型チャンネルトランジスタであり得る。

【0064】

前記第1スイッチング素子、第2スイッチング素子、駆動トランジスタはP型チャンネルトランジスタであり得る。

40

【0065】

前記有機電界発光素子は発光層を備えており、前記発光層は蛍光材料および燐光材料のうち選択されたいずれか1つまたはその混合物であり得る。

【0066】

前記発光層は、赤色発光材料、緑色発光材料、青色発光材料のうち選択されたいずれか1つまたはその混合物であり得る。

【0067】

前記駆動トランジスタは、非晶質シリコン薄膜トランジスタ、ポリシリコン薄膜トラン

50

ジスタ、有機薄膜トランジスタおよびナノ薄膜トランジスタのうち選択されたいずれか 1 つであり得る。

【0068】

前記駆動トランジスタは、ニッケル (Ni)、カドミウム (Cd)、コバルト (Co)、チタニウム (Ti)、パラジウム (Pd) およびタングステン (W) のうち選択されたいずれか 1 つを有するポリシリコントランジスタであり得る。

【0069】

前記第 2 電源電圧線の第 2 電源電圧は前記第 1 電源電圧線の第 1 電源電圧より低い電位であり得る。

【0070】

前記第 2 電源電圧線の第 2 電源電圧は接地電位であってもよい。

【0071】

1 フレームの画像表示期間中、前記第 1 スイッチング素子および第 2 スイッチング素子がターンオンされると、前記データ線からデータ電圧が前記第 1 容量性素子の第 2 電極、第 2 容量性素子の第 2 電極および前記駆動トランジスタの制御電極に印加され、前記第 1 電源電圧線からの第 1 電源電圧が前記第 1 容量性素子の第 1 電極および前記第 2 容量性素子の第 1 電極に印加され得る。

【0072】

1 フレームの画像表示期間中、前記第 1 スイッチング素子がターンオンされて前記第 2 スイッチング素子がターンオフされると、前記データ線からデータ電圧が前記第 1 容量性素子の第 2 電極、第 2 容量性素子の第 2 電極および前記駆動トランジスタの制御電極に印加され、前記第 1 電源電圧線からの第 1 電源電圧が前記第 1 容量性素子の第 1 電極に印加され得る。

【0073】

1 フレームの画像表示期間中、前記第 1 スイッチング素子がターンオフされて前記第 2 スイッチング素子がターンオンされると、前記第 1 電源電圧線、駆動トランジスタおよび有機電界発光素子が接続され、前記有機電界発光素子のアノード電極からカソード電極の方向に電流が印加され得る。

【0074】

前記駆動トランジスタと前記有機電界発光素子との間には発光制御スイッチング素子がさらに含まれ得る。

【0075】

前記発光制御スイッチング素子の制御電極は前記発光制御線と接続され、前記発光制御スイッチング素子の第 1 電極は前記駆動トランジスタの第 2 電極と接続され、前記発光制御スイッチング素子の第 2 電極は前記有機電界発光素子のアノード電極と接続され得る。

【0076】

前記発光制御スイッチング素子は N 型チャネルトランジスタであり得る。

【0077】

前記発光制御スイッチング素子は P 型チャネルトランジスタであり得る。

【0078】

上述したように、本発明に係る有機電界発光表示装置は、1 フレームの画像表示期間を第 1 期間、第 2 期間および第 3 期間に分けることができる。第 1 期間 T1 はデータ線からデータ電圧が印加されるデータ書き込む期間であり、第 2 期間 T2 は駆動トランジスタの閾値電圧 V_{th} を記憶する期間であり、第 3 期間 T3 は発光期間である。

【0079】

このような第 1 期間、第 2 期間および第 3 期間を順次進行すると同時に、記憶素子である第 1 容量性素子と第 2 容量性素子の比率 ($C1 : C2$) を適切に調節して、各画素回路内駆動トランジスタの閾値電圧のバラツキによるパネルの輝度不均一性および第 1 電源電圧線の電圧降下 (I_{R-DROP}) を改善することができる。

【0080】

10

20

30

40

50

この場合、第 1 期間および第 2 期間は非発光期間となり、第 3 期間は発光期間となる。非発光期間は発光期間に比べて相対的に短くすることができる。

【発明の効果】

【0081】

本発明に係る有機電界発光表示装置は、1 フレームの画像表示期間が第 1 期間 T_1 、第 2 期間 T_2 および第 3 期間からなり、それぞれの期間はデータを書き込む期間 T_1 、駆動トランジスタの閾値電圧を記憶する期間 T_2 および発光期間 T_3 からなる。

【0082】

このような本発明に係る有機電界発光表示装置は、第一に、従来の画素回路に比べて、使用するトランジスタ数を 3 個という少ない数とすることにより高集積化を図り、これによって高解像度を可能にする効果を有する。

10

【0083】

第二に、第 1 容量性素子と第 2 容量性素子の比率 ($C_1 : C_2$) を適切に調節することで駆動トランジスタの閾値電圧 V_{th} を補償して輝度の均一性を向上させることができ、第 1 電源電圧線 V_{DD} による電圧降下 ($I R - D R O P$) 現象を改善する効果を有する。

【0084】

第三に、本発明に係る画素回路は、駆動トランジスタの制御電極から負電源の方に漏洩電流を流すための電氣的接続関係を有しないため、漏洩電流による有機電界発光素子の誤発光を防止することができるという効果を有する。

【0085】

20

また、デマルチプレクサを使って RGB データ信号を印加する本発明の実施形態に係る駆動方法においては、走査信号のオン / オフにかかわらず発光制御信号がオンである期間に RGB データ信号を印加することで、RGB データが画素回路の各容量性素子に正しく記憶できるようにする。すなわち、RGB データが画素回路の各容量性素子に印加される前に各容量性素子を第 1 電源電圧線 V_{DD} の第 1 電源電圧によって初期化させることで、新しい RGB データ信号が前記容量性素子に正しく記憶できるようにする効果を有する。

【0086】

さらに、デマルチプレクサを使って RGB データ信号を印加する本発明の実施形態に係る駆動方法においては、非発光期間におけるホワイトバランス補償期間の間に最も発光効率の良い緑色 (G) 有機電界発光素子に最も長い時間電流を流し、次には赤色 (R)、その次には青色 (B) の順にホワイトバランス期間を設けることで、同じ輝度レベルを具現することができる。

30

【0087】

つまり、発光期間中にホワイトバランス補償期間を設けることで、時間が経つにつれてホワイトバランスが変わって所望の色を再現することができなくなる問題を改善する効果を有する。

【発明を実施するための最良の形態】

【0088】

以下、当業者が本発明を容易に実施できる程度に本発明の望ましい実施形態を添付した図面を用いて詳細に説明する。

40

【0089】

本発明を明確に説明するために、添付された図面においては、発明と関係ない部分は省略した。また、明細書の全体に亘って類似の構成および動作を有する部分に対しては同じ符号を付した。ある部分が他の部分と電氣的に接続されているとするとき、直接電氣的に接続されている場合だけでなく、他の素子を介して接続されている場合も含む。

【0090】

図 4 は、本発明に係る有機電界発光表示装置の構成をブロック図として示したものである。

【0091】

図 4 に示すように、有機電界発光表示装置 100 は走査信号駆動部 110、データ信号

50

駆動部 1 2 0、発光制御信号駆動部 1 3 0、有機電界発光表示パネル 1 4 0（以下、パネル 1 4 0 という。）、第 1 電源電圧供給部 1 5 0 および第 2 電源電圧供給部 1 6 0 を含むことができる。

【 0 0 9 2 】

走査信号駆動部 1 1 0 は、多数の走査線 $S[1] \dots S[N]$ を通じて前記パネル 1 4 0 に走査信号を順次供給することができる。

【 0 0 9 3 】

データ信号駆動部 1 2 0 は、多数のデータ線 $D[1] \dots D[M]$ を通じて前記パネルにデータ信号を供給することができる。

【 0 0 9 4 】

発光制御信号駆動部 1 3 0 は、多数の発光制御線 $EM[1] \dots EM[N]$ を通じて前記パネル 1 4 0 に発光制御信号を順次供給することができる。

【 0 0 9 5 】

また、パネル 1 4 0 は列方向に配列されている多数の走査線 $S[1] \dots S[N]$ および発光制御線 $EM[1] \dots EM[N]$ と、行方向に配列されている多数のデータ線 $D[1] \dots D[M]$ と、走査線 $S[1] \dots S[N]$ 、発光制御線 $EM[1] \dots EM[N]$ およびデータ線 $D[1] \dots D[M]$ によって定義される画素回路 1 4 2 (Pixel) を含むことができる。

【 0 0 9 6 】

ここで、画素回路 1 4 2 は走査線とデータ線とによって定義される画素領域に形成できる。上述したように、走査線 $S[1] \dots S[N]$ には走査信号駆動部 1 1 0 から走査信号が供給され、データ線 $D[1] \dots D[M]$ にはデータ駆動部 1 2 0 からデータ信号が供給され、発光制御信号線 $EM[1] \dots EM[N]$ には発光制御信号駆動部 1 3 0 から発光制御信号が供給されることができる。

【 0 0 9 7 】

また、第 1 電源電圧供給部 1 5 0、第 2 電源電圧供給部 1 6 0 はパネル 1 4 0 に備えられた各画素回路 1 4 2 に第 1 電源電圧、第 2 電源電圧を供給する。

【 0 0 9 8 】

図 4 に示すように、走査信号駆動部 1 1 0、データ信号駆動部 1 2 0、発光制御信号駆動部 1 3 0、パネル 1 4 0、第 1 電源電圧供給部 1 5 0 および第 2 電源電圧供給部 1 6 0 は 1 つの基板 1 0 2 にすべて形成できる。

【 0 0 9 9 】

特に、前述した駆動部 1 1 0、1 2 0、1 3 0 および供給部 1 5 0、1 6 0 は、走査線 $S[1] \dots S[N]$ 、データ線 $D[1] \dots D[M]$ 、発光制御線 $EM[1] \dots EM[N]$ および画素回路 1 4 2 のトランジスタ（図示せず）を形成する層と同じ層に形成されることもできる。駆動部 1 1 0、1 2 0、1 3 0 および電源供給部 1 5 0、1 6 0 は前記基板 1 0 2 と別に他の基板（図示せず）に形成し、これを前記基板 1 0 2 と電氣的に接続することもできる。さらに、駆動部 1 1 0、1 2 0、1 3 0 および電源供給部 1 5 0、1 6 0 は、基板 1 0 2 に電氣的に接続される TCP (Tape Carrier Package)、FPC (Flexible Printed Circuit)、TAB (Tape Automatic Bonding)、COG (Chip On Glass) およびこれらと等価の物のうち選択されたいずれか 1 つの形態で形成することができ、本発明において駆動部 1 1 0、1 2 0、1 3 0 および電源供給部 1 5 0、1 6 0 の形態および形成位置は限定されるものではない。

【 0 1 0 0 】

図 5 は、本発明の有機電界発光装置の実施形態に係る画素回路の回路図を示したものである。以下説明する画素回路はすべて図 4 に開示された有機電界発光表示装置 1 0 0 のうちの 1 つの画素回路を意味する。

【 0 1 0 1 】

図 5 に示すように、本発明に係る有機電界発光表示装置の画素回路は、走査線 $S[N]$

10

20

30

40

50

、データ線 D [M]、発光制御線 E M [N]、第 1 電源電圧線 V D D、第 2 電源電圧線 V S S、第 1 スイッチング素子 S W _ T R 1、第 2 スイッチング素子 S W _ T R 2、駆動トランジスタ D R _ T R、第 1 容量性素子 C 1、第 2 容量性素子 C 2 および有機電界発光素子 O L E D を含むことができる。

【 0 1 0 2 】

走査線 S [N] は、オンさせようとする有機電界発光素子 O L E D を選択する走査信号を第 1 スイッチング素子 S W _ T R 1 の制御電極に供給する役割をする。このような走査線 S [N] は走査信号を生成する走査信号駆動部 (1 1 0、図 4 参照) と電氣的に接続され得る。

【 0 1 0 3 】

データ線 D [M] は、発光輝度に比例するデータ信号 (電圧) を第 1 容量性素子 C 1 の第 2 電極、第 2 容量性素子 C 2 の第 2 電極および駆動トランジスタ D R _ T R の制御電極に供給する。データ線 D [M] は、データ信号を生成するデータ信号駆動部 1 2 0 (図 4 参照) と電氣的に接続され得る。

【 0 1 0 4 】

発光制御線 E M [N] は、第 2 スイッチング素子 S W _ T R 2 の制御電極と電氣的に接続され、発光制御信号を供給する。発光制御信号によって第 2 スイッチング素子 S W _ T R 2 がターンオンされると、第 1 電源電圧線 V D D から第 1 電源電圧が第 1 容量性素子 C 1 の第 1 電極、第 2 容量性素子 C 2 の第 1 電極および駆動トランジスタ D R _ T R の第 1 電極に印加される。発光制御線 E M [N] は、発光制御信号を生成する発光制御信号駆動部 1 3 0 (図 4 参照) と電氣的に接続され得る。

【 0 1 0 5 】

第 1 電源電圧線 V D D は、第 1 電源電圧を有機電界発光素子 O L E D に供給する。第 1 電源電圧線 V D D は、第 1 電源電圧を供給する第 1 電源電圧供給部 1 5 0 (図 4 参照) と電氣的に接続され得る。

【 0 1 0 6 】

第 2 電源電圧線 V S S は、第 2 電源電圧を有機電界発光素子 O L E D に供給する。第 2 電源電圧線 V S S は第 2 電源電圧を供給する第 2 電源電圧供給部 1 6 0 (図 4 参照) と電氣的に接続され得る。ここで、第 1 電源電圧は、通常第 2 電源電圧に比べて高い電位であり得る。第 2 電源電圧は接地電位を用いることができる。

【 0 1 0 7 】

第 1 スイッチング素子 S W _ T R 1 は、第 1 電極 (ソースまたはドレイン電極) がデータ線 D [M] と電氣的に接続され、第 2 電極 (ソースまたはドレイン電極) が駆動トランジスタ D R _ T R の制御電極 (ゲート電極)、第 1 容量性素子 C 1 の第 2 電極および第 2 容量性素子 C 2 の第 2 電極と電氣的に繋がれ、制御電極 (ゲート電極) が前記走査線 S [N] と電氣的に接続され得る。第 1 スイッチング素子 S W _ T R 1 は P 型チャネルトランジスタであることができ、走査線 S [N] を通じて制御電極にローレベルの走査信号が印加されることによりターンオンされると、データ線 D [M] を通じて印加されたデータ電圧を、第 1 容量性素子 C 1 の第 2 電極、第 2 容量性素子 C 2 の第 2 電極および駆動トランジスタ D R _ T R の制御電極に印加する。

【 0 1 0 8 】

駆動トランジスタ D R _ T R は、第 1 電極が第 2 容量性素子 C 2 の第 1 電極および第 2 スイッチング素子 S W _ T R 2 の第 2 電極と電氣的に接続され、第 2 電極が有機電界発光素子 O L E D のアノード電極と電氣的に接続され、制御電極が第 1 スイッチング素子 S W _ T R 1 の第 2 電極、第 1 容量性素子 C 1 の第 2 電極および第 2 容量性素子 C 2 の第 2 電極と電氣的に接続され得る。このような、駆動トランジスタ D R _ T R は P 型チャネルトランジスタであり得る。駆動トランジスタ D R _ T R は、制御電極を通じてローレベルの信号が印加されることによりターンオンされると、第 1 電源電圧線 V D D から一定量の電流を有機電界発光素子 O L E D に供給する。データ信号は容量性素子に供給されて記憶されるので、第 1 スイッチング素子 S W _ T R 1 がターンオフされてデータ線 D [M] との

10

20

30

40

50

電氣的接続が切断されても、一定期間は容量性素子に記憶された電圧によって駆動トランジスタDR__TRの制御電極にローレベルの信号が印加され続ける。

【0109】

ここで、駆動トランジスタDR__TRは、非晶質シリコン薄膜トランジスタ、ポリシリコン薄膜トランジスタ、有機薄膜トランジスタ、ナノ薄膜トランジスタおよびそれらと等価の物のうちの選択されたいずれか1つであり得るが、その材質または種類は限定されない。

【0110】

また、駆動トランジスタDR__TRがポリシリコン薄膜トランジスタである場合、結晶化方法としてはエキシマレーザー (Excimer Laser) を使ったレーザー結晶化方法 (ELA) と、金属触媒 (Promoting Material) を使った金属触媒結晶化方法 (MIC: Metal Induced Crystallization) と、固相結晶化方法 (SPC: Solid Phase Crystallization)、高温高湿な雰囲気で結晶化を進行する高圧結晶化方法 (HPA: High Pressure Annealing) および従来のレーザー結晶化方法にマスクを追加して使うSLS (Sequential Lateral Solidification) 方法がある。また、非晶質シリコン (a-Si) と多結晶シリコン (Poly Silicon) の中間の大きさの結晶粒を有するマイクロシリコン (micro Silicon) がある。

【0111】

マイクロシリコンは、通常結晶粒の大きさが1nmないし100nmであるものをいう。マイクロシリコンの電子移動度は1から50以下であり正孔移動度は0.01から0.2以下であることが特徴である。ここで、電子移動度の単位は $\text{cm}^2/(\text{V} \cdot \text{s})$ である。マイクロシリコンは、前記多結晶シリコンに比べて結晶粒が小さいことが特徴であって、ポリシリコンに比べて結晶粒間の突出部領域が小さく形成されるため結晶粒間に電子が移動するときの障害となりにくく、均一な特性を示す。マイクロシリコンの結晶化方法には、一般的に、熱結晶化方法 (Thermal Crystallization Method) とレーザー結晶化方法 (Laser Crystallization Method) がある。前記熱結晶化方法には非晶質シリコンを蒸着すると同時に結晶化構造を得る方法と再加熱 (Reheating) 方法がある。

【0112】

本発明に用いられるトランジスタが薄膜トランジスタTFETの場合、前記の結晶化方法およびそれと等価である方法のうち選択されたいずれか1つの方法によって形成されることができ、本発明に用いられるトランジスタがポリシリコン薄膜トランジスタの場合、その製造方法は、前記の結晶化方法またはそれと等価である方法に限られない。

【0113】

レーザー結晶化方法は、薄膜トランジスタを多結晶シリコン (Poly Silicon) に結晶化する方法のうち最も多く用いられている方法である。既存の多結晶液晶表示装置に用いられる結晶化方法をそのまま用いることができるだけでなく、工程が簡単であり、工程に関する技術開発が完了しているからである。

【0114】

金属触媒結晶化方法は、レーザー結晶化方法を使わずに低温で結晶化できる方法のうちの1つである。非晶質シリコン (a-Si) 表面に金属触媒金属であるNi、Co、Pd、Tiなどを蒸着あるいはスピンコートすると、金属触媒金属は非晶質シリコンの表面に直接浸透する。この金属触媒結晶化方法は、非晶質シリコンの相を変化させながら、低温にて結晶化できるという長所がある。

【0115】

また、金属触媒結晶化方法は、非晶質シリコン表面に金属層を積層する際に、マスクを用いることによって、薄膜トランジスタの特定領域にニッケルシリサイドのような汚染物が介在することを最大限に抑制することができるといった長所がある。前記結晶化方法を

金属触媒誘導側面結晶化方法 (MILC: Metal Induced Lateral Crystallization) と言う。前記金属触媒誘導側面結晶化方法に用いられるマスクとしては、シャドー (Shadow) マスクが用いられるが、シャドーマスクは線形マスク (Linear Mask) あるいは点型マスク (Dot Shaped Mask) であり得る。

【0116】

金属触媒結晶化方法には、さらに、非晶質シリコン表面に金属触媒層を蒸着あるいはスパインコートする際に、キャッピング層 (Capping Layer) をまず介在させて非晶質シリコンに流入される金属触媒量をコントロールする金属触媒誘導キャッピング層結晶化方法 (MICC: Metal Induced Crystallization with Capping Layer) がある。キャッピング層としては、シリコン窒化膜 (Silicon Nitride) を使うことができる。シリコン窒化膜の厚さに応じて金属触媒層から非晶質シリコンに流入される金属触媒量が変わる。このとき、シリコン窒化膜に流入する金属触媒はシリコン窒化膜の全体に形成されることもでき、シャドーマスクなどを用いて選択的に形成されることもできる。金属触媒層が、非晶質シリコンを多結晶シリコンに結晶化した後、選択的に前記キャッピング層を除去することができる。キャッピング層の除去方法には、湿式エッチング方法 (Wet Etching) 方法あるいは乾式エッチング方法 (Dry Etching) を使うことができる。多結晶シリコンが形成された後、ゲート絶縁膜を形成し、ゲート絶縁膜上にゲート電極を形成する。ゲート電極上に層間絶縁膜 (Interlayer Dielectric Layer) を形成することができる。層間絶縁膜上にビアホール (Via Hole) を形成した後、不純物を、ビアホールを通して結晶化された多結晶シリコン上に投入して、内部に形成された金属触媒不純物を追加的に除去することができる。金属触媒不純物を追加的に除去する方法をゲッタリング工程 (Gatterling Process) と言う。ゲッタリング工程には、前記不純物を注入する工程の他、低温で薄膜トランジスタを加熱する加熱工程 (Heating Process) がある。ゲッタリング工程を通じて良質の薄膜トランジスタの形成を実現することができる。

【0117】

さらに、金属触媒結晶化方法によって駆動トランジスタ DR__TR が製造された場合、駆動トランジスタ DR__TR にはニッケル (Ni)、カドミウム (Cd)、コバルト (Co)、チタニウム (Ti)、パラジウム (Pd)、タングステン (W)、アルミニウム Al およびその等価物のうち選択されたいずれか 1 つがさらに含まれることができる。

【0118】

有機電界発光素子 OLED は、アノード電極が駆動トランジスタ DR__TR の第 2 電極と電氣的に接続され、カソード電極が第 2 電源電圧線 VSS と電氣的に接続され得る。有機電界発光素子 OLED は第 2 スイッチング素子 SW__TR2 がターンオンされている間に、駆動トランジスタ DR__TR を通じて制御される電流によって所定の明るさで発光する。

【0119】

ここで、有機電界発光素子 OLED は発光層 (図示せず) を備え、発光層は蛍光材料、燐光材料、その混合物およびその等価物のうち選択されたいずれか 1 つであり得る。しかし、発光層の材質または種類は限定されない。

【0120】

また、発光層は赤色発光材料、緑色発光材料、青色発光材料、その混合物質およびその等価物のうち選択されたいずれか 1 つであり得るが、その材質または種類は限定されない。

【0121】

第 2 スイッチング素子 SW__TR2 はその第 1 電極が第 1 電源電圧線 VDD および第 1 容量性素子 C1 の第 1 電極と電氣的に接続され、第 2 電極が第 2 容量性素子 C2 の第 1 電極および駆動トランジスタ DR__TR の第 1 電極と電氣的に接続され、制御電極が発光制

10

20

30

40

50

御線 E M [N] と電氣的に接続され得る。このような第 2 スイッチング素子 S W _ T R 2 は P 型チャネルトランジスタであることができ、その場合は、発光制御線 E M [N] を通じて制御電極にローレベルの信号が印加されると、ターンオンされて第 1 電源電圧線 V D D からの電流を有機電界発光素子 O L E D に流す。

【 0 1 2 2 】

第 1 容量性素子 C 1 は、その第 1 電極が第 1 電源電圧線 V D D および第 2 スイッチング素子 S W _ T R 2 の第 1 電極と電氣的に接続され、第 2 電極が第 2 容量性素子 C 2 の第 2 電極、第 1 スイッチング素子 S W _ T R 1 の第 2 電極および駆動トランジスタ D R _ T R の制御電極と電氣的に接続され得る。

【 0 1 2 3 】

第 2 容量性素子 C 2 は、その第 1 電極が第 2 スイッチング素子 S W _ T R 2 の第 2 電極および駆動トランジスタ D R _ T R の第 1 電極と電氣的に接続され、第 2 電極が第 1 容量性素子 C 1 の第 2 電極、第 1 スイッチング素子 S W _ T R 1 の第 2 電極および駆動トランジスタの制御電極と電氣的に接続され得る。

【 0 1 2 4 】

これらの容量性素子は、データ信号電圧および駆動トランジスタの閾値電圧を一定期間維持し、発光制御線 E M [N] によって第 2 スイッチング素子 S W _ T R 2 の制御電極にローレベルの信号が印加されてターンオンされると、データ信号の大きさに比例する電流を第 1 電源電圧線から有機電界発光素子に流して有機電界発光素子を発光させる。また、第 1 容量性素子と第 2 容量性素子の比率 (C 1 : C 2) を多様に調節することで、後述する I R - D R O P の補償または駆動トランジスタの閾値電圧補償などの効果を有することができる。

【 0 1 2 5 】

ここで、第 1 スイッチング素子 S W _ T R 1、駆動トランジスタ D R _ T R、第 2 スイッチング素子 S W _ T R 2 はすべて P 型チャネルトランジスタおよびそれらと等価である物のうち選択されたいずれか 1 つであり得るが、ここでそのトランジスタの種類は限定されない。

【 0 1 2 6 】

図 6 は、図 5 に示した画素回路の駆動タイミング図を示したものである。図 6 に示したように、本発明による有機電界発光表示装置の画素回路は、1 フレームを第 1 期間、第 2 期間および第 3 期間に分けることができる。具体的には、1 フレームはデータ書き込み期間 T 1、駆動トランジスタの閾値電圧を記憶する期間である閾値電圧記憶期間 T 2 および発光期間 T 3 からなり得る。データ書き込み期間 T 1 および駆動トランジスタの閾値電圧記憶期間 T 2 と発光期間 T 3 の比率は多様であり得るが、望ましくは、発光期間 T 3 に比べて前記データ書き込み期間 T 1 および駆動トランジスタの閾値電圧記憶期間 T 2 は短い方がよい。

【 0 1 2 7 】

図 7 には図 5 に示された画素回路のデータ書き込み期間 T 1 における電流の流れを示した。ここで、画素回路の動作を図 6 のタイミング図を用いて説明する。

【 0 1 2 8 】

まず、第 1 スイッチング素子 S W _ T R 1 の制御電極に走査線 S [N] からローレベルの走査信号が印加されることにより第 1 スイッチング素子 S W _ T R 1 がターンオンされ、第 2 スイッチング素子 S W _ T R 2 の制御電極に発光制御線 E M [N] のローレベルの信号が印加されることにより第 2 スイッチング素子 S W _ T R 2 がターンオンされる。

【 0 1 2 9 】

第 1 スイッチング素子 S W _ T R 1 がターンオンされることによってデータ線 D [M] のデータ電圧 V d a t a が第 1 スイッチング素子 S W _ T R 1 の第 1 電極から第 2 電極方向に伝わり、第 1 スイッチング素子 S W _ T R 1 の第 2 電極、第 1 容量性素子 C 1 の第 2 電極、第 2 容量性素子 C 2 の第 2 電極および駆動トランジスタ D R _ T R の制御電極にデータ電圧 V d a t a が印加される。

【 0 1 3 0 】

このとき、第2スイッチング素子 SW_TR2 がターンオンされることによって第1電源電圧線 VDD から第1電源電圧が第2スイッチング素子 SW_TR2 の第1電極から第2電極方向に伝達される。したがって、第2スイッチング素子 SW_TR2 の第2電極、第2容量性素子 $C2$ の第1電極および前記駆動トランジスタ DR_TR の第1電極に第1電源電圧が印加される。また、第1電源電圧線 VDD の第1電源電圧は、第1容量性素子 $C1$ の第1電極にも印加される。

【 0 1 3 1 】

データ書き込み期間 $T1$ の間は、駆動トランジスタ DR_TR はターンオフされた状態であって有機電界発光素子 $OLED$ に電流は流れないので、有機電界発光素子 $OLED$ は発光しない。

10

【 0 1 3 2 】

言い換えると、データ書き込み期間 $T1$ においては、駆動トランジスタ DR_TR の制御電極（ゲート電極）、第2容量性素子 $C2$ の第2電極、第1容量性素子 $C1$ の第2電極に $Vdata$ の電圧が印加され（ $Vg = Vdata$ ）、駆動トランジスタ DR_TR の第1電極（ソース電極）、第2容量性素子 $C2$ の第1電極および第1容量性素子 $C1$ の第1電極に VDD の電圧が印加される（ $Vs = VDD$ ）。したがって、容量性素子によって第1電源電圧 VDD からデータ電圧 $Vdata$ を引いた値ほどの電圧（ $VDD - Vdata$ ）がこれらの容量性素子に一定期間記憶される。

【 0 1 3 3 】

20

図8には図5に示された画素回路の駆動トランジスタの閾値電圧記憶期間 $T2$ における電流の流れを示した。ここで、画素回路の動作を図6のタイミング図を用いて説明する。

【 0 1 3 4 】

まず、第1スイッチング素子 SW_TR1 の制御電極に走査線 $S[N]$ からローレベルの走査信号が印加されることにより第1スイッチング素子 SW_TR1 がターンオンされ、第2スイッチング素子 SW_TR2 の制御電極に発光制御線 $EM[N]$ のハイレベルの信号が印加されることで第2スイッチング素子 SW_TR2 がターンオフする。

【 0 1 3 5 】

第1スイッチング素子 SW_TR1 がターンオンすることによってデータ線 $D[M]$ のデータ電圧 $Vdata$ が第1スイッチング素子 SW_TR1 の第1電極から第2電極の方向に伝達され、第1スイッチング素子 SW_TR1 の第2電極、第1容量性素子 $C1$ の第2電極、第2容量性素子 $C2$ の第2電極および駆動トランジスタ DR_TR の制御電極にデータ電圧 $Vdata$ が印加される。

30

【 0 1 3 6 】

このとき、第2スイッチング素子 SW_TR2 がターンオフされることによって、第1電源電圧線 VDD からの第1電源電圧は第1容量性素子 $C1$ の第1電極だけに印加される。

【 0 1 3 7 】

この閾値電圧記憶期間 $T2$ においては、駆動トランジスタ DR_TR はターンオフされた状態であって有機電界発光素子 $OLED$ に電流は流れなくなるので、有機電界発光素子 $OLED$ は発光しない。

40

【 0 1 3 8 】

言い換えると、駆動トランジスタの閾値電圧保存期間 $T2$ においては、駆動トランジスタ DR_TR の制御電極（ゲート電極）、第2容量性素子 $C2$ の第2電極、第1容量性素子 $C1$ の第2電極に $Vdata$ の電圧が印加され（ $Vg = Vdata$ ）、第1容量性素子 $C1$ の第1電極に VDD の電圧が印加される。したがって、第1容量性素子 $C1$ には前記第1電源電圧 VDD から前記データ電圧を引いた値（ $VDD - Vdata$ ）が一定期間記憶される。

【 0 1 3 9 】

このとき、駆動トランジスタ DR_TR の第1電極（ソース電極）の電圧 Vs はデータ

50

電圧 V_{data} に駆動トランジスタ DR_TR の閾値電圧 V_{th} を加えた値であって ($V_s = V_{data} + V_{th}$)、第2容量性素子 C_2 には駆動トランジスタ DR_TR の第1電極電圧 (ソース電極電圧、 $V_s = V_{data} + V_{th}$) から駆動トランジスタ DR_TR の制御電極電圧 (ゲート電極電圧、 $V_g = V_{data}$) を引いた値 V_{th} が一定期間保存される。

【0140】

図6の駆動タイミング図に示す通り、第2期間 T_2 と第3期間 T_3 の間の期間においては、第1スイッチング素子 SW_TR_1 の制御電極に走査線 $S[N]$ からハイレベルの信号が印加されることにより、第1スイッチング素子 SW_TR_1 がターンオフされ、第2スイッチング素子 SW_TR_2 の制御電極に発光制御線 $EM[N]$ からハイレベルの信号が印加されることで第2スイッチング素子 SW_TR_2 がターンオフされる。したがって、この期間においては、第2期間 T_2 において容量性素子に保存された電圧値がそのまま維持される。

10

【0141】

図9において図5に示した画素回路の発光期間 T_3 における電流の流れを示した。ここで、画素回路の動作を図6の駆動タイミング図を用いて説明する。

【0142】

まず、第1スイッチング素子 SW_TR_1 の制御電極に走査線 $S[N]$ からハイレベルの信号が印加されることで前記第1スイッチング素子 SW_TR_1 がターンオフされ、第2スイッチング素子 SW_TR_2 の制御電極に発光制御線 $EM[N]$ のローレベルの信号が印加されることで前記第2スイッチング素子 SW_TR_2 がターンオンされる。

20

【0143】

また、第1スイッチング素子 SW_TR_1 がターンオフされることによって、データ線 $D[M]$ のデータ電圧 V_{data} が画素回路に印加されなくなる。

【0144】

このとき、第2スイッチング素子 SW_TR_2 がターンオンされることによって第1電源電圧線 V_{DD} から第1電源電圧が第2スイッチング素子 SW_TR_2 の第1電極から第2電極の方向に伝達され、駆動トランジスタ DR_TR の第1電極 (ソース電極) に第1電源電圧が印加される。発光期間 T_3 においては、第1電源電圧 V_{DD} から第2電源電圧線 V_{SS} の方向に、有機電界発光素子 $OLED$ を通じて電流が流れることができるようになり、有機電界発光素子 $OLED$ を発光させる。

30

【0145】

発光期間 T_3 においては、駆動トランジスタ DR_TR の第1電極 (ソース電極) の電圧 V_s は V_{DD} になり、駆動トランジスタ DR_TR の制御電極 (ゲート電極) の電圧 V_g および駆動トランジスタ DR_TR のソース - ゲート間電圧 V_{sg} は下記数1のようになる。

【0146】

【数1】

$$V_g = V_{data} + \left(\frac{C_2}{C_1 + C_2} \right) * (V_{DD} - V_{data} - V_{th})$$

40

$$V_s = V_{DD}$$

$$V_{sg} = V_s - V_g$$

$$V_{sg} = V_{DD} - \left[V_{data} + \left(\frac{C_2}{C_1 + C_2} \right) * (V_{DD} - V_{data} - V_{th}) \right]$$

【0147】

50

このとき、有機電界発光素子 O L E D に流れる電流は後述する下記数 2 のようになる。

【 0 1 4 8 】

【 数 2 】

$$I_{OLED} = \frac{\beta}{2} * (V_{sg} - |V_{th}|)^2$$

【 0 1 4 9 】

すなわち、本発明は第 2 期間 T 2 において第 2 容量性素子 C 2 に駆動トランジスタ D R _ T R の閾値電圧 V t h を記憶した後、発光期間 T 3 においてデータ電圧 V d a t a および C 1 と C 2 の比によってデータを表現することの特徴とする。

10

【 0 1 5 0 】

このとき、最適の C 1 と C 2 の比率はそれぞれの画素回路に含まれた駆動トランジスタの閾値電圧 V t h のバラツキによって変わる。例えば、有機電界発光表示装置のパネル (p a n e l) において、閾値電圧 V t h のバラツキが 0 . 1 V であれば画質上の問題がないと言えるが、工程の閾値電圧 V t h のバラツキが 0 . 5 V である場合なら画質上の問題が発生するおそれがある。この場合、C 1 と C 2 の比率を 1 対 5 にすれば (C 1 : C 2 = 1 : 5)、工程の閾値電圧 V t h の散布は 0 . 5 V であってもパネルにて感知される閾値電圧 V t h のバラツキは 0 . 1 V より小さくし得る。従って、画質上の問題を解消することができる。

【 0 1 5 1 】

20

C 2 の値を C 1 の値より相当大きくする場合 (C 2 > > C 1)、C 2 / (C 1 + C 2) は近似的に 1 になる。この場合、前記数 1 の V s g の値は V t h だけが残る。そして、この値を前記数 2 の I O L E D に代入して考えてみると、有機電界発光素子 O L E D に流れる電流に駆動トランジスタの閾値電圧 V t h 値が補償されることができる。

【 0 1 5 2 】

ただし、C 2 の値が C 1 の値より大き過ぎて C 2 / (C 1 + C 2) が 1 になるなら、V s g は V t h になって、この場合データ電圧 V d a t a がいくら変わっても駆動トランジスタ D R _ T R の V s g は V t h であり、数 2 から分かるように有機電界発光素子の電流式にデータ電圧 V d a t a が現れなくなると、データ電圧 V d a t a によって所望の電流を発生させることができなくなるといふ問題がある。すなわち、これは、データ範囲 (d a t a r a n g e) が無限大に増えるということを意味する。そうであっても、C 1 の値を C 2 の値より非常に大きく調整すれば C 2 / (C 1 + C 2) が近似的に 0 となって数式 1 の V s g は V D D - V d a t a になり、この場合データ電圧 V d a t a によって所望の電流を発生させることはできるが、駆動トランジスタ D R _ T R の閾値電圧 V t h の補償や、第 1 電源電圧線 V D D の電圧降下 (I R - D R O P) の補償が正しくできないこともある。

30

【 0 1 5 3 】

従って、本発明による有機電界発光表示装置は C 1 と C 2 の比を適切に調節することで、駆動トランジスタ D R _ T R の閾値電圧 V t h および第 1 電源電圧線 V D D による電圧降下 (I R - D R O P) を補償することができる。例えば、C 2 / (C 1 + C 2) が 0 . 5 であるとする、V s g = V D D - V d a t a - 0 . 5 V D D + 0 . 5 V d a t a + 0 . 5 V t h となってデータ範囲 (d a t a r a n g e) は 2 倍増加し、駆動トランジスタ D R _ T R の閾値電圧 V t h および第 1 電源電圧線 V D D の電圧降下 (I R - D R O P) の影響は半分に減少させることができる。すなわち、望ましくは C 2 の値を C 1 の値より大きく調整して、駆動トランジスタ D R _ T R の閾値電圧 V t h および第 1 電源電圧線 V D D の電圧降下 (I R - D R O P) の影響を最小化させることができる。

40

【 0 1 5 4 】

また、従来の駆動トランジスタの閾値電圧および第 1 電源電圧線の電圧降下の補償のための回路は、本発明による画素回路よりさらに多い数の素子を要していたため高集積化が困難であった。しかし、本発明による画素回路の場合、3 個のトランジスタと 2 個の容量

50

性素子だけで構成されることで、高集積化を可能とし、これにより、高解像度の有機電界発光表示装置を実現することができる。

【0155】

さらに、一般に駆動トランジスタの閾値電圧を補償する回路の場合、駆動トランジスタの制御電極（ゲート電極）から負電源の方にパスが形成され、漏洩電流が流れていた。ここで漏洩電流（駆動トランジスタの *off current*）が大きい場合には、黒色イメージ（*Black image*）を表現しなければならないのに漏洩電流が有機電界発光素子 *OLED* に流入されて不適切な発光が起きることがある。そして、パネル内において、駆動トランジスタが有する漏洩（*Leakage*）特性はすべて異なるため、黒色イメージを表現しなければならない場合であるにもかかわらず、漏洩特性の大きいいくつかの画素が発光することがある。このような現象は、駆動トランジスタにリバースエイジング（*Reverse aging*）を加えると駆動トランジスタの漏洩電流が減少され、上述した不適切な発光現象を減少させることができる。しかし、本発明による画素回路においては、3個のトランジスタと2個の容量性素子で構成され、駆動トランジスタの制御電極からネガティブ電源の方に漏洩電流が流れられるパスが存在しないため、上述した駆動トランジスタのリバースエイジングを加える必要がなくなる。

10

【0156】

データ書き込み期間 *T1* および駆動トランジスタの閾値電圧保存期間 *T2* は、発光期間 *T3* より短くして有機電界発光素子 *OLED* が発光する時間を長くすることが望ましい。

【0157】

20

図10は本発明の有機電界発光表示装置の他の実施形態に係る画素回路を示したものである。図10に示した画素回路は、図5に示した画素回路と類似しているが、図10に示された画素回路においては、図5に示された画素回路に対し、発光制御スイッチング素子 *EM_TR* をさらに含む。

【0158】

発光制御スイッチング素子 *EM_TR* は、制御電極が発光制御線 *EM[N]* と電氣的に接続され、第1電極が駆動トランジスタの第2電極と電氣的に接続され、第2電極が有機電界発光素子 *OLED* のアノード電極と電氣的に接続されている。このような発光制御トランジスタは、第1電源電圧線 *VDD* から第2電源電圧線 *VSS* の方向に前記有機電界発光素子 *OLED* を通じて流れる電流を制御することができる。すなわち、発光期間 *T3* において、発光制御線 *EM[N]* から発光制御スイッチング素子 *EM_TR* の制御電極にローレベルの信号が印加されると、発光制御スイッチング素子 *EM_TR* はターンオンされ、有機電界発光素子 *OLED* を通じて第1電源電圧線 *VDD* から第2電源電圧線 *VSS* の方向に電流が流れることによって有機電界発光素子 *OLED* は発光することができる。

30

【0159】

発光制御スイッチング素子 *EM_TR* としては、*P* 型チャネルトランジスタを用いることができる。

【0160】

図11は、本発明の実施形態に係る *RGB* 画素回路とデマルチプレクサとの電氣的接続関係を示したものである。

40

【0161】

本発明においてデマルチプレクサ1000とは、有機電界発光表示装置のデータ信号駆動部において *RGB* データ信号のそれぞれに対応するレイアウト構造を有するデマルチプレクサをいう。

【0162】

近年、高解像度が要求される趨勢に伴って有機電界発光表示装置のデータラインが増大し、これを駆動するデータ信号駆動部に含まれる集積回路（*Integrated Circuit*）がより大規模になってきているという問題が生じている。このような問題を解決するために、データ信号駆動部の出力線数を減少させるデマルチプレクサが使われている。デマルチプレクサはデータ信号駆動部の出力線に共通で接続される多数のデータ信

50

号供給用スイッチング素子を含み、このようなデータ信号供給用スイッチング素子はそれぞれ決まったデータラインと電氣的に接続されている。これにより、デマルチプレクサはデータ信号供給用スイッチング素子の動作を通じてそれぞれのデータラインに順次データ信号を供給する。

【0163】

ここで、RGBはレッド(Red、R)、グリーン(Green、G)およびブルー(Blue、B)を意味する。図11においては、デマルチプレクサ1000に画素回路3個が電氣的に接続されているが、その個数は、限定されるものではない。また、多数のデマルチプレクサを使ってデータ信号を画素回路に印加することができるが、そのデマルチプレクサの個数も限定されるものではない。

10

【0164】

デマルチプレクサ1000は、それぞれレッドデータ線、グリーンデータ線およびブルーデータ線がそれぞれの画素回路のデータ線D[M]と電氣的に接続されている。また、それぞれのRGBデータ線には、RGBスイッチング素子SW_{TR3}が電氣的に接続されている。RGBスイッチング素子は、さらにレッドデータ線スイッチング素子SW_{TR3R}、グリーンデータ線スイッチング素子SW_{TR3G}およびブルーデータ線スイッチング素子SW_{TR3B}からなり得る。RGBスイッチング素子の制御電極には、それぞれRGB制御線CR、CG、CBを通じてRGB制御信号が印加できる。このようなRGB制御信号CR、CG、CBによってRGBスイッチング素子がターンオンされると、データ信号駆動部からデマルチプレクサを通じてそれぞれのRGB画素回路に適するデータ信号(電圧)が印加できる。

20

【0165】

前記RGBスイッチング素子はP型チャネルトランジスタであり得るが、そのトランジスタの種類は限定されない。

【0166】

図12および図13は、図11で示した本発明のRGB画素回路の2つの実施形態についてのおよび駆動タイミング図をそれぞれ示したものである。まず、図12の駆動タイミング図を用いて、図11に示した本発明に係るRGB画素回路の動作を説明する。

【0167】

RGB画素回路に走査線S[N]を通じてローレベルの走査信号が印加されると、RGB画素回路の各第1スイッチング素子SW_{TR1}はターンオンされ、発光制御線EM[N]を通じてローレベルの発光制御信号が印加されると、RGB画素回路の各第2スイッチング素子SW_{TR2}はターンオンされることができる。

30

【0168】

このように、図12に示された本発明の実施形態に係る有機電界発光表示装置の駆動方法は、上述したように、走査信号および発光制御信号がローレベルである期間において、RGB制御線CR、CG、CBを通じてローレベルの信号を印加してRGBスイッチング素子SW_{TR3}をターンオンさせる。したがって、前記期間中にRGBデータ信号が印加されることができる。

【0169】

40

図11に示したようにP型チャネルトランジスタを用いる場合には、ローレベルの信号が印加される場合ターンオンされるため前記のように説明したが、N型チャネルトランジスタを用いる場合にはハイレベルの信号が印加される際にターンオンされるなど、駆動タイミング図が異なることがあり、トランジスタの種類および駆動タイミング図によっては本発明の技術的思想は限定されない。

【0170】

次に、図13の駆動タイミング図を参照して図11に示された本発明によるRGB画素回路の動作を説明する。

【0171】

走査線S[N]を通じてハイレベルの走査信号が印加されると、RGB画素回路の各第

50

1 スイッチング素子 SW_TR1 はターンオフされ、発光制御線 $EM[N]$ を通じてローレベルの発光制御信号が印加されると、RGB画素回路の各第2スイッチング素子 SW_TR2 はターンオンされる。

【0172】

このように、図13に示された本発明の実施形態に係る有機電界発光表示装置の駆動方法は、走査信号がハイレベルであって、発光制御信号がローレベルである期間においてRGB制御線CR、CG、CBを通じてローレベルの信号を印加してRGBスイッチング素子 SW_TR3 をターンオンさせる。したがって、前記期間中にRGBデータ信号が印加されることができる。

【0173】

ハイレベルの走査信号が画素回路の第1スイッチング素子 SW_TR1 の制御電極に印加される場合、第1スイッチング素子 SW_TR1 はターンオフされる。したがって、ターンオフの走査信号が印加される期間の間には、RGBデータ信号が前記画素回路の容量性素子に即印加されることはない。ただし、データ線 $D[M]$ に形成される寄生キャパシタ Cd によってデータ信号(電圧)を充電した後、ターンオンの走査信号が画素回路の第1スイッチング素子 SW_TR1 の制御電極に印加されて第1スイッチング素子 SW_TR1 がターンオンされると、第1スイッチング素子 SW_TR1 を通じてデータ線 $D[M]$ に形成される寄生キャパシタ Cd によって充電されたデータ信号を即座に印加できる。前記寄生キャパシタンス Cd は画素回路内の第1容量性素子 $C1$ および第2容量性素子 $C2$ のキャパシタンスより大きいことがあり得る。

【0174】

図11に示したようにP型チャネルトランジスタを用いる場合には、ローレベルの信号が印加される場合にターンオンされるために前記のように説明したが、N型チャネルトランジスタを使う場合にはハイレベルの信号が印加される際にターンオンされるなど、駆動タイミング図が異なることがあり、トランジスタの種類および駆動タイミング図によっては本発明の技術的思想は限定されない。

【0175】

上述したように、走査線 $S[N]$ からローレベルの信号またはハイレベルの信号が印加されるか否かにかかわらず、発光制御線 $EM[N]$ からローレベルの信号が印加される期間において、RGB制御線CR、CG、CBを通じてローレベルの信号を印加してRGBスイッチング素子 SW_TR3 をターンオンさせる理由は、発光制御線 $EM[N]$ からローレベルの信号が印加されて画素回路の第2スイッチング素子 SW_TR2 がターンオンされなければ、以前データ電圧を保存していた容量性素子が第1電源電圧線 VDD と電気的に接続されて初期化されることができないためである。このように、前記容量性素子が初期化された後に新しいRGBデータ信号を印加して、前記容量性素子に正しいデータを書き込むことができるようにするとところに本発明の特徴がある。

【0176】

図14は、本発明の実施形態に係るRGB画素回路とデマルチプレクサとの電気的接続関係を示したものである。

【0177】

本発明においてデマルチプレクサ1000とは、有機電界発光表示装置のデータ信号駆動部においてRGBデータ信号のそれぞれに対応するレイアウト構造を有するデマルチプレクサであって、図11に示したデマルチプレクサとほとんど同じであるが、初期化電源電圧線 $Vrst$ と初期化電源電圧線 $Vrst$ とRGBデータ電圧線を電気的に連結する初期化スイッチング素子 SW_TR4 が含まれるという点が異なる。

【0178】

図14においては、デマルチプレクサ1000に画素回路3個が電気的に接続されているが、前記個数は限定されるものではない。また、多数のデマルチプレクサを使ってデータ信号を画素回路に印加することができるが、その個数は限定されない。

【0179】

図14に示すように、デマルチプレクサ1000は、それぞれレッドデータ線、グリーンデータ線およびブルーデータ線がそれぞれの画素回路のデータ線D[M]と電氣的に接続されている。また、それぞれのRGBデータ線にはRGBスイッチング素子SW_TR3が電氣的に接続されている。RGBスイッチング素子は、さらにレッドデータ線スイッチング素子SW_TR3R、グリーンデータ線スイッチング素子SW_TR3Gおよびブルーデータ線スイッチング素子SW_TR3Bからなり得る。RGBスイッチング素子の制御電極には、それぞれRGB制御線CR、CG、CBを通じてRGB制御信号が印加できる。

【0180】

このようなRGB制御信号CR、CG、CBによってRGBスイッチング素子がターンオンされると、すなわちデータ信号駆動部からデマルチプレクサを通じてそれぞれのRGB制御信号CR、CG、CBによってRGBスイッチング素子がターンオンされると、データ信号駆動部からデマルチプレクサを通じてそれぞれのRGB画素回路に適したデータ信号(電圧)が印加できる。

【0181】

初期化電源電圧線Vrstは初期化スイッチング素子SW_TR4を通じてそれぞれのRGBデータ線と電氣的に接続されている。初期化スイッチング素子SW_TR4に初期化信号Rstが印加されると、初期化スイッチング素子SW_TR4G、SW_TR4R、SW_TR4Bはターンオンされ、初期化電源電圧線VrstからそれぞれのRGBデータ線に初期化電源電圧線が印加できる。初期化電源電圧が印加されることによってRGBデータ線に印加された前データ電圧が初期化され、新たなRGBデータ信号(電圧)が印加できる。RGBスイッチング素子および初期化電源電圧はP型チャネルトランジスタであり得るが、トランジスタの種類は限定されない。

【0182】

図11に示されたRGBスイッチング素子SW_TR3および図14に示された初期化スイッチング素子SW_TR4としては、薄膜トランジスタ(Thin Film Transistor; TFT)を使うことができ、薄膜トランジスタの結晶化方法としては、エキシマレーザーを使ったレーザー結晶化法(ELA)、金属触媒を使った金属触媒結晶化法(MIC)、固相結晶化(SPC)法などがある。他にも高温高湿な雰囲気中で結晶化を進行する高压結晶化(HPA)法、従来のレーザー結晶化法にマスクを追加して使うSLS法がある。

【0183】

レーザー結晶化法は、薄膜トランジスタを多結晶シリコンに結晶化する方法のうち最も多く用いられている方法である。既存の多結晶液晶表示装置に用いられる結晶化方法をそのまま用いることができるだけでなく、工程が簡単であり、工程に関する技術開発が完了しているからである。

【0184】

金属触媒結晶化方法は、レーザー結晶化方法を使わずに低温で結晶化できる方法のうちの1つである。非晶質シリコン(a-Si)表面に金属触媒金属であるNi、Co、Pd、Tiなどを蒸着あるいはスピンコートすると、金属触媒金属は非晶質シリコンの表面に直接浸透する。この金属触媒結晶化方法は、非晶質シリコンの相を変化させながら、低温にて結晶化できるという長所がある。

【0185】

また、金属触媒結晶化方法は、非晶質シリコン表面に金属層を体積する際に、マスクを用いることによって、薄膜トランジスタの特定領域にニッケルシリサイドのような汚染物が介在することを最大限に抑制することができるといった長所がある。前記結晶化方法を金属触媒誘導側面結晶化方法(MILC)と言う。前記金属触媒誘導側面結晶化方法に用いられるマスクとしては、シャドーマスクが用いられるが、シャドーマスクは線形マスク(Linear Mask)あるいは点型マスク(Dot Shaped Mask)であり得る。

【 0 1 8 6 】

金属触媒結晶化方法には、さらに、非晶質シリコン表面に金属触媒層を蒸着あるいはスパインコートする際に、キャッピング層をまず介在させて非晶質シリコンに流入される金属触媒量をコントロールする金属触媒誘導キャッピング層結晶化方法（M I C C）がある。キャッピング層としては、シリコン窒化膜を使うことができる。シリコン窒化膜の厚さに応じて金属触媒層から非晶質シリコンに流入される金属触媒量が変わる。このとき、シリコン窒化膜に流入する金属触媒はシリコン窒化膜の全体に形成されることもでき、シャドーマスクなどを用いて選択的に形成されることもできる。金属触媒層が、非晶質シリコンを多結晶シリコンに結晶化した後、選択的に前記キャッピング層を除去することができる。キャッピング層の除去方法には、湿式エッチング方法あるいは乾式エッチング方法を使用することができる。多結晶シリコンが形成された後、ゲート絶縁膜を形成し、ゲート絶縁膜上にゲート電極を形成する。ゲート電極上に層間絶縁膜を形成することができる。層間絶縁膜上にビアホールを形成した後、不純物を、ビアホールを通して結晶化された多結晶シリコン上に投入して、内部に形成された金属触媒不純物を追加的に除去することができる。金属触媒不純物を追加的に除去する方法をゲッタリング工程と言う。ゲッタリング工程には、前記不純物を注入する工程の他、低温で薄膜トランジスタを加熱する加熱工程がある。ゲッタリング工程を通じて良質の薄膜トランジスタの形成を実現することができる。

10

【 0 1 8 7 】

図 1 5 は、図 1 4 に示した本発明の R G B 画素回路の駆動タイミング図を示したものである。

20

【 0 1 8 8 】

以下、図 1 5 の駆動タイミング図を用いて図 1 4 に示された本発明の R G B 画素回路の動作を説明する。

【 0 1 8 9 】

まず、初期化信号線 R s t を通じてローレベルの初期化信号が印加されると、デマルチプレクサ内の初期化スイッチング素子 S W _ T R 4 がターンオンされ、これによってデータ線を初期化電源電圧線 V r s t からの初期化電源電圧によって初期化することができる。

【 0 1 9 0 】

一方、発光制御線 E M [N] を通じてローレベルの発光制御信号が印加され、走査線 S [N] からローレベルの走査信号が印加されると、この期間において、R G B 制御信号線を通じてローレベルの信号が印加されてデマルチプレクサ内の R G B スwitching 素子 S W _ T R 3 R、S W _ T R 3 G、S W _ T R 3 B がターンオンされることができる。

30

【 0 1 9 1 】

R G B 制御信号は緑色（G）、赤色（R）および青色（B）制御信号の順に印加され、R G B データ電圧はそれぞれ緑色（G）、赤色（R）および青色（B）の画素回路に順次印加される。

【 0 1 9 2 】

図 1 5 に示したように、緑色（G）制御信号が印加されてから発光制御線 E M [N] からハイレベルの発光制御信号が印加される期間まで、画素回路内の緑色有機電界発光素子（O L E D Green）に電流が流れて発光する。

40

【 0 1 9 3 】

赤色（R）制御信号が印加されてから前記発光制御線 E M [N] からハイレベルの発光制御信号が印加される期間まで、画素回路内の赤色有機電界発光素子（O L E D Red）に電流が流れて発光する。

【 0 1 9 4 】

また、青色（B）制御信号が印加されてから前記発光制御線 E M [N] からハイレベルの発光制御信号が印加される期間まで、画素回路内の青色有機電界発光素子（O L E D Blue）に電流が流れて発光する。

50

【 0 1 9 5 】

すなわち、図 1 5 に示したように、ホワイトバランス補償期間の間に、緑色 (G) 有機電界発光素子に最も長い時間電流を流し、その次は赤色 (R) 有機電界発光素子、次いで青色 (B) 有機電界発光素子の順に長い時間電流を流す。

【 0 1 9 6 】

このように、ホワイトバランス補償時間が緑色 (G)、赤色 (R) および青色 (B) の順となる理由は、一般に赤色 (R)、青色 (B) 信号に比べて緑色 (G) 信号の発光効率が高いためである。言い換えると、ホワイトバランスを合わせるためには、非発光期間 (ホワイトバランス補償期間) の間に最も発光効率の良い緑色 (G) 有機電界発光素子に最も長い時間電流を流れるようにし、次には赤色 (R)、その次には青色 (B) の順にホワイ

10

【 0 1 9 7 】

以上、本発明に係る有機電界発光表示装置の実施形態について説明してきたが、本発明は、前記実施形態に限定されることなく、特許請求の範囲に記載された本発明の技術的思想を逸脱することなく当業者により変更可能な範囲をも含むものである。

【 図面の簡単な説明 】

【 0 1 9 8 】

20

【 図 1 】 従来の有機電界発光素子の基本構造を示した概路図である。

【 図 2 】 電圧駆動方式の基本画素回路を示した概路図である。

【 図 3 】 図 2 に示された画素回路の駆動タイミング図である。

【 図 4 】 本発明による有機電界発光表示装置の基本構造ブロック図である。

【 図 5 】 本発明の有機電界発光表示装置の一実施例による画素回路を示した回路図である。

【 図 6 】 図 5 に示された画素回路の駆動タイミング図である。

【 図 7 】 図 5 に示された画素回路においてデータ書き込み期間 T 1 中の電流の流れを示した図である。

【 図 8 】 図 5 に示された画素回路において駆動トランジスタの閾値電圧保存期間 T 2 中の電流の流れを示した図である。

30

【 図 9 】 図 5 に示された画素回路において発光期間 T 3 中の電流の流れを示した図である。

【 図 1 0 】 本発明の有機電界発光表示装置の実施形態に係る画素回路を示した回路図である。

【 図 1 1 】 本発明の R G B 画素回路とデマルチプレクサとの実施形態に係る電氣的連結関係を示した図である。

【 図 1 2 】 図 1 1 で示した本発明の R G B 画素回路の実施形態に係る駆動タイミング図である。

【 図 1 3 】 図 1 1 で示した本発明の R G B 画素回路の実施形態に係る駆動タイミング図である。

40

【 図 1 4 】 本発明の R G B 画素回路とデマルチプレクサとの実施形態に係る電氣的連結関係を示した図である。

【 図 1 5 】 図 1 4 に示した本発明の R G B 画素回路の駆動タイミング図である。

【 符号の説明 】

【 0 1 9 9 】

1 0 0 本発明による有機電界発光表示装置、

1 1 0 走査信号駆動部、

1 2 0 データ信号駆動部、

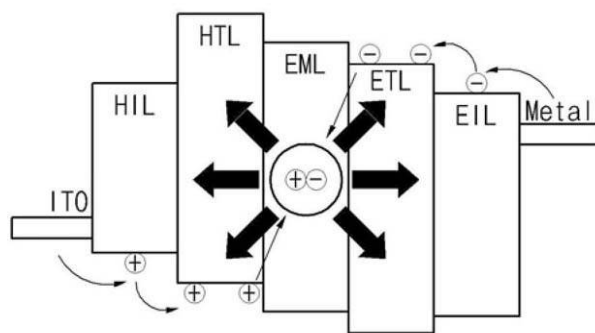
1 3 0 発光制御信号駆動部、

50

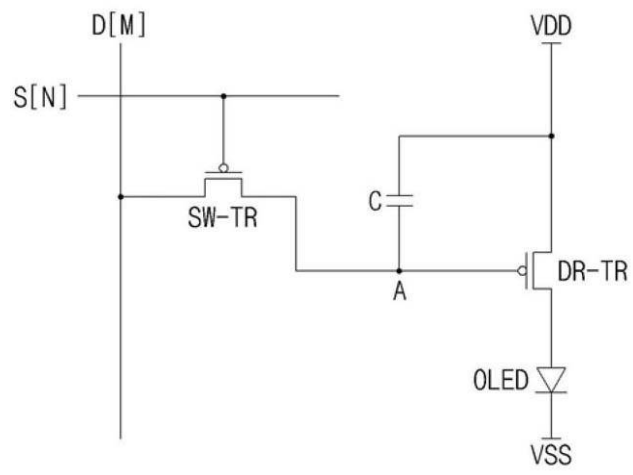
1 4 0 有機電界発光表示パネル、
 1 4 2 画素回路 P、
 1 5 0 第 1 電源電圧供給部、
 D [M] データ線、
 1 6 0 第 2 電源電圧供給部、
 S [N] 走査線、
 E M [N] 発光制御線、
 V D D 第 1 電源電圧線、
 V S S 第 2 電源電圧線、
 S W _ T R 1 第 1 スイッチング素子、
 S W _ T R 2 第 2 スイッチング素子、
 C 1 第 1 容量性素子、
 C 2 第 2 容量性素子、
 D R _ T R 駆動トランジスタ、
 E M _ T R 発光制御トランジスタ、
 O L E D 有機電界発光素子、
 1 0 0 0 デマルチプレクサ、
 S W _ T R 3 R G B スイッチング素子、
 S W _ T R 4 初期化スイッチング素子。

10

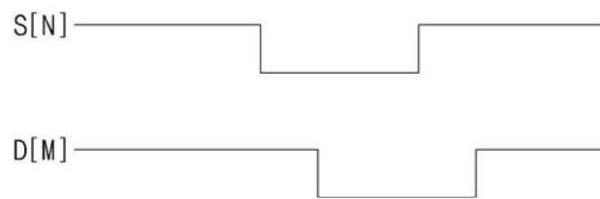
【図 1】



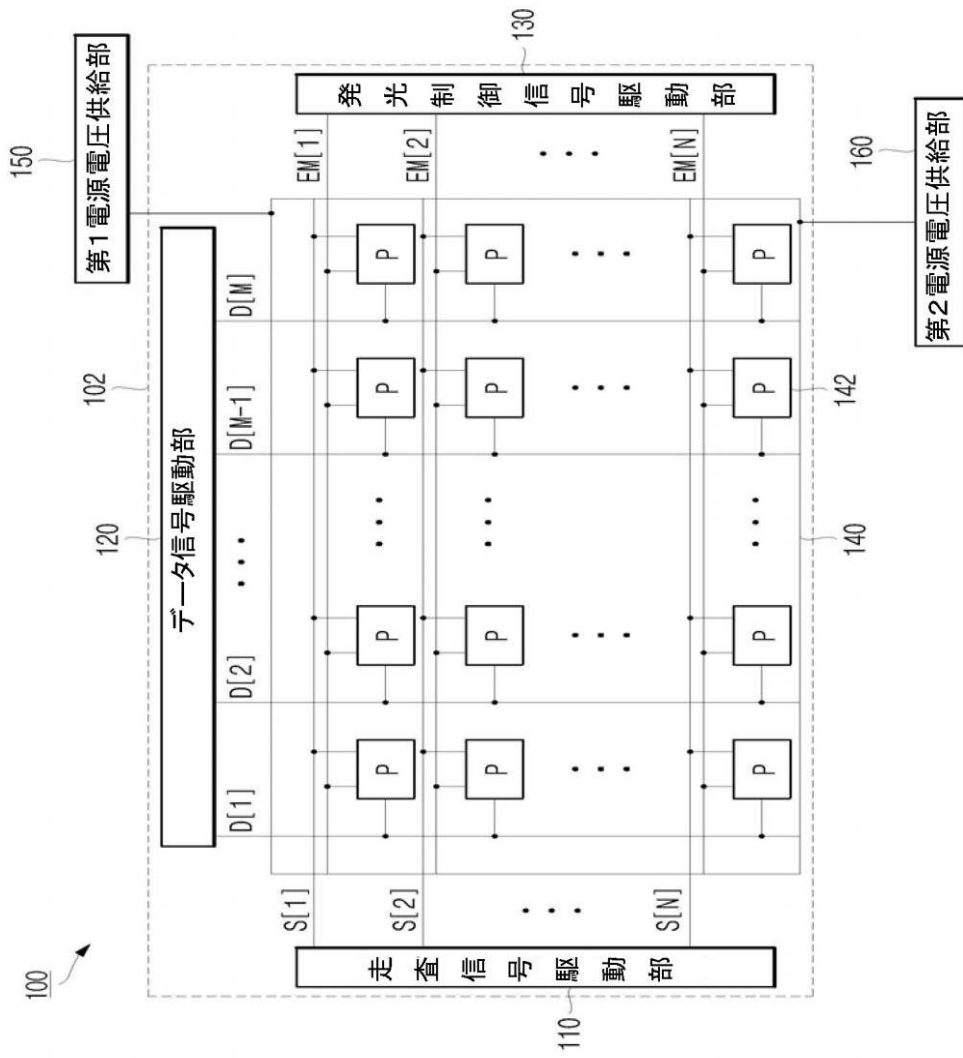
【 図 2 】



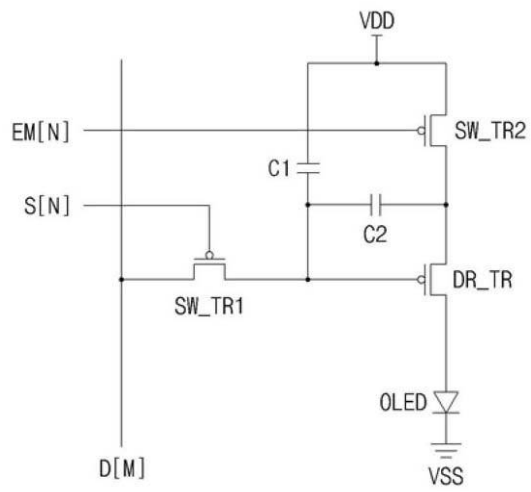
【 図 3 】



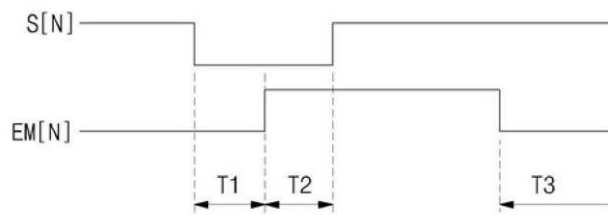
【図4】



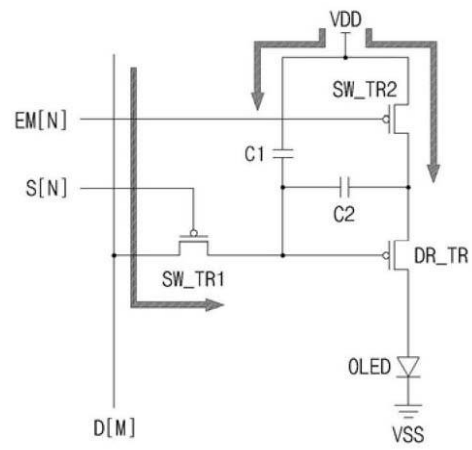
【図 5】



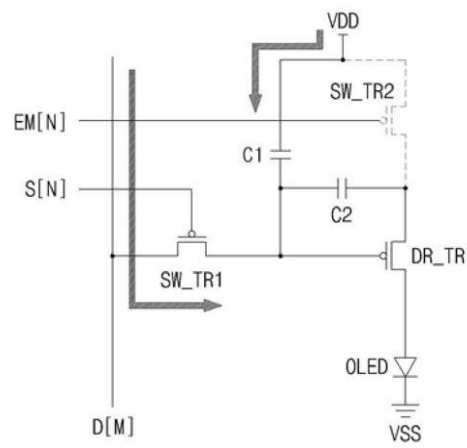
【図 6】



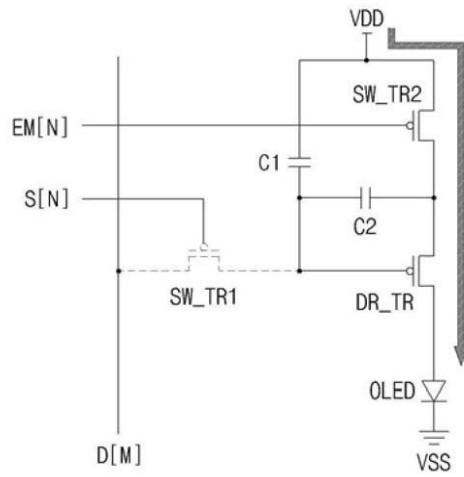
【 図 7 】



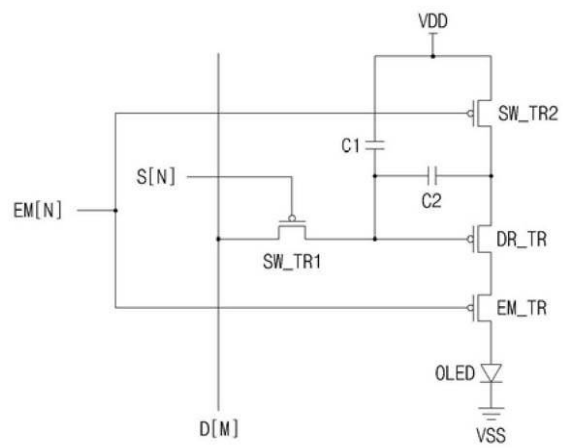
【 図 8 】



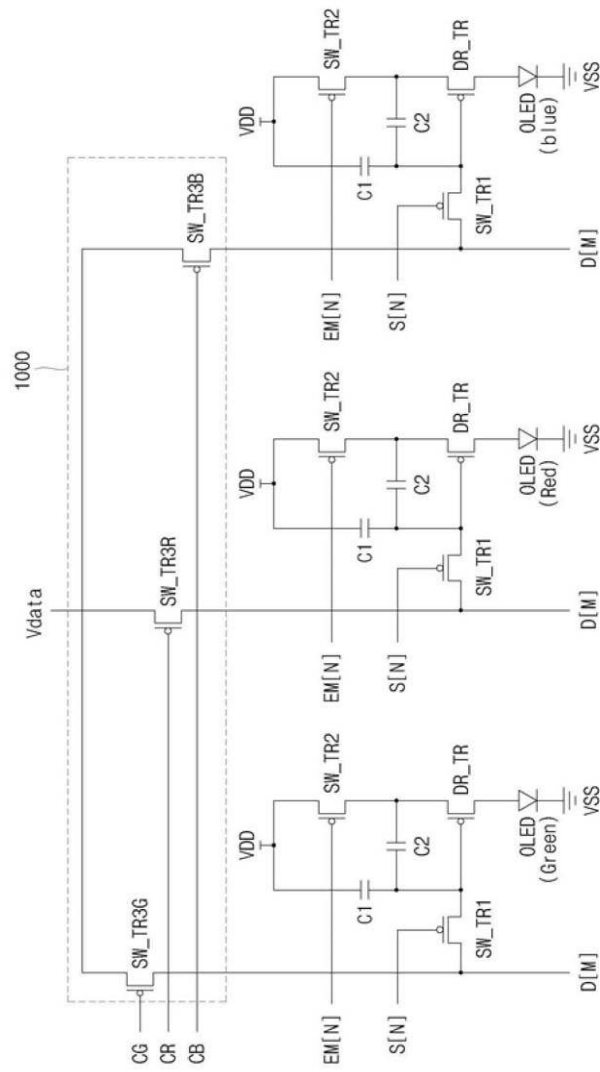
【 図 9 】



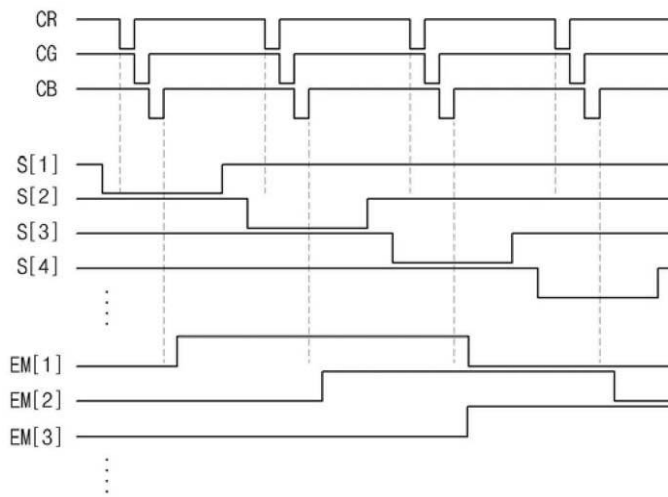
【 図 10 】



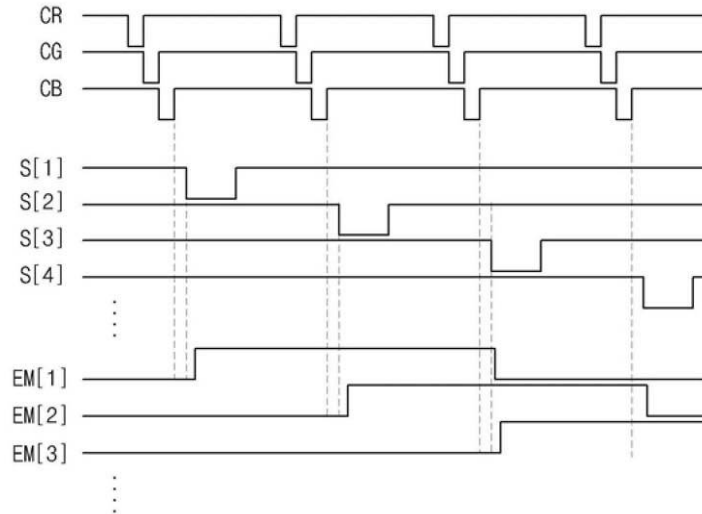
【図 11】



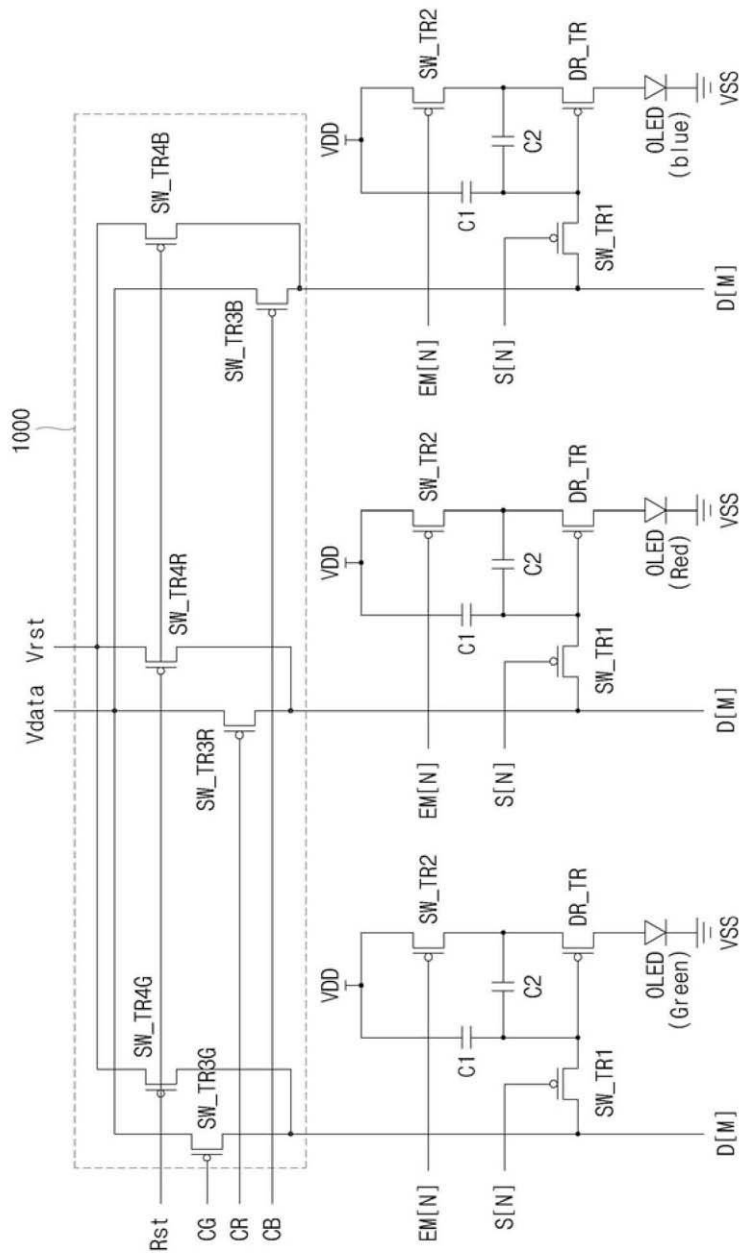
【図 1 2】



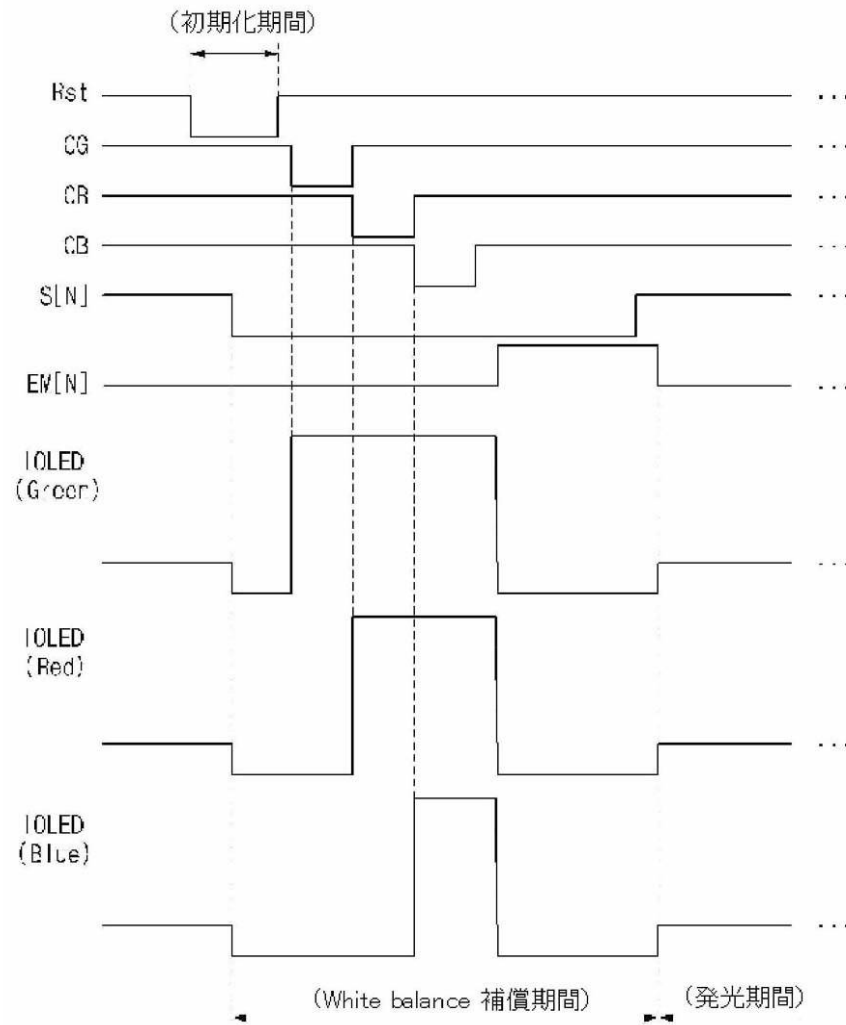
【図 1 3】



【図 14】



【図 15】



 フロントページの続き

(51)Int.Cl.	F I		
	G 0 9 G	3/20	6 7 0 E
	G 0 9 G	3/20	6 2 4 B
	G 0 9 G	3/20	6 2 1 A
	G 0 9 G	3/20	6 4 1 D
	G 0 9 G	3/20	6 2 3 V
	H 0 5 B	33/14	A
	G 0 9 G	3/20	6 4 2 L
	G 0 9 G	3/20	6 1 1 H

審査官 福村 拓

(56)参考文献 特開 2 0 0 4 - 3 1 0 0 0 6 (J P , A)
 特開 2 0 0 5 - 1 5 7 2 8 3 (J P , A)
 特開 2 0 0 4 - 3 1 0 0 1 4 (J P , A)
 米国特許出願公開第 2 0 0 2 / 0 1 8 6 1 8 8 (U S , A 1)
 特開 2 0 0 8 - 1 6 5 1 6 6 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
 G 0 9 G 3 / 3 0
 G 0 9 G 3 / 2 0