

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成25年10月24日(2013.10.24)

【公表番号】特表2013-504130(P2013-504130A)

【公表日】平成25年2月4日(2013.2.4)

【年通号数】公開・登録公報2013-006

【出願番号】特願2012-528080(P2012-528080)

【国際特許分類】

G 06 F	15/17	(2006.01)
G 06 F	15/80	(2006.01)
G 06 T	1/20	(2006.01)
G 06 T	1/60	(2006.01)
G 06 F	9/38	(2006.01)
G 06 F	12/08	(2006.01)

【F I】

G 06 F	15/17	6 3 0 A
G 06 F	15/80	
G 06 T	1/20	B
G 06 T	1/60	4 5 0 C
G 06 F	9/38	3 7 0 C
G 06 F	12/08	5 5 1 C
G 06 F	12/08	5 0 1 B

【手続補正書】

【提出日】平成25年9月3日(2013.9.3)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

メモリ制御器とメモリセルとを備える第1の内部メモリと、

前記第1の内部メモリに結合される実行ユニットと、

増設処理ユニットの第2の内部メモリへの高帯域専用内部メモリアクセスを提供し、更

に前記増設処理ユニットによる前記第1の内部メモリへの高帯域専用内部メモリアクセスを提供するように構成されるインターフェースと、を備えるグラフィックス処理ユニット(GPU)。

【請求項2】

前記増設処理ユニットはGPUを備える請求項1の処理ユニット。

【請求項3】

前記増設処理ユニットは中央処理ユニット(CPU)を備え、前記第2の内部メモリはキャッシュメモリである請求項1の処理ユニット。

【請求項4】

前記第1の内部メモリは積層ダイナミックランダムアクセスメモリを備える請求項1の処理ユニット。

【請求項5】

前記第1の内部メモリは埋め込みダイナミックランダムアクセスメモリを備える請求項1の処理ユニット。

【請求項 6】

前記インターフェースは前記第1の内部メモリをディスプレイデバイスに結合するように更に構成される請求項1の処理ユニット。

【請求項 7】

コンピューティングデバイス上で実行される場合にグラフィクス処理ユニット(GPU)を定義する命令が入っている持続性コンピュータ可読記憶媒体を備えるコンピュータプログラム製品であって、前記GPUは、

メモリ制御器とメモリセルとを備える第1の内部メモリと、

前記第1の内部メモリに結合される実行ユニットと、

増設処理ユニットの第2の内部メモリへの高帯域専用内部メモリアクセスを提供し、更に前記増設処理ユニットによる前記第1の内部メモリへの高帯域専用内部メモリアクセスを提供するように構成されるインターフェースと、を備えるコンピュータプログラム製品。

【請求項 8】

前記増設処理ユニットはGPUを備える請求項7のコンピュータプログラム製品。

【請求項 9】

前記増設処理ユニットは中央処理ユニットを備え、前記第2の内部メモリはキャッシュメモリである請求項7のコンピュータプログラム製品。

【請求項 10】

前記GPUの前記第1の内部メモリは積層ダイナミックランダムアクセスメモリを備える請求項7のコンピュータプログラム製品。

【請求項 11】

前記GPUの前記第1の内部メモリは埋め込みダイナミックランダムアクセスメモリを備える請求項7のコンピュータプログラム製品。

【請求項 12】

前記GPUはハードウェア記述言語ソフトウェアにおいて具現化される請求項7のコンピュータプログラム製品。

【請求項 13】

前記GPUはベリログハードウェア記述言語ソフトウェア、ベリログAハードウェア記述言語ソフトウェア及びVHDLハードウェア記述言語ソフトウェアの1つにおいて具現化される請求項7のコンピュータプログラム製品。

【請求項 14】

第1のメモリ制御器と第1のメモリセルとを備える第1の内部メモリと前記第1の内部メモリに結合される第1の実行ユニットとを備える第1のグラフィクス処理ユニット(GPU)と、

第2のメモリ制御器と第2のメモリセルとを備える第2の内部メモリと前記第2の内部メモリに結合される第2の実行ユニットと、

前記第1のGPUによる前記第2のGPUの前記第2の内部メモリへの高帯域専用内部メモリアクセスを提供し、更に前記第2のGPUによる前記第2のGPUの前記第1の内部メモリへの高帯域専用内部メモリアクセスを提供するように構成されるインターフェースと、を備えるシステム。

【請求項 15】

前記第1の内部メモリは積層ダイナミックランダムアクセスメモリを備える請求項14のシステム。

【請求項 16】

前記第1の内部メモリは埋め込みダイナミックランダムアクセスメモリを備える請求項14のシステム。

【請求項 17】

前記インターフェースは前記第1の内部メモリ及び前記第2の内部メモリをディスプレイデバイスに結合するように更に構成される請求項14のシステム。

【請求項 18】

外部メモリと、
キャッシュメモリを備える中央処理ユニット（CPU）と、
前記外部メモリ及び前記CPUの間を結合するバスと、を更に備える請求項14のシステム。

【請求項19】

前記第1のGPUは、前記CPUの前記キャッシュメモリへの高帯域専用内部メモリアクセスを提供し、更に前記CPUによる前記第1の内部メモリへの高帯域専用内部メモリアクセスを提供するように構成される増設インターフェースを更に備える請求項18のシステム。

【請求項20】

前記第2のGPUは、前記CPUの前記キャッシュメモリへの高帯域専用内部メモリアクセスを提供し、更に前記CPUによる前記第2の内部メモリへの高帯域専用内部メモリアクセスを提供するように構成される増設インターフェースを更に備える請求項18のシステム。

【請求項21】

前記メモリ制御器は前記メモリセルへのアクセスを提供するように構成される請求項1の処理ユニット。

【請求項22】

前記メモリ制御器は前記増設処理ユニットの第2のメモリ制御器へ結合される請求項1の処理ユニット。

【請求項23】

前記実行ユニットは前記第2の内部メモリからデータを読み出すために前記メモリ制御器へリクエストを送る請求項22の処理ユニット。

【請求項24】

前記実行ユニットは前記第2の内部メモリ内に記憶するために前記メモリ制御器へデータを送る請求項22の処理ユニット。

【請求項25】

前記増設処理ユニットの前記第2の内部メモリ内のデータは前記だい1の内部メモリと同様のメカニズムによってアクセスされる請求項1の処理ユニット。