

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 3 区分

【発行日】平成25年10月24日 (2013.10.24)

【公表番号】特表2013-504130(P2013-504130A)

【公表日】平成25年2月4日 (2013.2.4)

【年通号数】公開・登録公報2013-006

【出願番号】特願2012-528080(P2012-528080)

【国際特許分類】

G 0 6 F 15/17 (2006.01)

G 0 6 F 15/80 (2006.01)

G 0 6 T 1/20 (2006.01)

G 0 6 T 1/60 (2006.01)

G 0 6 F 9/38 (2006.01)

G 0 6 F 12/08 (2006.01)

【 F I 】

G 0 6 F 15/17 6 3 0 A

G 0 6 F 15/80

G 0 6 T 1/20 B

G 0 6 T 1/60 4 5 0 C

G 0 6 F 9/38 3 7 0 C

G 0 6 F 12/08 5 5 1 C

G 0 6 F 12/08 5 0 1 B

【手続補正書】

【提出日】平成25年9月3日 (2013.9.3)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

メモリ制御器とメモリセルとを備える第 1 の内部メモリと、
前記第 1 の内部メモリに結合される実行ユニットと、
増設処理ユニットの第 2 の内部メモリへの高帯域専用内部メモリアクセスを提供し、更
に前記増設処理ユニットによる前記第 1 の内部メモリへの高帯域専用内部メモリアクセス
を提供するように構成されるインタフェースと、を備えるグラフィクス処理ユニット (G
P U)。

【請求項 2】

前記増設処理ユニットは G P U を備える請求項 1 の処理ユニット。

【請求項 3】

前記増設処理ユニットは中央処理ユニット (C P U) を備え、前記第 2 の内部メモリは
キャッシュメモリである請求項 1 の処理ユニット。

【請求項 4】

前記第 1 の内部メモリは積層ダイナミックランダムアクセスメモリを備える請求項 1 の
 処理ユニット。

【請求項 5】

前記第 1 の内部メモリは埋め込みダイナミックランダムアクセスメモリを備える請求項
 1 の処理ユニット。

【請求項 6】

前記インタフェースは前記第 1 の内部メモリをディスプレイデバイスに結合するように更に構成される請求項 1 の処理ユニット。

【請求項 7】

コンピューティングデバイス上で実行される場合にグラフィクス処理ユニット (GPU) を定義する命令が入っている持続性コンピュータ可読記憶媒体を備えるコンピュータプログラム製品であって、前記 GPU は、

メモリ制御器とメモリセルとを備える第 1 の内部メモリと、

前記第 1 の内部メモリに結合される実行ユニットと、

増設処理ユニットの第 2 の内部メモリへの高帯域専用内部メモリアクセスを提供し、更に前記増設処理ユニットによる前記第 1 の内部メモリへの高帯域専用内部メモリアクセスを提供するように構成されるインタフェースと、を備えるコンピュータプログラム製品。

【請求項 8】

前記増設処理ユニットは GPU を備える請求項 7 のコンピュータプログラム製品。

【請求項 9】

前記増設処理ユニットは中央処理ユニットを備え、前記第 2 の内部メモリはキャッシュメモリである請求項 7 のコンピュータプログラム製品。

【請求項 10】

前記 GPU の前記第 1 の内部メモリは積層ダイナミックランダムアクセスメモリを備える請求項 7 のコンピュータプログラム製品。

【請求項 11】

前記 GPU の前記第 1 の内部メモリは埋め込みダイナミックランダムアクセスメモリを備える請求項 7 のコンピュータプログラム製品。

【請求項 12】

前記 GPU はハードウェア記述言語ソフトウェアにおいて具現化される請求項 7 のコンピュータプログラム製品。

【請求項 13】

前記 GPU はベリログハードウェア記述言語ソフトウェア、ベリログ A ハードウェア記述言語ソフトウェア及び V H D L ハードウェア記述言語ソフトウェアの 1 つにおいて具現化される請求項 7 のコンピュータプログラム製品。

【請求項 14】

第 1 のメモリ制御器と第 1 のメモリセルとを備える第 1 の内部メモリと前記第 1 の内部メモリに結合される第 1 の実行ユニットとを備える第 1 のグラフィクス処理ユニット (GPU) と、

第 2 のメモリ制御器と第 2 のメモリセルとを備える第 2 の内部メモリと前記第 2 の内部メモリに結合される第 2 の実行ユニットと、

前記第 1 の GPU による前記第 2 の GPU の前記第 2 の内部メモリへの高帯域専用内部メモリアクセスを提供し、更に前記第 2 の GPU による前記第 2 の GPU の前記第 1 の内部メモリへの高帯域専用内部メモリアクセスを提供するように構成されるインターフェースと、を備えるシステム。

【請求項 15】

前記第 1 の内部メモリは積層ダイナミックランダムアクセスメモリを備える請求項 14 のシステム。

【請求項 16】

前記第 1 の内部メモリは埋め込みダイナミックランダムアクセスメモリを備える請求項 14 のシステム。

【請求項 17】

前記インタフェースは前記第 1 の内部メモリ及び前記第 2 の内部メモリをディスプレイデバイスに結合するように更に構成される請求項 14 のシステム。

【請求項 18】

外部メモリと、
キャッシュメモリを備える中央処理ユニット（ＣＰＵ）と、
前記外部メモリ及び前記ＣＰＵの間を結合するバスと、を更に備える請求項１４のシステム。

【請求項１９】

前記第１のＧＰＵは、前記ＣＰＵの前記キャッシュメモリへの高帯域専用内部メモリアクセスを提供し、更に前記ＣＰＵによる前記第１の内部メモリへの高帯域専用内部メモリアクセスを提供するように構成される増設インタフェースを更に備える請求項１８のシステム。

【請求項２０】

前記第２のＧＰＵは、前記ＣＰＵの前記キャッシュメモリへの高帯域専用内部メモリアクセスを提供し、更に前記ＣＰＵによる前記第２の内部メモリへの高帯域専用内部メモリアクセスを提供するように構成される増設インタフェースを更に備える請求項１８のシステム。

【請求項２１】

前記メモリ制御器は前記メモリセルへのアクセスを提供するように構成される請求項１の処理ユニット。

【請求項２２】

前記メモリ制御器は前記増設処理ユニットの第２のメモリ制御器へ結合される請求項１の処理ユニット。

【請求項２３】

前記実行ユニットは前記第２の内部メモリからデータを読み出すために前記メモリ制御器へとリクエストを送る請求項２２の処理ユニット。

【請求項２４】

前記実行ユニットは前記第２の内部メモリ内に記憶するために前記メモリ制御器へデータを送る請求項２２の処理ユニット。

【請求項２５】

前記増設処理ユニットの前記第２の内部メモリ内のデータは前記だい１の内部メモリと同様のメカニズムによってアクセスされる請求項１の処理ユニット。