

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.⁴
 G11B 19/10

(45) 공고일자 1989년09월23일
 (11) 공고번호 89-003563

(21) 출원번호	특1985-0000771	(65) 공개번호	특1985-0006113
(22) 출원일자	1985년02월07일	(43) 공개일자	1985년09월28일

(30) 우선권주장	59-24011 1984년02월10일 일본(JP)
(71) 출원인	티악크 가부시끼가이샤 다니 가쓰마 일본국 도쿄도 무사시노시 나카쵸 3쵸메 7-3

(72) 발명자
 쇼지 마꼬도
 일본국 도쿄도 무사시노시 나카쵸 3쵸메 7-3 티악크 가부시끼가이샤(내)
 쓰유구찌 히로시
 일본국 도쿄도 무사시노시 나카쵸 3쵸메 7-3 티악크 가부시끼가이샤(내)
 토오마 쇼오조
 일본국 도쿄도 무사시노시 나카쵸 3쵸메 7-3 티악크 가부시끼가이샤(내)
 히라끼 가즈히로
 일본국 도쿄도 무사시노시 나카쵸 3쵸메 7-3 티악크 가부시끼가이샤(내)
 모리따 쓰도무
 일본국 도쿄도 무사시노시 나카쵸 3쵸메 7-3 티악크 가부시끼가이샤(내)
 남상육, 남상선

(74) 대리인

심사관 : 백승남 (책자공보 제1646호)

(54) 디스크 장치

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

디스크 장치

[도면의 간단한 설명]

제1도-제10도는 본 발명의 실시예와 관계가 있는 자기디스크장치를 설명하기위한 것으로서, 제1도는 자기디스크 카트리지의 평면도.

제2도는 제1도의 카트리지의 저면도.

제3도는 제1도의 카트리지의 셔터를 개방한 상태를 도시한 평면도.

제4도는 제1도의 카트리지의 정면도.

제5도는 디스크장치의 회전체를 보여주는 평면도.

제6도는 회전체와 디스크와의 걸어맞춤 상태를 도시한 확대단면도.

제7도는 디스크장치를 보여주는 블럭도.

제8도는 제7도의 제어회로와 스텝핑모터를 상세하게 보여주는 블럭도.

제9도는 및 제10도는 제7도와 제8도의 (A)-(N)점의 상태를 도시한 파형도.

제11도는 제어회로의 변형예를 보여주는 블럭도.

제12도는 제7도 및 제11도 (A)-(N)점의 상태를 보여주는 파형도.

제13도는 제7도의 장치의 변형예를 보여주는 블럭도.

제14도는 제13도의 회로로 선택한 경우인 제7도 및 제8도의 각부 파형도이다.

* 도면의 주요부분에 대한 부호의 설명

2 : 자기디스크	11 : 회전체
16 : 디스크회전용모터	17, 18 : 자기헤드
20 : 스텝핑모터	21 : 제어회로
22 : 전원단자	23 : 스위칭 · 트랜지스터
25 : 회전검출기	31 : 레디검출회로
32 : 전원온 검출회로	33 : 디스크카트리지삽입검출회로
43 : 모터온신호 공급회로	44 : 프리레이디검출회로
47 : 스텝프신호 공급단자	53 : 트랜지스터
54 : 다이오드	55 : +5V 전원라인
62 : 스텝핑모터 전압차단제어용 OR게이트	63 : 일정시간 펄스 발생회로
65 : 12V 인가시간결정용 OR게이트	

[발명의 상세한 설명]

본 발명은 플립피 디스크(floppy disk)(프렉시블 자기디스크) 또는 이와 유사한 디스크를 사용하여 정보를 기록하고 재생하기 위한 디스크장치에 관한 것이다.

자기디스크장치는 디스크회전기구와, 자기헤드(변환기)와, 헤드이동 기구와를 가지고 있다. 헤드이동기구는, 일반적으로 스텝프신호에 응답하는 스텝핑모터와, 이 모터의 회전운동에 대응하여 직선운동을 얻기위한 회전-직선변환기구로 이루어지며, 헤드를 디스크의 반경방향(트랙교차방향)으로 이동시킬 수 있도록 구성되고 있다. 그러나 헤드를 소정트랙에 이동시킨후에 헤드를 그 트랙에 유지하기 위해서는, 스텝핑모터의 로터를 소망스런 위치로 유지할 필요가 있다. 예컨대 4상의 스텝핑모터를 1상 여자방식으로 구동할 경우에는, 스텝프동작의 최후의 여자가 제3상이라고 한다면, 로터를 제3상에 상응하도록 유지할 필요가 있다. 이 때문에 종래에는 스텝프동작의 마지막에 여자된 권선에 정상적인 전류를 계속흐르게 하거나 절전을 도모하기위하여 정상전류 보다도 낮게 유지하는 전류만을 계속흐르게 하였다. 그러나 유지전류가 적은 경우, 그리고 유지전류를 차단한 경우에는 로터를 소정위치로 정확하게 유지하기가 어렵게된다. 즉 권선의 여자전류를 차단하면 로터가 여자전류에 따른 가계에의하여 구속을 받지 않게된다. 따라서 여자전류가 흐르고 있는 경우와 비교하여 로터의 유지위치가 $10\sim20\mu\text{m}$ 정도 어긋나는 적이었다. 그리고 디스크의 회전개시 및 정지나, 디스크카트리지의 착탈시의 진동으로 인해서도 로터의 위치 및 헤드위치가 차질이 생기는 수가 있다. 이와같은 종류의 문제는 스텝핑모터에 대한 높은 전압의 인가를 계속하면 해결되지만, 절전효과를 얻을 수 없다.

본 발명의 목적은, 절전효과를 얻을 수 있는 동시에 변환기의 위치를 정확하게 결정할 수가 있는 디스크장치를 제공하는데 있다.

상기 목적을 달성하기위한 본 발명은, 기록매체디스크를 회전하기위한 디스크회전기구와, 기록하고 재생하기위한 변환기와, 스텝프신호에 응답하여 변환기를 디스크의 반경방향으로 이동시키는 스텝핑모터를 포함하는 헤드이동기구와, 적어도 스텝핑모터의 스텝프구동기간(예컨대, 실시예 $t_{11}\sim t_{12}$, $t_{21}\sim t_{22}$ 기간), 및 회전기구에 대하여 디스크를 장진한후 일정시간(예컨대 실시예의 $t_{26} Pt_{28}$)에 스텝핑모터에 높은 수준의 전압을 공급하고, 디스크가 회전기구로부터 이탈되고 있는 기간(예컨대, 실시예의 $t_{23}\sim t_{24}$)에서는 스텝핑모터의 전압을 높은 수준보다도 낮은 값으로 하는 스텝핑모터 전압제어회로로 구성되는 장치에 관한 것이다.

상술한 바와같은 발명에 의하면, 디스크를 이탈하고있는 기간에 스텝핑모터의 전압을 영 또는 낮은 수준으로하여 절전을 도모할지라도, 디스크를 장진한 후에 높은 수준(예컨대 12V)의 전압(정상 수준전압)을 공급하게 되므로 영이나 낮은 전압의 기간에서 변환기의 차질을 보정할 수 있다.

[실시예]

다음에 제1도~제10도를 참조하여 본 발명의 실시예와 유관한 자기디스크장치에 대하여 기술한다.

제1도~제4도는 이 자기디스크장치로 사용하는 자기디스크카트리지(1)를 보여준다. 이 카트리지(1)는 일반적으로 마이크로 플립피디스크라고 불리워지고 있으며, 직경 86mm의 기록매체디스크(2)를 강성이 있는 합성수지케이스(3)에 수용함으로써 구성되고 있다. 케이스(3)의 표면(4)과 이면(5) 양쪽에 헤드삽입용개구(6)(7)가 설치되어 있으며, 비상용시에는 이 개구(6)(7)는 슬라이드식인 셔터(8)에 의하여 닫혀지고있다. 다만 자기헤드가 하나의 장치에서는 개구(6)(7)의 한쪽에 패드(pad)가 삽입된다. 셔터(8)는 제1도에서 우축방향으로 용수철(도시되지 않았음)에 의하여 편기되어 있으며 사용시에는 이 편기력에 거슬러서 좌축으로 이동된다. 더욱기 셔터(8)의 개방은 케이스(3)의 요통부(9)에 개방부재(도시하지 않았음)를 걸어맞출시키고, 이것으로 셔터(8)의 측면을 밀어 누르므로서 이루어진다. 이 실시예의 디스크카트리지(2)는 자기 쉬트(2a)와의 중앙에 장착된 자성체금속원판으로 구성되는 허브(2b)로 이루어지고있다. 디스크(2)는 클램퍼(clamper)로 밀어눌러서 회전시키는 것은 아니므로 케이스(3)의 이면(5)에만 회전구동용의 개구(10)가 설치되어있고, 이곳으로부터 허브

(2b)가 노출되고 있다. 이 허브(2b)에는 스피드업입구멍(2c)가 구동핀입구멍(2d)이 뚫려 있다.

제5도는 디스크카트리지(1)를 사용하여 기록하고 재생할때에 디스크(2)에 걸어맞춤시키는 회전체(11)의 평면도이며, 제6도는 회전체(11)에 디스크(2)를 걸어맞춤시킨 상태를 보여주는 확대단면도이다. 회전체(11)는 중앙에 스피드(12) 및 구동핀(13)이 있고, 다시 디스크(2) 중앙의 금속제 허브(2b)를 흡착하기위한 영구자석(14)을 가지고 있다. 구동핀(13)과 구멍(2d)과의 걸어맞춤을 용이하게 달성하기 위해서는 구동핀(13)은 판용수철(15)에 의하여 지지되고, 그의 축방향으로 변위할 수 있다. 또한 구동핀(13)은 축(13a)에 로울러(13b)를 자유자재로 변위시킬 수 있도록 장착되어있다.

회전체(11)에 대하여 디스크(2)를 걸어맞춤시킬때에는 케이스(3)를 수반하여 디스크(2)를 회전체(11)위에 삽입시켜 허브(2b)를 자석(14)으로 흡인시킨다. 이때, 물론 디스크(2)의 스피드업입구멍(2c)이 회전체(11)의 스피드(12)에 일치할 수 있도록 위치를 결정한다. 이 결과, 스피드(12)과 구멍(2c)과의 걸어맞춤은 성립한다. 그러나 구동핀(13)과 구멍(2d)과는 반드시 일치하지않고, 만약 불일치할 경우에는 구동핀(13)위에 허브(2b)가 얹어지게되고, 자석(14)으로 흡입되고있는 허브(2b)에 의하여 구동핀(13)은 용수철(15)에 거슬러서 밀어내려지게 된다. 그후 회전체(11)를 회전하면 구동핀(13)과 구멍(2d)과의 위치관계가 변화하여 구동핀(13)과 구멍(2d)의 위치가 일치하게되고, 용수철(15)의 위쪽방향의 편기력에의하여 구동핀(13)이 구멍(2d)에 빠져들어가게되어 회전체(11)와 디스크(2)와의 완전한 걸어맞춤이 성립한다.

제7도에 도시한 자기디스크장치는 제1~제4도에 도시한 카트리지(1)를 사용하여 데이터를 기록하고, 재생하는 것이다. 제7도에서, 회전체(11)는, 소정위치에 장전된 카트리지(1)의 케이스(3)내의 디스크(2)를 회전하기위하여 제5도 및 제6도에서와 같이 구성되고, 디스크회전용 아우터로터형모터(외측회전자)(16)에 직결되어있다. (17)(18)은 변환기로서의 자기헤드이며, 캐리지(19)에 부착되고, 디스크(2)의 반경방향으로 이동할 수 있도록 되어있다. (20)은 헤드이동기구를 구성하는 스텝핑모터이며, 리드스크류(lead screw)(19a)로 이루어지는 공지의 회전-직선변환기구를 통하여 캐리지(19)를 구동하는 것이다. 이 실시예에서는 스텝핑모터(20)는 제1상 권선, 제2상권선, 제3상권선, 및 제4상 권선을 가지는 4상구성의 스텝핑모터이며, 제어구동회로(21)에 의하여 1상 여자방식으로 구동된다. 다만 전원 온 시에 헤드(17)(18)를 디스크(2)의 트랙 영으로 확실하게 위치를 결정하기 위하여 전원온 검출에 응답하여 제1상권선을 여자함과 아울러, 나머지 제2~제4상 권선의 적어도 하나를 여자한다. 이로인하여, 제1상권선 여자시에 회전자가 제3권선에 대응한 위치에 안정하는 것을 저지할 수 있다.

장치의 직류전원단자(22)와 모터(16)와의 사이에는 스위치소자로서의 트랜지스터(23)와 모터제어구동호로(24)가 설치되어있다. 따라서 트랜지스터(23)가 온의 기간인 때에만 모터(16)가 회전한다.

(25)는 디스크(2)의 회전검출기이며, 디스크(2) 및 회전체(11)와 더불어 회전하는 아우터로터(외측회전자)형 모터(16)의 로터(26)의 표면에 광반사 인덱스 즉 지표(27)를 검출하기위한 LED(발광다이오드)로 이루어지는 발광소자(28)와 포토트랜지스터로 이루어지고있는 수광소자(29)를 구비하고, 디스크(2)의 회전각도위치 및 회전속도를 검출한다. 회전체(11)의 구동핀(13)과 광반사지표(27)와는 일정한 각도위치 관계를 가지고 있으므로 지표(27)의 검출에 의하여 구동핀입구멍(2d)의 위치를 알수가 있다. 발광소자(28)는 절전을 도모하기위하여 스위칭·트랜지스터(23)의 후단에 접속되고, 모터(16)에 동기해서 구동된다. 회전검출기(25)의 수광소자(29)에 접속된 파형정형회로(30)는 지표(27)의 검출에 대응한 펄스를 송출한다. 이 펄스의 위치에 따라 디스크(2)상의 구동핀입구멍(2d)의 위치를 알수 있으며, 펄스의 상호 간격에 의하여 회전속도를 알수가 있다.

파형정형회로(30)의 출력에 걸어맞춘이 레디검출회로(31)는 기록하고 재생준비가 완료된 상태 즉 기록·재생가능상태를 검출하는 회로이며, 모터(16)가 회전을 개시한 후부터 소정시간(예컨대 420ms)이 경과하고, 또한 모터(16)의 회전속도가 정상회전속도의 90% 이상으로 되었을때 높은 수준의 래디검출신호(기록·재생준비완료 검출신호)를 출력한다.

+12V의 전원단자 (22)에 접속되고 +5V의 전원단자(55)에 접속된 전원은 검출회로(32)는, 전원단자(22)에 전력이 공급되고, 전원전압이 일정치(예컨대 정상전압의 70~80%)로 되었음을 전압비교기로 검출하고, +5V의 전원단자(55)의 전압이 일정치(정상전압의 70~80%)로 되었음을 검출하고, +12V와 +5V중의 어느것이든 검출되었을때 높은 수준의 전원온신호를 송출하는 것이다.

(33)은 디스크카트리지 삽입검출회로이며, 카트리지(1)의 삽입통로에 배치된 발광소자(34)와 수광소자(35)로 이루어지는 포토커플러(photo coupler)에 의하여 카트리지(1)가 회전체(11)위에 삽입되어 있는가의 여부를 검출하고, 높은 수준의 디스크삽입검출신호를 발생한다.

전원온 검출회로(32)와 디스크카트리지 삽입검출회로(33)의 출력에 의하여 스위칭·트랜지스터(23)를 제어하기위하여 타이머(36), AND게이트(37), 트리거펄스 형성회로(38), AND게이트(100), OR게이트(39), RS후립프후립프(10), OR게이트(41), 호핀클레크터형의 NAND게이트(42)가 설치되어있다. 이들을 제9도 및 제10도를 참조하여 상세하게 설명하면 타이머(36)는 전원온 검출회로(32)에 접속되고, 제9(a)도의 t_1 시점에서 발생하는 전원온 검출신호에 응답하여 일정시간($T_1 = 12ms$)에서만 제

9(b)도에서와 같이 \overline{Q} 단자로부터 낮은 수준출력을 발생하고, 역으로 \overline{Q} 단자로부터 높은 수준출력을 발생한다. 이 타이머(36)의 $t_1 \sim t_2$ 의 낮은 수준기간은, 1상여자방식의 스텝핑모터(20)를 전원온 검출신호에 의하여 다상여자하고, 트랙 영위치를 확실하게 얻는 기간에 대응하고있다. AND게이트

(37)는, 타이머(36)의 \overline{Q} 출력과 전원온 검출회로(32)의 출력을 입력하고, 타이머(36)의 출력이 높은 수준의 기간에서만 높은 수준의 전원온 검출신호를 통과시킨다. 따라서, 제9도의 t_2 시점에서 AND게이트(37)의 출력을 입력하고, AND게이트(37)의 출력이 t_2 시점에서 높은 수준으로 올라서게되는 것에 응답하여 제9(c)도의 높은수준의 트리거신호를 출력한다. OR게이트(39)는 트리거펄스 형성회로

(38)의 출력과 AND게이트(100)의 출력을 입력하고, 어느쪽의신호든 통과시킨다.

RS후립프후립프(40)의 셋트단자R는 OR게이트(39)의 출력으로 접속되고, 리셋트단자R는 레디검출회로(31)의 출력으로 접속되어있다. 따라서, 제9도의 t_2 시점에서 전원온에 의하여 발생하는 트리거신호

예의한 후립프후립프(40)는 셋트되어 제9(f)도에서와 같이 \overline{Q} 출력단자로부터 높은 수준의 출력이 송출되고, 그후 시점의 레디검출신호에 응답하여 리셋된다. 전원온 개시시에 이미 카트리지(1)가 삽입되어있는 경우에는, 디스크카트리지 삽입검출회로(33)의 출력이 제9(d)도에서와 같이, t_2 시점 보다도 먼저 높은 수준으로 상승한다. 그러나 게이트(100)에 디스크카트리지 삽입검출회로(33)의 출력과 타이머(36)의 \overline{Q} 출력이 입력하고 있으므로 타이머(36)의 \overline{Q} 출력이 낮은 수준의기간($t_1 \sim t_2$)에 AND게이트(100)의 출력이 높은 수준으로되고, 후립프후립프(40)가 셋트되는 일은 없다. 그리고 제10도에서와 같이 전원온 상태에서 t_{24} 시점에서 높은 수준의 디스크카트리지 삽입검출신호가 발생되면 제10(f)도에서와 같이 이 앞쪽 가장자리에서 후립프후립프(40)가 셋트된다. 제10도에서와 같

이 전원이 미리 투입되고있는 상태에서 디스크카트리지를 삽입할때에는, 타이머(36)의 \overline{Q} 출력은 높은 수준으로 타이머(36)의 출력과는 관계없이 디스크카트리지 삽입검출회로(33)의 높은 수준신호는 즉시 후립프후립프(40)로 입력한다. OR게이트(41)의 한쪽의 입력단자는 후립프후립프(40)의 \overline{Q} 출력단자에 접속되어, 다른쪽의 입력단자는 모터온신호공급회로(43)에 접속되어있다. 모터온신호공급회로는, 일반적으로 프롭피디스크 코트로울러하고 불리우는 외부장치로부터 모터(16)를 온으로하는 명령을 발생하는 회로로서, 예컨대 제9(g)도의 $t_7 \sim t_{16}$, t_{17} 이후의 기간, 또는 제10(g)도의 t_{29} 이후에 높은 수준의 모터온신호를 발생한다.

OR게이트(41)는, 후립프후립프(40)의 높은 수준출력과, 모터온신호공급회로(43)의 모터온신호와의 어느쪽이든 통과시키고, 이 출력을 다음단계의 NAND게이트(42)의 한쪽에 입력케한다. NAND게이트(42)의 다른한쪽의 입력은 디스크카트리지 삽입검출회로(33)에 접속되고 있으므로, NAND게이트(42)는 디스크카트리지 삽입검출신호가 발생하고 있을때에만 전단계의 OR게이트(41)의 높은 수준출력에 응답하여 낮은 수준출력을 발생한다. NAND게이트(42)의 출력단자는 트랜지스터(23)의 베이스에 접속되어있다. NAND게이트(42)는 디스크카트리지 삽입검출회로(33)로부터 높은 수준의 디스크카트리지 삽입검출신호가 발생하고있는 기간에있어, 후립프후립프(40) 또는 모터온신호공급회로(43)로부터 높은 수준의 출력이 발생하고있는 기간에서만 낮은 수준(L)출력상태로 된다. 따라서 스위칭 · 트랜지스터(23)는 제9도 및 제10(a)도에서와 같이 $t_2 \sim t_5$, $t_7 \sim t_{16}$, t_{17} 이후, $t_{24} \sim t_{27}$, t_{29} 이후에서만 온으로되고, 이 기간에서만 모터(16)가 구동되고 또한 발광소자(28)에 전력을 공급한다.

제7도의 디스크장치는, 프리레디검출회로(44)를 가지고 있다. 이 프리레디검출회로(44)는 파형정형회로(30)의 출력에 의하여 레디검출신호가 얻어지는 시점 보다도 약 40ms전의 상태를 검출한다. 이 프리레디신호의 발생시점은, 모터(16)의 회전 개시시점 t_2 , t_7 , t_{17} 으로부터 약 380ms 정도의 시점 t_4 , t_8 , t_{18} 이다. 또한 이시점, t_4 , t_8 , t_{18} 에서 부터 레디신호 발생시점 t_5 , t_9 , t_{19} 까지의 약 40ms는, 스텝핑모터(20)의 로터의 위치를 정확하게 보정하기위하여 요구되는 시간에 상당한다.

(45)는 헤드로드용 플런저 솔레노이드(plunger solenoid)이며, 헤드로드신호 공급단자(46)의신호에 응답하여 헤드(17)(18)를 기록 · 재생가능상태로 디스크(2)에 접촉시키는 것이다.

제7도의 제어구동회로(21)에는, 스텝프신호 공급단자(47), 스텝프방향신호 공급단자(48), 전원단자(22)가 접속되어있는외에, 스텝핑모터(20)를 절전제어하기 위하여 프레디레디검출신호(44)의 출력라

인(44a), RS후립프후립프(40)의 출력라인(40a), 타이머(36)의 \overline{Q} 출력단자의 출력라인(36a)과 \overline{Q} 출력라인(36b), 그리고 헤드로드신호 공급단자(46)가 접속되어 있다.

제8도는 제7도의 제어회로(21) 및 스텝핑모터(20)를 상세하게 보여주는 것이다. 스텝핑모터(20)는, 제1, 제2, 제3, 그리고 제4상권선(48)(49)(50)(51)을 가지고 있으며, 이들의 한끝은 공통접속되고 있으며 이 공통라인(52)은, 트랜지스터(53)를 통하여 +12V의 전원단자 (22)에 접속되고, 또한 다이오드(54)를 통하여 +5V의 전원라인(55)에 접속되어 있다. 각 권선(48)~(51)의 다른 끝은 각각의 오픈 콜렉터형 NAND게이트 (56)(57)(58)(59)의 출력단자에 접속되어있다.

(60)은 제어신호 발생회로이며, 스텝프신호 공급단자(47)로부터 공급되는 스텝프신호와, 스텝프방향신호 공급단자(48)로부터 공급되는 스텝프방향신호에 의하여 스텝핑모터(20)의 권선(48)~(51)에 여자전류를 흐르게 하기위한 여자신호를 발생하고, 각각의 NAND게이트 (56)~(59)의 한쪽의 입력단자에 공급한다. 제어회로(60)는, 제9도의 t_1 시점의 전원온 검출에 응답하여 헤드(17)(18)를 디스크(2)의 트랙 영위치로 복귀되도록 스텝핑모터(20)를 제어하고, 통상 제1상을 트랙 영에 대응시키므로, 제9(i)도에서와 같이, 제1상여자신호를 제1상 NAND게이트(56)에 공급한다. 이로인하여, 로터를 제1상으로 유지하고 헤드(17)(18)를 트랙 영으로 위치를 결정할 수 있다. 그러나 한국특허출원 제1249/1984년에서 본원 출원인이 설명한 바와같이, 4상스텝핑모터를 1상여자방식으로 구동하는 경우, 로터가 제3상에 위치하면, 제1상권선에 전류를 흐르게하여도 로터를 변위시킬 수가 없다. 따라서, 제2상을 강제적으로 여자하기위한 OR게이트(61)가 설치되고, 제어신호발생신호(60)의 출력은 이 OR게이트(61)를 통하여 제2상의 NAND게이트(57)에 접속되어있다. OR게이트(61)에는 타이

머(36)의 \overline{Q} 출력단자가 입력되고, 제2상의 NAND게이트(57)에 제9(j)도에서와 같이 $t_1 \sim t_2$ 기간에 여

자신호가 공급된다. 이 결과 $t_1 \sim t_2$ 기간에는 다상여자되고, 예컨대 제3에 로터가 위치하고있어도, 이곳으로부터 탈출시켜도 로터를 제1상으로 옮길 수 있게된다. 특히, 전원 투입시에 자기헤드(17)(18)를 트랙 영으로 옮기기위한 스텝프신호가 단자(17)에서 입력되고, 헤드, (17)(18)는 트랙 영으로부터 대폭적으로 어긋나있는 경우에는 헤드(17)(18)는 트랙 영으로 이동되고, 그후 제1상권선(48)으로 여자전류가 공급된다.

4개의 NAND게이트(56)~(59)의 다른쪽의 입력단자는, 스텝핑모터(20)에 대한 전압공급을 차단제어하기위한 OR게이트(62)에 접속되어있다. 이 OR게이트(62)의 출력이 낮은 수준(L)의 경우에는 NAND게이트(56)~(59)의 출력이 반드시 높은 수준(H)으로되고, 권선(48)~(51)의 전류는 위상제어신호 발생회로(60)의 출력의 유무에 관계없이 차단된다.

(63)은 리트리거 단안정 멀티바이브레이터로 구성된 일정시간 펄스 발생회로로서, 낮은 수준의 계시(計時)출력을 얻을 수 있는 타이머출력라인(36a), 프리레디출력라인(44a), 그리고 스텝프신호 공급단자(47)에 각각 접속되고, 제7도의 타이머(36)에의한 계시의 종료(제9도 t_2 시점), 제7도의 프리레디 검출신호(44)에서의 프리레디검출신호의 발생(제9도 t_4, t_8, t_{18} 시점), 최후의 스텝프신호(제9도 t_{12}, t_{22} 시점)에 응답하여 일정시간($T_2 = 50\text{ms}$)의 높은 펄스를 발생하는 회로이다. 이 펄스 발생회로(63)는 리트리거 단안정 멀티바이브레이터이므로 $T_2 = 50\text{ms}$ 보다도 충분히 짧은 간격으로 입력하는 각기의 스텝프신호로 트리거되며, 최후의 스텝펄스에서 $T_2 = 50\text{ms}$ 경과한후에 낮은 수준출력으로된다. 따라서 $t_{11} \sim t_{12}$ 의 스텝프 구동기간에서도 높은 수준출력을 발생한다.

(64)는 헤드로드시 안정화제어신호 발생회로이며, 헤드로드신호 공급단자(46)로부터 공급되는 헤드로드신호의 앞쪽 가장자리에 동기하여 일정기간($T_3 = 80\text{ms}$)의 높은 수준의 제어신호를 출력한다.

(65)는 12V 인가시간 결정용 OR게이트이며, 타이머출력라인(36b)에 접속된 제1의 입력단자 일정시간 펄스 발생회로(63)의 출력에 접속된 제2의 입력단자, 헤드로드시 안정화제어신호 발생회로(64)에 접속된 제3의 입력단자를 가지고 있으며, 어느쪽의 높은 수준신호 일지라고, 통과시킨다. 이 OR게이트(65)의 출력단자는 오픈클레크터 형식의 NOT회로(66)에 접속되고있는 동시에 OR게이트(62)의 하나의 입력단자에 접속되어있다. NOT회로(66)의 출력단자 PNP형 트랜지스터(53)의 베이스로 결합되어있으므로, OR게이트의 높은 수준신호에 대응한 NOT회로(66)의 낮은 수준출력에 응답하여 트랜지스터(53)는 온으로되고, 스텝핑모터(20)에 +27V의 높은 수준전압(정상 수준전압)이 공급된다. 즉 제9(k)도의 스텝핑모터전압에서 명백한 바와같이 다음의 (가)~(바)에서 스텝핑모터전압 +12V로 된다.

(가) 타이머출력라인(36b)에서 얻어지는 $T_1 = 12\text{ms}$ 의 높은 수준펄스에 대응하는 $t_1 \sim t_2$ 기간.

(나) 타이머출력라인(36a)의 낮은 수준의 종료에 응답한 일전시간 펄스 발생회로(63)의 출력에 대응하는 $t_2 \sim t_3$ 기간.

(다)전원온, 또는 모터온신호, 또는 디스크카트리지 삽입에 응답한 프리레디검출라인(44a)에서 얻어지는 제9도 및 제10(l)도의 프리레디검출신호의 각기의 솟아오르는 시점 t_4, t_8, t_{18}, t_{26} 에 응답한 펄스 발생회로(63)의 출력에 대응하는 $t_4 \sim t_6, t_8 \sim t_{10}, t_{18} \sim t_{20}, t_{26} \sim t_{28}$ 기간.

(라)스텝프신호 공급단자(47)로부터 공급되는 제9(m)도에서 보여주는 $t_1 \sim t_{12}, t_{21} \sim t_{22}$ 의 스텝프신호 발생기간.

(마) 제9(m)도의 최후의 스텝프신호의 발생시점 t_{12}, t_{22} 에 응답한 펄스 발생회로(63)의 일전시간 출력이 얻어지는 기간.

(바) 제9(n)도의 t_{14} 시점의 헤드로드신호의 상승에 응답하여 헤드로드시 안정화 제어신호 발생회로(64)에서 얻어지는 일정시간($T_3 = 80\text{ms}$)에 대응하는 $t_{14} \sim t_{15}$ 기간.

상기 (가)~(바)의 기간에서는, 다이오드(54)는 오프된다. 또한 이 기간은 OR게이트(62)의 출력이 높은 수준으로되므로, 스텝핑모터(20)의 각 권선(48)~(51)의 어느것이든간에 전류를 흐르게할 수 있는 상태에 있게된다. 상기 (가)~(바)의 기간이외에는, 스텝핑모터(20)에 +5V의 전원라인(55)으로부터 +5V의 전압이 인가되거나, 또는 OR게이트(62)의 전 수준출력에 응답하여 모든 NAND게이트(56)~(59)의 출력이 높은 수준(+12V)으로되며, 실질적으로 스텝핑모터(20)의 전압 및 전류는 차단된다. 또한 제10도에서 명백하여진 바와같이, 디스크카트리지 삽입검출에 동기하여 디스크모터(16)가 회전하고, 프리레디검출시점 t_{26} 에서 스텝핑모터(20)의 전압이 +12V로된다. 또한 $t_{23} \sim t_{24}$ 에서 명백한 바와같이 디스크카트리지(1)가 이탈되고있는 기간에서는 스텝핑모터(20)의 전압이 영볼트로 된다.

OR게이트(62)는 프리레디검출라인(44a)에 접속된 제1의 입력단자와, 후립프후럽프 출력라인(40a)에 접속된 제2의 입력단자와, OR게이트(65)에 접속된 제3의 입력단자와를 가지고 있으며, 출력단자는 NAND게이트(56)~(59)의 입력단자에 각각 접속되어있다. 이 OR게이트(62)의 3개의 입력단자의 어느쪽인가에 높은 수준의 신호가 공급되고 있을때에, NAND게이트(56)~(59)는 제어신호 발생회로(2)의 출력에 응답하고, 4개의 NAND게이트(56)~(59)에서 선택된 것의 출력이 낮은 수준으로되며, 선택된 여자권선에 전류가 흐르게된다. 그러나 OR게이트(62)의 어느쪽의 입력이 낮은 수준인 때에는, 4개의 NAND게이트(56)~(59)의 어느쪽의 출력일지라도 높은 수준(+12V)으로되며, 스텝핑모터(20)에 대한 전압 및 전류공급은 차단된다. 즉 제9(k)도에서와 같이, $t_6 \sim t_8$ 기간, 그리고 $t_{16} \sim t_{18}$ 기간에는 스텝핑모터(20)의 권선(48)~(51)의 어느쪽으로도 전압 및 전류가 공급되지 않는다. $t_6 \sim t_8$ 기간이 시작되는 t_{16} 시점은, 트랜지스터(25)가 오프를 개시할때 즉, 디스크회전용모터(16)의 오프시와 거의 대응하고 있다. 또한 $t_{16} \sim t_{18}$ 기간의 t_{16} 시점은, 모터온 신호의 소멸에의한 트랜지스터(23)의 오프시점 즉 모터

(16)의 오프시점에 대응하고, t_{18} 시점은 프리레디신호 발생시점에 대응하고 있다.

OR게이트(65)의 출력이 낮은 수준에서 OR게이트(62)의 출력이 높은 수준의 기간, 즉 $t_3 \sim t_4$, $t_{10} \sim t_{11}$, $t_{13} \sim t_{14}$, $t_{15} \sim t_{16}$, $t_{20} \sim t_{21}$ 기간은 스텝핑모터(20)에 +5V가 공급된다.

이상에서 명백하여진 바와같이, 본 실시예의 장치는 다음과같은 작용효과가 있다.

(A) 제10도에서 명백해진 바와같이, 적어도 $t_{23} \sim t_{24}$ 의 카트리지 이탈시에는 스텝핑모터전압이 영볼트이며, 절전상태에 있다. 그후, t_{24} 에서 제10(d)도에서와 같이 카트리지를 삽입하면, 스텝핑모터(20)에 5V가 인가되고, 또한 모터(16)가 회전하기 시작하며, t_{26} 에서의 프리레디신호에 동기하여 $t_{26} \sim t_{28}$ 의 일정기간($T_2 = 50ms$)에만 12V가 스텝핑모터(20)에 인가된다. 이 결과 카트리지(1)를 넣고 빼는데 있어서의 진동에의한 스텝핑모터(20)의 로터의 차질을 보정할 수가 있다. 모터(16)의 회전개시 및 정지에 따른 진동에의한 스텝핑모터(20)의 로터의 어느쪽이든 동시에 보정된다. 이와같이, 카트리지 삽입시에는 +12V를 부가하여 로터 및 헤드의 위치를 보정하면, 설혹 모터온 신호가, t_{28} 시점 보다도 먼저 공급되고, t_{27} 의 레디검출신호의 발생직후에 데이터기록재생이 개시되었다 하더라도, 정확한 트랙위치에서 이것을 실행할 수가 있다.

(B) 디스크회전용모터(16)의 오프에 거의 대응시켜서, 제9도의 $t_6 \sim t_8$, 그리고 $t_{16} \sim t_{18}$, 제10도의 t_{24} 이전, t_{28} 이후의 기간에서 스텝핑모터(20)의 인가전압을 영으로 되게하므로, 대폭적인 절전효과를 얻을 수 있다.

(C) 스텝핑모터(20)의 인자전압을 영으로해도 프리레디신호 발생시점 t_8 , 및 t_{18} 으로부터 일정시간($T_2 = 50ms$), 즉 레디검출시점 t_5 , t_9 , t_{19} 보다도 적어도 먼저 높은 수준의 12V(정상수준접압)를 인가하므로, 레디검출시점 즉 기록·재생 준비완료 검출시점에서 스텝핑모터(20)의 로터의 위치 및 헤드위치를 소망위치로 할수있다. 따라서, 기록하고 재생을 정확하게 할수있다.

(D) 모터온 신호발생시점 t_7 , t_{17} 과 동시에 스텝핑모터(20)에 +12V를 인가하지 않고, 이것보다 지연된 프리레디 신호발생 시점 t_8 , t_{18} 에서 +12V를 인가하므로, 양쪽의 기동전류가 동시에 흐르지 않는 다. 따라서 전원회로의 전력용량을 적게할 수 있다.

(E) $t_{11} \sim t_{12}$ 에서와 같이 최후의 스텝핑신호에 동기해서 일정시간($T_2 = 50ms$)+12V를 스텝핑모터(20)에 인가하므로, 헤드(17)(18)의 최종위치를 정확하고 또한 안정적으로 설정할 수 있다.

(F) $t_{14} \sim t_{15}$ 에서와 같이 헤드로드시에 +12V를 스텝핑모터(20)에 인가하므로, 헤드로드시에서의 헤드(17)(18)의 위치이탈을 방지할 수 있다.

(G) 모토온 신호에 기안하는 구동과는 별도로, 전원온 검출신호와 디스크 삽입검출신호로 디스크회전용모터(16)를 회전하므로, 디스크(2)와 회전체(11)와의 걸어맞춤을 미리 성립시킬 수 있으며, 기록·재생을 신소하게 개시할 수 있다.

(H) 전원온 검출신호 및 디스크삽입 검출신호에의한 모터(16)의 회전을 계속시키지 않고, 레디검출신호 발생에 동기하여 차단하고 있으므로, 전력소비의 증대를 억제할 수 있다.

(I) 발광소자(28)에대한 전력공급을 모터(16)와 같이 제어하게 되므로, 절전효과가 크게된다.

(J) 타이머(26)를 설치하고, 전원온 검출신호에의한 후립프후럽프(40)의 셋트를 지연시키고 있으므로, 전원온시의 스텝핑모터(20)의 구동과 디스크회전용모터(16)의 구동에 시간차를 줄수가 있어, 전원단자(22)에 접속되는 전원회로의 용량을 적게할 수 있다.

[변형예]

본 발명은 상술한 실시예에 한정하는 것은 아니며, 예컨대 다음과 같은 변형예가 가능한 것이다.

(a) 제8도의 프리레디검출라인(44a)의 대신에, 제11도에서와 같이, 모터온 신호공급회로(43)의 출력라인(43a)을 설정하고, 제7도의 모터온 신호공급회로(43)로부터 발생하는 모터온신호를 입력시켜 OR게이트(62)와 펄스 발생회로(63)에 공급해도 무방하다. 이로인하여 제12도의 모터온 신호발생시점 t_7 에 응답하여 펄스발생회로(63)에서 일정시간 $T_2 = 50ms$ 의 펄스가 발생하고, 스텝핑모터(20)에 제12도 $t_7 \sim t_8$ 에서와 같이 +12V가 인가된다. 이 결과, 스텝핑모터(20)의 전압이 영으로 되는 $t_6 \sim t_7$ 기간의 모터의 변위가 보정된다. 더우기 레디검출전의 +12V의 인가는, 모터온 신호발생으로부터 레디검출시점 까지의 기간내의 전부라도 무방하다.

(b) $t_6 \sim t_8$, $t_{16} \sim t_{18}$ 기간의 스텝핑모터(20)의 전압을 영볼트로 되게하지 않고, +12V 보다도 낮은 임의의 전압으로 설정하여도 무방하다.

(c) 프리레디검출회로(44)를 회전검출에 의하여 프리레디검출신호를 발생하지않고, OR게이트(41)의 출력펄스의 앞쪽 가장자리에 응답시켜 일정기간을 타이머로 설정하고, 이 일정시간(예컨대, 380ms) 종료시점을 프리레디상태로 해두어도 무방하다.

(d) 스텝핑모터(20)의 전원을 차단을, OR게이트(62)와 NAND게이트(56)~(59)에서 행하는 대신, 공통라인(52)에 트랜지스터를 접속하고, 이 오프제어로 행하여도 무방하다.

(e) 디스크회전검출기(25)를 자석과 자전변환소자와의 조합으로 구성하여도 무방하다.

(f) 후립프후럽프(40)의 셋트신호로 계시를 개시하는 타이머를 설치하고, 이 타이머가 일정시간(예컨

대420ms)에 도달하였을때, 그리고 디스크(2)의 회전속도가 90%에 달했을때에 레디검출을하고, 이것을 후립프후럽프(40)의 리셋트신호로 삼어도 무방하다.

(g) 이 실시예에서는, 디스크회전체(11)에 대향하는 클럽프 부재가 설치되어 있지 않지만, 클럽프부재를 사용하는 장치에도 적용할 수 있다.

(h) 자기디스크(2)에 인덱스(지표)홀이있고, 이 인덱스홀에서 회전위치 및 속도를 검출하는 장치에도 적용할 수 있다.

(i) 전원의 용량이 큰 경우, 또는 스텝핑모터(20)를 전원온시에 구동할 필요가 없을때에는, 제9도의 $t_1 \sim t_2$ 를 지연시키지않고, 후립프후럽프(40)를 셋트해도 무방하다.

(j)실시예에서는, 제9도의 $t_{11} \sim t_{12}$ 에서 발생하는 스텝프펄스의 앞쪽 가장자리에서 펄스 발생회로(63)로서의 트리거 단안정 멀티바이브레이터를 트리거하고 있으나, 각 스텝프펄스의 뒷쪽 가장자리에서 트리거하돌고 하여도 무방하다.

(k) 제7도의 장치의 변형으로서 타이머의 출력의 뒷쪽 가장자리에서 트리거되는 $T_2 = 50ms$ 이상의 타이머(37a)를 제13도에서와 같이 설정하고, 이 출력을 AND게이트(37)에 입력시켜 전원온의 검출시점을 $T_1 + T_2$ 이상으로 지연시켜서, 제14도에서와 같이 후립프후럽프(40)의 셋트 및 트랜지스터(23)의 온시점을 t_2 보다도 T_2 만큼 지연시켜도 무방하다. 이로인하여 스텝핑모터(20)에 +20V가 인가되고있는 기간에 모터(16)가 기동되는것이 방지되고, 전원의 용량을 줄일 수 있다. 또한 타이머(37a)를 설치하는 대신에, 제8도의 펄스 발생회로(63)로부터 타이머(36)에 의해서 얻을 수 있는 펄스의 뒷쪽 가장자리에서 제7도의 후립프후럽프(401)를 트리거하도록 하여도 무방하다.

(l) 스텝프구동기간($t_{11} \sim t_{12}$)의 스텝핑모터의 전압과, T_2 기간에 공급하는 스텝핑모터의 전압과에 차이를 갖도록해도 무방하다. 요컨대, T_2 기간의 높은 수준의 전압은 로터의 위치를 보정할 수 있는 전압이라면 좋다.

(m)카트리지(1)의 삽입에 동기하여 +12V를 스텝핑모터(20)에 부가하여도 무방하다. 즉 제10도의 t_{24} 시점에서 +12V를 인가해도 무방하다.

(n) 헤드(17)(18)를, 카트리지(1)의 삽입중에는 항상 디스크(2)에 접촉시켜두어도 무방하다.

(o) 스텝핑모터(20)와 캐리지(19)와의 사이의 회전-직접운동의 변환은 벨트 또는 피니온과 텍크등에서 행하여도 무방하다.

(57) 청구의 범위

청구항 1

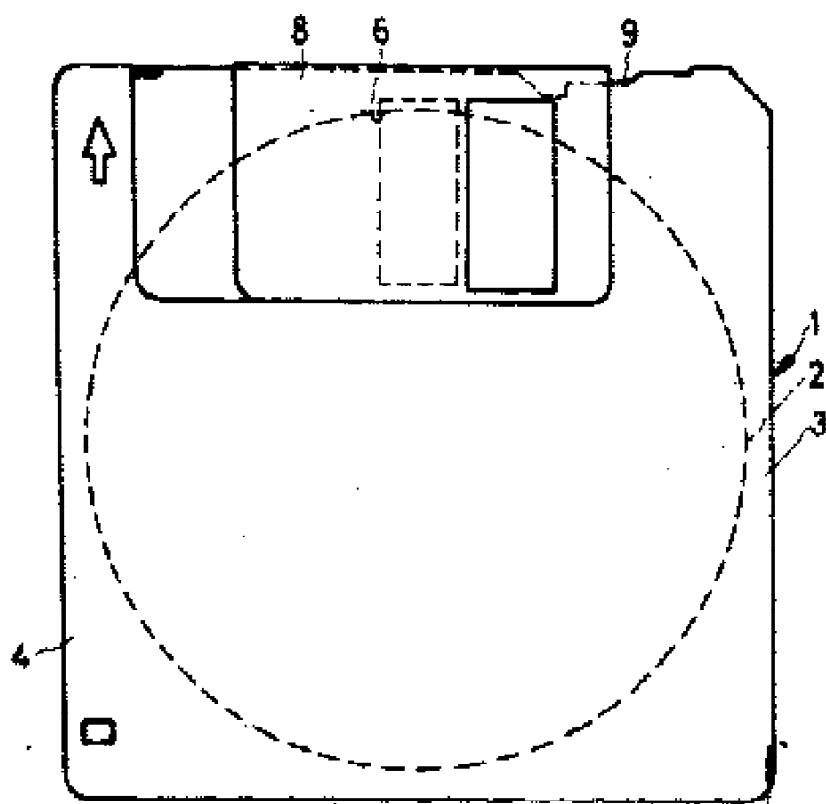
기록매체드시크를 회전하기위한 디스크회전기구와, 기록하고 재생하기위한 변환기(17, 18)와, 스텝프신호에 응답하여 변환기를 디스크의 반경방향으로 이동시키는 스텝핑모터(20)를 포함하는 변환기 이동기구와, 적어도 스텝핑모터의 스텝프구동기간(예컨대, $t_{11} \sim t_{12}$, $t_{21} \sim t_{22}$) 및 회전기구에대한 디스크의 장전후에서의 일정시간 예컨대, $t_{26} \sim t_{28}$ 에서 스텝핑모터에 높은 수준의 전압을 공급하고, 적어도 디스크의 회전기구로부터 이탈되고있는 기간(예컨대, $t_{23} \sim t_{24}$)에서는, 스텝핑 모터의 전압을 높은 수준 보다도 낮은 값으로 하는 스텝핑모터 전압제어회로로 이루어지는 디스크장치.

청구항 2

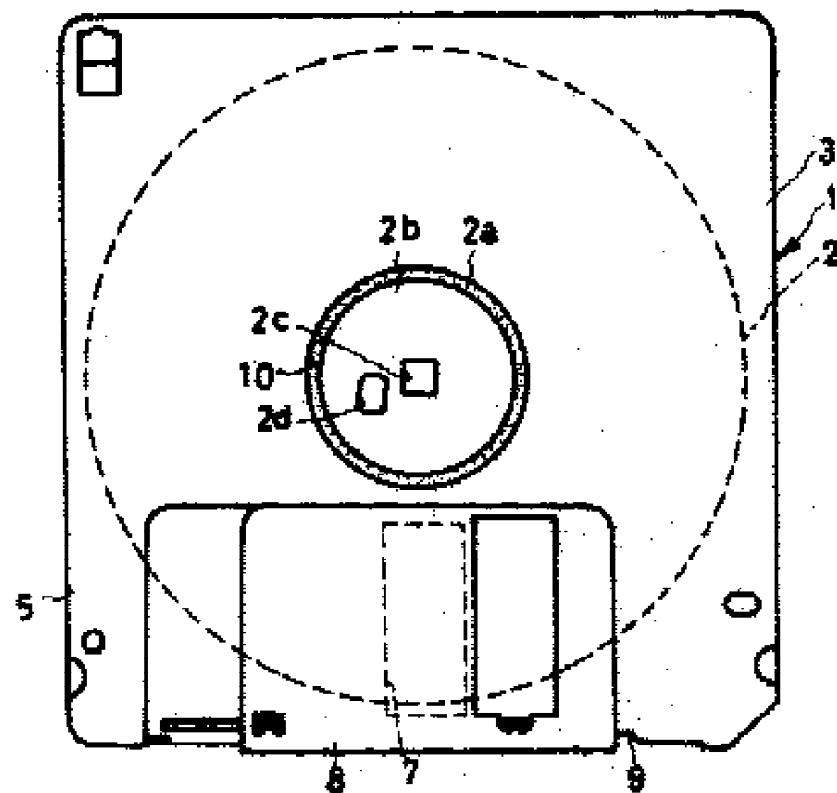
전술한 낮은 값은 영볼트인 특허청구범위 제1항 기재의 디스크장치.

도면

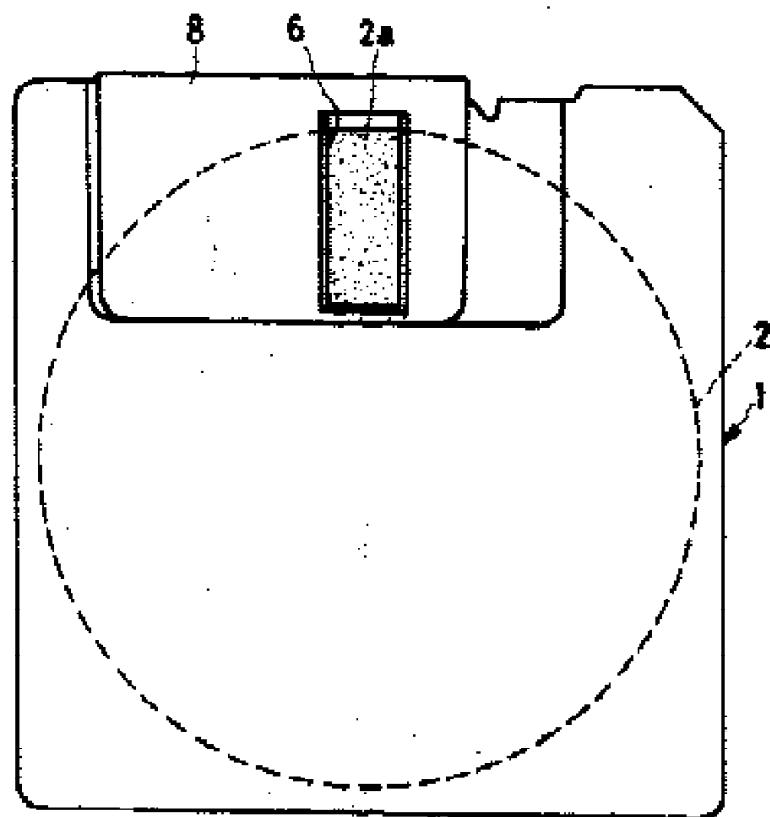
도면1



도면2



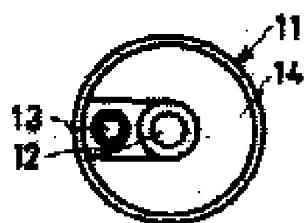
도면3



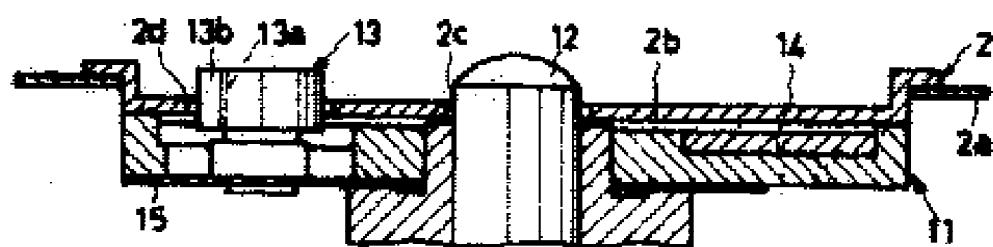
도면4



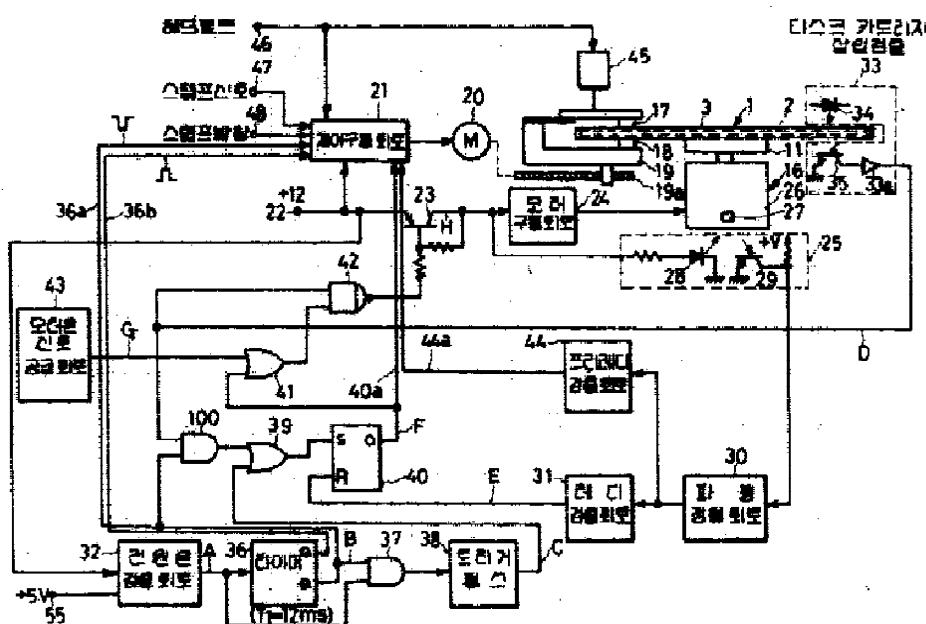
도면5



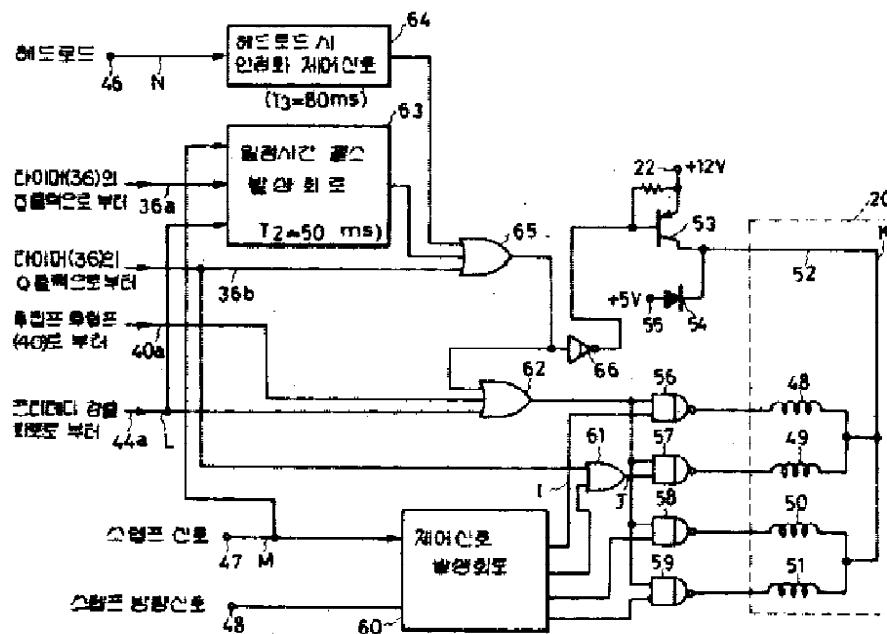
도면6



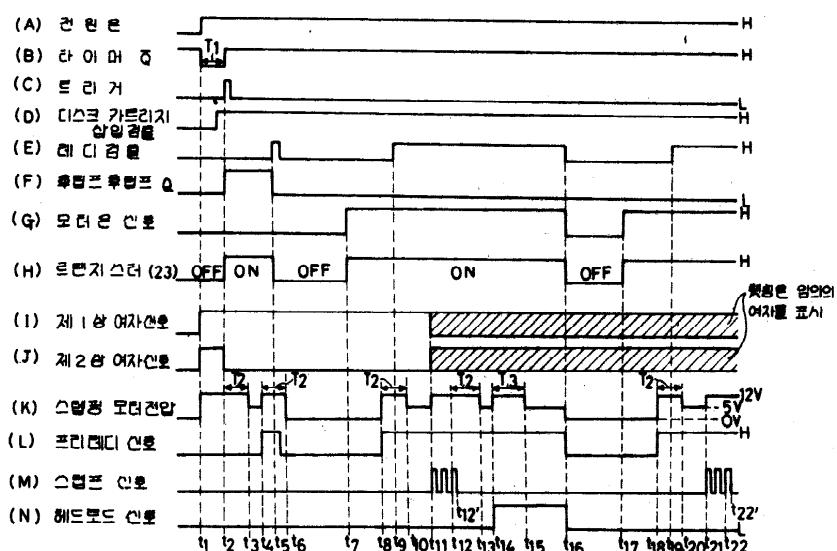
도면7



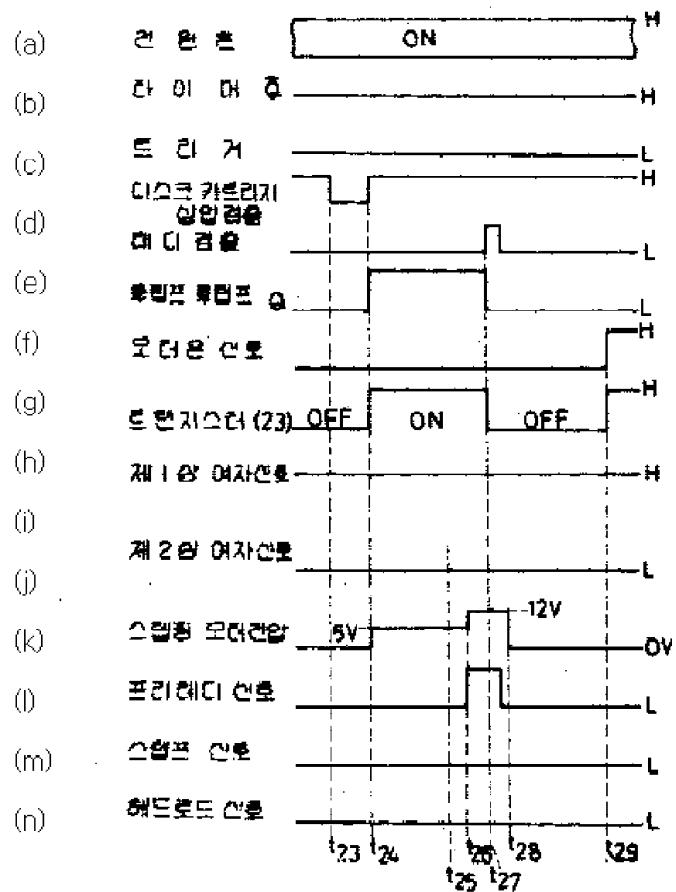
도면8



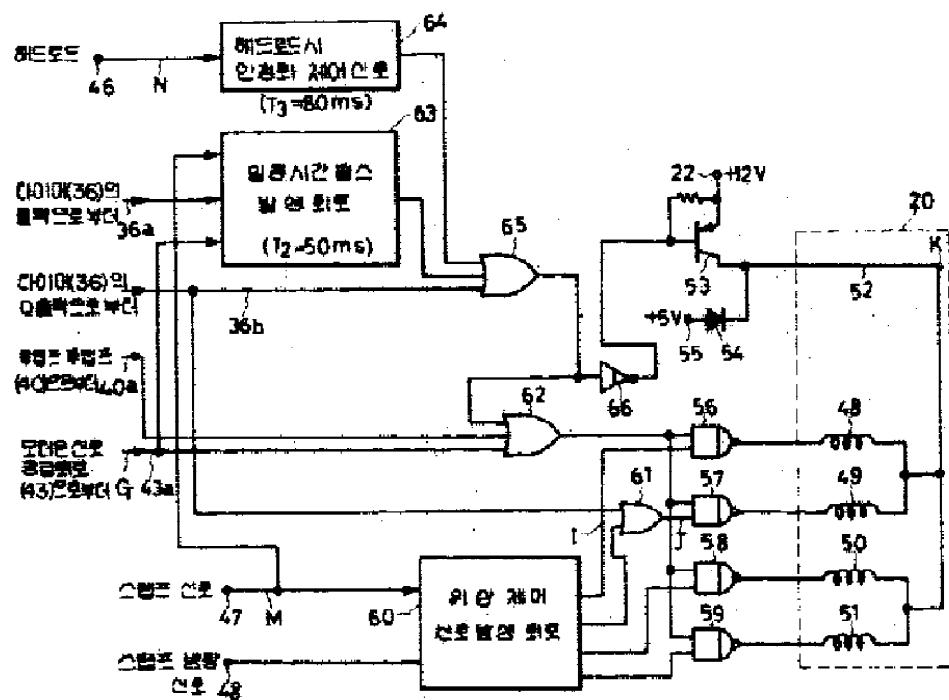
도면9



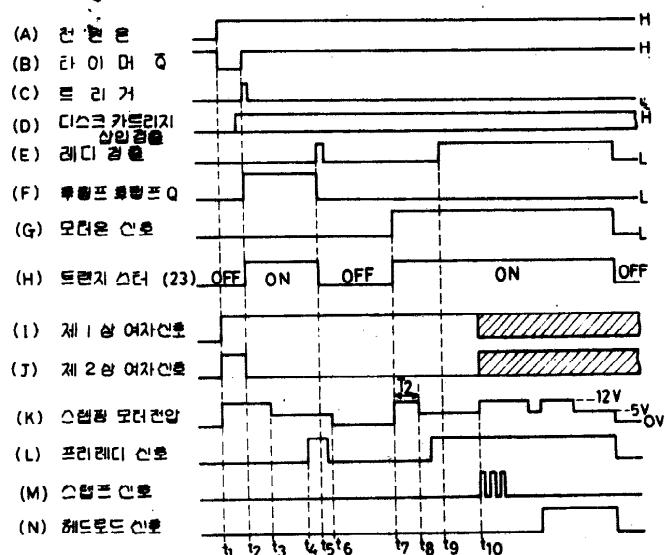
도면 10



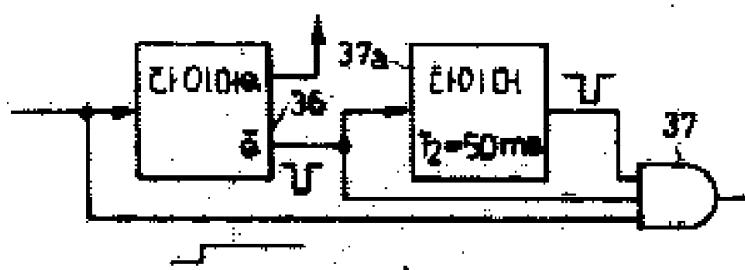
도면11



도면12



도면13



도면14

