(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3623377号
(P3623377)
(45)発行日　平成17年2月23日(2005.2.23)　(24)登録日　平成16年12月3日(2004.12.3)

(51)Int.Cl.[7]	F I	
H01L 21/768	H01L 21/90	B
H01L 21/3205	H01L 21/88	N
H01L 21/822	H01L 21/90	K
H01L 27/04	H01L 27/04	C

請求項の数 2　(全 7 頁)

(21)出願番号　特願平10-306545
(22)出願日　平成10年10月28日(1998.10.28)
(65)公開番号　特開2000-133708(P2000-133708A)
(43)公開日　平成12年5月12日(2000.5.12)
審査請求日　平成13年7月19日(2001.7.19)

(73)特許権者　000005049
シャープ株式会社
大阪府大阪市阿倍野区長池町２２番２２号
(74)代理人　100065248
弁理士　野河　信太郎
(74)代理人　100103296
弁理士　小池　隆彌
(72)発明者　福見　公孝
大阪府大阪市阿倍野区長池町２２番２２号
シャープ株式会社内

審査官　松本　貢

最終頁に続く

(54)【発明の名称】半導体装置の製造方法

(57)【特許請求の範囲】
【請求項１】
拡散領域を有する半導体素子が形成された半導体基板上に第１の層間絶縁膜を形成し、
上記第１の層間絶縁膜の上記拡散領域上にコンタクトホールを形成して、該コンタクトホール内に導電性プラグを埋設し、
上記第１の層間絶縁膜上に、上記コンタクトプラグと電気的に接続された下部電極となるアルミニウム膜とキャパシタ絶縁膜となるシリコン窒化膜と上部電極となるアルミニウム膜とを順次形成し、
キャパシタ形成領域及び配線形成領域をマスクして、上記上部電極及び下部電極となるアルミニウム膜と上記シリコン窒化膜とを除去し、
キャパシタ形成領域のみをマスクして、上記上部電極となるアルミニウム膜及び上記シリコン窒化膜を除去し、
全面に第２の層間絶縁膜を形成し、該第２の層間絶縁膜の所定の位置に上記キャパシタの上部電極となるアルミニウム膜表面が露出するようにコンタクトホールを形成して、該コンタクトホール内に導電性プラグを埋設し、
上記第２の層間絶縁膜上に配線材料を形成して、所定の形状にパターニングし、上記導電性プラグを介して、上記アルミニウム膜と電気的に接続された配線を形成することを特徴とする、半導体装置の製造方法。
【請求項２】
拡散領域を有する半導体素子が形成された半導体基板上に第１の層間絶縁膜を形成し、

上記第１の層間絶縁膜の上記拡散領域上にコンタクトホールを形成して、該コンタクトホール内に導電性プラグを埋設し、
上記第１の層間絶縁膜上に、上記コンタクトプラグと電気的に接続された下部電極となるアルミニウム膜とキャパシタ絶縁膜となるシリコン窒化膜と上部電極となるアルミニウム膜とを順次形成し、
キャパシタ形成領域及び下層配線形成領域をマスクして、上記上部電極及び下部電極となるアルミニウム膜と上記シリコン窒化膜とを除去し、
キャパシタ形成領域のみをマスクし、上記上部電極となるアルミニウム膜及び上記シリコン窒化膜を除去して、下層配線を形成し、
全面に第２の層間絶縁膜を形成し、該第２の層間絶縁膜の所定の位置に上記キャパシタの上部電極及び上層配線と接続される下層配線となるアルミニウム膜表面が露出するようにコンタクトホールを形成して、該コンタクトホール内に導電性プラグを埋設し、
上記第２の層間絶縁膜上に配線材料を形成して、所定の形状にパターニングし、上記導電性プラグを介して、上記キャパシタの上部電極又は上記下層配線に電気的に接続された上記上層配線を形成することを特徴とする、半導体装置の製造方法。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は電圧依存性がない容量素子を搭載した半導体装置の製造方法に関するものである。
【０００２】
【従来の技術】
近年、Ａ／Ｄコンバータ、Ｄ／Ａコンバータ等のアナログ又はアナログ・デジタルＬＳＩに内蔵するフィルタ回路や積分回路の精度を向上させるために、高精度で電圧依存性の無い容量素子が望まれている。
【０００３】
この電圧依存性とは以下の式で与えられる。
【０００４】
電圧依存性γ＝（Ｃ（Ｖ）－Ｃ（０））／Ｃ（０）Ｖ
ここで、Ｃ（Ｖ）、Ｃ（０）は印加電圧がＶ及び０のときのキャパシタの容量値である。
高精度なＡ／Ｄコンバータ、Ｄ／Ａコンバータでは低い電圧依存性が要求される。例えば、１４ＢｉｔのＡ／Ｄコンバータでは電圧依存性は１００ｐｐｍ以下である。
【０００５】
従来このような容量素子としては、下部電極に拡散層又はポリシリコン層を、上部電極にポリシリコン又はアルミニウム配線層を用いたものが使用されてきた。
【０００６】
また、高精度で電圧依存性がない容量素子として、半導体基板上に形成された第１の多層配線層を下層配線に、その下層配線上に形成された絶縁膜とその絶縁膜上に形成された第２の多層用金属膜を上部電極とした容量素子が特開平５－９５０８２号公報に開示されている。以下、図２を用いてこの従来技術を説明する。
【０００７】
まず、図２（ａ）に示すように、シリコン基板２９を熱酸化し、素子分離領域に膜厚が５００ｎｍ程度のシリコン酸化膜２０を形成した後、スパッタ法によって、膜厚が１μｍ程度の第１アルミニウム膜２１を形成し、更にスパッタ法により、膜厚０．１μｍ程度の窒化チタン２２を形成する。次に、フォトリソグラフィによるレジストをマスクとして窒化チタン２２と第１アルミニウム膜２１をドライエッチングによってパターニングし、第１配線及び容量下部電極を形成する。
【０００８】
次に、図２（ｂ）に示すように、配線層間膜として常圧ＣＶＤ法による膜厚５００ｎｍ程度のＰＳＧ膜２３を形成する。次に、フォトリソグラフィにより、レジストマスクで容量

素子の対向電極面に対応する領域のＰＳＧ膜２３をドライエッチングによって、開口する。その後、スパッタ法により、膜厚５０ｎｍ程度のシリコン窒化膜２４を容量絶縁膜として形成する。

【０００９】

次に、図２（ｃ）に示すように、フォトリソグラフィにより、レジストマスクで、ドライエッチングによって、配線間コンタクト領域２５のＰＳＧ膜２３を開口し、スパッタ法によって、膜厚１μｍ程度の第２アルミニウム膜２６を形成し、フォトリソグラフィにより、レジストマスクで第２アルミニウム膜２６をドライエッチングによってパターニングし、第２配線層を形成する。

【００１０】

【発明が解決しようとする課題】

しかしながら、上述した従来の半導体装置に搭載した容量素子では、下部電極に拡散層又はポリシリコンという半導体材料を用いているため、上下電極間に印加された電圧関係によって、下部電極の拡散層又はポリシリコンの容量絶縁膜表面近傍に空乏層が形成される。このため、従来の半導体装置に搭載した容量素子では、容量値が電圧依存性をもつ。このような容量値が電圧依存性をもつ容量素子フィルタ回路や積分回路等のアナログ信号処理回路に用いられると、回路特性が非線形型になり、出力信号に歪みが生じたり、精度が低下したりするという問題が生じる。

【００１１】

また、高精度で電圧依存性がない容量素子として、半導体基板上に形成された第１多層配線を下層配線に、その下層配線上に形成された絶縁膜とその絶縁膜上に形成された第２多層用金属膜を上部電極とした、特開平５－９５０８２号公報に開示された容量素子では、下部電極がゲート電極と同一材料で形成されている、即ち、下部電極は容量素子以外の配線（ゲート電極）と同一となるため、キャパシタは素子分離領域上に形成する必要があり、チップサイズが広がるという問題点がある。

【００１２】

本発明は、電圧依存性がなく、高精度フィルタ回路等に組み込める容量素子を有する半導体装置の製造方法を提供することを目的とする。

【００１３】

【課題を解決するための手段】

請求項１に記載の本発明の半導体装置の製造方法は、拡散領域を有する半導体素子が形成された半導体基板上に第１の層間絶縁膜を形成し、

上記第１の層間絶縁膜の上記拡散領域上にコンタクトホールを形成して、該コンタクトホール内に導電性プラグを埋設し、

上記第１の層間絶縁膜上に、上記コンタクトプラグと電気的に接続された下部電極となるアルミニウム膜とキャパシタ絶縁膜となるシリコン窒化膜と上部電極となるアルミニウム膜とを順次形成し、

キャパシタ形成領域及び配線形成領域をマスクして、上記上部電極及び下部電極となるアルミニウム膜と上記シリコン窒化膜とを除去し、

キャパシタ形成領域のみをマスクして、上記上部電極となるアルミニウム膜及び上記シリコン窒化膜を除去し、

全面に第２の層間絶縁膜を形成し、該第２の層間絶縁膜の所定の位置に上記キャパシタの上部電極となるアルミニウム膜表面が露出するようにコンタクトホールを形成して、該コンタクトホール内に導電性プラグを埋設し、

上記第２の層間絶縁膜上に配線材料を形成して、所定の形状にパターニングし、上記導電性プラグを介して、上記アルミニウム膜と電気的に接続された配線を形成することを特徴とするものである。

【００１４】

請求項２に記載の本発明の半導体装置の製造方法は、拡散領域を有する半導体素子が形成された半導体基板上に第１の層間絶縁膜を形成し、

上記第１の層間絶縁膜の上記拡散領域上にコンタクトホールを形成して、該コンタクトホール内に導電性プラグを埋設し、
上記第１の層間絶縁膜上に、上記コンタクトプラグと電気的に接続された下部電極となるアルミニウム膜とキャパシタ絶縁膜となるシリコン窒化膜と上部電極となるアルミニウム膜とを順次形成し、
キャパシタ形成領域及び下層配線形成領域をマスクして、上記上部電極及び下部電極となるアルミニウム膜と上記シリコン窒化膜とを除去し、
キャパシタ形成領域のみをマスクし、上記上部電極となるアルミニウム膜及び上記シリコン窒化膜を除去して、下層配線を形成し、
全面に第２の層間絶縁膜を形成し、該第２の層間絶縁膜の所定の位置に上記キャパシタの上部電極及び上層配線と接続される下層配線となるアルミニウム膜表面が露出するようにコンタクトホールを形成して、該コンタクトホール内に導電性プラグを埋設し、
上記第２の層間絶縁膜上に配線材料を形成して、所定の形状にパターニングし、上記導電性プラグを介して、上記キャパシタの上部電極又は上記下層配線に電気的に接続された上記上層配線を形成することを特徴とするものである。

【００１５】

【発明の実施の形態】

以下、実施の形態に基づいて本発明について詳細に説明する。

【００１６】

図１は本発明の一実施の形態の半導体装置の製造工程図であり、図１において、１はゲート電極、２はゲート酸化膜、３はシリコン酸化膜、４はＢＰＳＧ膜、５は第１層目金属配線又は下部電極となるアルミニウム膜、６はキャパシタ絶縁膜となるシリコン窒化膜、７は上部電極となるアルミニウム膜、８はレジスト、９はＰＥ－ＴＥＯＳ膜、１０は第２層目金属配線となるアルミニウム膜、１１は半導体基板、１２はロコス酸化膜である。

【００１７】

まず、図１（ａ）に示すように、従来技術に基づき、半導体基板１１にゲート酸化膜２を介してゲート電極１を形成し、ソース／ドレイン領域（図示せず）を形成する。次に、ＢＰＳＧ膜４を堆積させ、ソース／ドレイン領域上のＢＰＳＧ膜４にコンタクトホールを形成する。次に、このコンタクトホールに　　を埋設し、エッチバックにより、コンタクトプラグ１３を形成する。

【００１８】

次に、第１層目金属配線又は、キャパシタの下部電極となるアルミニウム膜５を膜厚６００μｍ程度に形成する。次に、減圧ＣＶＤ法により、膜厚２０ｎｍ程度のシリコン窒化膜６を形成し、更にスパッタ法により膜厚１５０ｎｍ程度のキャパシタの上部電極となるアルミニウム膜７を形成する。

【００１９】

次に、図１（ｂ）に示すように、フォトリソグラフィによるレジストをマスクとして、１層目金属配線と、キャパシタ領域以外の金属配線材料（アルミニウム膜５、７）及びシリコン窒化膜６をドライエッチングにより除去する。

【００２０】

次に、図１（ｃ）に示すように、フォトリソグラフィによるレジストをマスクとして、キャパシタ領域以外の金属配線材料（アルミニウム膜７）とシリコン窒化膜６をドライエッチングで除去する。エッチングガスは、金属配線には、流量比を１：１としたＢＣｌ$_3$とＣｌ$_2$とを、また、シリコン窒化膜には、流量比を１：１としたＣＦ$_4$とＣＨ$_3$とを用いる。

【００２１】

次に、図１（ｄ）に示すように、常圧ＣＶＤ法により、膜厚２５００ｎｍ程度のＰＥ－ＴＥＯＳ膜９を形成し、ＣＭＰ法により膜厚５００ｎｍ程度研磨する。

【００２２】

次に、フォトリソグラフィによるレジストをマスクとして、キャパシタの上部電極及び第

１層目金属配線と第２層目金属配線との間のヴィアホール領域のＰＥ－ＴＥＯＳ膜９をドライエッチングにより開口し、ブランケット法により、ヴィアホール内にWF_6ガスを用いてタングステン１４を埋設する。その後、スパッタ法により、第２層目金属配線となるアルミニウム膜１０を形成し、フォトリソグラフィによるレジストをマスクとしてドライエッチングによってアルミニウム膜１０のパターニングし、第２層目金属配線を形成する。

【００２３】

このように、本発明によれば、容量素子の下部電極（アルミニウム膜５）と上部電極（アルミニウム膜７）を金属導電性材料で構成することができ、電極の絶縁膜側表面近傍の空乏層の形成がなく、容量値が電圧依存性を持たない容量素子を形成することができる。

【００２４】

【発明の効果】

以上、詳細に説明したように、本発明を用いることにより、金属配線材料の下部電極と、その下部電極上の所定部を含む領域に形成された絶縁膜と、その絶縁膜上の所定部を含む領域に形成された金属配線材料の上部電極とを有する容量素子を有する構成によるので、電圧依存性がなく、高精度フィルタ回路等に組み込める容量素子を有する半導体装置を提供することができる。

【００２５】

また、図２に示した従来のアナログキャパシタでは、電圧依存性が数千［ｐｐｍ／Ｖ］であるのに対して、図１に示した本発明の構成のアナログキャパシタでは電圧依存性を数十［ｐｐｍ／Ｖ］まで低減可能であるため、高精度で電圧依存性のないフィルタ回路や積分回路等が形成可能となる。

【００２６】

更に、配線層にてキャパシタを形成しているため、特開平５－９５０８２号公報に開示された従来技術のように、素子分離領域上に形成する必要はなく、層間絶縁膜を上に形成することができ、チップサイズの縮小が可能となる。

【図面の簡単な説明】

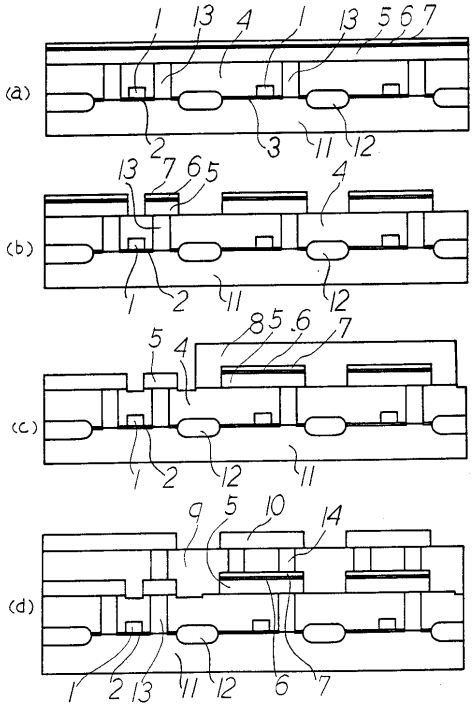
【図１】本発明の一実施の形態の半導体装置の製造工程図である。

【図２】従来のアナログキャパシタを有する半導体装置の製造工程図である。

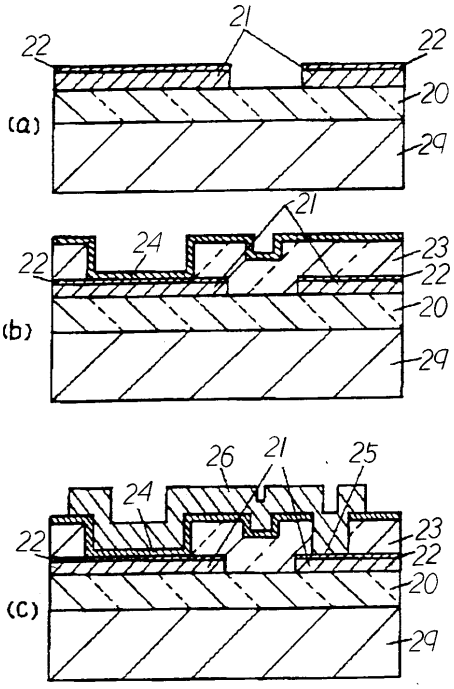
【符号の鋭明】

１　ゲート電極
２　ゲート酸化膜
３　シリコン酸化膜
４　ＢＰＳＧ膜
５　下部電極となるアルミニウム膜
６　キャパシタ絶縁膜となるシリコン窒化膜
７　上部電極となるアルミニウム膜
８　レジスト
９　ＰＥ－ＴＥＯＳ膜
１０　２層目金属配線となるアルミニウム膜

【図１】



【図２】



フロントページの続き

(56)参考文献 特開２０００－０５８７７１（ＪＰ，Ａ）
特開平１０－１７８１５７（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
H01L 21/768
H01L 21/3205
H01L 21/822
H01L 27/04