(12) DEMANDE INTERNATIONALE PUBLIÉE EN VERTU DU TRAITÉ DE COOPÉRATION EN MATIÈRE DE BREVETS (PCT)

(19) Organisation Mondiale de la Propriété Intellectuelle
Bureau international

(43) Date de la publication internationale
28 septembre 2006 (28.09.2006)

PCT

(10) Numéro de publication internationale
WO 2006/100301 A1

(51) Classification internationale des brevets :
H01L 21/762 (2006.01)

(21) Numéro de la demande internationale :
PCT/EP2006/061012

(22) Date de dépôt international : 23 mars 2006 (23.03.2006)

(25) Langue de dépôt : français

(26) Langue de publication : français

(30) Données relatives à la priorité :
0502923 24 mars 2005 (24.03.2005) FR

(71) Déposant *(pour tous les États désignés sauf US)* : **S.O.I.TEC SILICON ON INSULATOR TECHNOLOGIES** [FR/FR]; Parc Technologique des Fontaines, Chemin des Franques, F-38190 Bernin (FR).

(72) Inventeurs; et

(75) Inventeurs/Déposants *(pour US seulement)* : **LETERTRE, Fabrice** [FR/FR]; 33 quai Jongking, F-38000 Grenoble (FR). **GHYSELEN, Bruno** [FR/FR]; 58, rue Georges Maeder, F-38170 Seyssinet-Pariset (FR). **CAYREFOURCQ, Ian** [FR/FR]; 74, Chemin du Theys, F-38330 Saint Nazaire Les Eymes (FR).

(74) Mandataire : **CABINET REGIMBEAU**; 20, Rue de Chazelles, F-75847 Paris Cedex 17 (FR).

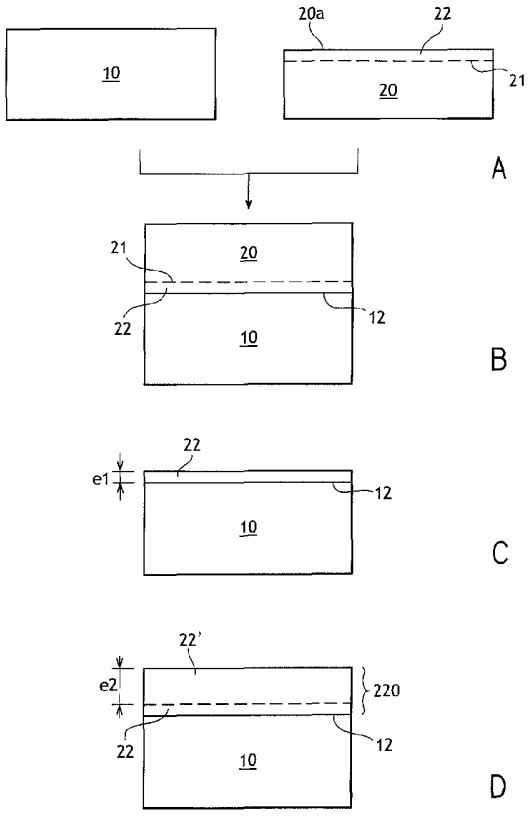
(81) États désignés *(sauf indication contraire, pour tout titre de protection nationale disponible)* : AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY,

[Suite sur la page suivante]

WO 2006/100301 A1

(54) Title: METHOD OF PRODUCING A HETERO-STRUCTURE COMPRISING AT LEAST ONE THICK LAYER OF SEMI-CONDUCTOR MATERIAL

(54) Titre : PROCEDE DE FABRICATION D'UNE HETERO-STRUCTURE COMPORTANT AU MOINS UNE COUCHE EPAISSE DE MATERIAU SEMI-CONDUCTEUR



(57) Abstract: The invention relates to a method of producing a structure comprising at least one semiconductor material for use in microelectronics, optoelectronics, optics, etc. The inventive method comprises the following steps consisting in: equipping a support (10) which is made from a first material with a thin monocrystalline layer (22) of a second material which is different from the first, said layer being transferred to the support; and performing a pre-determined heat treatment such as at least to reinforce the bonding interface (12) between the thin layer and the support. The method is characterised in that the thickness (e1) of the thin layer is selected as a function of the difference between the thermal expansion coefficients of the first and second materials and as a function of the parameters of said pre-determined heat treatment, such that the stresses exerted by said treatment on the support/transferred thin layer assembly leave same intact. The invention is also characterised in that it comprises an additional step in which an additional thickness (22') of the second material in the monocrystalline state is deposited on the thin layer. The invention is suitable for the production of hetero-substrates comprising a thick useful layer.

(57) Abrégé : Un procédé de fabrication d'une structure comprenant au moins un matériau semi-conducteur pour des applications en micro-électronique, opto- électronique, optique, etc., comprend le transfert sur un support (10) en un premier matériau d'une couche mince monocristalline (22) en un second matériau différent du premier, ainsi qu'un traitement thermique prédéterminé réalisant au moins un renforcement d'une interface de collage (12) entre la couche mince et le support. Le procédé est

[Suite sur la page suivante]

MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) États désignés *(sauf indication contraire, pour tout titre de protection régionale disponible)* **:** ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), eurasien (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), européen (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Déclaration en vertu de la règle 4.17 :

— *relative à la qualité d'inventeur (règle 4.17.iv))*

Publiée :

— *avec rapport de recherche internationale*

— *avant l'expiration du délai prévu pour la modification des revendications, sera republiée si des modifications sont reçues*

En ce qui concerne les codes à deux lettres et autres abréviations, se référer aux "Notes explicatives relatives aux codes et abréviations" figurant au début de chaque numéro ordinaire de la Gazette du PCT.

remarquable en ce que l'épaisseur (e1) de la couche mince est choisie en fonction de la différence entre les coefficients de dilatation thermique des premier et second matériaux et en fonction des paramètres dudit traitement thermique prédéterminé, de telle sorte que les contraintes exercées par ledit traitement thermique sur l'assemblage du support et de la couche mince transférée laisse ledit assemblage intact, et en ce qu'il comprend une étape supplémentaire de dépôt, sur la couche mince, d'une épaisseur supplémentaire (22') du second matériau à l'état monocristallin. Application à la fabrication d'hétéro-substrats à couche utile épaisse.

Procédé de fabrication d'une hétéro-structure comportant au moins une couche épaisse de matériau semi-conducteur

La présente invention concerne d'une façon générale la fabrication de matériaux et plus particulièrement d'hétéro-substrats pour la microélectronique, l'optoélectronique, l'optique ou la photonique.

Plus précisément, l'invention concerne un nouveau procédé de réalisation d'un hétéro-substrat composé au moins d'un support et d'une ou de plusieurs couche(s) mince(s), où les matériaux utilisés ainsi que leurs propriétés thermiques peuvent être différents.

On connaît déjà des procédés de ce type.

Il est ainsi connu de réaliser des hétéro-substrats en mettant en œuvre des techniques de collage en particulier par adhésion moléculaire.

A titre d'exemple et de manière non limitative, les procédés connus de type Besoi®, Eltran® ou Smart-Cut® utilisent une étape de collage.

On rappellera à cet égard que dans le cadre d'une fabrication d'hétéro-substrats, ces procédés comprennent au moins les étapes suivantes :

a) un collage par mise en contact de deux substrats généralement massifs en matériaux en général dissemblables, avec une couche utile qui repose sur un substrat support, le tout formant une hétéro-structure,

b) un renforcement de l'interface de collage des deux substrats en mettant en œuvre un traitement thermique à haute température en vue de réduire la fragilité de ladite interface. Les problèmes de délaminage et d'altération de la qualité mécanique et/ou électrique de ladite couche utile sont ainsi évités, tout au moins limités, et

c) une réduction de l'épaisseur de la couche utile reposant sur le substrat support afin de constituer une couche mince.

De telles étapes peuvent être mises en œuvre avec différentes possibilités, telles que par exemple une oxydation sacrificielle à l'étape c), ou

avec un ordre différent, avec en particulier une inversion entre les étapes b) et c).

Par ailleurs, certaines de ces étapes elles peuvent être combinées en vue d'optimiser le procédé globalement (durée cumulée des traitements, durée cumulée liée aux manipulations, etc...).

On profite par exemple d'un traitement thermique de stabilisation de l'interface de collage (étape b)), pour le combiner avec une étape d'amincissement (étape c)) (cf. brevet US6403450).

Toutefois, dans le cadre de la réalisation d'hétéro-substrats avec des matériaux ayant des propriétés différentes, par exemple des coefficients de dilatation thermique différents, les traitements thermiques subis lors de la fabrication du substrat composite (renforcement de l'interface, amincissement, ...) induisent typiquement des contraintes mécaniques importantes.

De telles contraintes peuvent conduire à une fragilisation, suivie dans certains cas d'une fissuration voire d'une fracture, d'un ou des deux substrats traités.

Ces contraintes peuvent aussi conduire à une déformation plastique irrémédiable du ou des substrats traités.

En particulier, des dislocations et/ou des glissements de plan et/ou d'autres défauts cristallins peuvent apparaître.

Il est aussi connu que les températures auxquelles apparaissent ces problèmes dépendent typiquement :

- de l'énergie mécanique emmagasinée par la structure composite lors du traitement thermique mis en œuvre,
- de la différence entre les coefficients de dilatation thermique des matériaux composant la structure composite,
- et de l'épaisseur des substrats utilisés.

Ainsi, dans le cadre de la fabrication d'hétéro-substrats par procédé de type Smart Cut®, de tels problèmes peuvent constituer de réelles limitations.

Plus particulièrement, les niveaux maximaux possibles en termes de température diminuent, de sorte que des traitements thermiques deviennent difficilement utilisables par manque d'efficacité.

Par exemple et de manière non exhaustive, un traitement thermique de renforcement d'une interface vers 1050-1000°C va se trouver délicat à mettre en œuvre dans le cas d'une hétéro-structure comportant une couche utile de 500 Å d'épaisseur, les niveaux de température généralement pratiqués dans ce type de traitement étant trop élevés au regard des problèmes évoqués précédemment.

On connaît par ailleurs des solutions qui permettent d'améliorer le renforcement de l'interface de collage d'un hétéro-substrat sans surcroît d'apport thermique.

Une première proposition, connue sous le terme de « collage plasma », consiste à appliquer certains traitements sur les surfaces à coller, en vue d'augmenter l'énergie de collage pour un traitement thermique de renforcement donné.

En procédant de la sorte on relâche les contraintes thermiques que subissent les substrats tout en maintenant un renforcement et un scellement adéquat de l'interface dans la structure composite.

Mais cette proposition requiert des équipements spécifiques, limitant ainsi sont attrait sur le plan économique.

Une deuxième solution connue consiste à réaliser un collage eutectique : une couche métallique (Au_2Si_3) est intercalée entre les deux substrats à sceller pour faciliter leur collage par traitement thermique, de sorte que les niveaux de température peuvent rester relativement bas .

Cette solution offre donc, elle aussi, l'avantage de pouvoir relâcher les contraintes thermiques dans un traitement de renforcement de l'interface d'un hétéro-substrat.

Toutefois la présence de ladite couche métallique au niveau de l'interface limite les températures maximales permises lors d'étapes ultérieures du procédé de fabrication, des niveaux de températures trop

élevés pouvant en effet conduire à une fusion de cette couche. En outre, elle nécessite une étape supplémentaire d'interposition de cette couche métallique.

Un but de l'invention est de permettre de s'affranchir des problèmes ci-dessus.

Elle propose à cet effet un procédé de fabrication d'une structure comprenant au moins un matériau semiconducteur pour des applications en micro-électronique, opto-électronique, optique, etc., le procédé comprenant le transfert sur un support en un premier matériau d'une couche mince monocristalline en un second matériau différent du premier, ainsi qu'un traitement thermique prédéterminé réalisant au moins un renforcement d'une interface de collage entre la couche mince et le support, caractérisé en ce que l'épaisseur de la couche mince est choisie en fonction de la différence entre les coefficients de dilatation thermique des premier et second matériaux et en fonction des paramètres dudit traitement thermique prédéterminé, de telle sorte que les contraintes exercées par ledit traitement thermique sur l'assemblage du support et de la couche mince transférée laisse ledit assemblage intact, et en ce qu'il comprend une étape supplémentaire de dépôt, sur la couche mince, d'une épaisseur supplémentaire du second matériau à l'état monocristallin.

Certains aspects préférés, mais non limitatifs, du procédé selon l'invention sont les suivants :

* l'épaisseur de la couche mince transférée est comprise entre environ 100 et 300 Å, et de préférence entre 150 et 250 Å.

* l'épaisseur du dépôt réalisé sur la couche mince transférée est compris entre environ 1000 et 5000 Å.

* l'étape de transfert de la couche mince du second matériau comprend les sous-étapes consistant à créer dans une plaquette donneuse, par implantation d'espèces, une zone de fragilisation délimitant la couche mince à transférer, à mettre en contact la plaquette donneuse avec le support, et à appliquer des contraintes aptes à mener au détachement de la

couche mince par rapport au reste de la plaquette donneuse après la mise an contact.

* le procédé comprend une étape supplémentaire de préparation de la surface libre de la couche mince, après détachement, pour réaliser le dépôt.

* l'étape de dépôt est réalisée par épitaxie.

* le premier matériau est un isolant.

* le premier matériau est du quartz, tandis que le second matériau est du silicium.

* le premier matériau est un semi-conducteur.

* le premier matériau est du silicium, tandis que le second matériau est du germanium.

* ledit traitement thermique est apte à engendrer dans la couche mince transférée un niveau acceptable de défauts liés à la différence entre les coefficients de dilatation thermique des premier et second matériaux.

D'autres aspects, buts et avantages de la présente invention apparaîtront mieux à la lecture de la description détaillée suivante de formes de réalisation préférées de celle-ci, donnée à titre d'exemple non limitatif et faite en référence aux dessins annexés, sur lesquels les figures 1A à 1D illustrent schématiquement les étapes principales d'un procédé préféré de l'invention.

On notera ici que les dimensions, en particulier épaisseurs relatives, montrées sur les figures ont été choisies par souci de clarté et ne sont pas censées illustrer la réalité des choses.

En référence tout d'abord à la figure 1A, on a représenté un support 10 et une plaquette donneuse 20 dans laquelle, par exemple par implantation ionique à travers une face 20a de la plaquette, on a réalisé une zone de fragilisation 21 délimitant une zone 22 de la plaquette 20 à transférer sur le support 10.

A l'étape 1B, le support 10 et la plaquette 20 sont assemblés et collés ensemble par adhésion moléculaire, une couche d'interface de collage

(non représentée), telle qu'un oxyde ou un nitrure, étant éventuellement formée sur le support et/ou sur la plaquette. L'interface de collage est désignée par la référence 12.

L'ensemble subit alors un traitement thermique, en une ou plusieurs étapes, de manière d'une part à réaliser d'une part un détachement entre la zone 22 et le reste de la plaquette 20 au niveau de la zone de fragilisation, et d'autre part un renforcement de l'interface de collage entre le support 10 et la couche mince maintenant formée par la zone 22 détachée comme indiqué ci-dessus. La structure ainsi formée est illustrée sur la figure 1C.

Les étapes ci-dessus correspondent globalement au procédé Smart-Cut ® exploité par la Demanderesse.

La présente invention vise les situations où le matériau du support 10 et le matériau de la couche mince 22 présentent des coefficients de dilatation thermique suffisamment différents l'un de l'autre pour que les traitements thermiques précités ne puissent pas être mis en œuvre sans assister à une forme de détérioration de la structure composée du support 10 et de la couche mince 22, avec les éventuelles couches d'interface de collage.

Selon l'invention, on choisit pour l'épaisseur e1 de la couche transférée 22 une valeur faible, telle que les traitements thermiques précités laissent la structure sensiblement non affectée ; en d'autres termes, l'épaisseur de la couche 22 est choisie suffisamment faible pour ne pas provoquer de phénomènes de rupture, ou encore de phènomènes indésirables de déformation plastique, liée par exemple à des dislocations, glissements de plans atomiques, fissurations, etc. dans la couche 22.

La surface libre de la couche 22 est ensuite préparée pour recevoir un dépôt du même matériau. Cette préparation peut comprendre un polissage mécano-chimique, une oxydation sacrificielle, une recuit thermique rapide (RTA pour « Rapid Thermal Annealing » en terminologie anglo-saxonne) ou encore un recuit au four, etc., l'objectif étant ici d'aboutir à une rugosité de la surface suffisamment faible.

L'étape suivante du procédé, illustrée sur la figure 1D, consiste à utiliser la couche 22 ainsi préparée comme couche germe pour procéder à un dépôt 22' du même matériau sur une épaisseur e2, par épitaxie, et réaliser un accroissement de l'épaisseur de la couche globale 220 (couche utile) du matériau constituant les couches 22 et 22' jusqu'à la valeur recherchée. L'épitaxie permet d'obtenir une très bonne qualité cristalline.

On observera ici que le choix de l'épaisseur e1 de la couche transférée 22 peut être tel qu'il existe un certain niveau densité de dislocations ou de plans de glissement dans l'hétéro-structure intermédiaire représentée à la figure 1C et en particulier dans la couche transférée 22. En effet, ces défauts, après l'épitaxie de la couche 22', sont enterrés en profondeur dans la couche utile 220 et ne sont pas traversants.

On observera en outre que la phase d'épaississement par dépôt épitaxial de la couche 22' permet de reporter au final des épaisseurs bien plus importantes que ce qu'il est possible de faire avec une technique de type Smart-Cut®, limitée de façon inhérente par la profondeur d'implantation possible

Exemple 1

Dans ce premier exemple, on cherche à réaliser une structure composée d'un support en quartz, par exemple d'une épaisseur de 1,2 mm, sur lequel repose une couche de silicium monocristallin d'une épaisseur pouvant atteindre 500 à 2000 Å pour des applications en micro-électronique, voire bien davantage pour d'autres applications tels que des dispositifs à couplage de charges (CCD pour « Charge Coupled Device » en terminologie anglo-saxonne).

L'expérimentation démontre que la température critique à partir de laquelle se manifestent des déformations plastiques excessives (dislocations, plans de glissement, etc.) dans une structure composée d'une couche mince de Si transférée selon le procédé Smart-Cut sur un support en quartz dépend de l'épaisseur de la couche transférée de la façon suivante :

Epaisseur couche 22	Temp. Critique
2000 Å	750 °C
500 Å	950 °C
200 Å	1100 °C

Selon le présent exemple, on transfère sur le support 10 en quartz une couche de silicium monocristallin 22 d'une épaisseur de 200 Å, ce transfert mettant en jeu un renforcement de l'interface de collage par traitement thermique à 1050 °C pendant une durée d'environ deux heures. Grâce à l'épaisseur limitée de la couche 22, ce traitement thermique n'engendre aucune détérioration préjudiciable (fissuration ou rupture) de la structure. La surface libre de la couche mince 22 est ensuite préparée pour le dépôt par épitaxie du complément de silicium permettant de réaliser la couche utile monocristalline de l'épaisseur voulue. Cette épitaxie pour former la couche 22' également en silicium monocristallin est réalisée sur une épaisseur qui peut varier largement en fonction de l'application.

Ainsi, pour des applications en micro-électronique, l'épaisseur du dépôt est par exemple d'environ 800 à 1800 Å, pour aboutir à une épaisseur de couche utile d'environ 1000 à 2000 Å.

Pour des applications CCD, l'épaisseur globale recherchée est typiquement de 5 à 10 µm.

Exemple 2

On cherche à réaliser une structure de semiconducteur sur isolant comprenant un support en silicium (monocristallin ou polycristallin) et une couche utile épaisse en germanium monocristallin, par exemple pour des applications de composants photovoltaïques.

On détermine les traitements thermiques nécessaires au détachement de la couche mince 22 de germanium par rapport à sa

plaquette donneuse et au renforcement de l'interface de collage avec le support 10 en silicium.

Typiquement, ces traitements comprennent une phase de détachement à une température d'environ 300 à 400°C pendant une durée d'environ quelques minutes à deux heures, puis une phase de renforcement de l'interface de collage à une température d'environ 500 à 800°C pendant une durée d'environ une heure.

On détermine ensuite, expérimentalement, qu'une épaisseur de la couche mince 22 qui n'est pas supérieure à environ 200 Å permet d'appliquer ces traitements thermiques à la structure sans que ladite couche mince ne se détériore.

On réalise ensuite sur la couche mince 22, après un traitement préparatoire à l'épitaxie tel qu'un polissage mécano-chimique, un dépôt de germanium monocristallin 22' venant se former dans la continuité de la couche 22 en termes de structure cristalline, et donc réaliser un épaississement de celle-ci. Dans le présent exemple, ce dépôt s'effectue sous une température d'environ 700°C, et sur une épaisseur de 4800 Å, pour former au total une couche utile de germanium monocristallin d'une épaisseur de 5000 Å, voire davantage (jusqu'à 3 µm).

Bien entendu, la présente invention n'est nullement limitée aux formes de réalisation décrites, et l'homme du métier saura y apporter de nombreuses variantes. Elle trouve application dès que l'on souhaite réaliser une hétérostructure comprenant au moins un matériau semi-conducteur et dans laquelle une couche rapportée doit présenter une épaisseur supérieure à celle autorisée par les données essentielles de départ que sont les traitements thermiques à subir et la différence entre les coefficients de dilatation thermique des deux matériaux. On citera notamment des structures d'InP sur Si et de GaAs sur Si.

On notera également que la couche mince transférée peut être contrainte, en tension ou en compression, l'épaisseur supplémentaire de matériau apportée par dépôt préservant cette contrainte. Ceci permet des

couches contraintes épaisses, les contraintes étant assurées sur des épaisseurs de plusieurs dizaines de nanomètres, voire jusqu'à quelques centaines de nanomètres selon le niveau de contrainte que l'on souhaite préserver.

REVENDICATIONS

1. Procédé de fabrication d'une structure comprenant au moins un matériau semiconducteur pour des applications en micro-électronique, opto-électronique, optique, etc., le procédé comprenant le transfert sur un support (10) en un premier matériau d'une couche mince monocristalline (22) en un second matériau différent du premier, ainsi qu'un traitement thermique prédéterminé réalisant au moins un renforcement d'une interface de collage (12) entre la couche mince et le support, caractérisé en ce que l'épaisseur (e1) de la couche mince est choisie en fonction de la différence entre les coefficients de dilatation thermique des premier et second matériaux et en fonction des paramètres dudit traitement thermique prédéterminé, de telle sorte que les contraintes exercées par ledit traitement thermique sur l'assemblage du support et de la couche mince transférée laisse ledit assemblage intact, et en ce qu'il comprend une étape supplémentaire de dépôt, sur la couche mince, d'une épaisseur supplémentaire (22') du second matériau à l'état monocristallin.

2. Procédé selon la revendication 1, caractérisé en ce que l'épaisseur (e1) de la couche mince transférée est comprise entre environ 100 et 300 Å, et de préférence entre 150 et 250 Å.

3. Procédé selon la revendication 2, caractérisé en ce que l'épaisseur (e2) du dépôt (22') réalisé sur la couche mince transférée (22) est compris entre environ 1000 et 5000 Å.

4. Procédé selon l'une des revendications 1 à 3, caractérisé en ce que l'étape de transfert de la couche mince (22) du second matériau comprend les sous-étapes consistant à créer dans une plaquette donneuse (20), par implantation d'espèces, une zone de fragilisation (21) délimitant la couche mince à transférer, à mettre en contact la plaquette donneuse avec le

support, et à appliquer des contraintes aptes à mener au détachement de la couche mince par rapport au reste de la plaquette donneuse après la mise an contact.

5. Procédé selon la revendication 4, caractérisé en ce qu'il comprend une étape supplémentaire de préparation de la surface libre de la couche mince (22), après détachement, pour réaliser le dépôt (22').

6. Procédé selon l'une des revendications 1 à 5, caractérisé en ce que l'étape de dépôt est réalisée par épitaxie.

7. Procédé selon l'une des revendications 1 à 6, caractérisé en ce que le premier matériau est un isolant.

8. Procédé selon la revendication 7, caractérisé en ce que le premier matériau est du quartz.

9. Procédé selon la revendication 8, caractérisé en ce que le second matériau est du silicium.

10. Procédé selon l'une des revendications 1 à 6, caractérisé en ce que le premier matériau est un semi-conducteur.

11. Procédé selon la revendication 10, caractérisé en ce que le premier matériau est du silicium.

12. Procédé selon la revendication 11, caractérisé en ce que le second matériau est du germanium.

13. Procédé selon l'une des revendications 1 à 12, caractérisé en ce que ledit traitement thermique est apte à engendrer dans la couche mince

transférée (22) un niveau acceptable de défauts liés à la différence entre les coefficients de dilatation thermique des premier et second matériaux.

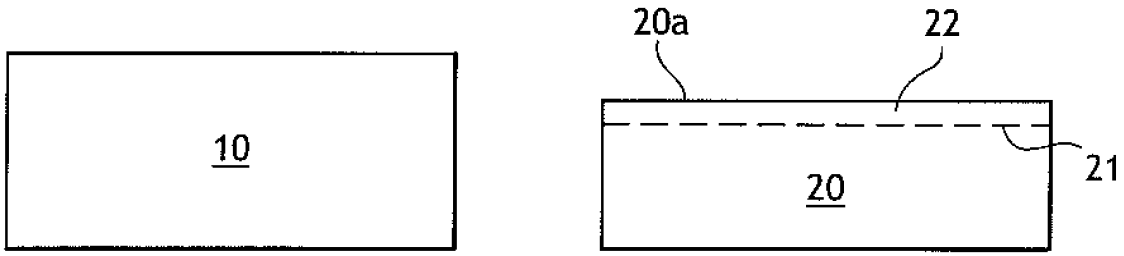


FIG.1A

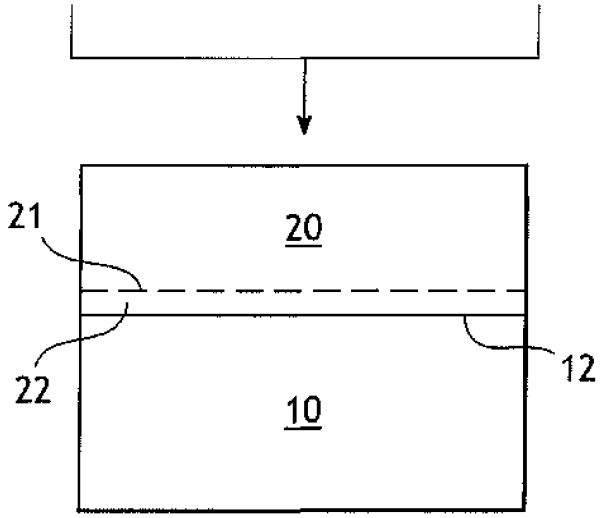


FIG.1B

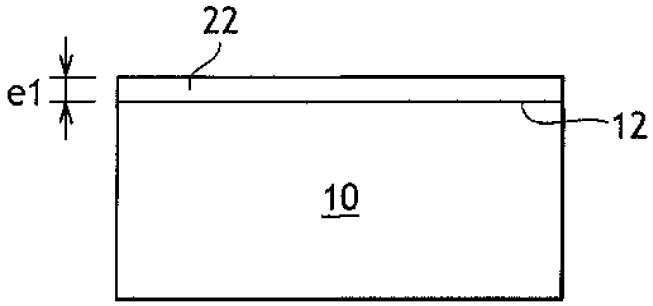


FIG.1C

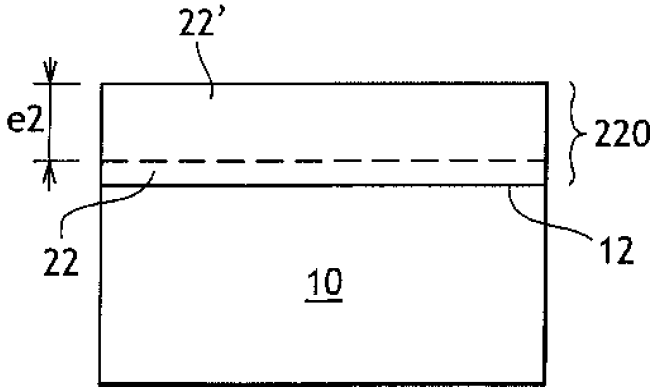


FIG.1D

INTERNATIONAL SEARCH REPORT

International application No
PCT/EP2006/061012

A. CLASSIFICATION OF SUBJECT MATTER
INV. H01L21/762

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)
EPO-Internal, WPI Data, PAJ

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2004/023468 A1 (GHYSELEN BRUNO ET AL) 5 February 2004 (2004-02-05)	1-11,13
A	page 7, paragraph 109 - page 8, paragraph 119; examples 1,5 page 8, paragraph 143 - page 9, paragraph 151	12
X	EP 0 504 714 A (SHIN-ETSU HANDOTAI COMPANY, LIMITED) 23 September 1992 (1992-09-23)	1-3,6-11
Y	column 6, line 36 - column 8, line 28; claim 1	4,5
Y	EP 1 482 548 A (S.O.I. TEC SILICON ON INSULATOR TECHNOLOGIES S.A) 1 December 2004 (2004-12-01)	4,5
A	the whole document	1-6

-/--

[X] Further documents are listed in the continuation of Box C.

[X] See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
25 July 2006	01/08/2006

Name and mailing address of the ISA/	Authorized officer
European Patent Office, P.B. 5818 Patentlaan 2 NL – 2280 HV Rijswijk Tel. (+31–70) 340–2040, Tx. 31 651 epo nl, Fax: (+31–70) 340–3016	Hedouin, M

INTERNATIONAL SEARCH REPORT

International application No
PCT/EP2006/061012

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
P,X	EP 1 542 275 A (S.O.I.TEC. SILICON ON INSULATOR TECHNOLOGIES S.A; COMMISSARIAT A L'ENE) 15 June 2005 (2005-06-15) figures 1-10	1-11,13

INTERNATIONAL SEARCH REPORT

International application No
PCT/EP2006/061012

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2004023468 A1	05-02-2004	CN 1636087 A	06-07-2005
		WO 03062507 A2	31-07-2003
		EP 1468128 A2	20-10-2004
		FR 2835096 A1	25-07-2003
		JP 2005515150 T	26-05-2005
EP 0504714 A	23-09-1992	JP 2812405 B2	22-10-1998
		JP 4286310 A	12-10-1992
		US 5266824 A	30-11-1993
EP 1482548 A	01-12-2004	JP 2005005699 A	06-01-2005
		US 2004241960 A1	02-12-2004
EP 1542275 A	15-06-2005	US 2005130393 A1	16-06-2005

RAPPORT DE RECHERCHE INTERNATIONALE

Demande internationale n°
PCT/EP2006/061012

A. CLASSEMENT DE L'OBJET DE LA DEMANDE
INV. H01L21/762

.

Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB

B. DOMAINES SUR LESQUELS LA RECHERCHE A PORTE

Documentation minimale consultée (système de classification suivi des symboles de classement)
H01L

Documentation consultée autre que la documentation minimale dans la mesure où ces documents relèvent des domaines sur lesquels a porté la recherche

Base de données électronique consultée au cours de la recherche internationale (nom de la base de données, et si cela estréalisable, termes de recherche utilisés)
EPO-Internal, WPI Data, PAJ

C. DOCUMENTS CONSIDERES COMME PERTINENTS

Catégorie*	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
X	US 2004/023468 A1 (GHYSELEN BRUNO ET AL) 5 février 2004 (2004-02-05)	1-11,13
A	page 7, alinéa 109 - page 8, alinéa 119; exemples 1,5 page 8, alinéa 143 - page 9, alinéa 151	12
X	EP 0 504 714 A (SHIN-ETSU HANDOTAI COMPANY, LIMITED) 23 septembre 1992 (1992-09-23)	1-3,6-11
Y	colonne 6, ligne 36 - colonne 8, ligne 28; revendication 1	4,5
Y	EP 1 482 548 A (S.O.I. TEC SILICON ON INSULATOR TECHNOLOGIES S.A) 1 décembre 2004 (2004-12-01)	4,5
A	le document en entier	1-6

-/--

[X] Voir la suite du cadre C pour la fin de la liste des documents

[X] Les documents de familles de brevets sont indiqués en annexe

* Catégories spéciales de documents cités:

"A" document définissant l'état général de la technique, non considéré comme particulièrement pertinent

"E" document antérieur, mais publié à la date de dépôt international ou après cette date

"L" document pouvant jeter un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée)

"O" document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens

"P" document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée

"T" document ultérieur publié après la date de dépôt international ou la date de priorité et n'appartenenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention

"X" document particulièrement pertinent; l'inven tion revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive par rapport au document considéré isolément

"Y" document particulièrement pertinent; l'inven tion revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier

"&" document qui fait partie de la même famille de brevets

Date à laquelle la recherche internationale a été effectivement achevée	Date d'expédition du présent rapport de recherche internationale
25 juillet 2006	01/08/2006

Nom et adresse postale de l'administration chargée de la recherche internationale	Fonctionnaire autorisé
Office Européen des Brevets, P.B. 5818 Patentlaan 2 NL – 2280 HV Rijswijk Tel. (+31–70) 340–2040, Tx. 31 651 epo nl, Fax: (+31–70) 340–3016	Hedouin, M

RAPPORT DE RECHERCHE INTERNATIONALE

Demande internationale n°
PCT/EP2006/061012

C(suite). DOCUMENTS CONSIDERES COMME PERTINENTS

Catégorie*	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
P,X	EP 1 542 275 A (S.O.I.TEC. SILICON ON INSULATOR TECHNOLOGIES S.A; COMMISSARIAT A L'ENE) 15 juin 2005 (2005-06-15) figures 1-10	1-11,13

RAPPORT DE RECHERCHE INTERNATIONALE

Demande internationale n°
PCT/EP2006/061012

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
US 2004023468 A1	05-02-2004	CN 1636087 A	06-07-2005
		WO 03062507 A2	31-07-2003
		EP 1468128 A2	20-10-2004
		FR 2835096 A1	25-07-2003
		JP 2005515150 T	26-05-2005
EP 0504714 A	23-09-1992	JP 2812405 B2	22-10-1998
		JP 4286310 A	12-10-1992
		US 5266824 A	30-11-1993
EP 1482548 A	01-12-2004	JP 2005005699 A	06-01-2005
		US 2004241960 A1	02-12-2004
EP 1542275 A	15-06-2005	US 2005130393 A1	16-06-2005