

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017年9月14日(14.09.2017)



(10) 国際公開番号
WO 2017/154351 A1

- (51) 国際特許分類:
H04L 7/00 (2006.01) H03H 17/06 (2006.01)
H03H 17/02 (2006.01)
- (21) 国際出願番号: PCT/JP2017/001196
- (22) 国際出願日: 2017年1月16日(16.01.2017)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2016-044105 2016年3月8日(08.03.2016) JP
- (71) 出願人: NTTエレクトロニクス株式会社 (NTT ELECTRONICS CORPORATION) [JP/JP]; 〒2210031 神奈川県横浜市神奈川区新浦島町一丁目1番地32 Kanagawa (JP). 日本電信電話株式会社 (NIPPON TELEGRAPH AND TELEPHONE CORPORATION) [JP/JP]; 〒1008116 東京都千代田区大手町一丁目5番1号 Tokyo (JP).
- (72) 発明者: 大沼 靖治 (ONUMA, Yasuharu); 〒2210031 神奈川県横浜市神奈川区新浦島町一丁目1番地32 NTTエレクトロニクス株式会社内 Kanagawa (JP). 橘 正浩 (TACHIBANA, Masahiro); 〒2210031 神奈川県横浜市神奈川区新

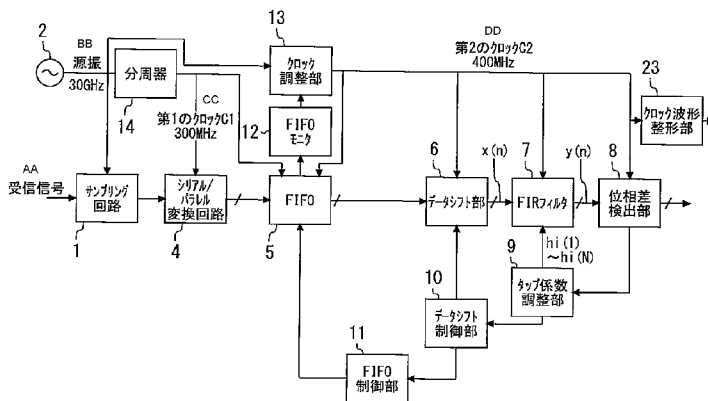
浦島町一丁目1番地32 NTTエレクトロニクス株式会社内 Kanagawa (JP). 山崎 悦史 (YAMAZAKI, Etsushi); 〒2210031 神奈川県横浜市神奈川区新浦島町一丁目1番地32 NTTエレクトロニクス株式会社内 Kanagawa (JP). 武井 和人 (TAKEL, Kazuhito); 〒2210031 神奈川県横浜市神奈川区新浦島町一丁目1番地32 NTTエレクトロニクス株式会社内 Kanagawa (JP). 吉田 祐樹 (YOSHIDA, Yuki); 〒2210031 神奈川県横浜市神奈川区新浦島町一丁目1番地32 NTTエレクトロニクス株式会社内 Kanagawa (JP). 池田 将之 (IKEDA, Masayuki); 〒2210031 神奈川県横浜市神奈川区新浦島町一丁目1番地32 NTTエレクトロニクス株式会社内 Kanagawa (JP). 木坂 由明 (KISAKA, Yoshiaki); 〒1808585 東京都武蔵野市緑町3丁目9-11 NTT知的財産センター内 Tokyo (JP). 富沢 将人 (TOMIZAWA, Masahito); 〒1808585 東京都武蔵野市緑町3丁目9-11 NTT知的財産センター内 Tokyo (JP).

(74) 代理人: 高田 守, 外 (TAKADA, Mamoru et al.); 〒1040045 東京都中央区築地1丁目12番22号 コンワビル7階 特許業務法人 高田・高橋国際特許事務所 Tokyo (JP).

[続葉有]

(54) Title: DATA PHASE TRACKING DEVICE, DATA PHASE TRACKING METHOD, AND COMMUNICATION DEVICE

(54) 発明の名称: データ位相追従装置、データ位相追従方法及び通信装置



- 1 Sampling circuit
- 4 Serial/parallel conversion circuit
- 5 FIFO
- 6 Data shift unit
- 7 FIR filter
- 8 Phase difference detection unit
- 9 Tap coefficient adjustment unit
- 10 Data shift control unit
- 11 FIFO control unit
- 12 FIFO monitor
- 13 Clock adjustment unit
- 14 Frequency divider
- 23 Clock waveform shaping unit
- AA Received signal
- BB Source frequency
- CC First clock
- DD Second clock

(57) Abstract: A FIR filter (7) convolves sampling data, which is obtained by sampling a received signal, with a tap coefficient. A phase difference detection unit (8) detects the phase difference between the synchronization timing of a signal waveform estimated from an output signal from the FIR filter (7), and the output signal sampling timing. A tap-coefficient adjustment unit (9) causes the sampling timing of the output signal from the FIR filter (7) to track the synchronization timing, by adjusting the tap coefficient so as to decrease the phase difference detected by the phase difference detection unit (8).

(57) 要約: FIRフィルタ(7)は、受信信号をサンプリングしたサンプリングデータをタップ係数とで畳み込む。位相差検出部(8)は、FIRフィルタ(7)の出力信号から推定した信号波形の同期タイミングと出力信号のサンプリングタイミングとの位相差を検出する。タップ係数調整部(9)は、位相差検出部(8)が検出した位相差を減らすようにタップ係数を調整することでFIRフィルタ(7)の出力信号のサンプリングタイミングを同期タイミングに追従させる。

WO 2017/154351 A1



(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第 21 条(3))

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,

明 細 書

発明の名称：

データ位相追従装置、データ位相追従方法及び通信装置

技術分野

[0001] 本発明は、データ位相追従装置、データ位相追従方法及び通信装置に関する。

背景技術

[0002] 近年マルチメディアサービスの普及とICT (Information and Communication Technology)サービスの利用拡大に伴って基幹ネットワークを流れるインターネットトラフィックは年々増加の一途をたどっている。増加し続けるトラフィックをドライブする次世代の光通信技術としてデジタルコヒーレント技術が近年注目を浴びている（例えば、非特許文献1参照）。デジタルコヒーレント技術を導入することにより、デジタル信号処理にて伝送路中の歪みを補正することが可能になり、高精度かつ広範囲の分散補償を行うことが可能になった。また、デジタルコヒーレント技術を用いることで位相推定、偏波分離といった処理をデジタル信号処理にて実現可能になり、実現が困難であった多値変調や偏波多重などといった技術が広く用いられるようになった。

先行技術文献

非特許文献

[0003] 非特許文献1：総合報告「光通信ネットワークの大容量化に向けたデジタルコヒーレント信号処理技術の研究開発」鈴木扇太他、電子情報通信学会誌 Vol. 95, No. 12, 2012, pp 1100-1116

発明の概要

発明が解決しようとする課題

[0004] 従来の通信装置では、受信信号のクロックを受信信号から推測し、PLL (Phase Locked Loop) 等によって受信信号に同期したクロックを再生する。

このクロックを用いて受信信号のサンプリングを行う。従って、従来の通信装置では、デジタル処理回路以外にも、アナログVCO (Voltage-Controlled Oscillator)、フィルタ、DA変換器等の外部回路が必要になる。このため、構造が複雑になり、部品点数が増加する。特に、アナログVCOは固定発振器よりも高価であり、雑音特性が悪い。

[0005] 本発明は、上述のような課題を解決するためになされたもので、その目的は装置構成を簡略化することができるデータ位相追従装置、データ位相追従方法及び通信装置を得るものである。

課題を解決するための手段

[0006] 本発明に係るデータ位相追従装置は、受信信号をサンプリングしたサンプリングデータをタップ係数とで畳み込むFIRフィルタと、前記FIRフィルタの出力信号から推定した信号波形の同期タイミングと前記出力信号のサンプリングタイミングとの位相差を検出する位相差検出部と、前記位相差検出部が検出した前記位相差を減らすように前記タップ係数を調整することで前記FIRフィルタの前記出力信号の前記サンプリングタイミングを前記同期タイミングに追従させるタップ係数調整部とを備えることを特徴とする。

発明の効果

[0007] 本発明により、装置構成を簡略化することができる。

図面の簡単な説明

[0008] [図1]本発明の実施の形態1に係るデータ位相追従装置を示す図である。

[図2]本発明の実施の形態1に係るFIRフィルタを示す図である。

[図3]本発明の実施の形態1に係るFIRフィルタ及びタップ係数調整部の動作を説明するための図である。

[図4]本発明の実施の形態1に係るFIRフィルタ及びタップ係数調整部の動作を説明するための図である。

[図5]本発明の実施の形態1に係るFIRフィルタのタップ係数の一例を示す図である。

[図6]本発明の実施の形態1に係るデータシフト部の動作を説明するための図

である。

[図7]本発明の実施の形態1に係るFIFOの内部構成を示す図である。

[図8]本発明の実施の形態1に係るクロック調整部を示す図である。

[図9]本発明の実施の形態1に係るクロック調整部の動作を説明するための図である。

[図10]本発明の実施の形態1に係るアップクロック発生器を示す図である。

[図11]本発明の実施の形態1に係るアップクロック発生器の動作を説明するための図である。

[図12]本発明の実施の形態1に係るクロック波形整形部の動作を説明するための図である。

[図13]本発明の実施の形態2に係るクロック調整部を示す図である。

[図14]本発明の実施の形態2に係るパルスマスクを示す図である。

[図15]本発明の実施の形態3に係るクロック調整部を示す図である。

[図16]本発明の実施の形態3に係る数値制御型発振器を示す図である。

[図17]本発明の実施の形態4に係る通信装置を示す図である。

発明を実施するための形態

[0009] 本発明の実施の形態に係るデータ位相追従装置、データ位相追従方法及び通信装置について図面を参照して説明する。同じ又は対応する構成要素には同じ符号を付し、説明の繰り返しを省略する場合がある。

[0010] 実施の形態1.

図1は、本発明の実施の形態1に係るデータ位相追従装置を示す図である。サンプリング回路1は、固定発振器2からの源振に同期して、高周波のアナログ電気信号である受信信号をサンプリングする。シリアル/パラレル変換回路4は、そのサンプリングデータをパラレルデータに変換し、第1のクロックC1に同期して出力する。FIFO (First In, First Out) 5は、パラレルデータに変換されたサンプリングデータを第1のクロックC1に同期して入力して保持した後、第2のクロックC2に同期して読み出してデータシフト部6に供給する。データシフト部6を通ったサンプリングデータはF

I Rフィルタ 7 に供給される。

[0011] 図 2 は、本発明の実施の形態 1 に係る F I R フィルタを示す図である。図 3 及び図 4 は、本発明の実施の形態 1 に係る F I R フィルタ及びタップ係数調整部の動作を説明するための図である。F I R フィルタ 7 は、第 2 のクロック C 2 に同期して、受信信号をサンプリングしたサンプリングデータ $x(n)$ をタップ係数 $h_i(1) \sim h_i(N)$ とで畳み込んで出力信号 $y(n)$ を生成する。ただし、図 3 に示すように、F I R フィルタ 7 の出力信号から推定した信号波形（送信信号の全体波形）の同期タイミング（送信側サンプリング）と出力信号のサンプリングタイミングに位相差が存在する。位相差検出部 8 はこの位相差を検出する。この位相差を減らすようにタップ係数調整部 9 がタップ係数を調整することで、図 4 に示すように F I R フィルタ 7 の出力信号のサンプリングタイミングを同期タイミングに追従させる。なお、サンプリングデータは、パラレルデータとして供給されるが、パラレルデータとタップ係数との畳み込みを直接処理しても同様に位相追従を行うことができる。

[0012] 一般的に、F I R フィルタ 7 のタップ係数をサンプル毎にずらすと、入力信号をサンプル毎に進ませたり遅らせたりすることができる。ここでは、1 サンプル区間（隣接するサンプルの間隔）を $1/m$ ずつずらしたタップ係数を設定することで、入力信号を $1/m$ サンプルずつ進ませたり遅らせたりすることができる。即ち、タップ係数調整部 9 はタップ係数を制御することで 1 サンプル区間よりも小さい精度で F I R フィルタ 7 の出力信号の位相をシフトさせる。この時、絶対的な送信側サンプリングは変わらないため、F I R フィルタ 7 の出力信号のサンプリングタイミングを理想的な復号の同期タイミング（送信側サンプリング）に追従させることができる。なお、推定した信号波形の周波数は送信側データクロック周波数に対応するが、第 2 のクロック C 2 が送信側データクロック周波数と同じでなくても位相追従は可能である。

[0013] 図 5 は、本発明の実施の形態 1 に係る F I R フィルタのタップ係数の一例

を示す図である。上側の図はタップ係数群が1つの場合である。下側の図のように、タップ係数調整部9に予め複数のタップ係数群を用意しておき、それらを選択してもよい。ここでは1サンプル区間を5分割した5種類のタップ係数群を用意した場合を示している。ただし、16、64、128分割等すれば、より微細なシフト調整が可能となる。さらに、処理の初期は、シフト量を大きく取り、収束後はシフト量を小さくすることで、高速に位相追従させかつ追従後のばたつき幅を低減することができる。

[0014] 図6は、本発明の実施の形態1に係るデータシフト部の動作を説明するための図である。データシフト部6は、FIRフィルタ7に入力されるサンプリングデータをサンプル単位でシフトする。データシフト制御部10は、FIRフィルタ7における位相追従量が1サンプルを超えた場合、データシフト部6にサンプリングデータを1サンプル分シフトさせる（1サンプル進ませる又は1サンプル遅らせる）。これに伴い、タップ係数調整部9はタップ係数を中心値に戻す。これにより、連続して位相追従を行うことができる。

[0015] 図7は、本発明の実施の形態1に係るFIFOの内部構成を示す図である。FIFO5は、パラレルデータに変換されたサンプリングデータを第1のクロックC1に同期して入力し、内部のメモリに書き込む。この書き込み場所はライトポインタWPとして表される。また、サンプリングデータを書き込んで保持した後、第2のクロックC2に同期して読み出してデータシフト部6に供給する。この読み出し場所は、リードポインタRPとして表される。ライトポインタWPとリードポインタRPの差分がFIFO5に保持されているデータ分となる。

[0016] FIFO制御部11は、データシフト部6のシフト量が1パラレルデータ数（1つのパラレルデータに含まれるサンプル数）に達した場合にリードポインタRPを更新する。この際に、データシフト制御部10はデータシフト部6のシフト量を初期値に戻す。これにより、複数のパラレルデータに渡って位相追従を行うことができる。

[0017] ここで、FIFO5より前の処理は第1のクロックC1に同期して行い、

FIFO5より後のFIRフィルタ7などの処理は第2のクロックC2に同期して行う。第1のクロックC1の周波数は第2のクロックC2の周波数と同じでもよく、異なってもよい。本実施の形態では、第1のクロックC1の周波数は300MHz、第2のクロックC2の周波数は400MHzである。この場合、第2のクロックC2の周波数は第1のクロックC1の周波数の4/3倍となる。このように第1のクロックC1の周波数を第2のクロックC2の周波数よりも小さくすれば、FIFO5より前の処理の消費電力を低減することができる。このようなクロック周波数の変換はサンプリングレートの変換に伴うものであり、データシフト部6及びFIFO5はサンプリングレートを変換するリサンプル機能を有する。

[0018] FIFOモニタ12はFIFO5のデータ保持情報をモニタする。クロック調整部13は、データ保持情報に応じて第2のクロックC2の周波数を調整して、ライトポインタWPとリードポインタRPの差分又はそれぞれの値が所定値に収まるようにする。

[0019] 例えば、FIFOモニタ12は、ポインタの差分をデータ保持情報としてモニタする。FIFO5に書き込まれるパラレルデータの量がFIFO5から読み出されるパラレルデータの量と同じであればポインタの差分は一定に保たれる。

[0020] しかし、後段のデータシフト部6で位相が進む方向でシフトが発生した場合、FIFO5から読み出される速さが書き込まれる速さを上回るため、ポインタの差分は減少していく。ポインタの差分が下限値を下回ると、FIFO5はFIFOモニタ12にアンダフロー信号を出力する。そして、クロック調整部13は第2のクロックC2の周波数を下げて、FIFO5から読み出される速さを下げ、FIFO5より後の回路の処理速度が遅くなるようにする。

[0021] 一方、後段のデータシフト部6で位相が遅れる方向でシフトが発生した場合（即ち、データが出力されない場合）、FIFO5から読み出される速さが書き込まれる速さを下回るため、ポインタの差分は増加していく。ポイン

タの差分が上限値を上回ると、FIFO5はFIFOモニタ12にオーバーフロー信号を出力する。そして、クロック調整部13は第2のクロックC2の周波数を上げて、FIFO5から読み出される速さを上げ、FIFO5より後の回路の処理速度が速くなるようにする。

[0022] これにより、FIFO5に保持されているデータが枯渇したり溢れたりしない定常状態を維持して継続的に位相追従を行うことができる。なお、FIFOモニタ12はライトポインタWPとリードポインタRPの中心のズレ又はズレの速度をデータ保持情報としてモニタしてもよい。この場合、ライトポインタWPとリードポインタRPの中心のズレ又はズレの速度に応じてアンダフロー信号とオーバーフロー信号が出力される。

[0023] 図8は、本発明の実施の形態1に係るクロック調整部を示す図である。図9は、本発明の実施の形態1に係るクロック調整部の動作を説明するための図である。分周器14は、固定発振器2からの源振をN1分周して第1のクロックC1を生成する。源振の周波数が30GHz、N1=100の場合、第1のクロックC1の周波数は300MHzとなる。

[0024] 固定発振器2は、受信側の発振器であり、一定の周波数を持つ源振を生成する。しかし、送信側の発振器との間で送受の周波数誤差が存在する。この送受の周波数誤差を100ppmとすると、サンプリングタイミングにも100ppmの誤差が生じる。位相追従におけるデータシフトの速度はこの100ppmに対応する。

[0025] 第1のクロックC1の周波数の4/3倍の周波数を周波数Aとすると、周波数Aは400MHzとなる。上記のように送受の周波数誤差が存在するため、周波数Aを送信側データクロック周波数に一致させることは困難である。そこで、クロック調整部13は以下のように第2のクロックC2の周波数を調整する。

[0026] 分周器15は、固定発振器2からの源振をN2分周する。N2=72の場合、分周器15の出力信号の周波数Bは416.66...MHzとなる。周波数Bは周波数Aより $\delta=4\%$ 高く設定される。アップクロック発生器1

6は、周波数Bに対して $-\delta + \Delta$ の周波数Cを持つアップクロックUPを発生する。アンダクロック発生器17は、周波数Bに対して $-\delta - \Delta$ の周波数Dを持つアンダクロックUDを発生する。

[0027] アップクロック発生器16及びアンダクロック発生器17は、分周器15の出力信号のパルスの一部をマスクするパルスマスクを有する。パルスの追加は難しいため、周波数Bのように一度高い周波数を生成し、そこからマスクする手法で2つの低い周波数C及び周波数Dを生成している。

[0028] 例えば、分周器15の出力信号に対して、10000パルスの間に417パルスをマスクすると、399.29MHzとなり、ほぼ周波数Aになる。 $\Delta = 500 \text{ ppm}$ を想定して、10000パルスの間に $(417 - 5)$ パルスをマスクすると、399.50MHzとなり周波数Aに対して約526ppm高い周波数Cを生成することができる。一方、10000パルスの間に $(417 + 5)$ パルスをマスクすると、399.08MHzとなり周波数Aに対して約525ppm低い周波数Dを生成することができる。このように、周波数Bの信号に対して適宜パルスをマスクすることで、周波数Aに対して $\pm \Delta$ の周波数C及び周波数Dを生成することができる。ただし、周波数Aは送信側データクロック周波数に対して誤差が有るが、周波数Cが送信側データクロック周波数より高く、周波数Dが送信側データクロック周波数より低くなるように設定する必要がある。

[0029] 選択部18は、FIFOモニタ12がモニタしたデータ保持情報に応じてアップクロックUPとアンダクロックUDの何れかを選択して第2のクロックC2として出力する。具体的には、FIFO5がアンダフロー状態の場合はアップクロックUPを選択し、オーバーフロー状態の場合はアンダクロックUDを選択する。これにより、送受の周波数誤差が補償され、FIFO5のデータ保持状態は定常的に保たれるため、連続して位相追従を行うことができる。

[0030] 10000パルスに対して 417 ± 5 パルスをマスクするアップクロック発生器16及びアンダクロック発生器17は以下のように数値制御型発振器

(NCO : Numerical Controlled Oscillator) の動作原理を利用して簡単に構成できる。図 10 は、本発明の実施の形態 1 に係るアップクロック発生器を示す図である。図 11 は、本発明の実施の形態 1 に係るアップクロック発生器の動作を説明するための図である。分周器 20 が入力信号のクロックを所定のパルスをカウントするごとにマスク回路 19 が 1 パルスをマスクする。ここで、10000 パルスに対して 422 パルスをマスクする場合、 $10000 / 422 = 23.69668246$ ごとに 1 パルスをマスクすることになる。しかし、パルスは整数でカウントするため、小数点以下は 23 パルスをカウントする毎にラッチ 21 及び加算器 22 により累積し、整数になった際に 24 パルスカウントで 1 パルスをマスクする。これにより、上記有理数毎のパルスのマスクを実行できる。なお、クロックのパルスをマスクすると、そのクロックの位相は大幅に狂う。しかし、第 2 のクロック C2 は、サンプリングタイミング自体を調整するものではなく、FIFO5 からの読み出しの速度を制御するものであるため、パルスをマスクするという簡易な手法で周波数調整が可能である。なお、アンダクロック発生器 17 の構成及び動作も同様である。

[0031] クロック調整部 13 から出力された第 2 のクロック C2 は、一部のパルスがマスクされており、大きなジッタが存在している。そこで、クロック波形整形部 23 により、クロック調整部 13 から出力された第 2 のクロック C2 を波形整形してジッタを低減する。図 12 は、本発明の実施の形態 1 に係るクロック波形整形部の動作を説明するための図である。クロック波形整形部 23 は、周期をほぼ均等にするジッタクリーナの機能を有する。ジッタクリーナは、フィルタ又は他のクロックを利用したデジタル処理によって容易に構成できる。このクロック波形整形部 23 によりジッタを低減したクロックと、同期タイミングに追従された FIR フィルタ 7 の出力信号を復号部へ出力して復号処理を行う。

[0032] 以上説明したように、本実施の形態では、FIR フィルタ 7 の出力信号から推定した信号波形の同期タイミングと出力信号のサンプリングタイミング

との位相差を検出する。この位相差を減らすようにタップ係数を調整することで、FIRフィルタ7の出力信号のサンプリングタイミングを同期タイミングに追従させる。

[0033] 一般的なクロック再生回路は、リアルタイムで送受間のクロックの位相の遅れと進みを交互に調整し、サンプリングクロック自体の周波数や位相を調整して同期処理を行う。これに対して、本実施の形態では、交互的な位相の遅れと進みを調整せず、一方向の追従を継続的に行う。これはデジタル処理が可能であるため、アナログVCO、フィルタ、DA変換器等の外部回路は不要である。従って、装置構成を簡略化することができる。

[0034] また、比較的低周波信号を通信する無線通信ではサンプリングクロックを高い周波数から生成しその周波数や位相を微調整することができるが、高周波信号を通信する光通信等ではその手法を適用できない。よって、本実施の形態では、サンプリングクロックである第2のクロックC2と送信側データクロック周波数がずれたまま位相を追従させ続け、周波数誤差分はデータを送り出し処理する速度で調整する。従って、サンプリングクロックを周波数同期させる必要が無い。このため、本実施の形態に係るデータ位相追従装置は、高周波信号を通信する光通信装置又は無線通信装置に適用することができる。

[0035] 実施の形態2.

図13は、本発明の実施の形態2に係るクロック調整部を示す図である。パルスマスク24が、分周器15の出力信号のパルスの一部をマスクして第2のクロックC2を生成する。パルスマスク24は、FIFOモニタ12がモニタしたデータ保持情報に応じてパルスをマスクする量を調整する。

[0036] 図14は、本発明の実施の形態2に係るパルスマスクを示す図である。実施の形態1のアップクロック発生器16と基本的な構成は同じであるが、加算器22の入力データとして周波数調整回路25の出力信号が入力される。周波数調整回路25の出力の初期値は、例えば周波数Aに相当する $10000 / 417 = 23.98081535$ の小数点部分が設定される。従って、

設定した小数点の値が常に一定の場合は、第2のクロックC2の周波数はほぼ周波数Aと同等となる。この時、例えば、10ppm周波数を低くする場合は、 $417 + 0.1$ パルスをマスクすればよいので、 $10000 / 471.1 = 23.97506593$ となり、周波数Aに対応する小数点の値に対して、 0.005749 減算する。即ち、この値を加減算することで、10ppmずつ周波数を調整することができる。

[0037] 周波数調整回路25の出力信号はFIFOモニタ12からの情報に基づいて生成される。例えば、FIFO5がアンダフロー状態の場合は、第2のクロックC2の周波数が送信側データクロック周波数よりも大きいと判断し、第2のクロックC2の周波数を下げるため、上記の10ppmに相当する値を周波数Aに対応する小数点の値から減ずる。これを繰り返すことで、第2のクロックC2を周波数Aから送受の周波数誤差分だけ低い周波数に収束させることができる。

[0038] なお、周波数調整回路25の出力信号は、位相差検出部8、タップ係数調整部9、データシフト制御部10又はFIFO制御部11からの情報に基づいて生成してもよい。位相差検出部8において送受の周波数誤差をFFT解析により直接検出できれば、その値から周波数調整回路25の出力信号を計算することは容易である。

[0039] また、本実施の形態でもクロック調整部13から出力された第2のクロックC2は、一部のパルスがマスクされており、大きなジッタが存在している。そこで、実施の形態1と同様に、クロック波形整形部23により、クロック調整部13から出力された第2のクロックC2を波形整形してジッタを低減する。

[0040] 実施の形態3.

図15は、本発明の実施の形態3に係るクロック調整部を示す図である。クロック調整部13は、固定発振器2の源振から送信側データクロック周波数に直接収束させて第2のクロックC2を生成する数値制御型発振器26 (NCO: Numerical Controlled Oscillator) を有する。

- [0041] 図16は、本発明の実施の形態3に係る数値制御型発振器を示す図である。位相シフト付プログラマブル分周器27は、加減算器28が設定した分周数で源振を分周して第2のクロックC2を生成する。30GHzの源振から400MHzの第2のクロックC2を生成する場合、75分周する。しかし、送信側データクロック周波数とは、例えば最大±100ppmの誤差が存在する。
- [0042] 周波数調整回路25の出力がゼロの場合は、その累積もゼロとなり、加減算器28の出力は75になるため、位相シフト付プログラマブル分周器27は源振を75分周する。仮に周波数調整回路25の出力として-0.1を設定すると、74.9で分周することとなり、第2のクロックC2は400.534045MHzとなる。これは、400MHzに対して+1335ppmである。-0.001の設定では+13.3ppmである。このように、周波数調整データの値により、第2のクロックC2の周波数を例えば10ppm程度の単位（更に低くも高くも可能）で調整できる。
- [0043] 例えば、FIFO5がアンダフロー状態の場合は、第2のクロックC2の周波数が送信側データクロック周波数よりも大きいと判断し、第2のクロックC2の周波数を下げるため、所定の値を周波数調整回路25の出力に加算する。所定の値としては、初期は数百ppmから設定し、収束時は数十ppmのように設定できる。これにより、第2のクロックC2を周波数Aから送受の周波数誤差分だけ低い周波数に収束させることができる。
- [0044] なお、FIFOモニタ12がモニタする情報として、オーバーフロー及びアンダフロー以外に、その中庸状態として、所定の保持幅にある場合も出力するようにすれば、周波数の収束時に制御頻度を減らして安定化させることができる。また、実施の形態2と同様に、周波数調整回路25の出力信号は、位相差検出部8、タップ係数調整部9、データシフト制御部10又はFIFO制御部11からの情報に基づいて生成してもよい。位相差検出部8において送受の周波数誤差をFFT解析により直接検出できれば、その値から周波数調整回路25の出力信号を計算することは容易である。

[0045] また、位相シフト付プログラマブル分周器 27 は、位相差検出部 8 が抽出した位相差に基づいて第 2 のクロック C2 の位相を送信側データクロックの位相に直接シフトできる。このため、同期速度の高速化、バースト信号への対応が可能となる。

[0046] 実施の形態 4.

図 17 は、本発明の実施の形態 4 に係る通信装置を示す図である。この通信装置は光又は無線の伝送信号を受信して復調する光通信装置又は無線通信装置である。受信回路 29 が伝送信号を受信してアナログ電気信号に変換して受信信号として出力する。サンプリング回路 1 からクロック波形整形部 23 までを含むデータ位相追従装置の構成及び処理方法は実施の形態 1 ~ 3 と同様である。

[0047] シリアル／パラレル変換回路 4 と F I F O 5 の間に補償回路 30 が設けられている。補償回路 30 は、1.5 サンプル／シンボルのパラレルデータに伝播特性の補償を行う。その後、F I F O 5 が 2 サンプル／シンボルにアップサンプリング（リサンプル）する。これにより、補償回路 30 が 2 サンプル／シンボルのパラレルデータを処理するよりも補償回路 30 の処理に要する消費電力を低減することができる。特に、補償回路 30 の処理が、F I R フィルタ構成ではなく、一度 F F T（Fast Fourier Transform）処理で周波数領域に変換し、そこで伝達関数を乗算するなど補償処理を行い、再度 I F F T（Inverse Fast Fourier Transform）で時間領域に戻すように、多くの処理を行う場合に効果が大きい。

[0048] 位相差検出部 8 の出力信号を復調回路 31 が復調して復調データを出力する。このように本発明は光通信装置又は無線通信装置へ適用可能である。特に、非同期でサンプリングする通信装置のデータ処理回路に有用である。

[0049] なお、実施の形態 1 ~ 3 のデータ位相追従装置の機能を実現するためのプログラムをコンピュータ読み取り可能な記録媒体に記録して、この記録媒体に記録されたプログラムをコンピュータシステム又はプログラマブルロジックデバイスに読み込ませ、実行することによりデータ位相追従装置の処理を

行ってもよい。なお、ここでいう「コンピュータシステム」とは、OSや周辺機器等のハードウェアを含むものとする。また、「コンピュータシステム」は、ホームページ提供環境（あるいは表示環境）を備えたWWWシステムも含むものとする。また、「コンピュータ読み取り可能な記録媒体」とは、フレキシブルディスク、光磁気ディスク、ROM、CD-ROM等の可搬媒体、コンピュータシステムに内蔵されるハードディスク等の記憶装置のことをいう。更に「コンピュータ読み取り可能な記録媒体」とは、インターネット等のネットワークや電話回線等の通信回線を介してプログラムが送信された場合のサーバやクライアントとなるコンピュータシステム内部の揮発性メモリ（RAM）のように、一定時間プログラムを保持しているものも含むものとする。また、上記プログラムは、このプログラムを記憶装置等に格納したコンピュータシステムから、伝送媒体を介して、あるいは、伝送媒体中の伝送波により他のコンピュータシステムに伝送されてもよい。ここで、プログラムを伝送する「伝送媒体」は、インターネット等のネットワーク（通信網）や電話回線等の通信回線（通信線）のように情報を伝送する機能を有する媒体のことをいう。また、上記プログラムは、前述した機能の一部を実現するためのものであってもよい。更に、前述した機能をコンピュータシステムに既に記録されているプログラムとの組み合わせで実現できるもの、いわゆる差分ファイル（差分プログラム）であってもよい。

符号の説明

- [0050] 1 サンプリング回路、4 シリアル／パラレル変換回路、5 FIFO、6 データシフト部、7 FIRフィルタ、8 位相差検出部、9 タップ係数調整部、10 データシフト制御部、11 FIFO制御部、12 FIFOモニタ、13 クロック調整部、16 アップクロック発生器、17 アンドクロック発生器、18 選択部、23 クロック波形整形部、24 パルスマスク、26 数値制御型発振器、29 受信回路、31 復調回路

請求の範囲

- [請求項1] 受信信号をサンプリングしたサンプリングデータをタップ係数とで畳み込むFIRフィルタと、
- 前記FIRフィルタの出力信号から推定した信号波形の同期タイミングと前記出力信号のサンプリングタイミングとの位相差を検出する位相差検出部と、
- 前記位相差検出部が検出した前記位相差を減らすように前記タップ係数を調整することで前記FIRフィルタの前記出力信号の前記サンプリングタイミングを前記同期タイミングに追従させるタップ係数調整部とを備えることを特徴とするデータ位相追従装置。
- [請求項2] 前記タップ係数調整部は前記タップ係数を制御することで1サンプル区間よりも小さい精度で前記FIRフィルタの前記出力信号の位相をシフトさせることを特徴とする請求項1に記載のデータ位相追従装置。
- [請求項3] 前記FIRフィルタに入力される前記サンプリングデータをサンプル単位でシフトするデータシフト部と、
- 前記FIRフィルタにおける位相追従量が1サンプルを超えた場合、前記データシフト部に前記サンプリングデータを1サンプル分シフトさせるデータシフト制御部とを更に備え、
- 前記データシフト部が前記サンプリングデータを1サンプル分シフトさせた場合、前記タップ係数調整部は前記タップ係数を中心値に戻すことを特徴とする請求項2に記載のデータ位相追従装置。
- [請求項4] 前記サンプリングデータをパラレルデータに変換するシリアル／パラレル変換回路と、
- パラレルデータに変換された前記サンプリングデータを第1のクロックに同期してライトポイントに書き込んで保持した後、第2のクロックに同期してリードポイントから読み出して前記データシフト部に供給するFIFOと、

前記データシフト部のシフト量が1パラレルデータ数に達した場合に前記リードポインタを更新するFIFO制御部とを更に備え、

前記リードポインタを更新した際に、前記データシフト制御部は前記データシフト部のシフト量を初期値に戻すことを特徴とする請求項3に記載のデータ位相追従装置。

[請求項5] 前記FIFOのデータ保持情報をモニタするFIFOモニタと、
前記データ保持情報に応じて前記第2のクロックの周波数を調整するクロック調整部とを更に備えることを特徴とする請求項4に記載のデータ位相追従装置。

[請求項6] 前記クロック調整部は、前記ライトポインタと前記リードポインタの差分又はそれぞれの値が所定値に収まるように前記第2のクロックの周波数を調整することを特徴とする請求項5に記載のデータ位相追従装置。

[請求項7] 前記FIFOモニタは前記ライトポインタと前記リードポインタの差分を前記データ保持情報としてモニタし、
前記クロック調整部は、前記差分が下限値を下回ると前記第2のクロックの周波数を下げ、前記差分が上限値を上回ると前記第2のクロックの周波数を上げることを特徴とする請求項5又は6に記載のデータ位相追従装置。

[請求項8] 前記FIFOモニタは前記ライトポインタと前記リードポインタの中心のズレ又はズレの速度を前記データ保持情報としてモニタすることを特徴とする請求項5又は6に記載のデータ位相追従装置。

[請求項9] 前記クロック調整部は、
前記推定した信号波形の周波数より高い周波数を持つアップクロックを発生するアップクロック発生器と、
前記推定した信号波形の周波数より低い周波数を持つアングクロックを発生するアングクロック発生器と、
前記データ保持情報に応じて前記アップクロックと前記アングクロ

ックの何れかを選択して前記第2のクロックとして出力する選択部とを有することを特徴とする請求項5～8の何れか1項に記載のデータ位相追従装置。

[請求項10] 前記アップクロック発生器及び前記アンダクロック発生器の少なくとも1つは、所定のクロックのパルスの一部をマスクするパルスマスクを有することを特徴とする請求項9に記載のデータ位相追従装置。

[請求項11] 前記クロック調整部は、所定のクロックのパルスの一部をマスクするパルスマスクを有し、

前記パルスマスクは、前記データ保持情報に応じてパルスをマスクする量を調整することを特徴とする請求項5～8の何れか1項に記載のデータ位相追従装置。

[請求項12] 前記クロック調整部から出力された前記第2のクロックのジッタを低減するクロック波形整形部を更に備えることを特徴とする請求項10又は11に記載のデータ位相追従装置。

[請求項13] 前記クロック調整部は、所定のクロックから前記第2のクロックを生成する数値制御型発振器を有することを特徴とする請求項5～8の何れか1項に記載のデータ位相追従装置。

[請求項14] 前記データシフト部及び前記FIFOは、サンプリングレートを変換するリサンプル機能を有することを特徴とする請求項4～13の何れか1項に記載のデータ位相追従装置。

[請求項15] データ位相追従装置が行うデータ位相追従方法であって、
受信信号をサンプリングしたサンプリングデータをタップ係数とで畳み込んで出力信号を生成するステップと、

前記出力信号から推定した信号波形の同期タイミングと前記出力信号のサンプリングタイミングとの位相差を検出するステップと、

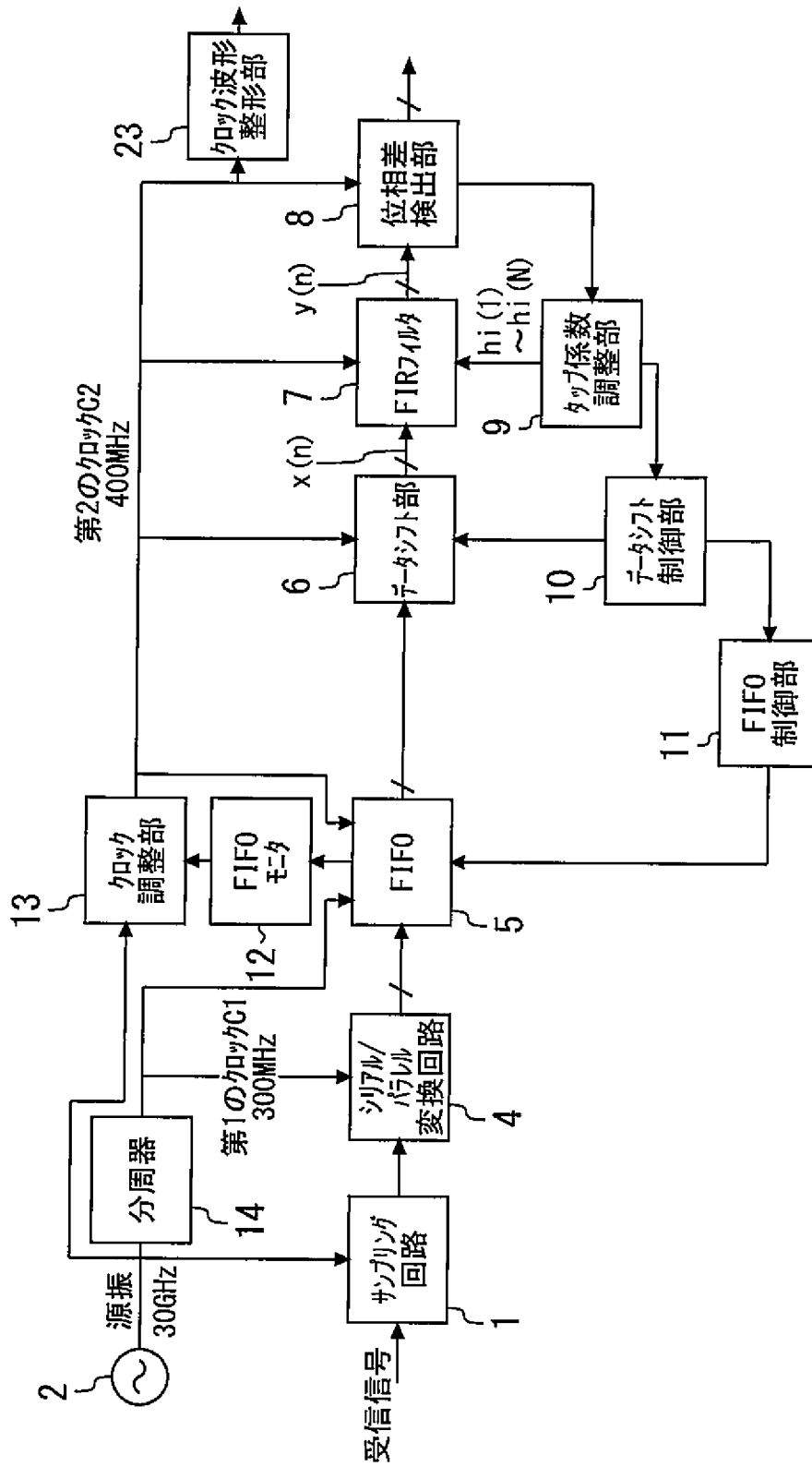
検出した前記位相差を減らすように前記タップ係数を調整することで前記出力信号の前記サンプリングタイミングを前記同期タイミングに追従させるステップとを備えることを特徴とするデータ位相追従方

法。

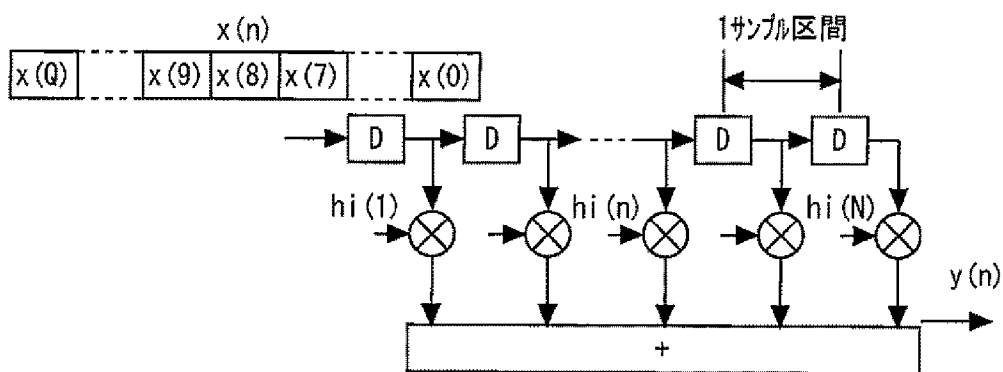
[請求項16]

伝送信号を受信して前記受信信号に変換して出力する受信回路と、
前記受信信号をサンプリングして前記サンプリングデータを生成するサンプリング回路と、
請求項1～14の何れか1項に記載のデータ位相追従装置と、
前記FIRフィルタの前記出力信号を復調して復調データを出力する復調回路とを備えることを特徴とする通信装置。

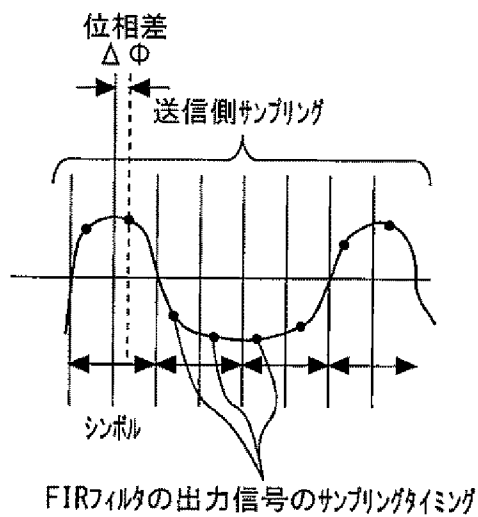
[図1]



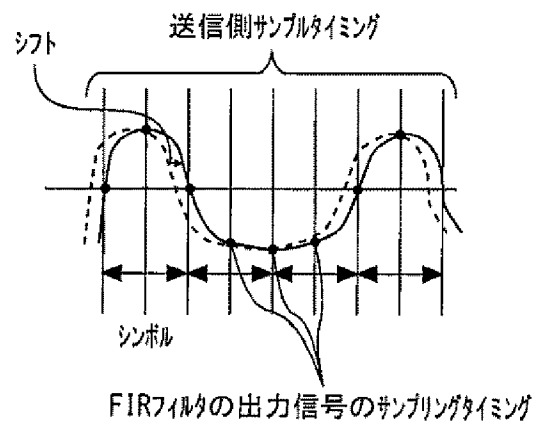
[図2]



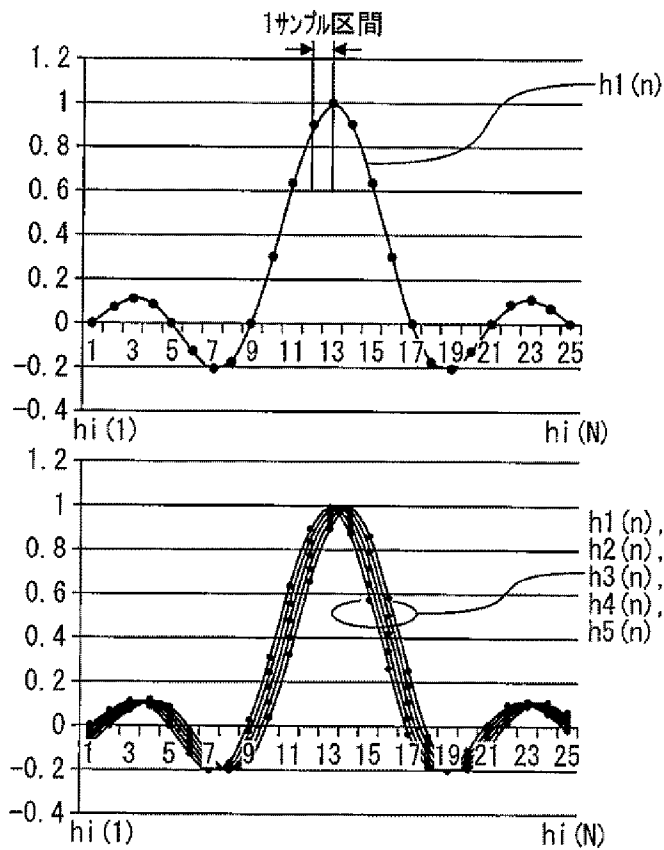
[図3]



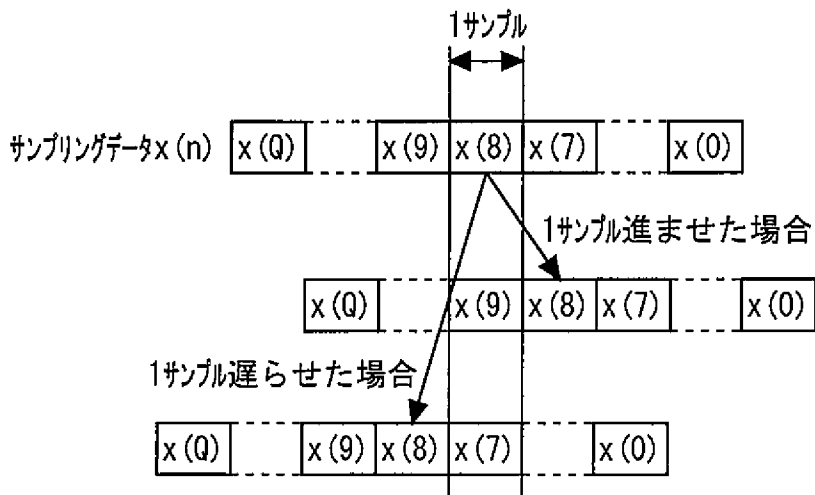
[図4]



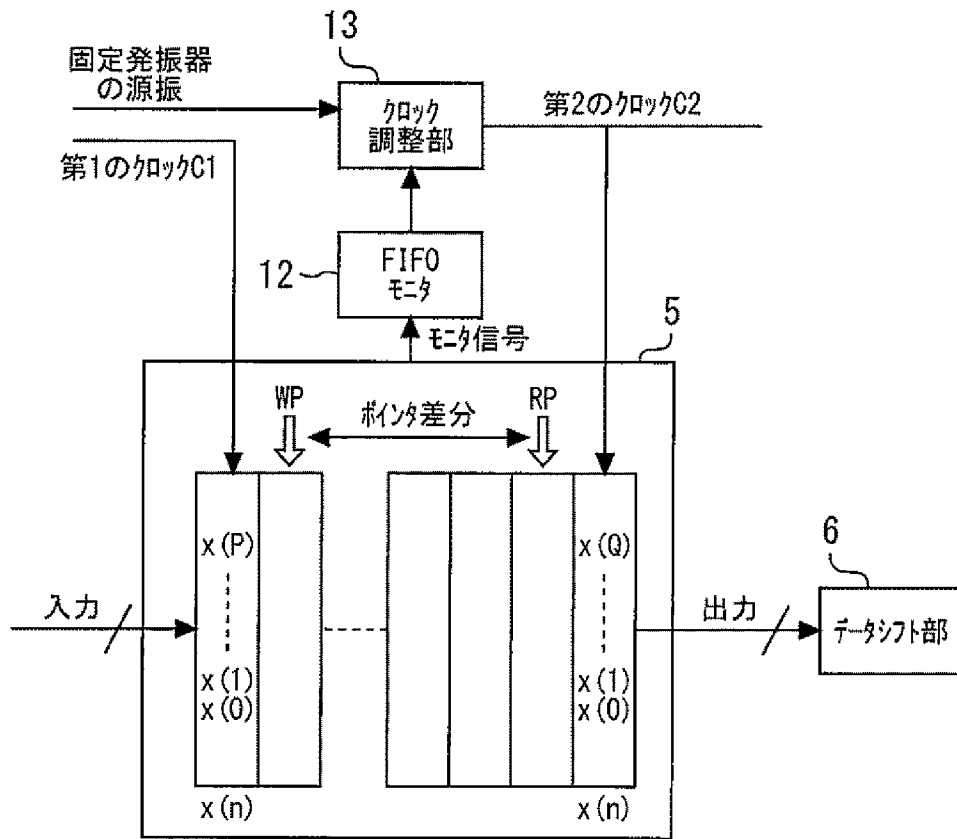
[図5]



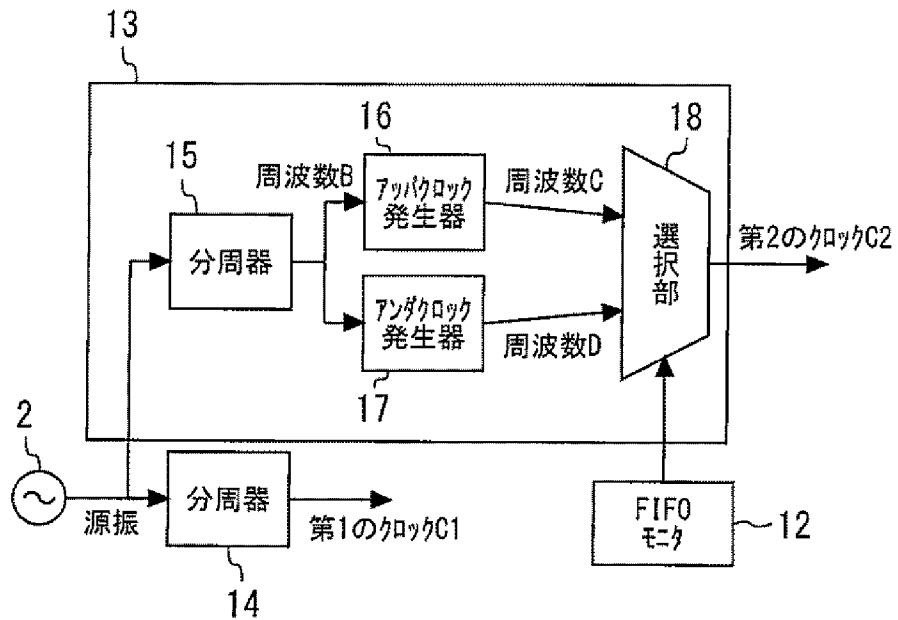
[図6]



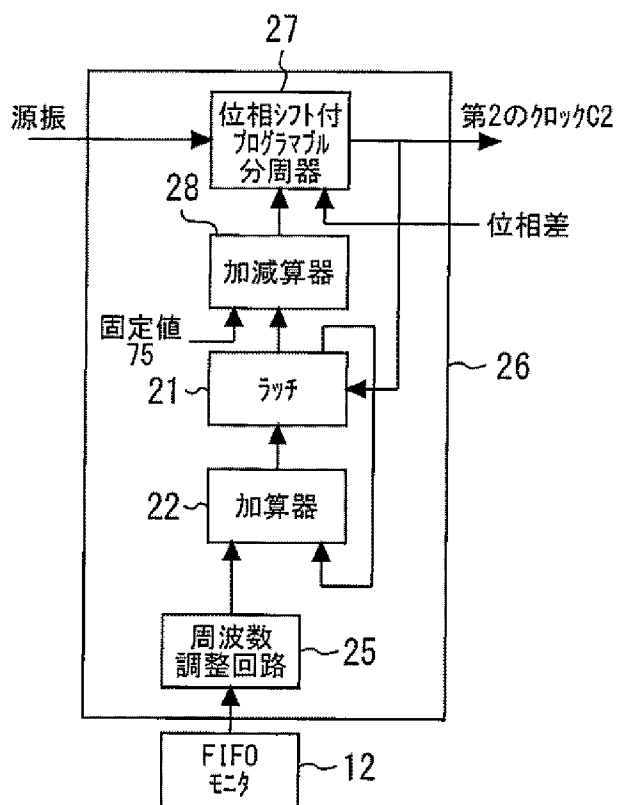
[図7]



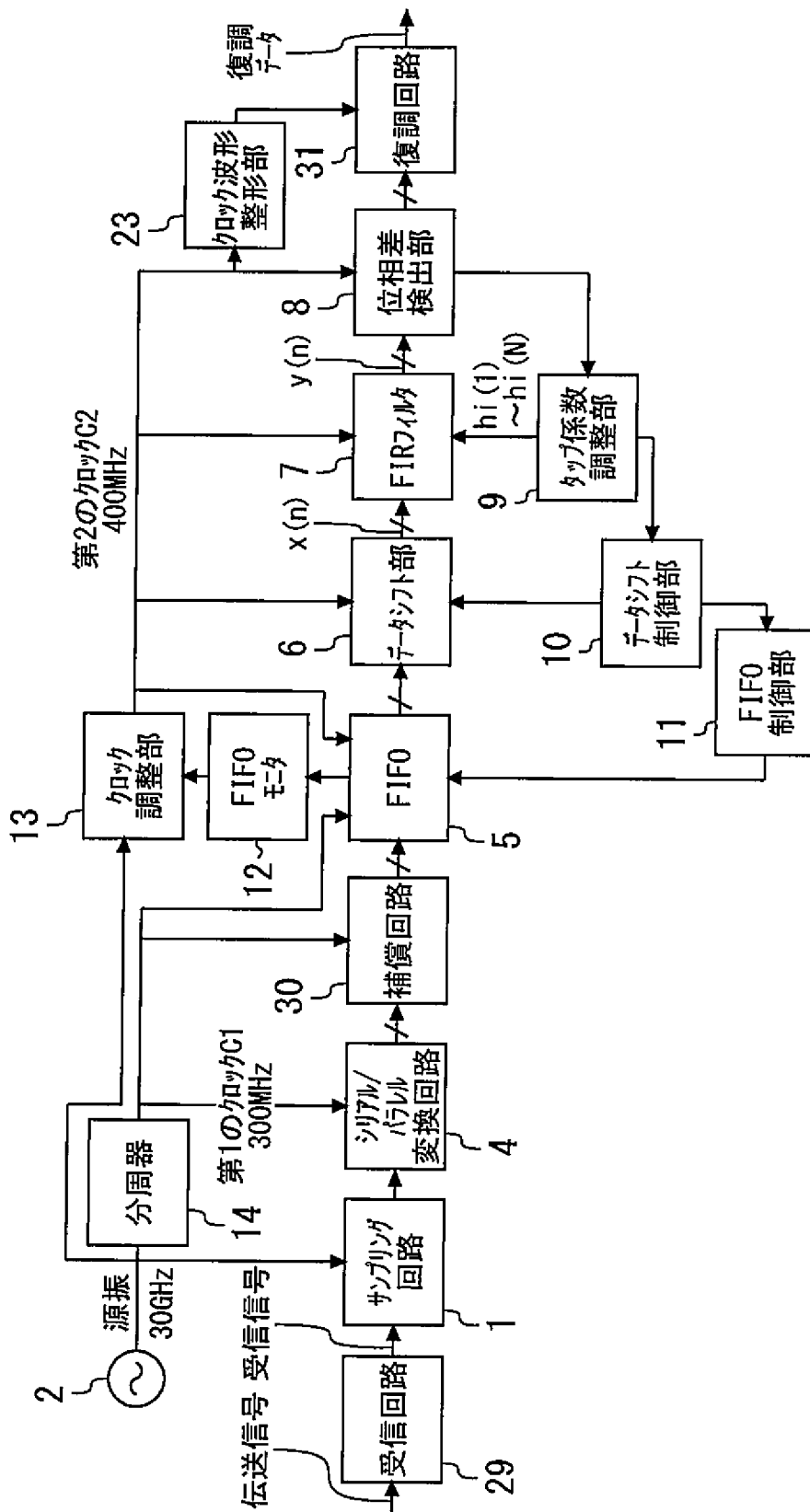
[図8]



[図16]



[図17]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2017/001196

A. CLASSIFICATION OF SUBJECT MATTER
H04L7/00(2006.01)i, H03H17/02(2006.01)i, H03H17/06(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H04L7/00, H03H17/02, H03H17/06

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2004-260228 A (Mitsubishi Electric Corp.), 16 September 2004 (16.09.2004), paragraphs [0009] to [0034]; fig. 1 to 3 (Family: none)	1-3, 15, 16 4-14
A	WO 2013/084391 A1 (NEC Corp.), 13 June 2013 (13.06.2013), & US 2013/0251082 A1	1-16
A	JP 2014-45426 A (Sumitomo Electric Industries, Ltd.), 13 March 2014 (13.03.2014), (Family: none)	1-16
A	JP 4-249429 A (Fujitsu Ltd.), 04 September 1992 (04.09.1992), (Family: none)	1-16

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 30 March 2017 (30.03.17)	Date of mailing of the international search report 11 April 2017 (11.04.17)
---	--

Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.
--	---

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/001196

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2002-319844 A (NEC Micro Systems, Ltd.), 31 October 2002 (31.10.2002), (Family: none)	1-16

A. 発明の属する分野の分類（国際特許分類（IPC））
 Int.Cl. H04L7/00(2006.01)i, H03H17/02(2006.01)i, H03H17/06(2006.01)i

B. 調査を行った分野
 調査を行った最小限資料（国際特許分類（IPC））
 Int.Cl. H04L7/00, H03H17/02, H03H17/06

最小限資料以外の資料で調査を行った分野に含まれるもの
 日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2017年
 日本国実用新案登録公報 1996-2017年
 日本国登録実用新案公報 1994-2017年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2004-260228 A（三菱電機株式会社）2004.09.16, 段落[0009]-[0034], 第1-3図	1-3, 15, 16
A	（ファミリーなし）	4-14
A	WO 2013/084391 A1（日本電気株式会社）2013.06.13, & US 2013/0251082 A1	1-16

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー	の日の後に公表された文献
「A」特に関連のある文献ではなく、一般的技術水準を示すもの	「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」口頭による開示、使用、展示等に言及する文献	「&」同一パテントファミリー文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日
 30.03.2017

国際調査報告の発送日
 11.04.2017

国際調査機関の名称及びあて先
 日本国特許庁（ISA/J P）
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）	5K	9382
阿部 弘		
電話番号 03-3581-1101 内線 3556		

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2014-45426 A (住友電気工業株式会社) 2014. 03. 13, (ファミリーなし)	1-16
A	JP 4-249429 A (富士通株式会社) 1992. 09. 04, (ファミリーなし)	1-16
A	JP 2002-319844 A (エヌイーシーマイクロシステム株式会社) 2002. 10. 31, (ファミリーなし)	1-16