

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2017 年 8 月 3 日(03.08.2017)



(10) 国際公開番号  
**WO 2017/130381 A1**

- (51) 国際特許分類:  
**H01L 25/07** (2006.01) **H01L 25/18** (2006.01)
- (21) 国際出願番号: PCT/JP2016/052695
- (22) 国際出願日: 2016 年 1 月 29 日(29.01.2016)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: 三菱電機株式会社(MITSUBISHI ELECTRIC CORPORATION) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目 7 番 3 号 Tokyo (JP).
- (72) 発明者: 吉田 博(YOSHIDA, Hiroshi); 〒1008310 東京都千代田区丸の内二丁目 7 番 3 号 三菱電機株式会社内 Tokyo (JP). 井本 裕児(IMOTO, Yuji); 〒1008310 東京都千代田区丸の内二丁目 7 番 3 号 三菱電機株式会社内 Tokyo (JP). 石橋 秀俊(ISHIBASHI, Hidetoshi); 〒1008310 東京都千代田区丸の内二丁目 7 番 3 号 三菱電機株式会社内 Tokyo (JP). 村田 大輔(MURATA, Daisuke); 〒1008310 東京都千代田区丸の内二丁目 7 番 3 号 三菱電機株式会社内 Tokyo (JP). 中原 賢太(NAKAHARA, Kenta); 〒1008310 東京都千代田区丸の内二丁目 7 番 3 号 三菱電機株式会社内 Tokyo (JP). 岡 誠次(OKA, Seiji); 〒1008310 東京都千代田区丸の内二丁目 7 番 3 号 三菱電機株式会社内 Tokyo (JP). 藤野 純司(FUJINO, Junji); 〒1008310 東京都千代田区丸の内二丁目 7 番 3 号

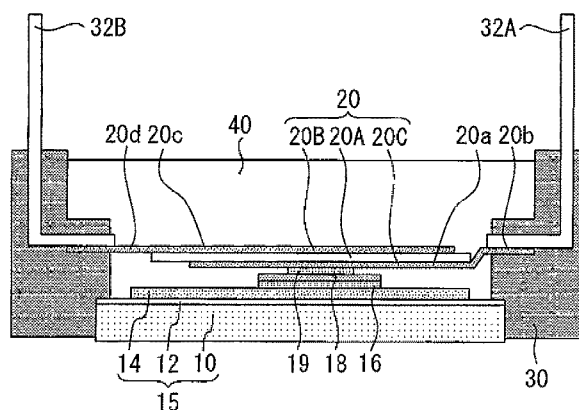
三菱電機株式会社内 Tokyo (JP). 浅地 伸洋(ASAJI, Nobuhiro); 〒1008310 東京都千代田区丸の内二丁目 7 番 3 号 三菱電機株式会社内 Tokyo (JP).

- (74) 代理人: 高田 守, 外(TAKADA, Mamoru et al.); 〒1040045 東京都中央区築地 1 丁目 1 2 番 2 号 コンワビル 7 階 特許業務法人 高田・高橋国際特許事務所 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) Abstract: A semiconductor device of the present invention is provided with: a substrate; a plurality of semiconductor chips that are fixed to the substrate; an insulating board in which a through hole is formed; a first lower conductor having a lower main body, which is formed on the lower surface of the insulating board, and which is soldered to one of the semiconductor chips, and a lower protruding section connected to the lower main body, said lower protruding section extending to the outside of the insulating board in plan view; a second lower conductor, which is formed on the lower surface of the insulating board, and which is soldered to one of the semiconductor chips; an upper conductor having an upper main body formed on the upper surface of the insulating board, and an upper protruding section, which is connected to the upper main body, and which extends to the outside of the insulating board in plan view; a connecting section, which is provided in the through hole, and which connects the upper main body and the second lower conductor to each other; a first external electrode connected to the lower protruding section; and a second external electrode connected to the upper protruding section.

(57) 要約:

[続葉有]



WO 2017/130381 A1



OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

基板と、該基板に固定された複数の半導体チップと、貫通孔が形成された絶縁板と、該絶縁板の下面に形成され該複数の半導体チップのいずれかにはんだ付けされた下部本体と、該下部本体につながり平面視で該絶縁板の外に伸びる下部突出部を有する第 1 下部導体と、該絶縁板の下面に形成され該複数の半導体チップのいずれかにはんだ付けされた第 2 下部導体と、該絶縁板の上面に形成された上部本体と該上部本体につながり平面視で該絶縁板の外に伸びる上部突出部とを有する上部導体と、該貫通孔に設けられ、該上部本体と該第 2 下部導体を接続する接続部と、該下部突出部に接続された第 1 外部電極と、該上部突出部に接続された第 2 外部電極と、を備える。

## 明 細 書

**発明の名称：**半導体装置

**技術分野**

[0001] この発明は、例えば大電流の制御に用いられる半導体装置に関する。

**背景技術**

[0002] 例えば I G B T (Insulated Gate Bipolar Transistor)などを搭載し大電流の制御に用いられる半導体装置がある。そのような半導体装置の内部配線にアルミワイヤー等の配線材を用いると、パワーサイクル等の接合信頼性を十分確保できない。

[0003] 特許文献 1 には、基板に素子のはんだ付けされ、その素子にリード端子を直接はんだ付けしたことが開示されている。このリード端子は、装置の外部に伸びる外部電極である。

**先行技術文献**

**特許文献**

[0004] 特許文献1：日本特開 2 0 1 5 - 1 6 2 6 4 9 号公報

**発明の概要**

**発明が解決しようとする課題**

[0005] 半導体装置の外部に露出する電極である外部電極は、1枚の金属板を金型等で打ち抜いて形成することが多い。そのような外部電極を半導体チップにはんだ付けすると様々な弊害が生じる。例えば、半導体チップに接合された複数の外部電極が2次元的な配線を構成するので、配線の自由度が低く、半導体装置の外形サイズが大きくなってしまう。

[0006] また、複数の外部電極と半導体チップを同時にはんだ付けする場合、複数の外部電極の高さを一定にするのが難しい。複数の外部電極の高さが不均一になると、はんだ厚が不揃いになるため、はんだ厚みのマージンを大きくとらなければならない。

[0007] また、小電流を流す信号回路部につながる外部電極と、大電流を流す主回

路部につながる外部電極とを、同じ電極とすると、信号回路部につながる外部電極は電流容量的には過剰スペックとなる。この場合、半導体装置の外形サイズが大きくなる上に、無駄なコストも生じる。

[0008] また、外部電極は、ある程度の強度を確保するために、比較的厚く形成される。そのような外部電極を、半導体チップの信号パッドなどの狭面積箇所へ精度良くはんだ付けするのは容易ではない。そのため、信号パッド面積を大きくするために半導体チップのサイズを大きくせざるを得ない問題があった。

[0009] また、ケースが変形したり、はんだを接合したりする時に外部電極に及ぼされる応力が、半導体チップに接するはんだに直接及ぶ。はんだに大きな力が及ばないように、外部電極の長さを短くする必要があった。

[0010] 本発明は上述の問題を解決するためになされたものであり、外部電極を半導体チップにはんだ付けすることで生じる弊害を防ぐことができる半導体装置を提供することを目的とする。

### 課題を解決するための手段

[0011] 本願の発明にかかる半導体装置は、基板と、該基板に固定された複数の半導体チップと、貫通孔が形成された絶縁板と、該絶縁板の下面に形成され該複数の半導体チップのいずれかにはんだ付けされた下部本体と、該下部本体につながり平面視で該絶縁板の外に伸びる下部突出部を有する第1下部導体と、該絶縁板の下面に形成され該複数の半導体チップのいずれかにはんだ付けされた第2下部導体と、該絶縁板の上面に形成された上部本体と該上部本体につながり平面視で該絶縁板の外に伸びる上部突出部とを有する上部導体と、該貫通孔に設けられ、該上部本体と該第2下部導体を接続する接続部と、該下部突出部に接続された第1外部電極と、該上部突出部に接続された第2外部電極と、を備えたことを特徴とする。

[0012] 本発明のその他の特徴は以下に明らかにする。

### 発明の効果

[0013] この発明によれば、半導体チップの上に設けられた中継基板により立体的

な配線が可能となるので、外部電極を半導体チップにはんだ付けすることで生じる弊害を防ぐことができる。

### 図面の簡単な説明

- [0014] [図1]実施の形態1に係る半導体装置の断面図である。
- [図2]中継基板の断面図である。
- [図3]中継基板の平面図である。
- [図4]中継基板の底面図である。
- [図5]貫通孔の近傍の断面図である。
- [図6]接続部の平面図である。
- [図7]貫通孔周辺の断面図である。
- [図8]中継基板の底面図に上部導体の輪郭を加えた図である。
- [図9]半完成品の組み立て方法を示すケース等の斜視図である。
- [図10]実施の形態1の半導体装置の回路図である。
- [図11]中継基板の平面図である。
- [図12]変形例に係る半導体装置の断面図である。
- [図13]実施の形態2に係るはんだ接合を説明する図である。
- [図14]はんだの形状を示す図である。
- [図15]実施の形態3に係るはんだ接合を説明する図である。
- [図16]はんだの形状を示す図である。
- [図17]実施の形態4に係る半導体装置の断面図である。
- [図18]実施の形態5に係る半導体装置の断面図である。

### 発明を実施するための形態

- [0015] 本発明の実施の形態に係る半導体装置について図面を参照して説明する。同じ又は対応する構成要素には同じ符号を付し、説明の繰り返しを省略する場合がある。

- [0016] 実施の形態1.

図1は、本発明の実施の形態1に係る半導体装置の断面図である。この半導体装置は、基板15を備えている。基板15は、金属で形成されたベース

板 1 0、ベース板 1 0 の上に設けられた絶縁基板 1 2、絶縁基板 1 2 の表面に形成された回路パターン 1 4 を備えている。ベース板 1 0 と絶縁基板 1 2 の間に放熱グリースを設けても良い。はんだ 1 6 により基板 1 5 と半導体チップ 1 8 が固定されている。半導体チップ 1 8 の裏面が回路パターン 1 4 にはんだ付けされている。半導体チップ 1 8 は複数設けられる。

[0017] 半導体チップ 1 8 は特に限定されないが、例えば I G B T などのトランジスタチップとダイオードチップである。半導体装置で 3 相のインバータ回路を構成する場合は、6 つのトランジスタチップとそれらに逆接続された 6 つのダイオードが設けられる。

[0018] 半導体チップ 1 8 の上には中継基板 2 0 がある。中継基板 2 0 は、絶縁板 2 0 A と、絶縁板 2 0 A の上面側に形成された上部導体 2 0 B と、絶縁板 2 0 A の下面側に形成された第 1 下部導体 2 0 C を有している。絶縁板 2 0 A の材料は例えばガラスエポキシである。

[0019] 第 1 下部導体 2 0 C は、下部本体 2 0 a と下部突出部 2 0 b を備えている。下部本体 2 0 a は、絶縁板 2 0 A の下面に形成されている。下部本体 2 0 a には半導体チップ 1 8 の上面がはんだ 1 9 ではんだ付けされている。下部突出部 2 0 b は、下部本体 2 0 a につながり平面視で絶縁板 2 0 A の外に伸びている。第 1 下部導体 2 0 C は導体で形成されている。第 1 下部導体 2 0 C の厚さは例えば 0.2 mm 以上である。

[0020] 上部導体 2 0 B は、上部本体 2 0 c と上部突出部 2 0 d を備えている。上部本体 2 0 c は絶縁板 2 0 A の上面に形成されている。上部突出部 2 0 d は上部本体 2 0 c につながり平面視で絶縁板 2 0 A の外に伸びている。上部導体 2 0 B は導体で形成される。上部導体 2 0 B の厚さは例えば 0.2 mm 以上である。

[0021] 下部突出部 2 0 b には第 1 外部電極 3 2 A がはんだ接続されている。上部突出部 2 0 d には第 2 外部電極 3 2 B がはんだ接続されている。第 1 外部電極 3 2 A の一部と第 2 外部電極 3 2 B の一部はケース 3 0 に挿入されている。ケース 3 0 は半導体チップ 1 8 を囲むものである。ケース 3 0 の内部には

樹脂 40 が充填されている。樹脂 40 は、例えばエポキシ樹脂である。

[0022] 図 2 は、中継基板 20 の断面図である。下部突出部 20b と第 1 外部電極 32A の接合面積を十分確保するために、下部突出部 20b は平面視で絶縁板 20A から 20mm 以上突出することが好ましい。上部突出部 20d と第 2 外部電極 32B の接合面積を十分確保するために、上部突出部 20d は平面視で絶縁板 20A から 20mm 以上突出することが好ましい。

[0023] 下部突出部 20b が折り曲げられることで、下部突出部 20b と第 1 外部電極 32A の接続位置の高さと、上部突出部 20d と第 2 外部電極 32B の接続位置の高さを一致させた。なお、第 1 下部導体 20C は折り曲げの無い平坦な形状として、上部突出部 20d を折り曲げることで、下部突出部 20b と第 1 外部電極 32A の接続位置の高さと、上部突出部 20d と第 2 外部電極 32B の接続位置の高さを一致させてもよい。

[0024] 図 3 は、中継基板 20 の平面図である。図 3 では、絶縁板 20A の下面側に形成された導体は省略した。上部導体 20B に記載された「P1」は、上部導体 20B が P 相のパターンとして用いられることを示している。上部導体 20B の一部である上部突出部 20d は、絶縁板 20A の外周より外側に突出している。上部導体 20B は複数形成されている。絶縁板 20A の上部導体 20B がある部分には、貫通孔 20H が形成されている。絶縁板 20A の上部導体 20B がない部分には埋め込み孔 20I が設けられている。埋め込み孔 20I は樹脂 40 で埋められている。

[0025] 図 4 は、中継基板 20 の底面図である。図 4 では、絶縁板 20A の上面側に形成された導体は省略した。第 1 下部導体 20C に記載された「N1」は、第 1 下部導体 20C が N 相のパターンとして用いられることを示している。第 1 下部導体 20C の一部である下部突出部 20b は、絶縁板 20A の外周より外側に突出している。第 1 下部導体 20C は複数形成されている。絶縁板 20A の下面には、第 1 下部導体 20C に加えて、第 2 下部導体 20D が形成されている。第 2 下部導体 20D は平面視で絶縁板 20A の外周より外側に出る突出部を有していない。第 2 下部導体 20D は、図 1 に示される

半導体チップ18又は、図1には示されないが基板15にはんだ付けされた半導体チップに、はんだ付けされる。

[0026] 第2下部導体20Dは複数設けられている。複数の第1下部導体20Cと複数の第2下部導体20Dには例えば、トランジスタチップのエミッタ電極もしくはベース電極、又はダイオードチップのアノード電極がはんだ付けされる。

[0027] 絶縁板20Aの第2下部導体20Dがある部分には、貫通孔20Hが形成されている。図5はこの貫通孔20Hの近傍の断面図である。貫通孔20Hには、上部本体20cと第2下部導体20Dを接続する接続部20Rが設けられている。接続部20Rは、上部本体20cと第2下部導体20Dを電氣的に接続するものであれば特に限定されないが、たとえば銅めっき層である。しかし、15～75 $\mu$ m程度の厚さの銅めっき層を形成した場合、大電流に対応するためには、銅めっき層が形成された貫通孔を多数設ける必要がある。例えば、1つの貫通孔20Hに50 $\mu$ mの厚みで設けられた銅めっき層に10Aの電流を流す。

[0028] 多数の貫通孔20Hを設けることを避けるために、接続部20Rは金属部材を圧接して形成することが好ましい。この場合、接続部20Rはハトメを加圧変形させてカシメることで形成する。こうすると、めっきで接続部20Rを形成した場合と比べて、少ない貫通孔20Hで大電流を流すことができる。

[0029] 図6は、接続部20Rの平面図である。接続部20Rは、前述のとおりハトメを加圧変形して形成することが好ましい。そのような接続部20Rを構成する金属部材は貫通孔20Hを埋めない。電流容量を更に高めるためには、貫通孔20Hを金属で埋める。図7は、貫通孔20Hを埋め込み金属20Jで埋めたことを示す、貫通孔20H周辺の断面図である。埋め込み金属20Jは、接続部20Rに接し、貫通孔20Hを埋める。埋め込み金属20Jは貫通孔20Hに、例えばはんだ材等の金属を流し込むことによって形成する。

- [0030] この埋め込み金属 20 J を半導体チップ 18 の方向に突き出させることが好ましい。半導体チップ 18 の信号パッド等の面積の小さい部分に第 2 下部導体 20 D を電氣的に接触させる場合に、突出した埋め込み金属 20 J を基準に位置あわせすることで、位置ずれを防止できる。
- [0031] 図 8 は、中継基板 20 の底面図に、上部導体 20 B の輪郭を加えた図である。上部導体 20 B の輪郭は破線で示されている。直交する斜線が描かれた領域は、下部本体 20 a と上部本体 20 c が平面視で重なる領域である。半導体チップ 18 としてトランジスタチップを有する場合、下部本体 20 a と上部本体 20 c の一方にトランジスタチップのコレクタ電流を流し、他方にトランジスタチップのエミッタ電流を流す。そして、下部本体 20 a と上部本体 20 c が平面視で重なる部分において、コレクタ電流とエミッタ電流が平面視で反対方向に流れるようにすれば、半導体装置の内部インダクタンスを低減することができる。
- [0032] 図 9 は、半完成品の組み立て方法を示すケース等の斜視図である。半完成品は、基板 15 に半導体チップ 18 を固定し、半導体チップ 18 に中継基板 20 を固定し、中継基板 20 に第 1 外部電極 32 A 及び第 2 外部電極 32 B 等の外部電極を固定することで完成する。基板 15、半導体チップ 18 及び中継基板 20 を一体化した後の別工程で、外部電極を中継基板 20 に接続してもよいし、基板 15、半導体チップ 18、中継基板 20 及び外部電極を一括して一体化してもよい。後者の方が組立コストが安い。
- [0033] 半完成品の上からケース 30 を接近させ、第 1 外部電極 32 A 及び第 2 外部電極 32 B 等の外部電極をケース 30 の溝に沿ってスライドさせることで、半完成品にケース 30 を取り付け。その後、ケース 30 の中に樹脂 40 を注入することで図 1 の半導体装置が完成する。半導体装置の絶縁性能を確保するためには、樹脂 40 をケース 30 の内部に隙間なく充填する必要がある。
- [0034] ところが、例えば絶縁板 20 A が大きく、中継基板 20 とケース 30 の間に殆ど隙間が無い場合には、中継基板 20 の存在により中継基板 20 の下に

樹脂を注入するのが困難になる。そこで、本発明の実施の形態１では、絶縁板２０Ａに埋め込み孔２０１を設けることで、この孔を通して樹脂が容易に中継基板２０の上から中継基板２０の下方に流れるようにした。樹脂４０をスムーズに中継基板２０の下方に供給するために、埋め込み孔２０１の幅を、絶縁板２０Ａの厚みの３倍以上とすることが望ましい。

[0035] 図１０は、本発明の実施の形態１の半導体装置の回路図である。複数の半導体チップ１８として、トランジスタチップ及びダイオードチップなどの各チップを備えることで、コンバータ回路、インバータ回路及びブレーキ回路を形成する。インバータ回路は、Ｐ相回路部Ｃ１とＮ相回路部Ｃ２を有している。

[0036] 図１１は、中継基板２０の平面図である。上述のとおり、上部突出部２０ｄと下部突出部２０ｂは、平面視で絶縁板２０Ａの外に突出している。これらの突出部は絶縁板２０Ａの上下左右に突出している。

[0037] 本発明の実施の形態１に係る半導体装置は、中継基板２０の上面と下面に導体が形成されているので、それらの導体により３次元的な配線が可能となる。よって、半導体チップに直接外部電極を固定した場合と比較して、配線の制約が少ないので、半導体装置の外形サイズを小さくすることができる。

[0038] 本発明の実施の形態１に係る半導体装置は、平面視で絶縁板２０Ａの外に伸びる上部突出部２０ｄと下部突出部２０ｂを有する。上部突出部２０ｄに第２外部電極３２Ｂをはんだ付けし、下部突出部２０ｂに第１外部電極３２Ａをはんだ付けするので、容易にはんだ付けすることができる。そして、すべての外部電極は、平面視で絶縁板２０Ａの外部にあるので、半完成品にケース３０を取り付けるのが容易である。

[0039] さらに、下部突出部２０ｂ又は上部突出部２０ｄを折り曲げることで、下部突出部２０ｂと第１外部電極３２Ａの接続位置の高さと、上部突出部２０ｄと第２外部電極３２Ｂの接続位置の高さを一致させた。これにより、外部電極の形状を共通化することができる。例えば外部電極の高さを統一できる。外部電極は導体の突出部に容易にはんだ付けできるので、複数の外部電極

を一括して突出部にはんだ付けすることも可能である。

[0040] 複数の半導体チップ 18 の厚みが不均一な場合には、薄い半導体チップと中継基板 20 の間にはんだ 19 を厚く形成し、厚い半導体チップと中継基板 20 の間にはんだ 19 を薄く形成する必要がある。つまり、適正なはんだ厚みを実現するのが困難になる。そこで、はんだ 19 の厚みが適正になるように、第 1 下部導体 20 C 又は第 2 下部導体 20 D の厚みを不均一にすることができる。そうすると、中継基板 20 と複数の半導体チップ 18 を接合する複数のはんだの厚みを揃えることができる。

[0041] 中継基板 20 の導体と外部電極については、小電流が流れる信号回路部分と、数十アンペア以上の大電流が流れる主回路部分とで、異なる材料とすることが好ましい。例えば、信号用の導体及び外部電極は黄銅系の材質で形成し、主回路用の導体及び外部電極は純銅系の材質で形成することができる。また、第 1 下部導体 20 C と第 1 外部電極 32 A のペアを複数有する場合、複数の第 1 外部電極 32 A を異なる材料で形成する。これにより、すべての導体と外部電極を純銅系の材質で構成する場合と比べて材料費を低減できる。第 1 外部電極 32 A と第 2 外部電極 32 B を異なる材料としてもよい。

[0042] 実施の形態 1 では、下部本体 20 a 又は第 2 下部導体 20 D は、トランジスタチップのコレクタ又はエミッタに電氣的に接続される。主電流が流れる部分は、例えば純銅系などの電気伝導率の高い材料とすべきである。あるいは、絶縁板 20 A に形成された導体について、信号用の導体は薄く、主回路用の導体は厚くする。

[0043] 外部電極と外部機器の接続方法として、はんだ付け又はプレスフィットなどの圧接接続がある。各種接続に応じて外部電極の形状及び材質を選定することができる。外部電極と中継基板 20 は別部品なので、半導体チップとの接合などを考慮せず、外部電極の形状及び材質を自由に選択することができる。外部電極にある程度の強度が要求される場合、第 1 外部電極 32 A は第 1 下部導体 20 C より厚く、第 2 外部電極 32 B は上部導体 20 B より厚くする。

- [0044] P相回路部を中継基板の上面側に設け、N相回路部を中継基板の下面側に設けることで、図5に示すように、P相とN相とを並行配線することができる。これにより、インダクタンスの低減を図ることができる。また、半導体装置内においてワイヤ接続を排除することで更にパッケージ内のインダクタンスを低減できる。
- [0045] 本発明の実施の形態1に係る半導体装置はその特徴を失わない範囲で様々な変形が可能である。中継基板20は、3次元的な配線を実現する限り様々な変形が可能である。例えば、中継基板で3つ以上の階層の導体を提供し、配線の自由度を高めても良い。その場合、上部導体20Bの上に新たな絶縁板を設け、その絶縁板の上に導体を設けて3階層の導体を提供する。
- [0046] 樹脂40は、絶縁板20A、第1下部導体20C、第2下部導体20D、上部導体20B、及び複数の半導体チップ18を覆い、第1外部電極32Aと第2外部電極32Bの一部を外部に露出する。樹脂40が確実に半導体チップ18を覆うように、埋め込み孔20Iを設けたが、中継基板20とケース30の内壁の間に十分なスペースがある場合は、埋め込み孔20Iを省略してもよい。
- [0047] 複数の半導体チップ18で構成する回路は図10の回路に限定されない。例えばハーフブリッジ回路を構成しても良い。外部電極と中継基板の接続方法ははんだに限定されず、例えば超音波接合を採用してもよい。
- [0048] 図12は、変形例に係る半導体装置の断面図である。半導体チップ18はIGBTであり、上面にエミッタとベースを有し、下面にコレクタを有している。コレクタははんだ16によって回路パターン14に接続されている。回路パターン14には導体21が固定されている。導体21は、第3外部電極32Cに接続されている。導体21と第3外部電極32Cの接続位置の高さは、下部突出部20bと第1外部電極32Aの接続位置の高さ、及び上部突出部20dと第2外部電極32Bの接続位置の高さに等しい。なお、半導体チップは、上面と下面の間で電流を流す縦型の素子に限定されず、チップ上面の2点間に電流を流す横型の素子でもよい。

[0049] これらの変形は以下の実施の形態に係る半導体装置に適宜応用することができる。なお、以下の実施の形態に係る半導体装置は実施の形態 1 の半導体装置との共通点が多いので実施の形態 1 との相違点を中心に説明する。

[0050] 実施の形態 2.

図 1 3 には、中継基板 2 0 と基板 1 5 を接合する前の様子が描かれている。第 1 下部導体 2 0 C の下にははんだが接合しない非接合部 5 0 が形成されている。非接合部 5 0 は例えばソルダーレジスト又はポリイミドである。非接合部 5 0 から露出する第 1 下部導体 2 0 C の幅  $b$  は、はんだ 1 9 の幅  $a$  より小さい。

[0051] 図 1 4 は、はんだ 1 9 で半導体チップ 1 8 と第 1 下部導体 2 0 C の下部本体 2 0 a を接合したことを示す図である。半導体チップ 1 8 と下部本体 2 0 a を接合するはんだ 1 9 は、下部本体 2 0 a と接する面積より半導体チップ 1 8 と接する面積の方が大きい。これにより、はんだ 1 9 のフィレット形状が半導体チップ 1 8 の上面に対して鋭角になる。したがって、このような鋭角が実現されていない場合と比べて、はんだ 1 9 を介して半導体チップ 1 8 にかかる応力を低減することができる。

[0052] 上記と同じ方法で、半導体チップ 1 8 と第 2 下部導体 2 0 D を接合するはんだは、第 2 下部導体 2 0 D と接する面積より半導体チップ 1 8 と接する面積の方が大きくなるように設けることが好ましい。

[0053] 実施の形態 3.

図 1 5 には、中継基板 2 0 と基板 1 5 を接合する前の様子が描かれている。はんだ 1 9 は、下部本体 2 0 a と半導体チップ 1 8 を接合するために設けられている。はんだ 1 9 の一部である外周部の直上には、下部本体 2 0 a、絶縁板 2 0 A 及び上部導体 2 0 B がない。つまり、中継基板 2 0 に開口 2 0 h が設けられている。開口 2 0 h に囲まれた第 1 下部導体 2 0 C の幅  $b$  は、はんだ 1 9 の幅  $a$  より大きい。

[0054] 図 1 6 は、はんだ 1 9 で半導体チップ 1 8 と第 1 下部導体 2 0 C の下部本体 2 0 a を接合したことを示す図である。半導体チップ 1 8 と下部本体 2 0

aを接合するはんだ19は、下部本体20aと接する面積より半導体チップ18と接する面積の方が大きい。これにより、はんだ19のフィレット形状が半導体チップ18の上面に対して鋭角になる。したがって、このような鋭角が実現されていない場合と比べて、はんだ19を介して半導体チップ18にかかる応力を低減することができる。

[0055] 開口20hを設けることで、はんだ19で半導体チップ18と下部本体20aを確実に接合することができる。この効果は、特にはんだ面積が小さい場合において有用なものである。また、開口20hは余剰はんだの溜り場としても機能する。これにより接合信頼性を高めることができる。

[0056] 半導体チップ18と第2下部導体20Dをはんだ接合する場合にも、上記の特徴を取り入れることが好ましい。つまり、半導体チップ18と第2下部導体20Dを接合するはんだの一部の直上に、第2下部導体20D、絶縁板20A及び上部導体20Bがない開口を形成する。

[0057] 実施の形態4.

図17は、実施の形態4に係る半導体装置の断面図である。中継基板20の上部本体20cに能動部品60、62が電氣的に接続されている。能動部品60、62は、例えば抵抗、コンデンサ又は制御IC等である。能動部品60、62は、半導体チップ18又は半導体装置の保護機能を担う。従来は半導体装置の外部に設けられた部品を能動部品60、62として中継基板20の上に設けることで、半導体装置の機能及び信頼性を高めることができる。

[0058] 実施の形態5.

図18は、実施の形態5に係る半導体装置の断面図である。この半導体装置は、基板15、半導体チップ18、中継基板20及び外部電極が一括して組み付けられた半完成品を、ケースを使用せず、樹脂40で封止することで形成されたものである。樹脂40による封止では、金型を外枠として使用する。基板15と中継基板20の間隔は、半導体チップ18の厚みとほぼ同じとなり、非常に狭い。半導体チップ18の厚みは例えば100 $\mu$ mである。

[0059] 基板 15 と中継基板 20 の間の非常に狭い領域に樹脂を充填する必要がある。従来、液状のエポキシ樹脂材に低応力剤等を含有させることがあった。しかし、そうすると樹脂粘度が上昇し、樹脂注入の作業性が悪くなるので、低応力剤等の含有量を減らすことがあった。

[0060] 本発明の実施の形態 5 では、真空環境下、注入圧力 10 ～ 15 MPa 程度の低圧力で、樹脂を金型内へ注入する。これにより、基板 15 と中継基板 20 の間の非常に狭い領域に樹脂を充填することができる。低応力剤を含有する樹脂を採用した場合でも、低圧で樹脂を金型内に注入することで、金型の隅々まで樹脂を供給することができる。また、樹脂に低応力剤を含有させることで、はんだ 19 と半導体チップ 18 等に発生する応力を低減させ、半導体装置の信頼性を高めることができる。また、金型を用いることで、ケースレスで半導体装置の外形を完成させることができるので、低コスト化を図ることができる。ケースレスで半導体装置を構成すると、樹脂 40 が半導体装置の側面に露出する。

[0061] なお、上記の各実施の形態に係る半導体装置の特徴を適宜に組み合わせて、本発明の効果を高めても良い。

### 符号の説明

[0062] 15 基板、 18 半導体チップ、 20 中継基板、 20A 絶縁板、 20B 上部導体、 20C 第1下部導体、 20D 第2下部導体、 20H 貫通孔、 20I 埋め込み孔、 20J 埋め込み金属、 20R 接続部、 20a 下部本体、 20b 下部突出部、 20c 上部本体、 20d 上部突出部、 20h 開口、 30 ケース、 32A 第1外部電極、 32B 第2外部電極、 32C 第3外部電極、 40 樹脂、 60 能動部品

## 請求の範囲

### [請求項1]

基板と、  
前記基板に固定された複数の半導体チップと、  
貫通孔が形成された絶縁板と、  
前記絶縁板の下面に形成され前記複数の半導体チップのいずれかにはんだ付けされた下部本体と、前記下部本体につながり平面視で前記絶縁板の外に伸びる下部突出部を有する第1下部導体と、  
前記絶縁板の下面に形成され前記複数の半導体チップのいずれかにはんだ付けされた第2下部導体と、  
前記絶縁板の上面に形成された上部本体と、前記上部本体につながり平面視で前記絶縁板の外に伸びる上部突出部とを有する上部導体と、  
前記貫通孔に設けられ、前記上部本体と前記第2下部導体を接続する接続部と、  
前記下部突出部に接続された第1外部電極と、  
前記上部突出部に接続された第2外部電極と、を備えたことを特徴とする半導体装置。

### [請求項2]

前記複数の半導体チップはトランジスタチップを有し、  
前記下部本体又は前記第2下部導体は、前記トランジスタチップのコレクタ又はエミッタに電氣的に接続されたことを特徴とする請求項1に記載の半導体装置。

### [請求項3]

前記下部突出部又は前記上部突出部が折り曲げられることで、前記下部突出部と前記第1外部電極の接続位置の高さと、前記上部突出部と前記第2外部電極の接続位置の高さを一致させたことを特徴とする請求項1又は2に記載の半導体装置。

### [請求項4]

前記複数の半導体チップはトランジスタチップを有し、  
前記下部本体と前記上部本体が平面視で重なる部分を有することで、前記トランジスタチップのコレクタ電流とエミッタ電流が平面視で

反対方向に流れることを特徴とする請求項 1 又は 3 に記載の半導体装置。

[請求項5] 前記第 1 下部導体又は前記第 2 下部導体の厚みは不均一であることを特徴とする請求項 1 ～ 4 のいずれか 1 項に記載の半導体装置。

[請求項6] 前記半導体チップと前記下部本体を接合するはんだは、前記下部本体と接する面積より前記半導体チップと接する面積の方が大きくなるように設けられ、

前記半導体チップと前記第 2 下部導体を接合するはんだは、前記第 2 下部導体と接する面積より前記半導体チップと接する面積の方が大きくなるように設けられたことを特徴とする請求項 1 ～ 5 のいずれか 1 項に記載の半導体装置。

[請求項7] 前記半導体チップと前記下部本体を接合するはんだの一部の直上には、前記下部本体、前記絶縁板及び前記上部導体がないことを特徴とする請求項 1 ～ 6 のいずれか 1 項に記載の半導体装置。

[請求項8] 前記半導体チップと前記第 2 下部導体を接合するはんだの一部の直上には、前記第 2 下部導体、前記絶縁板及び前記上部導体がないことを特徴とする請求項 1 ～ 6 のいずれか 1 項に記載の半導体装置。

[請求項9] 前記接続部は金属部材を圧接して形成することを特徴とする請求項 1 ～ 8 のいずれか 1 項に記載の半導体装置。

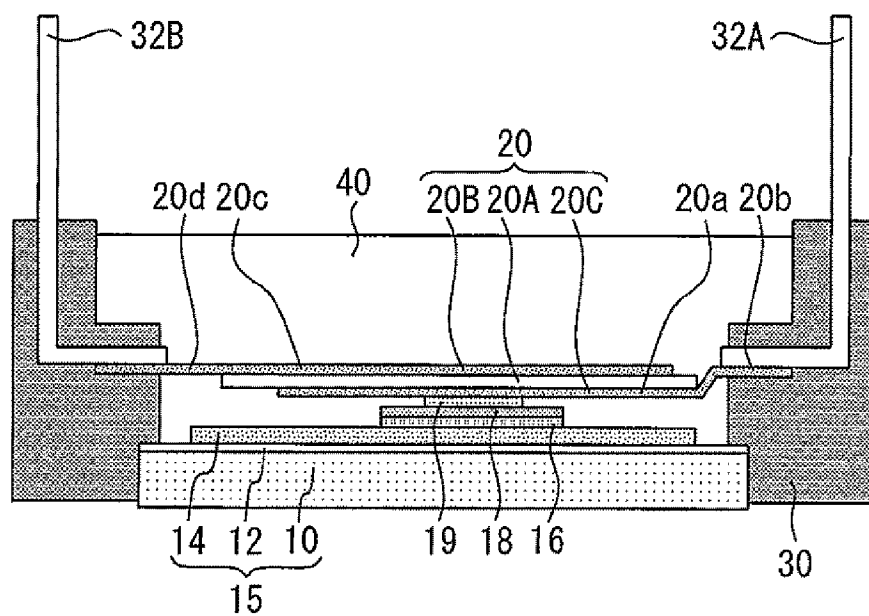
[請求項10] 前記金属部材は前記貫通孔を埋めないように設けられ、  
前記金属部材に接し、前記貫通孔を埋める埋め込み金属を備え、  
前記埋め込み金属は前記半導体チップの方向に突き出ていることを特徴とする請求項 9 に記載の半導体装置。

[請求項11] 前記絶縁板、前記第 1 下部導体、前記第 2 下部導体、前記上部導体、及び前記複数の半導体チップを覆い、前記第 1 外部電極と前記第 2 外部電極の一部を外部に露出する樹脂を備え、

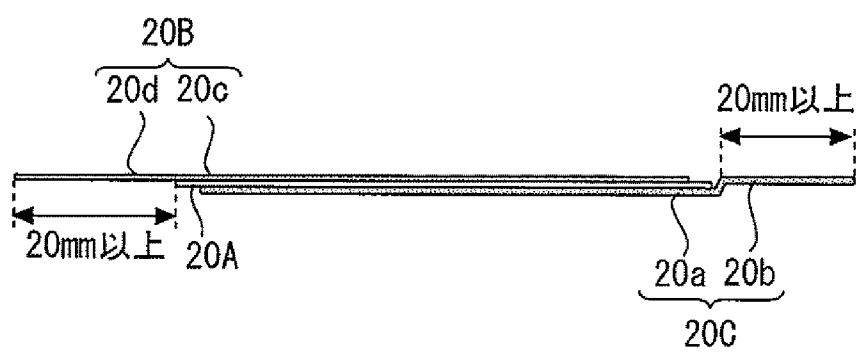
前記絶縁板には前記樹脂で埋められた埋め込み孔が設けられたことを特徴とする請求項 1 ～ 10 のいずれか 1 項に記載の半導体装置。

- [請求項12] 前記上部本体に電氣的に接続された能動部品を備えたことを特徴とする請求項1～11のいずれか1項に記載の半導体装置。
- [請求項13] 前記第1下部導体と前記第1外部電極のペアを複数有し、  
複数の前記第1外部電極は異なる材料で形成されたことを特徴とする請求項1～12のいずれか1項に記載の半導体装置。
- [請求項14] 前記第1外部電極と前記第2外部電極は異なる材料で形成されたことを特徴とする請求項1～12のいずれか1項に記載の半導体装置。
- [請求項15] 前記第1外部電極は前記第1下部導体より厚く、前記第2外部電極は前記上部導体より厚いことを特徴とする請求項1～14のいずれか1項に記載の半導体装置。
- [請求項16] 前記絶縁板、前記第1下部導体、前記第2下部導体、前記上部導体、及び前記複数の半導体チップを覆い、前記第1外部電極と前記第2外部電極の一部を外部に露出する樹脂を備え、  
側面に前記樹脂が露出することを特徴とする請求項1に記載の半導体装置。

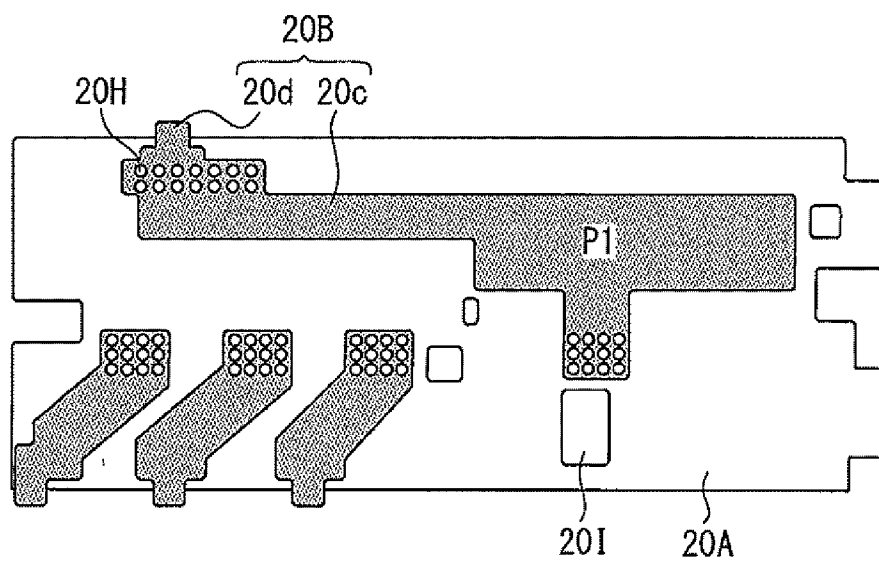
[図1]



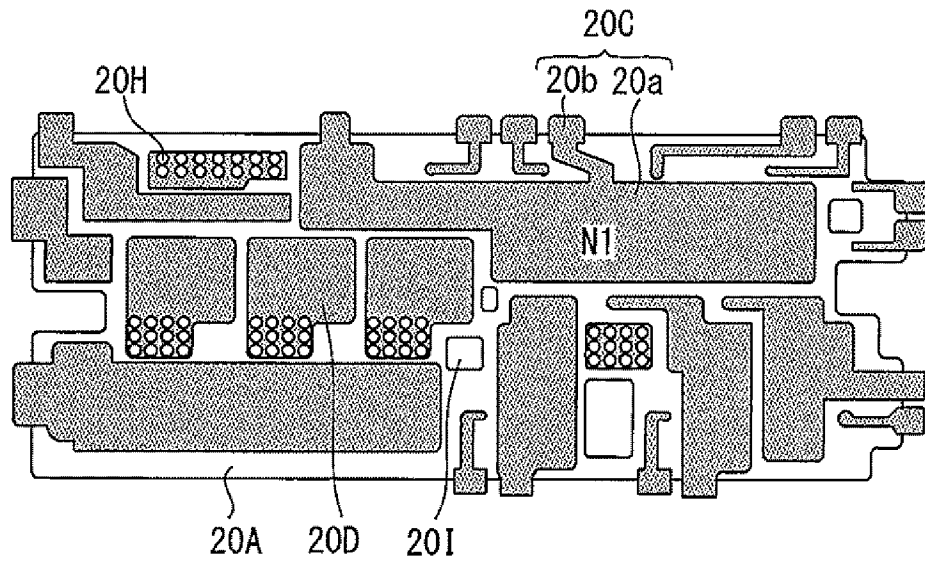
[図2]



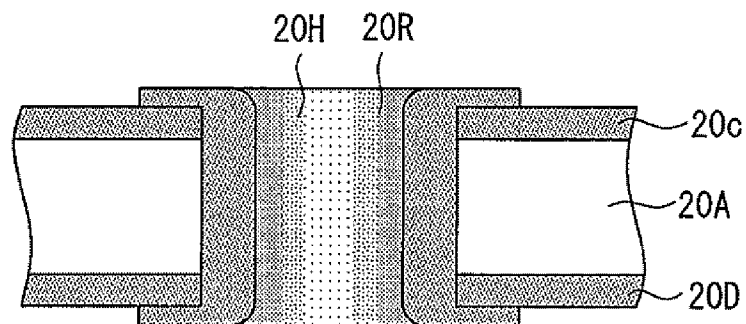
[図3]



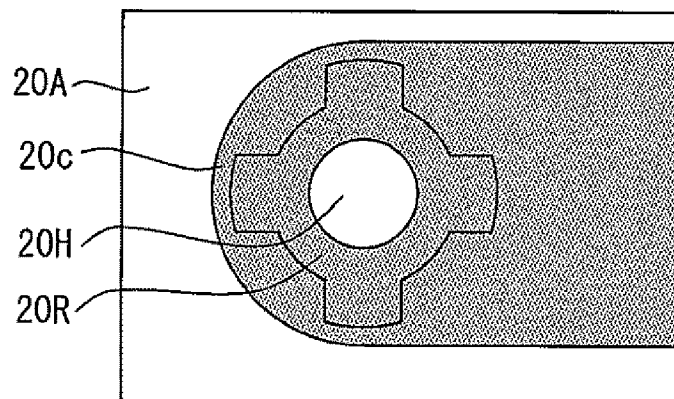
[図4]



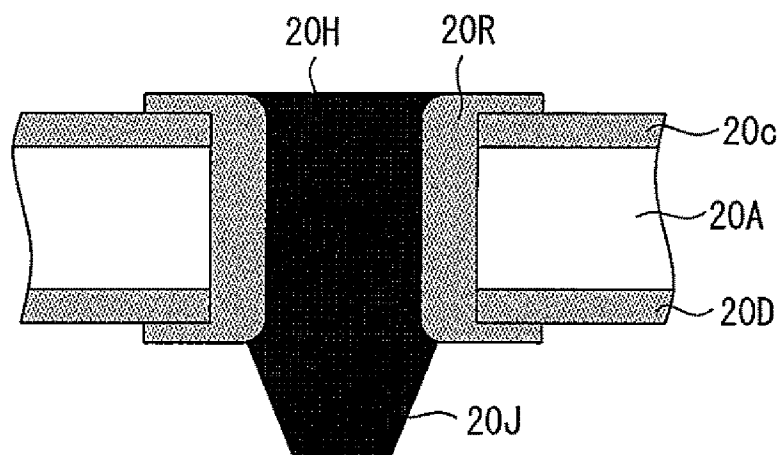
[図5]



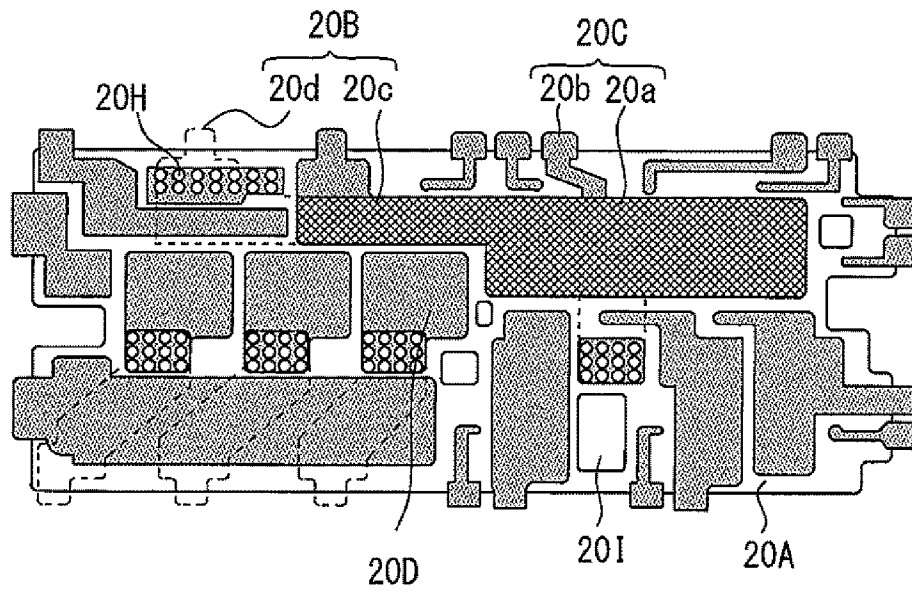
[図6]



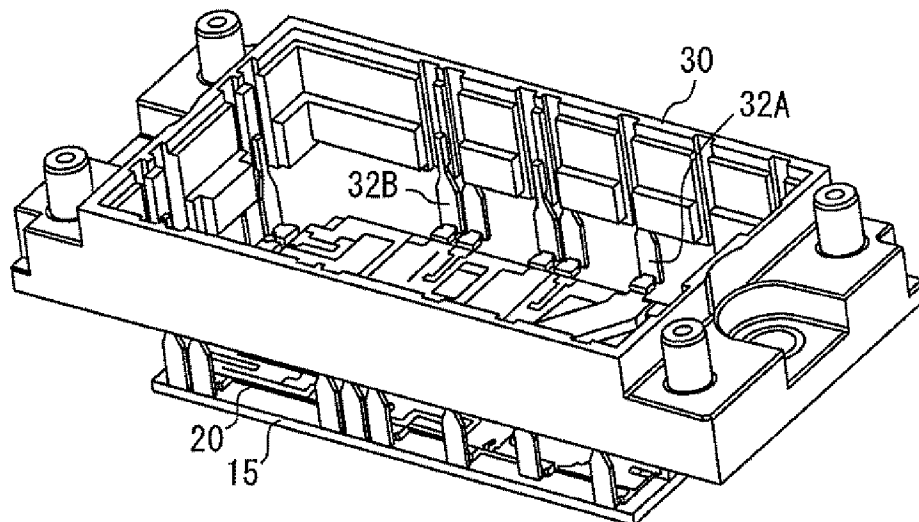
[図7]



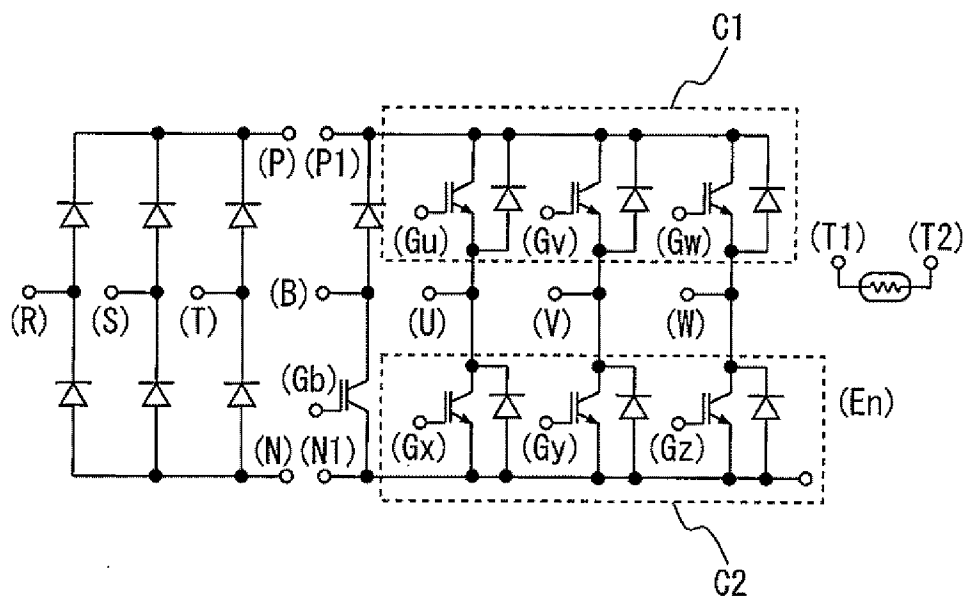
[図8]



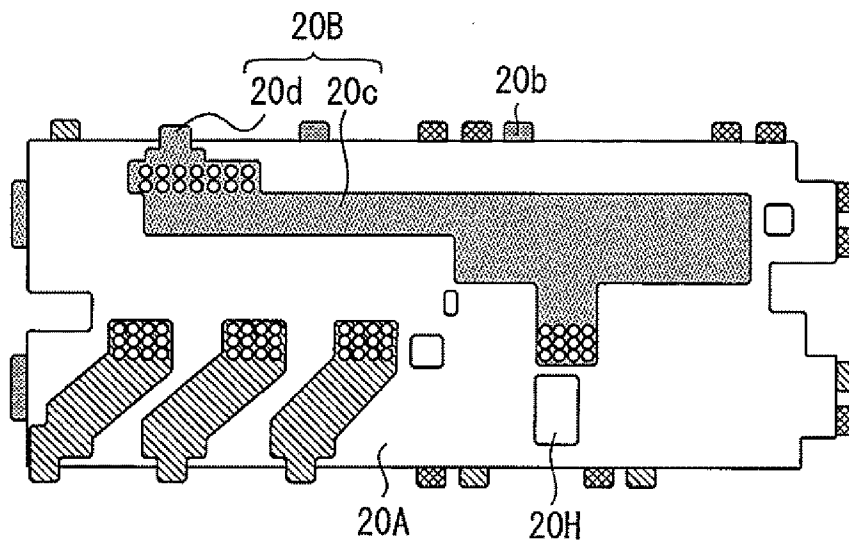
[図9]



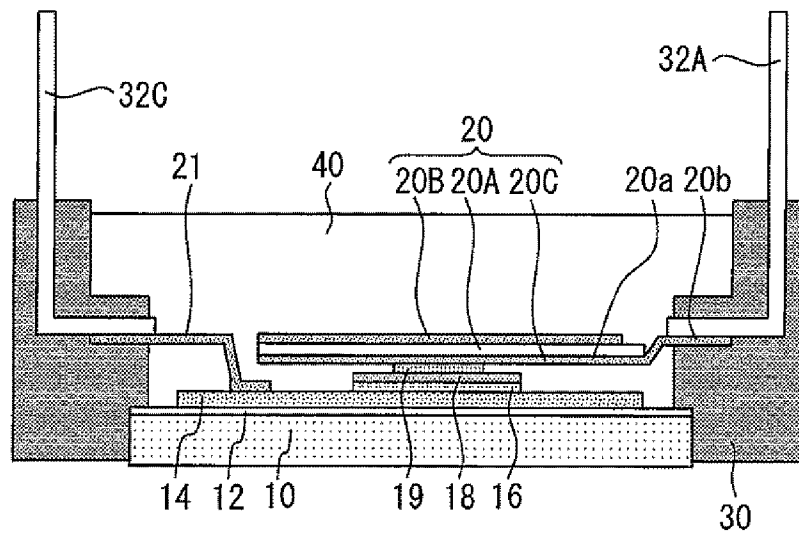
[図10]



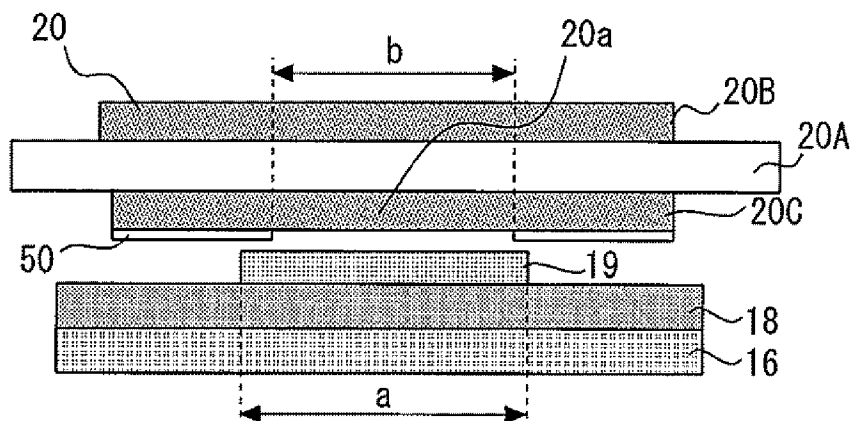
[図11]



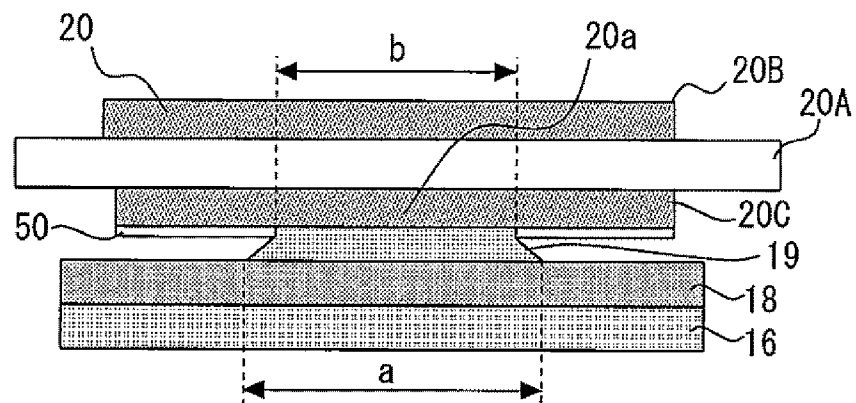
[図12]



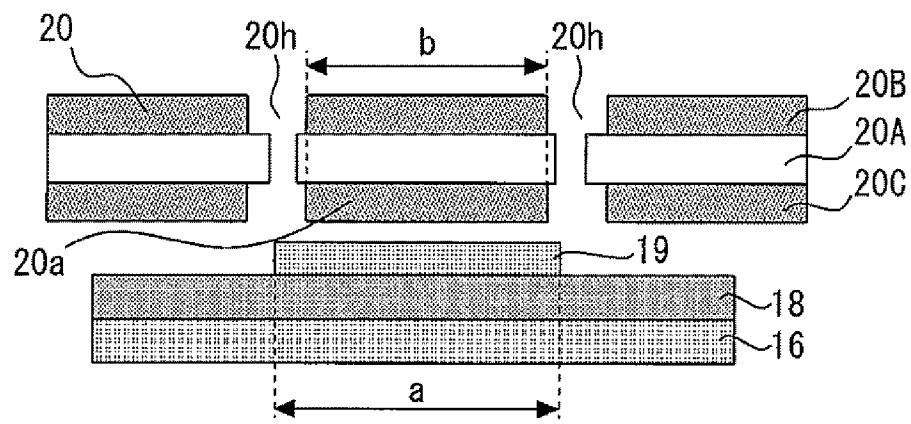
[図13]



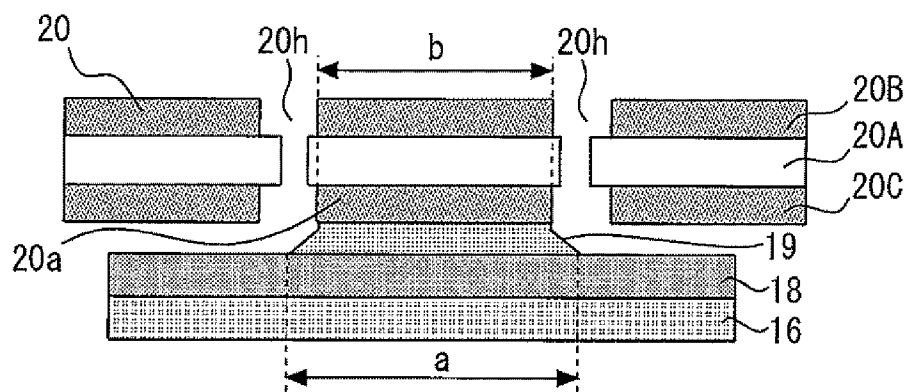
[図14]



[図15]



[図16]





# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/052695

## A. CLASSIFICATION OF SUBJECT MATTER

H01L25/07(2006.01)i, H01L25/18(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L25/07, H01L25/18

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

|                           |           |                            |           |
|---------------------------|-----------|----------------------------|-----------|
| Jitsuyo Shinan Koho       | 1922-1996 | Jitsuyo Shinan Toroku Koho | 1996-2016 |
| Kokai Jitsuyo Shinan Koho | 1971-2016 | Toroku Jitsuyo Shinan Koho | 1994-2016 |

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                                                                                 | Relevant to claim No. |
|-----------|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| A         | JP 2003-17658 A (Toshiba Corp.),<br>17 January 2003 (17.01.2003),<br>paragraphs [0044] to [0048]; fig. 4<br>(Family: none)                                                                         | 1-16                  |
| A         | JP 2013-21371 A (Octec Inc.),<br>31 January 2013 (31.01.2013),<br>paragraphs [0024] to [0085], [0130] to [0132];<br>fig. 1 to 4, 17<br>(Family: none)                                              | 1-16                  |
| A         | WO 2009/150875 A1 (Yaskawa Electric Corp.),<br>17 December 2009 (17.12.2009),<br>paragraphs [0051] to [0055]; fig. 1<br>& JP 5434914 B & US 2011/0057713 A1<br>paragraphs [0035] to [0039]; fig. 1 | 1-16                  |

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search  
15 March 2016 (15.03.16)

Date of mailing of the international search report  
22 March 2016 (22.03.16)

Name and mailing address of the ISA/  
Japan Patent Office  
3-4-3, Kasumigaseki, Chiyoda-ku,  
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L25/07(2006.01)i, H01L25/18(2006.01)i

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L25/07, H01L25/18

最小限資料以外の資料で調査を行った分野に含まれるもの

|             |            |
|-------------|------------|
| 日本国実用新案公報   | 1922-1996年 |
| 日本国公開実用新案公報 | 1971-2016年 |
| 日本国実用新案登録公報 | 1996-2016年 |
| 日本国登録実用新案公報 | 1994-2016年 |

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

| 引用文献の<br>カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                                                                            | 関連する<br>請求項の番号 |
|-----------------|------------------------------------------------------------------------------------------------------------------------------|----------------|
| A               | JP 2003-17658 A (株式会社東芝) 2003.01.17,<br>[0044]-[0048], 第4図 (ファミリーなし)                                                         | 1-16           |
| A               | JP 2013-21371 A (株式会社オクテック) 2013.01.31,<br>[0024]-[0085], [0130]-[0132], 第1-4, 17図 (ファミリーなし)                                 | 1-16           |
| A               | WO 2009/150875 A1 (株式会社安川電機) 2009.12.17,<br>[0051]-[0055], 第1図 & JP 5434914 B<br>& US 2011/0057713 A1, [0035]-[0039], FIG. 1 | 1-16           |

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

|                                                                |                                                                     |
|----------------------------------------------------------------|---------------------------------------------------------------------|
| 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの                                 | 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの     |
| 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの                         | 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの                     |
| 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) | 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの |
| 「O」 口頭による開示、使用、展示等に言及する文献                                      | 「&」 同一パテントファミリー文献                                                   |
| 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願                                   |                                                                     |

国際調査を完了した日

15.03.2016

国際調査報告の発送日

22.03.2016

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

▲吉▼澤 雅博

電話番号 03-3581-1101 内線 3551

5D

5893