

【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第7部門第2区分
 【発行日】平成17年9月2日(2005.9.2)

【公開番号】特開2004-186186(P2004-186186A)

【公開日】平成16年7月2日(2004.7.2)

【年通号数】公開・登録公報2004-025

【出願番号】特願2002-347828(P2002-347828)

【国際特許分類第7版】

H 01 L 21/338

H 01 L 29/812

【F I】

H 01 L 29/80 Q

H 01 L 29/80 F

【手続補正書】

【提出日】平成17年3月4日(2005.3.4)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

能動層を有する半導体基板と、この半導体基板上に設けられたオーム性接触のソース電極およびドレイン電極と、前記ソース電極および前記ドレイン電極間に位置する前記能動層の上方に堆積された第1絶縁膜と、この第1絶縁膜を貫通して前記能動層の所定深さ部分まで形成された溝の内部に埋め込まれ、その下端部分が前記能動層に接触するショットキー接合のゲート電極と、このゲート電極の前記下端部分よりも上方に位置する上方部分と前記能動層からなる前記溝の側壁部分との間に挟まれた第2絶縁膜とを具備したことを特徴とする半導体装置。

【請求項2】

能動層およびこの能動層上に位置するn⁺層を有し、前記n⁺層は前記能動層よりも高濃度に不純物が注入されている半導体基板と、この半導体基板上に設けられたオーム性接触のソース電極およびドレイン電極と、前記ソース電極および前記ドレイン電極間に位置する前記n⁺層の上方に堆積された第1絶縁膜と、この第1絶縁膜および前記n⁺層を貫通して前記能動層の所定深さ部分まで形成された溝の内部に埋め込まれ、その下端部分が前記能動層に接触するショットキー接合のゲート電極と、このゲート電極の前記下端部分よりも上方に位置する上方部分と前記能動層および前記n⁺層の両層からなる前記溝の側壁部分との間に挟まれた第2絶縁膜とを具備したことを特徴とする半導体装置。

【請求項3】

半導体基板の能動層の上方に、オーム性接触のソース電極およびドレイン電極、ショットキー接合のゲート電極を設けた半導体装置の製造方法において、前記ソース電極および前記ドレイン電極間に位置する前記能動層の上方に第1絶縁膜を堆積する第1工程と、前記第1絶縁膜の所定位置に第1開口を設け、前記第1開口を通してエッチングを行い、前記能動層の所定深さ部分まで溝を形成する第2工程と、この第2工程の後、第2絶縁膜およびレジスト膜を順に堆積する第3工程と、前記能動層に設けられた前記溝の上方領域の前記レジスト膜に第2開口を設ける第4工程と、前記第2開口を通して前記第2絶縁膜をエッチングし、前記溝の側壁部分に前記第2絶縁膜を残し、かつ、前記溝の底面上に位置する前記第2絶縁膜の一部を除去する第5工程と、この第5工程で前記第2絶縁膜が除去

された領域の前記能動層を所定の深さまでエッティング除去する第6工程と、この第6工程の後、前記溝の内部に前記ゲート電極を埋め込み形成する第7工程とからなることを特徴とする半導体装置の製造方法。

【請求項4】

能動層およびこの能動層上に位置し前記能動層よりも不純物が高濃度に注入されたn⁺層を有する半導体基板上に、オーム性接触のソース電極およびドレイン電極、ショットキー接合のゲート電極を設けた半導体装置の製造方法において、前記ソース電極および前記ドレイン電極間に位置する前記n⁺層の上方に第1絶縁膜を堆積する第1工程と、前記第1絶縁膜の所定位置に第1開口を設け、前記第1開口を通してエッティングを行い、前記能動層の所定深さ部分まで溝を形成する第2工程と、この第2工程の後、第2絶縁膜およびレジスト膜を順に堆積する第3工程と、前記能動層に設けられた前記溝の上方領域の前記レジスト膜に第2開口を設ける第4工程と、前記第2開口を通して前記第2絶縁膜をエッティングし、能動層およびn⁺層からなる前記溝の側壁部分に前記第2絶縁膜を残し、かつ、前記溝の底面上に位置する前記第2絶縁膜の一部を除去する第5工程と、この第5工程で前記第2絶縁膜が除去された領域の前記能動層を所定の深さまでエッティング除去する第6工程と、この第6工程の後、前記溝の内部に前記ゲート電極を埋め込み形成する第7工程とからなることを特徴とする半導体装置の製造方法。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0012

【補正方法】変更

【補正の内容】

【0012】

【課題を解決するための手段】

本発明は、能動層を有する半導体基板と、この半導体基板上に設けられたオーム性接触のソース電極およびドレイン電極と、前記ソース電極および前記ドレイン電極間に位置する前記能動層の上方に堆積された第1絶縁膜と、この第1絶縁膜を貫通して前記能動層の所定深さ部分まで形成された溝の内部に埋め込まれ、その下端部分が前記能動層に接触するショットキー接合のゲート電極と、このゲート電極の前記下端部分よりも上方に位置する上方部分と前記能動層からなる前記溝の側壁部分との間に挟まれた第2絶縁膜とを具備したことを特徴とする。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0013

【補正方法】変更

【補正の内容】

【0013】

また、本発明は、半導体基板の能動層の上方に、オーム性接触のソース電極およびドレイン電極、ショットキー接合のゲート電極を設けた半導体装置の製造方法において、前記ソース電極および前記ドレイン電極間に位置する前記能動層の上方に第1絶縁膜を堆積する第1工程と、前記第1絶縁膜の所定位置に第1開口を設け、前記第1開口を通してエッティングを行い、前記能動層の所定深さ部分まで溝を形成する第2工程と、この第2工程の後、第2絶縁膜およびレジスト膜を順に堆積する第3工程と、前記能動層に設けられた前記溝の上方領域の前記レジスト膜に第2開口を設ける第4工程と、前記第2開口を通して前記第2絶縁膜をエッティングし、前記溝の側壁部分に前記第2絶縁膜を残し、かつ、前記溝の底面上に位置する前記第2絶縁膜の一部を除去する第5工程と、この第5工程で前記第2絶縁膜が除去された領域の前記能動層を所定の深さまでエッティング除去する第6工程と、この第6工程の後、前記溝の内部に前記ゲート電極を埋め込み形成する第7工程とからなることを特徴とする。