



(12) Wirtschaftspatent

Erteilt gemäß § 17 Absatz 1 Patentgesetz

(19) **DD** (11) **225 522 A1**

4(51) G 06 F 7/38

AMT FÜR ERFINDUNGS- UND PATENTWESEN

In der vom Anmelder eingereichten Fassung veröffentlicht

(21) WP G 06 F / 263 127 2

(22) 17.05.84

(44) 31.07.85

(71) Akademie der Wissenschaften der DDR, 1086 Berlin, Otto-Nuschke-Straße 22/23, DD

(72) Schulz, Peter, Dr.-Ing., DD

(54) **Arithmetische Verarbeitungseinheit**

(57) Die Erfindung betrifft insbesondere arithmetische Verarbeitungseinheiten in Mikrorechnersystemen. Aufgabe ist der Aufbau einer Verarbeitungseinheit zur Durchführung arithmetischer Operationen unter Benutzung von asynchronen, mikrobefehlsgesteuerten, kaskadierbaren Arithmetikprozessen und einem Mikroprogrammsteuerwerk für den Einsatz in Mikrorechnersystemen, deren Leistungsumfang die schnelle Ausführung der arithmetischen Grundoperationen im Fest- und Gleitkommandoformat, die schnelle Berechnung höherer mathematischer Funktionen, wie z. B. trigonometrische Funktionen, die Wurzelfunktion usw. und eine anwendungsspezifische Programmierung mathematischer Algorithmen umfaßt. Die zentrale Arithmetikeinheit, bestehend aus kaskadierten Arithmetikprozessoren und das vorhandene Mikroprogrammsteuerwerk werden durch einen speziell angekoppelten Datenspeicher und zwei Datentreiber, einen speziell verschalteten Flagtreiber, eine Schaltung zur Erzeugung zeitbezogener Steuersignale und eine sequentiellen Schaltung zur Synchronisation der zentralen Arithmetikeinheit mit dem Mikroprogrammsteuerwerk ergänzt. Fig. 1

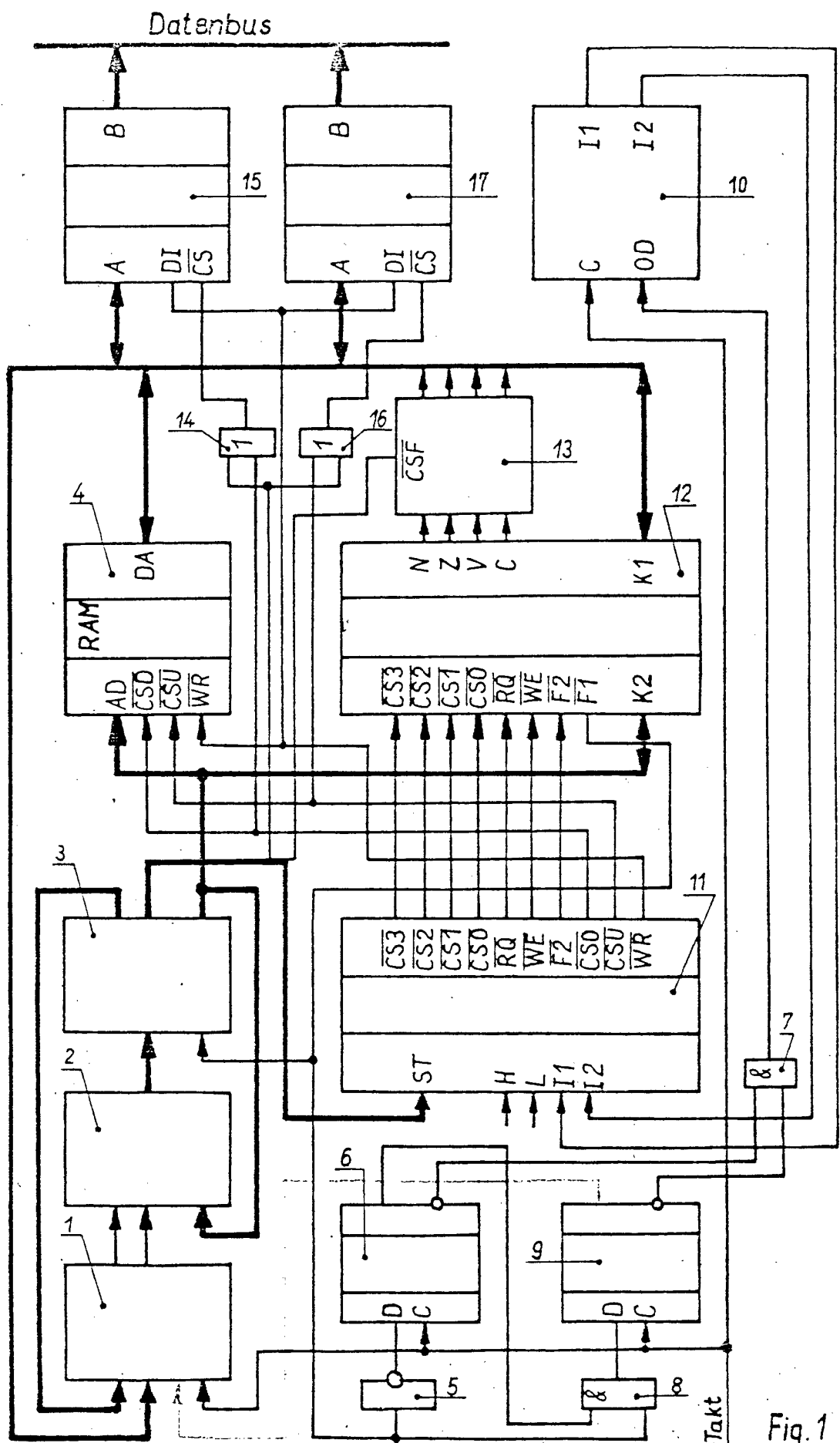


Fig. 1

Erfindungsanspruch:

Arithmetische Verarbeitungseinheit mit einer zentralen Arithmetikeinheit, die aus eins, zwei oder vier asynchron arbeitenden, kaskadierten Arithmetikprozessoren aufgebaut ist, die einen 16bit K1-Bus mit tristate-Eigenschaften besitzt, über den Daten parallel ein- bzw. ausgegeben werden können, die einen 16bit K2-Bus mit tristate-Eigenschaften besitzt, über den Daten parallel ein- bzw. ausgegeben und zusätzlich Mikrobefehle eingegeben werden können, die die Verarbeitung der eingegebenen Daten steuern, die vier Flag-Ausgänge (N; Z; V; C) besitzt, die das Ergebnis einer Datenverarbeitung in definierter Form charakterisieren und die Eingänge ($\bar{CS}_3$; $\bar{CS}_2$; $\bar{CS}_1$; $\bar{CS}_0$; $\bar{WE}$; $\bar{RQ}$; $\bar{F}_2$) besitzt, über die die Ein- bzw. Ausgabe von Daten und der Start der Ausführung eines Mikrobefehls sowie der Zustand des K1- und K2-Busses gesteuert werden können und die einen speziellen Ausgang ($\bar{F}_1$) besitzt, der während der gesamten Verarbeitungszeit eines Mikrobefehls aktiviert ist, mit einem Mikroprogrammsteuerwerk, das mindestens einen Mikroprogrammspeicher, einen Befehlszähler und einen Bedingungs Multiplexer enthält, **dadurch gekennzeichnet**, daß

- ein Speicher (4) mit wahlfreiem Zugriff vorhanden ist, der sechzehn bidirektionale Datenleitungen besitzt, die an den K1-Bus und dessen Adreßleitungen an den K2-Bus der zentralen Arithmetikeinheit (12) angeschlossen sind, wobei die niederwertigen und die höherwertigen acht Datenleitungen des 16bit Datenwortes durch jeweils eine zugeordnete Auswahlleitung ($\bar{CS}_U$; $\bar{CS}_O$) wahlfrei aktivierbar sind und die höherwertigen acht Datenleitungen mit einem ersten bidirektionalen Treiber (15) und die niederwertigen acht Datenleitungen mit einem zweiten bidirektionalen Treiber (17) verbunden sind,
- ein Flagtreiber (13) vorhanden ist, dessen vier Eingänge mit den vier Flag-Ausgängen (N; Z; V; C) der zentralen Arithmetikeinheit (12) und dessen vier Ausgänge mit vier Leitungen des K1-Busses und vier Eingängen des Bedingungs Multiplexers (1) verbunden sind und dessen Auswahlleitung ($\bar{CS}_F$) durch das Mikroprogrammsteuerwort aktiviert wird,
- ein sequentieller Schaltungsteil, der einen ersten D-Trigger (6) und einen zweiten D-Trigger (9), ein erstes UND-Glied (8), ein zweites UND-Glied (7) und einen Negator (5) enthält, vorhanden ist, wobei der D-Eingang des ersten D-Triggers (6) über den Negator (5) mit dem $\bar{F}_1$ -Ausgang der zentralen Arithmetikeinheit (12) und der D-Eingang des zweiten D-Triggers (9) mit der Ausgangsleitung des ersten UND-Gliedes (8) verbunden ist, dessen erster Eingang mit dem Ausgang des ersten D-Triggers (6) und dessen zweiter Eingang mit dem $\bar{F}_1$ -Ausgang der zentralen Arithmetikeinheit (12) verbunden ist und der erste Eingang des zweiten UND-Gliedes (7) an den negierten Ausgang des ersten D-Triggers (6), der zweite Eingang des zweiten UND-Gliedes an den negierten Ausgang des zweiten D-Triggers (9) und der Ausgang des zweiten D-Triggers (9) an einen Eingang des Bedingungs Multiplexers (1) angeschlossen ist,
- ein Komplex zur Erzeugung der dynamischen Steuersignale für die zentrale Arithmetikeinheit (12), den Speicher (4) und die Treiber (15; 17) vorhanden ist, der einen Impulsgenerator (10) und einen Steuersignalmultiplexer (11) enthält, wobei der Impulsgenerator (10) einen ersten Ausgang (I1) und einen zweiten Ausgang (I2) besitzt, auf denen je eine Impulsfolge erzeugt wird und die high-low-Flanke des Impulses des ersten Ausganges (I1) 100-300 ns vor der des Impulses des zweiten Ausganges (I2) auftritt und die low-high-Flanke des Impulses des ersten Ausganges (I1) 100-300 ns nach der des Impulses des zweiten Ausganges (I2) auftritt und die high-low-Flanke des Impulses des ersten Ausganges (I1) im Bezug auf den Takt des Mikroprogrammsteuerwerkes so verzögert ist, daß nach einem Zustandswechsel des Befehlszählers (2) das neue Mikroprogrammsteuerwort sicher anliegt und die low-Phase des Impulses des zweiten Ausganges (I2) mindestens 400 ns beträgt und der Impulsgenerator (10) zusätzlich eine Auswahlleitung ($\bar{OD}$) besitzt, die mit dem Ausgang des zweiten UND-Gliedes (7) verbunden ist, über die die Impulserzeugung der Art unterbrochen werden kann, daß beide Ausgänge (I1; I2) high-Potential führen, wobei der Steuersignalmultiplexer (11) vier Eingänge (H; L; I1; I2) besitzt, von denen der erste Eingang (H) mit einem Punkt der Einheit verbunden ist der high-Potential führt, von denen der zweite Eingang (L) mit einem Punkt der Einheit verbunden ist, der low-Potential führt, von denen der dritte Eingang (I1) mit dem ersten Ausgang (I1) des Impulsgenerators (10) und von denen der vierte Eingang (I2) mit dem zweiten Ausgang (I2) des Impulsgenerators (10) verbunden ist, und der Steuersignalmultiplexer (11) eine Anzahl von Ausgängen ($\bar{CS}_2$; $\bar{CS}_1$; $\bar{CS}_0$; $\bar{RQ}$; $\bar{WE}$; $\bar{F}_2$; $\bar{CS}_O$; $\bar{CS}_U$; $\bar{WR}$) besitzt, von denen jeweils einer mit einem Steuereingang ($\bar{CS}_3$; $\bar{CS}_2$; $\bar{CS}_1$; $\bar{CS}_0$; $\bar{RQ}$; $\bar{WE}$; $\bar{F}_2$; $\bar{CS}_O$; $\bar{CS}_U$; $\bar{WR}$) der zentralen Arithmetikeinheit (12) beziehungsweise einem Steuereingang ($\bar{CS}_O$; $\bar{CS}_U$; $\bar{WR}$) des Speichers (4) verbunden ist und Steuersignalmultiplexer (11) eine Anzahl von an den Mikroprogrammspeicher (3) angeschlossenen Steuereingängen (ST) besitzt, die ein wahlfreies Durchschalten der Eingangsleitungen auf seine Ausgangsleitungen in der Weise bewirken, daß mindestens alle notwendigen, zeitbezogenen Steuersignalbedingungen für die Steuerung der zentralen Arithmetikeinheit (12) und des Datenaustausches zwischen der zentralen Arithmetikeinheit (12), dem Speicher (4) und einem externen Datenbus wahlfrei eingestellt werden können.

Hierzu 1 Seite Zeichnungen

Anwendungsgebiet der Erfindung

Die Erfindung betrifft das Gebiet der digitalen Datenverarbeitung, insbesondere der arithmetischen Verarbeitungseinheiten in Mikrorechnersystemen und dient der schnellen Ausführung der arithmetischen Grundoperationen im Fest- und Gleitkommaformat, der Berechnung höherer mathematischer Funktionen wie z. B. trigonometrische Funktionen, Winkelfunktion usw. und der Berechnung anwendungsspezifischer mathematischer Algorithmen.

Charakteristik der bekannten technischen Lösungen

Allgemein verfügen 8bit Mikroprozessoren über keine zusätzlichen Ressourcen zur Verarbeitung arithmetischer Operationen. Die Ausführung arithmetischer Operationen wie z. B. die Multiplikation, Division im Fest- und Gleitkommaformat und die Berechnung höherer mathematischer Funktionen wird im wesentlichen auf die vorhandene Addition und die vorhandenen Verschiebeoperationen zurückgeführt und mittels zumeist umfangreicher Rechenprogramme (GHIS 880-1, Gleitkomma-Interpretations-System) ausgeführt. In vielen Bereichen, besonders in der Automatisierungstechnik, stößt diese Verfahrensweise auf Anwendungsgrenzen, die im wesentlichen aus der erreichbaren Verarbeitungszeit der benötigten arithmetischen Operationen und zum Teil auch aus dem benötigten Speicherraum für die Rechenprogramme bestimmt werden. Diese Anwendungsgrenzen können u. a. durch den Einsatz von Arithmetikeinheiten, die eine spezielle auf die Ausführung von arithmetischen Operationen zugeschnittene Hardware besitzen, beträchtlich überschritten werden.

Diese Lösungen (INTEL System Data Catalog, i SRC 310 A High Speed Mathematics Units; Markert, Frank „Schnelle Arithmetik

für Mikrorechner", radio-fernsehen-elektronik H 8/9, 1983) stützen sich im wesentlichen jeweils auf einen bestimmten Bauelementetyp, mit dem sich eine schnelle Arithmetik-Logik-Einheit aufbauen läßt und einen darauf zugeschnittenen Steuerenteil. Der realisierte Funktionsumfang besteht aus einer Anzahl fest vorgegebener arithmetischer Funktionen. Die Leistungsfähigkeit dieser Arithmetikeinheiten liegt wesentlich unter der 16bit Mikrorechnersysteme. 16bit Mikrorechnersysteme verfügen bereits über Arithmetikcoprozessoren, die über spezielle interne Busverbindungen an die CPU gekoppelt sind und als eine Erweiterung der CPU-Ressourcen angesehen werden können.

die US-PS 4338675 (G 06 F 7/48) betrifft einen solchen Arithmetikcoprozessor. Er verfügt über einen fest vorgegebenen Befehlssatz von arithmetischen Operationen, der im wesentlichen die vier Grundrechenarten sowie einige häufig benötigte höhere Funktionen wie z.B. $\tan x$, $\arctan x$, $\ln x$ usw. umfaßt und auf Daten in unterschiedlichen Formaten anwendbar ist. Sind benötigte arithmetische Operationen nicht direkt Bestandteil des Befehlssatzes, so müssen sie in dessen Bestandteile zerlegt und mit entsprechenden Programmen berechnet werden. Diese Verfahrensweise belastet die CPU eines Mikrorechnersystems in Form der Programmabarbeitung, belegt Speichervolumen für die Programme und bewirkt eine bedeutende Erhöhung der Rechenzeit in Bezug auf eine hypothetische Realisierung dieser Funktionen im Arithmetikprozessor.

Die DD-PS 156744 betrifft eine „Mikroprogrammierbare arithmetische Informationseinheit“, die eine anwendungsorientierte Programmierung arithmetischer Operationen gestattet. Nachteile dieser Lösung sind das Fehlen eines Datenspeichers mit wahlfreiem Zugriff, wodurch der Umfang der realisierbaren arithmetischen Funktion stark eingeengt ist. Die direkte Rückführung der Flags des Arithmetikblocks auf das Mikroprogrammsteuerwerk realisiert nur ein Mindestmaß an bedingten Sprungmöglichkeiten, wodurch die Flexibilität der Mikroprogrammierung beeinträchtigt wird.

Die Erzeugung der Steuersignale für den Arithmetikblock mit einer fest verdrahteten Schaltung bietet keine Flexibilität bei dem Anschluß dieser Einheit an den Systembus eines Mikrorechners.

Ziel der Erfindung

Die arithmetische Verarbeitungseinheit soll vielfältige arithmetische Operationen mit einer beliebigen Anzahl von Operanden mit geringem Programmieraufwand ausführen können, eine einfache anwendungsspezifische Programmierung arithmetischer Operationen zulassen, sich durch einen geringen Schaltungsaufwand auszeichnen und auf einfache Weise an den Bus eines Mikrorechnersystems angeschlossen werden können.

Darlegung des Wesens der Erfindung

Aufgabe der Erfindung ist die Schaffung einer arithmetischen Verarbeitungseinheit unter Verwendung von asynchronen, mikrobefehlsgesteuerten, kaskadierbaren Arithmetikprozessoren, die Daten im Fest- und Gleitkommaformat bis zu 24bit verarbeiten sowie von einem Mikroprogrammsteuerwerk. Die Speicherressourcen der Arithmetikeinheit sollen so erweitert werden, daß die Verarbeitung mit einer Vielzahl von Operanden möglich wird, und daß zur Reduzierung des Programmieraufwandes zusätzlich die Bereitstellung der Speicheradresse eines Operanden durch die Arithmetikeinheit erfolgt. Die Verarbeitungseinheit soll eine Vielzahl bedingter Sprünge ausführen, wodurch eine rationelle Mikroprogrammierung ermöglicht wird. Zwischen der arithmetischen Verarbeitungseinheit und dem Systemdatenbus eines Mikrorechners soll ein einfacher Datentransfer stattfinden.

Erfindungsgemäß wird die Aufgabe durch die im kennzeichnenden Teil des Anspruchs angegebenen Merkmale gelöst. In der zentralen Arithmetikeinheit werden die eingegebenen Daten entsprechend dem aus ihrem Befehlssatz an den K2-Bus angelegten Mikrobefehl verarbeitet und das Ergebnis durch das Setzen der Flags charakterisiert. Die Dateneingabe und -abgabe und der Mikrobefehlstart werden durch zeitbezogene Signalverläufe auf den Steuereingängen $\bar{CS}3$, $\bar{CS}2$, $\bar{CS}1$, $\bar{CS}0$, $\bar{RQ}$, $\bar{WE}$, $\bar{F}2$ ausgeführt, wobei der Ausgang $\bar{F}1$ während der Abarbeitung eines Mikrobefehls aktiviert ist. Die Mikrobefehlsfolgen für die Abarbeitung beliebiger arithmetischer Operationen werden mit einem an sich bekannten Mikroprogrammsteuerwerk erzeugt. Die spezifische Verbindung der Daten- und Adreßleitungen des Speichers mit dem K1- und dem K2-Bus und die Aufteilung des Datenwortes in ein niederwertiges und ein höherwertiges Byte mit Hilfe der Auswahlleitungen $\bar{CS}0$, $\bar{CS}1$ und die entsprechend ausgelegte Verbindung des K1-Busses über zwei bidirektionale Treiber mit dem übergeordneten Datenbus bewirkt eine bedeutende Erweiterung der Speicherressourcen der zentralen Arithmetikeinheit, so daß die Verarbeitung mathematischer Operationen mit einer Vielzahl von Operanden und zusätzlich die Bereitstellung der Speicheradresse eines Operanden durch die zentrale Arithmetikeinheit möglich wird, wodurch eine bedeutende Reduzierung des Programmieraufwandes erreicht wird.

Weiter ermöglicht es auf einfache Weise den Datentransfer zwischen der arithmetischen Verarbeitungseinheit und dem Systemdatenbus eines Mikrorechners.

Die Verbindung der vier Flags der zentralen Arithmetikeinheit über den Flagtreiber mit vier Leitungen des K1-Busses und den Eingangsleitungen des Bedingungs Multiplexers des Mikroprogrammsteuerwerkes ermöglicht die Ausführung einer Vielzahl bedingter Sprünge, die eine rationelle Mikroprogrammierung unterstützen. Es sind bedingte Sprünge in Abhängigkeit der Flags und der internen Register der zentralen Arithmetikeinheit sowie des Inhaltes eines beliebigen Datenwortes im Speicher möglich.

Der Komplex „Steuersignalerzeugung“ dient der funktionssicheren dynamischen Steuerung der zentralen Arithmetikeinheit, des Speichers und der Datentreiber.

Aus dem Takt werden die Impulse mit definiertem Zeitverhalten so erzeugt, daß die Kombination dieser Impulse und der konstanten Potentiale mit Hilfe des Steuersignalmultiplexers alle notwendigen zeitbezogenen Steuersignalverläufe zu erzeugen gestattet. Neben der sicheren dynamischen Funktion trägt dieser Schaltungskomplex zur Reduzierung des Programmieraufwandes in der Form bei, daß alle Datentransporte mit einem Mikroprogrammsteuerwort programmiert werden können. Der Komplex „Sequentielle Schaltung“ dient der Anpassung der asynchronen Arbeitsweise der zentralen Arithmetikeinheit und der synchronen Arbeitsweise des Mikroprogrammsteuerwerkes, wobei das $\bar{F}1$ -Signal der zentralen Arithmetikeinheit ausgewertet wird.

Die Schaltung ist so ausgelegt, daß sie den Grundzustand (beide Trigger führen „low“-Potential an ihren Ausgängen) nach der high-low-Flanke auf der $\bar{F}1$ -Leitung verläßt und nach der low-high-Flanke einen Zustand einnimmt, der eine Leitung des Bedingungs Multiplexers aktiviert, worauf der Takt T den Befehlszähler inkrementiert. Zum folgenden Takt T wird der Grundzustand wieder eingenommen.

Neben der Sicherung der dynamischen Arbeitsweise trägt dieser Schaltungskomplex in Verbindung mit der Steuersignalerzeugung zur Reduzierung des Programmieraufwandes in der Form bei, daß alle Datenverarbeitungsoperationen

Ausführungsbeispiel

Die Erfindung soll an Hand eines Ausführungsbeispiels näher erläutert werden. Die dazugehörige Zeichnung Fig. 1: zeigt die blockschaltmäßige Darstellung der arithmetischen Verarbeitungseinheit.

Eine zentrale Arithmetikeinheit 12 ist mit den asynchronen Arithmetikprozessoren U 8032 aufgebaut. Dieser 16bit Prozessor läßt sich bis zu einer Datenverarbeitungsbreite von 64bit kaskadieren. Die so aufgebaute zentrale Arithmetikeinheit 12 besitzt einen 16bit K1- und K2-Bus, wobei über beide Busse Daten ein- und ausgegeben und über den K2-Bus zusätzlich Mikrobefehle, die die interne Verarbeitung der Daten steuern, eingegeben werden können.

Die Steuerung der Datenübernahme, -abgabe und des Mikrobefehlsstartes ist an zeitbezogene Signalverläufe an den Steuereingängen $\bar{CS}3$; $\bar{CS}2$; $\bar{CS}1$; $\bar{CS}0$; $\bar{WE}$; $\bar{RQ}$; $\bar{F}2$ gebunden. Das Ergebnis einer internen Datenverarbeitung wird durch vier Flag-Ausgänge N; Z; V; C charakterisiert.

Der $\bar{F}1$ -Ausgang ist während der Abarbeitung eines Mikrobefehls low-aktiv und wird als Quittungssignal zur Mikrobefehlsübernahme (high-low-Flanke) und Mikrobefehlsende (low-high-Flanke) benutzt. Die Steuerung aller Schaltungskomplexe der arithmetischen Verarbeitungseinheit wird mit einem Mikroprogrammsteuerwerk in bekannter Schaltungstechnik ausgeführt.

Der Mikroprogrammspeicher 3 wird vorteilhaft mit EPROM aufgebaut. Dies ermöglicht eine anwendungsorientierte Programmierung. Der Teil der Datenleitungen des Mikroprogrammspeichers, der mit dem K2-Bus verbunden ist, wird während der Abarbeitung eines Mikrobefehls über die $\bar{F}1$ -Leitung in den hochohmigen Zustand geschaltet.

Der Speicher mit wahlfreiem Zugriff (RAM) 4 wird mit einer Datenwortbreite von 16bit ausgeführt. Die Datenleitungen werden an den K1-Bus und an zwei 8bit bidirektionale Treiber 15; 17 angeschlossen. Die Adreßleitungen werden an den K2-Bus angeschlossen. Der Speicher 4 wird so aufgebaut, daß über je eine Auswahlleitung $\bar{CS}0$; $\bar{CS}1$ die acht niederwertigen Bit und die acht höherwertigen Bit des Datenwortes separat aktiviert werden können. Die Auswahlleitungen $\bar{CS}$ der Treiber 15; 17 werden über zwei Tore 14; 16 mit den Auswahlleitungen $\bar{CS}0$; $\bar{CS}1$ des Speichers 4 verbunden.

Das Torsteuersignal wird aus dem Mikroprogrammsteuerwort abgeleitet. Auf diese Weise wird im Zusammenspiel mit den Treibern 15; 17 ein einfacher Anschluß der arithmetischen Verarbeitungseinheit an einen externen 8bit Datenbus möglich. Durch die ausgewählte Aktivierung des Speichers 4 und der Treiber 15; 17 wird die Parallelisierung bzw. Entparallelisierung der 8bit Daten eines externen Datenbusses auf den internen 16bit K1-Bus erreicht.

Die Eigenschaft der zentralen Arithmetikeinheit 12, auf den K2-Bus Daten ausgeben zu können, wird zur Bereitstellung der Speicheradresse von Operanden genutzt. Die auf den K2-Bus ausgegebenen Daten adressieren im Speicher ein Datenwort, welches über den K1-Bus eingegeben wird. Dadurch wird ohne zusätzlichen Aufwand eine Adreßrechnung für die Operanden in der zentralen Arithmetikeinheit 12 möglich, die eine bedeutende Vereinfachung und Reduzierung des Programmieraufwandes im Mikroprogrammwerk erreicht.

Die vier Flag-Ausgänge N; Z; V; C der zentralen Arithmetikeinheit 12 werden über einen Flagtreiber 13 an vier Leitungen des K1-Busses gelegt und zusätzlich an vier Eingänge des Bedingungs Multiplexers 1.

Durch eine entsprechende Steuerung des Bedingungs Multiplexers 1 über das Mikroprogrammsteuerwort kann so eine Reihe bedingter Sprünge ausgeführt werden. Es sind bei Aktivierung des Flagtreibers 13 bedingte Sprünge in Abhängigkeit der Werte der vier Flag-Ausgänge N; Z; V; C, bei der Aktivierung der zentralen Arithmetikeinheit 12 in Form einer Datenausgabe auf den K1-Bus Sprünge in Abhängigkeit des Inhalts des Ausgaberegisters der zentralen Arithmetikeinheit 12 und bei Aktivierung des Speichers 4 Sprünge in Abhängigkeit des Inhaltes eines Datenwortes möglich. Weiter ist eine Abspeicherung der aktuellen Werte der Flag-Ausgänge zum Zweck einer späteren Auswertung möglich.

Die Vielfalt der möglichen bedingten Sprünge gestattet eine flexible Gestaltung der Mikroprogramme.

Die Steuerung des Datentransportes zwischen zentraler Arithmetikeinheit 12, Speicher 4 und externen Datenbus und der Mikrobefehlsstart in der zentralen Arithmetikeinheit 12 erfordern zeitbezogene Steuersignale, die im wesentlichen aus den Steuerbedingungen des Arithmetikprozessors U 8032 herrühren.

Diese Steuersignale $\bar{CS}3$; $\bar{CS}2$; $\bar{CS}1$; $\bar{CS}0$; $\bar{WE}$; $\bar{RQ}$; $\bar{F}2$; $\bar{CS}0$; $\bar{CS}1$; $\bar{WR}$ lassen sich aus vier Signalverläufen mit Hilfe eines Steuersignalmultiplexers 11 kombinieren. Dies sind ein konstanter high-Pegel und low-Pegel während der aktiven Phase eines Mikroprogrammsteuerwortes und zwei low-aktive Impulse während der aktiven Phase des Mikroprogrammsteuerwortes, die im Impulsgenerator 10 erzeugt werden; wobei der Impuls auf dem zweiten Ausgang I2 des Impulsgenerators 10 den Impuls auf dem ersten Ausgang I1 an beiden Flanken um 100-300ns überlappt und der Impuls auf dem ersten Ausgang I1 mindestens 400ns low-aktiv anliegt. Die wahlfreie Belegung der Steuerausgänge $\bar{CS}3$; $\bar{CS}2$; $\bar{CS}1$; $\bar{CS}0$; $\bar{WE}$; $\bar{RQ}$; $\bar{F}2$; $\bar{CS}0$; $\bar{CS}1$; $\bar{WR}$ des Steuersignalmultiplexers 11 mit einem dieser Signalverläufe während der aktiven Phase eines Mikroprogrammsteuerwortes bewirkt eine sichere dynamische Funktion der arithmetischen Verarbeitungseinheit und reduziert den Programmieraufwand für eine beliebige Datentransportoperation auf ein Mikroprogrammsteuerwort.

Zur Koordinierung der asynchronen Arbeitsweise der zentralen Arithmetikeinheit 12 mit der synchronen des Mikroprogrammsteuerwerkes sowie der Unterdrückung der periodischen Impulse auf den Impulsgeneratorausgängen I1; I2 während der Abarbeitung eines Mikrobefehls in der zentralen Arithmetikeinheit 12 dient die sequentielle Schaltung. Sie ist aus zwei D-Triggern 6; 9, einem Negator 5 und zwei UND-Gliedern 7; 8 aufgebaut. Sie sind so ausgelegt, daß nur im Grundzustand (beide Trigger führen low-Potential) der Impulsgenerator 10 freigegeben ist und die Impulse I1 und I2 erzeugt. In den anderen Zuständen führen die Ausgänge des Impulsgenerators 10 high-Potential.

Der Grundzustand wird nach der high-low-Flanke auf der $\bar{F}1$ -Leitung zum nächstfolgenden Takt verlassen. Nach der low-high-Flanke auf der $\bar{F}1$ -Leitung wird zum nächstfolgenden Takt ein Zustand eingenommen, in dem eine Eingangsleitung des Bedingungs Multiplexers 1 aktiviert wird, über die ein Inkrementieren des Befehlszählers 2 ausgelöst wird. Mit dem folgenden Takt wird der Grundzustand wieder eingenommen.

Neben der Sicherung des dynamischen Ablaufes in der arithmetischen Verarbeitungseinheit wird im Zusammenspiel mit dem Komplex der Steuersignalerzeugung eine Reduzierung des Programmieraufwandes für die Verarbeitung von Mikrobefehlen in der zentralen Arithmetikeinheit 12 auf ein Mikroprogrammsteuerwort erreicht.