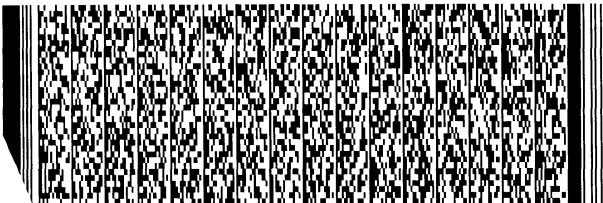


公告本

申請日期:	90.2.23	案號:	9010426
類別:	H01L 27/00, H02M 3/07		

(以上各欄由本局填註)

發明專利說明書		529157
一、 發明名稱	中文	分壓電阻之寄生電容經改良之高電壓產生電路
	英文	HIGH VOLTAGE GENERATING CIRCUIT IMPROVED IN PARASITIC CAPACITANCE OF VOLTAGE-DIVIDING RESISTANCE
二、 發明人	姓名 (中文)	1. 加藤 一明
	姓名 (英文)	1. Kazuaki KATOU
	國籍	1. 日本
	住、居所	1. 日本國神奈川縣川崎市中原區小杉町1丁目403-53日本電氣積體電路微電腦系統公司內(c/o NEC IC Microcomputer Systems, Ltd. 403-53, Kosugimachi 1-chome, Nakahara-ku, Kawasaki-shi, Kanagawa)
三、 申請人	姓名 (名稱) (中文)	1. 日本電氣股份有限公司
	姓名 (名稱) (英文)	1. NEC Corporation
	國籍	1. 日本
	住、居所 (事務所)	1. 日本國東京都港區芝五丁目7番1號(7-1, Shiba 5-chome, Minato-ku, Tokyo, Japan)
	代表人 姓名 (中文)	1. 西垣 浩司
	代表人 姓名 (英文)	1. Koji NISHIGAKI
		

本案已向

國(地區)申請專利

日本 JP

申請日期

2000/02/25

案號

特願2000-049126

主張優先權

有

有關微生物已寄存於

寄存日期

寄存號碼

無



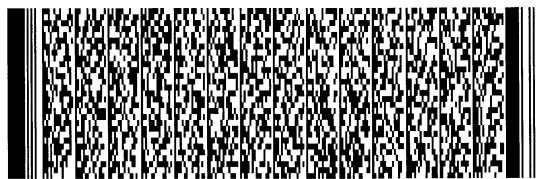
五、發明說明 (1)

發明背景發明之領域

本發明係關於一種半導體積體電路，特別係指在一記憶體元件之高壓產生電路中，針對分壓電阻之寄生電容加以改良之半導體積體電路。

相關技術之描述

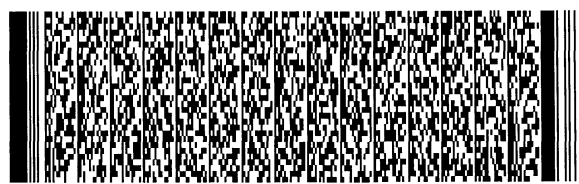
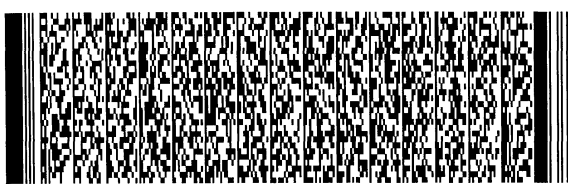
一般而言，非揮發性半導體記憶體之可承受電壓、以及寫入與刪除之操作須經過精確控制而能達到高輸出電壓位準。圖1係在非揮發性半導體記憶體之寫入與刪除操作中用以產生精確高電壓之第一習知高電壓產生電路的電路圖。第一習知高電壓產生電路包含一升壓電路1、一比較器2、以及一第一與第二分壓電阻R1與R2。升壓電路1具有用以接受一時脈信號CLK之一第一輸入端子、以及連接至比較器2之一輸出端子以接受來自比較器2之一控制信號Vc。升壓電路1從其輸出端子輸出一高電壓輸出Vo。另外並配置有一分壓電路，其包含一串聯於升壓電路1之輸出端子與一接地端間之第一與第二分壓電阻R1與R2，第一分壓電阻R1係串聯於升壓電路1之輸出端子與第二分壓電阻R2之間，第二分壓電阻R2係串聯於接地端與第一分壓電阻R1之間。比較器2具有一第一輸入端子，其連接於分壓電路之一輸出端或一介於第一與第二分壓電阻間之一中點，而其作用係用以接受分壓電路所分割之一電壓Vi。比較器2尚具有一第二輸入端子，其接受一參考電壓Vr並使電壓



五、發明說明 (2)

V_i 與參考電壓 V_r 相比較，如此，比較器2即可產生一控制信號 V_c 並將此控制信號 V_c 從其輸出端子輸出。第一分壓電阻具有一第一寄生電容 C_2 ，第二分壓電阻 R_2 則具有一第二寄生電容 C_3 。因為升壓電路1無法充分供應電流，故須降低流經串聯之第一與第二分壓電阻 R_1 與 R_2 的電流，若第一與第二分壓電阻 R_1 與 R_2 之各電阻值需較為精確，則第一與第二分壓電阻 R_1 與 R_2 即需要較高的電阻值。為此，第一與第二分壓電阻 R_1 與 R_2 可更包含一多晶矽電阻，其不易受到偏壓之影響，且相較於擴散電阻(diffusion resistance)亦具有較高的電阻值。

第一與第二分壓電阻 R_1 與 R_2 相較於其它電阻需佔用較大的面積，如此一來，即會造成寄生電容 C_2 與 C_3 的增加。第一分壓電阻 R_1 具有一第一時間常數，其值係定義於其電阻值與寄生電容值，第二分壓電阻 R_2 則具有一第二時間常數，其值亦定義於其電阻值與寄生電容值。高電壓輸出的電壓位準精確度則取決於時間常數。當第一與第二分壓電阻 R_1 與 R_2 之時間常數增加時，高電壓輸出之電壓位準精確度即會降低。圖2係用以顯示圖1之第一習知高電壓產生電路之高電壓輸出的波形。在圖2中，標示於v形漣波之垂直箭頭符號係代表其漣波寬度(ripple width)，一水平虛線則代表一預期位準，二水平短箭頭符號則代表比較器的延遲時間，而一水平長箭頭符號則代表分壓電阻之延遲。由第一分壓電阻 R_1 與第一寄生電容 C_2 所定義之第一時間常數、以及由第二分壓電阻 R_2 與第二寄生電容 C_3 所定義之第



五、發明說明 (3)

二時間常數會造成分電壓 V_i 在介於第一分壓電阻 R_1 與第二分壓電阻 R_2 間之輸出端子處的出現時間有所延遲，分電壓 V_i 之時間延遲則會增加從升壓電路1至比較器2輸出端子之回饋路徑的時間延遲。在時間延遲階段，升壓電路極不易控制，因而使得高電壓輸出具有高漣波寬度，且其電壓位準之精確度亦較差。

漣波寬度可以如下方程式表示：

$$V = \{Dt_1 \times (R_1 \times C_2) + Dt_2\} \times Vdt \text{ ----- (1)}$$

其中，" Dt_1 "係分壓電阻之延遲，而" Dt_2 "則係比較器之延遲，" Vdt "為每單位時間之升壓率、或可稱為升壓能力。

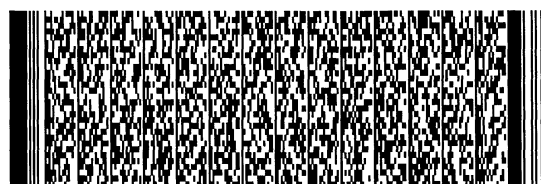
圖3係用以顯示圖1之第一習知電路的模擬結果，其高電壓輸出的漣波寬度為700 mV。此一高漣波寬度意指高電壓輸出之電壓位準具有較低的精確度。所以必須設法增進高電壓輸出的電壓位準精確度以便能降低高電壓輸出的漣波寬度。一第二習知高電壓產生電路即針對此而能降低漣波寬度。

圖4係一第二習知高電壓產生電路的電路圖，其可產生一高精確度之高電壓以進行非揮發性半導體記憶體之寫入與刪除操作。第二習知高電壓產生電路進一步具有一加速電容(speed up capacitor) C_1 。質言之，第二習知高電壓產生電路包含一升壓電路1、一比較器2、第一與第二分壓電阻 R_1 與 R_2 、以及被稱做加速電容之電容 C_1 。升壓電路1可產生一高電壓輸出 V_o 並將此高電壓輸出 V_o 由其輸出端子輸出。另外並配置有一分壓電路，其包含一串聯於



五、發明說明 (4)

升壓電路1之輸出端子與一接地端間之第一與第二分壓電阻R1與R2，第一分壓電阻R1係串聯於升壓電路1之輸出端子與第二分壓電阻R2之間，第二分壓電阻R2係串聯於接地端與第一分壓電阻R1之間。比較器2具有一第一輸入端子，其連接於分壓電路之一輸出端或一介於第一與第二分壓電阻間之一中點，而其作用係用以接受分壓電路所分割之一電壓 V_i 。比較器2尚具有一第二輸入端子，其接受一參考電壓 V_r 並使電壓 V_i 與參考電壓 V_r 相比較，如此比較器2即可產生一控制信號 V_c 並將此控制信號 V_c 從其輸出端子輸出。第一分壓電阻具有一第一寄生電容 C_2 ，第二分壓電阻R2則具有一第二寄生電容 C_3 。作為加速電容之電容 C_1 則連接於升壓電路1與比較器2之第一輸入端子之間。質言之，作為加速電容之電容 C_1 係連接升壓電路1之輸出端子與分壓電路之輸出端子之間。使用可降低漣波寬度之加速電容會增加第二習知高電壓產生電路之佔用面積。圖5係用以顯示圖4之第二習知電路的模擬結果。若加速電容 C_1 之值為 0.3 pF ，則高電壓輸出之漣波寬度可被降低至 300 mV 。第二習知高電壓產生電路由於更包含加速電容而可降低漣波寬度或增進高電壓輸出電壓位準的精確度。然而，在上述情況中，鑒於高電壓產生電路佔用面積的增加，仍需嘗試開發出一種能免除上述問題之新穎高電壓產生電路。

發明概要

五、發明說明 (5)

因此，本發明之一目的係提供一能免除上述問題之新穎高電壓產生電路。

本發明進一步之目的係提供一新穎高電壓產生電路，其可減少電路甚而一加速電容所佔用之面積。

本發明之另一目的係提供一高電壓輸出之電壓位準精確度有所增進的新穎高電壓產生電路。

本發明所提供之電路包含：一用以提昇電壓位準之第一電路，此第一電路具有一連接於高電壓輸出線之輸出端子以便輸出一高電壓；一比較器，其具有一輸出端子，此輸出端子連接於第一電路之一輸入端，此比較器更包含一第一輸入端子與一第二輸入端子以接收一參考電壓；以及一分壓電路，其連接於高電壓輸出線與一低電壓線之間，此低電壓線具有一實質上較高電壓輸出線為低之固定電位，分壓電路具有一輸出節點，其連接於比較器之第一輸入端子以便輸出一分壓；且此分壓電路至少具有一介於輸出節點與高電壓輸出線間之電阻，其中，此電阻之一寄生電容則連接至高電壓輸出線。

上述關於本發明之目的、特徵、與優點可配合下列實施例詳加說明。

發明之揭露內容

本發明之第一樣態係提供一種電路，該電路包含：一第一電路，其係用以提昇一電壓位準，該第一電路具有一連接於一高電壓輸出線之輸出端子以便輸出一高電壓；一



五、發明說明 (6)

比較器，其具有一輸出端子，此輸出端子連接於該第一電路之一輸入端，該比較器更包含一第一輸入端子與一用以接受一參考電壓之第二輸入端子；以及一分壓電路，其連接於該高電壓輸出線與一低電壓線之間，該低電壓線具有一實質上低於該高電壓輸出線電位之固定電位，該分壓電路具有一輸出節點，該輸出節點係連接於該比較器之該第一輸入端子以便輸出一分壓；且該分壓電路具有一介於該輸出節點與該高電壓輸出線間之至少一電阻，其中，介於該輸出節點與該高電壓輸出線間之該至少一電阻之一寄生電容係連接至該高電壓輸出線。

介於輸出節點與高電壓輸出線間之該至少一電阻最好包含有複數個串聯之電阻，且該等電阻中之至少最靠近輸出節點之電阻的寄生電容係連接於該高電壓輸出線。

所有該等電阻之寄生電容最好皆係連接於電壓輸出線。

該等電阻最好更包含彼此連接之寄生電容。

介於輸出節點與高電壓輸出線間之該電阻最好包含有二相互串聯之電阻，且該二電阻之寄生電容皆連接於高電壓輸出線。

介於輸出節點與高電壓輸出線之該電阻最好包含有二相互串聯之電阻，且其中較為靠近輸出節點之第一電阻的寄生電容係連接於高電壓輸出線，而其中較為靠近高電壓輸出線之第二電阻係連接於低電壓線。

第一電路最好包含有一升壓電路。



五、發明說明 (7)

低電壓線最好包含有一地線。

分壓電路之電阻最好包含有導電層，該等導電層係設在一延伸於一半導體基板上之絕緣層中，而上述介於輸出節點與高電壓輸出線間之該至少一電阻，其導電層則係被定位於半導體基板中一井區域上，並藉由絕緣層而相隔離，故該至少一電阻之一寄生電容可形成於井區域與導電層之間，且井區域並電連接於高電壓輸出線。

井區域最好係屬一第一導電型態，半導體基板則屬一第二導電型態並電連接於低電壓線。

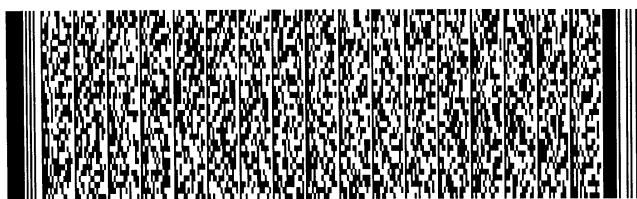
低電壓線最好包含有一地線。

高電壓輸出線、輸出節點、與低電壓線最好被設置在絕緣層之上表面上。

導電層最好包含有多晶矽層。

介於輸出節點與高電壓輸出線間之該至少一電阻最好包含有一第一電阻與一第二電阻；第一電阻包含有一第一導電層，第一導電層係延伸於一第一絕緣層之上，而第一絕緣層則延伸於一半導體基板中一井區域之上，且井區域係電連接於高電壓輸出線，橫跨井區域與導電層間之第一絕緣層則設有一第一電阻之寄生電容；而第二電阻包含有一第二導電層，第二導電層係延伸於一第二絕緣層之上，第二絕緣層則延伸於第一導電層之上，且第二導電層並電連接於高電壓輸出線。

井區域最好係屬一第一導電型態，半導體基板則屬一第二導電型態並電連接於低電壓線。



五、發明說明 (8)

低電壓線最好包含有一地線。

第一導電層與第二導電層最好包含有多晶矽層。

分壓電路最好至少具有一介於輸出節點與低電壓線間之低電壓端電阻，且低電壓端電阻之一寄生電容並連接於低電壓線。

本發明一第二樣態係提供一種半導體裝置中之高電壓產生電路，其包含：一升壓電路，其具有一接受時脈信號之第一輸入端子與一第二輸入端子，且升壓電路具有一輸出端子，該輸出端子係連接於一高電壓輸出線以便輸出一高電壓；一比較器，其具有一輸出端子，該輸出端子係連接至升壓電路之第二輸入端子，此比較器並具有一第一輸入端子與一用以接受一參考電壓之第二輸入端子；以及一分壓電路，其連接於高電壓輸出線與一低電壓線間，低電壓線具有實質上低於高電壓輸出線電位之固定電位，分壓電路具有一輸出節點，該節點係連接於比較器之第一輸入端子以便輸出一分壓；分壓電路至少具有一介於輸出節點與高電壓輸出線間之電阻，且分壓電路至少具有一介於輸出節點與低電壓線間之低電壓端電阻；其中，介於輸出節點與高電壓輸出線間之該至少一電阻之一寄生電容係連接於高電壓輸出線，而低電壓端電阻之一寄生電容則連接於低電壓線。

介於輸出節點與電壓輸出線之該至少一電阻最好包含有複數個串聯之電阻，且該等電阻中至少最接近輸出節點之一寄生電容係連接於高電壓輸出線。



五、發明說明 (9)

所有該等電阻之寄生電容最好皆係連接於該高電壓輸出線。

該等電阻最好進一步具有彼此相連之寄生電容。

介於輸出節點與高電壓輸出線間之該至少一電阻最好包含有二串聯之電阻，且該二電阻之寄生電容係連接於高電壓輸出線。

介於輸出節點與高電壓輸出線間之該至少一電阻最好包含有二串聯之電阻，且該二電阻中較為接近輸出節點者之一寄生電容係連接於高電壓輸出線，而較為接近高電壓輸出線者之一寄生電容則係連接於低電壓線。

低電壓線最好包含有一地線。

分壓電路之電阻最好包含有設於一絕緣層中之導電層，該絕緣層係延伸於一半導體基板之上，且前述介於輸出節點與該高電壓輸出線間之該至少一電阻，其導電層係定位於半導體基板中一井區域上，並藉由絕緣層而相隔離，故該至少一電阻之一寄生電容係形成在井區域與導電層之間，且井區域係電連接於高電壓輸出線。

井區域最好係屬一第一導電型態，半導體基板則屬一第二導電型態並電連接於低電壓線。

低電壓線最好包含有一地線。

高電壓輸出線、輸出節點、與低電壓線最好被設置在絕緣層之上表面上。

導電層最好包含有多晶矽層。

介於輸出節點與高電壓輸出線間之該至少一電阻最好



五、發明說明 (10)

包含有一第一電阻與一第二電阻；第一電阻包含有一第一導電層，第一導電層係延伸於一第一絕緣層之上，而第一絕緣層則延伸於一半導體基板中一井區域之上，且井區域係電連接於高電壓輸出線，橫跨井區域與導電層間之第一絕緣層則設有一第一電阻之寄生電容；第二電阻包含有一第二導電層，第二導電層係延伸於一第二絕緣層之上，而第二絕緣層則延伸於第一導電層之上，且第二導電層並電連接於高電壓輸出線。

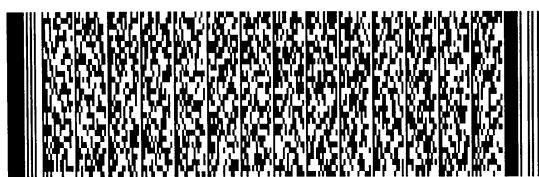
井區域最好係屬一第一導電型態，半導體基板則屬一第二導電型態並電連接於低電壓線。

低電壓線最好包含有一地線。

第一導電層與第二導電層最好包含有多晶矽層。

較佳實施例之詳細說明第一實施例：

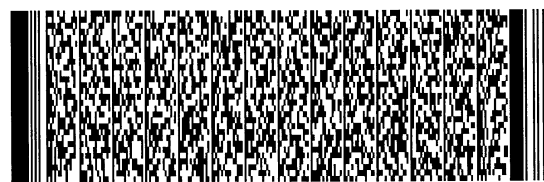
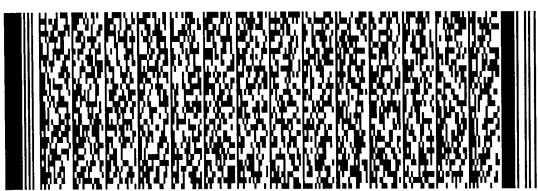
以下將配合附圖說明本發明之第一實施例。圖6係根據本發明之第一實施例中，在非揮發性半導體記憶體之寫入與刪除操作中用以產生精確高電壓之第一新穎高電壓產生電路的電路圖。第一新穎高電壓產生電路包含一升壓電路1、一比較器2、以及一分壓電路，此分壓電路更包含串聯之第一與第二分壓電阻R1與R2。升壓電路1具有用以接受一時脈信號CLK之一第一輸入端子、以及一第二輸入端子，此第二輸入端子係連接至比較器2之一輸出端子並用以接受來自比較器2之一控制信號Vc。升壓電路1從其輸出



五、發明說明 (11)

端子輸出一高電壓輸出 V_o 。分壓電路包含一串聯之第一與第二分壓電阻 R_1 與 R_2 ，且其被設置在與升壓電路1之輸出端子相連的高電壓輸出線以及一地線之間，第一分壓電阻 R_1 係串聯於升壓電路1之輸出端子與第二分壓電阻 R_2 之間，第二分壓電阻 R_2 係串聯於接地端與第一分壓電阻 R_1 之間。一輸出節點 N_1 被設在介於接地端與第一分壓電阻 R_1 間之中點處，質言之，第一分壓電阻 R_1 係串聯在高電壓輸出線與分壓電路之輸出節點 N_1 之間。第二分壓電阻 R_2 係串聯在地線與分壓電路之輸出節點 N_1 之間。比較器2具有一第一輸入端子，其連接至分壓電路之輸出節點 N_1 或介於第一與第二分壓電阻 R_1 與 R_2 間之中點，以便能接受由分壓電路所分割之電壓 V_i 。比較器2尚具有一第二輸入端子以接受一參考電壓 V_r 而將其與電壓 V_i 相比較，如此，比較器2即可產生控制信號 V_c 並將此控制信號 V_c 從其輸入端子輸出。串聯於高電壓輸出線與分壓電路之輸出節點 N_1 間之第一分壓電阻 R_1 具有一第一寄生電容 C_1 ，串聯於地線與分壓電路之輸出節點 N_1 間之第二分壓電阻 R_2 則具有一第二寄生電容 C_3 。若第一與第二分壓電阻 R_1 與 R_2 的電阻值需要相對較高的精確度，則第一與第二分壓電阻 R_1 與 R_2 即亦需具有高電阻值，為此，第一與第二分壓電阻 R_1 與 R_2 可更包含多晶矽電阻，其不易受到偏壓之影響，且相較於擴散電阻(diffusion resistance)亦具有較高的電阻值。

第一與第二分壓電阻 R_1 與 R_2 相較其它電阻需佔用較大的面積，故會造成第一與第二寄生電容 C_1 與 C_3 之增加。第



五、發明說明 (12)

一分壓電阻R1具有一第一時間常數，其值係定義於其電阻值與寄生電容值，第二分壓電阻R2則具有一第二時間常數，其值亦定義於其電阻值與寄生電容值。高電壓輸出的電壓位準精確度則取決於時間常數。第一寄生電容C1係連接至第一高電壓產生電路之一輸出端子，其中，第一新穎高電壓產生電路之輸出端子係連接於升壓電路1之輸出端子，所以，第一寄生電容C1係作為一加速電容。第二寄生電容C3係連接於地線。

本實施例之要點在於，第一分壓電阻R1之第一寄生電容C1係連接於第一新穎高電壓產生電路之一輸出端子，所以，第一寄生電容C1係作為一加速電容。在本實施例中，並無必要再提供一進一步之加速電容。所以，第一寄生電容C1作為第一分壓電阻R1之加速電容可降低漣波寬度或增進高電壓輸出之電壓位準的精確度，而且，又不致增加高電壓產生電路之佔用面積。

上述第一新穎高電壓產生電路可納入半導體積體電路之中。圖7A係根據本發明之第一實施例中，圖6之第一新穎高電壓產生電路之分壓電路實施在半導體積體電路中之局部俯視圖。圖7B係根據本發明之第一實施例中，圖6之第一新穎高電壓產生電路之分壓電路實施在半導體積體電路中之局部橫剖面前視圖。

一P型半導體基板10在其所選擇之上部區域中具有一N井區域11，一絕緣層12則延伸於P型半導體基板10與N井區域11之上，一第一多晶矽層13-1被選擇性地以一預定厚度



五、發明說明 (13)

形成在絕緣層12上，因此，即可將第一多晶矽層13-1定位在N井區域11上、並藉由絕緣層12與N井區域11相隔離，而且，第一多晶矽層13-1係被完全埋設於絕緣層12之中，如此，第一多晶矽層13-1之上表面即可被絕緣層12所覆蓋。第一寄生電容C1係形成在第一多晶矽層13-1與N井區域11之間。一第二多晶矽層13-2則被選擇性地以一預定厚度形成在絕緣層12上，因此，即可將第二多晶矽層13-2定位在與第一多晶矽層13-1具有相同深度之相同階層上，而且，其並藉由絕緣層12與第一多晶矽層13-1相隔離，第二多晶矽層13-2亦藉由絕緣層12而與半導體基板10相隔離，且第二多晶矽層13-2亦被完全埋設於絕緣層12之中，如此，第二多晶矽層13-2之上表面即可被絕緣層12所覆蓋。第二寄生電容C3係形成在第二多晶矽層13-2與半導體基板10之間，一第一內連線18-1則被選擇性地設置在絕緣層12之上表面上，第一內連線18-1可以鋁製成。第一內連線18-1具有一接地電位，故其可作為一地線。第一內連線18-1係透過一第一接點19-1以電連接至第二多晶矽層13-2。第二多晶矽層13-2係作為第二分壓電阻R2。一第二內連線18-2則被選擇性地設置在絕緣層12之上表面上，第二內連線18-2可以鋁製成。第二內連線18-2具有分壓之位準 V_i ，故其可作為一連接分壓電路之輸出端子與比較器之第一輸入端子的分壓線。第二內連線18-2係透過一第二接點19-2而電連接至第二多晶矽層13-2。第二內連線18-2係可透過一第三接點19-3而電連接第一多晶矽層13-1。第一多晶矽層13-1



五、發明說明 (14)

係作為第一分壓電阻R1。一第三內連線18-3則被選擇性的設置在絕緣層12之上表面上，第三內連線18-3可以鋁製成。第三內連線18-3具有一高電壓輸出 V_0 ，故其可作為一連接升壓電路1之輸出端子的高電壓輸出線。第三內連線18-3係透過一第四接點19-4而電連接至作為第一分壓電阻R1之第一多晶矽層13-1。作為一高電壓輸出線之第三內連線18-3透過一第五接點1-5而被進一步連接至N井區域11。第一寄生電容C1係形成於作為第一分壓電阻R1之第一多晶矽層13-1與N井區域11之間，其中N井區域11則透過第四接點19-4而被進一步連接至作為高電壓輸出線之第三內連線18-3。第二寄生電容C2則係形成於作為第二分壓電阻R2之第二多晶矽層13-2與被接地之P型半導體基板10之間。

圖8係用以顯示圖6之第一新穎高電壓產生電路之高電壓輸出的波形。在圖8中，一V形連波寬度係以一垂直箭頭符號標示，一水平虛線則代表一預期位準，二水平短箭頭符號則代表比較器的延遲時間。第一時間常數係為第一分壓電阻R1與第一寄生電容C2所定義，第二時間常數係為第二分壓電阻R2與第二寄生電容C3所定義。高電壓輸出線之高電壓位準則透過第一寄生電容C1而被傳輸至分壓線，該分壓線在分壓電路之第一分壓電阻R1與第二分壓電阻R2間之輸出端子處具有一分壓 V_i ，故從升壓電路1輸出端子至比較器2輸出端子之回饋路徑的延遲時間會因此而大為降低，在此大為降低之延遲時間中，升壓電路極難加以控制，因此，其高電壓輸出即具有較低的漣波寬度且又不致



五、發明說明 (15)

降低其電壓位準之精確度。

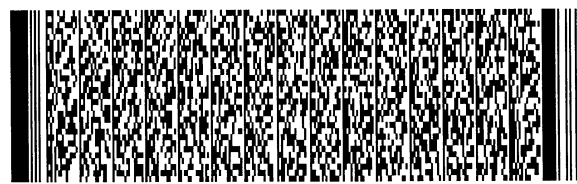
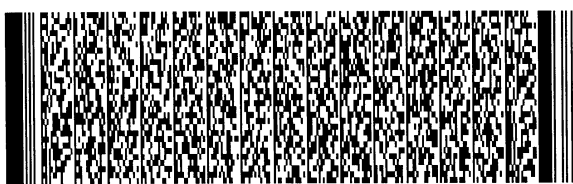
漣波寬度可以如下方程式表示：

$$V = Dt^2 \times Vdt \text{ ----- (2)}$$

其中，若分壓電阻之延遲大約為零，則" Dt^2 "係比較器之延遲，而" Vdt "則係每單位時間之升壓率、或係升壓能力。圖9係用以顯示圖6之第一新穎電路之模擬結果。若第一分壓電阻之第一寄生電容 $C1$ 為1 pF，則高電壓輸出之漣波寬度為350mV。此已降低之漣波寬度代表高電壓輸出之電壓位準具有較高之精確度。第一分壓電阻 $R1$ 之第一寄生電容 $C1$ 係作為一加速電容之用，進一步再提供之一加速電容則無必要，所以，作為第一分壓電阻 $R1$ 之加速電容的第一寄生電容可降低漣波寬度、或可增進高電壓輸出之電壓位準精確度，且其亦不致增加高電壓產生電路所佔用之面積。

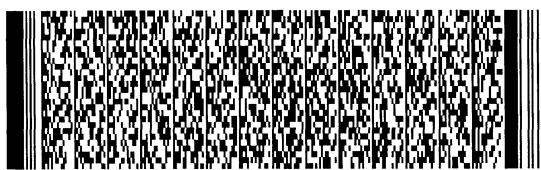
第二實施例：

本發明之第二實施例將配合附圖說明如下。圖10係根據本發明之第二實施例中，在非揮發性半導體記憶體之寫入與刪除操作中用以產生精確高電壓之第二新穎高電壓產生電路的電路圖。第二新穎高電壓產生電路包含一升壓電路1、一比較器2、以及一分壓電路，此分壓電路更包含串聯之第一與第二分壓電阻 $R1$ 、 $R2$ 、與 $R3$ 。升壓電路1具有用以接受一時脈信號CLK之一第一輸入端子以及一第二輸入端子，此第二輸入端子係連接至比較器2之一輸出端子



五、發明說明 (16)

並用以接受來自比較器2之一控制信號 V_c 。升壓電路1從其輸出端子輸出一高電壓輸出 V_o 。分壓電路包含一串聯之第一、第二、與第三分壓電阻 R_1 、 R_2 、與 R_3 ，且其係被設置在與升壓電路1之輸出端子相連之高電壓輸出線以及一地線之間，第一與第三分壓電阻 R_1 與 R_3 係串聯於升壓電路1之輸出端子與第二分壓電阻 R_2 之間，第一分壓電阻 R_1 係串聯於高電壓輸出線與第三分壓電阻 R_3 之間，第三分壓電阻 R_3 則串聯於第一分壓電阻 R_1 與第二分壓電阻 R_2 之間，第二分壓電阻 R_2 則串聯於接地端與第三分壓電阻 R_3 之間。一輸出節點 N_1 被設在介於第三分壓電阻 R_3 與第二分壓電阻 R_2 間之中點處，質言之，第一分壓電阻 R_1 與第三分壓電阻 R_3 係串聯在高電壓輸出線與分壓電路之輸出節點 N_1 之間。第一分壓電阻 R_1 係串聯在高電壓輸出線與第三分壓電阻 R_3 之間，第三分壓電阻 R_3 係串聯於第一分壓電阻 R_1 與分壓電路之輸出節點 N_1 之間，第二分壓電阻 R_2 則串聯於地線與分壓電路之輸出節點 N_1 之間。比較器2具有一第一輸入端子，其連接至分壓電路之輸出節點 N_1 或介於第三與第二分壓電阻 R_3 與 R_2 間之中點，以便能接受由分壓電路所分割之電壓 V_i 。比較器2尚具有一第二輸入端子以接受一參考電壓 V_r 而將其與電壓 V_i 相比較，如此，比較器2即可產生控制信號 V_c 並將此控制信號 V_c 從其輸入端子輸出。第一分壓電阻 R_1 具有一連接於高電壓輸出線之第一寄生電容 C_1 ，第二分壓電阻 R_2 則具有一連接於地線之第二寄生電容 C_3 。第三分壓電阻 R_3 具有一高電壓輸出線之第三寄生電容 C_4 。進一



五、發明說明 (17)

步，第一與第三分壓電阻 $R1$ 與 $R3$ 並設有一第四寄生電容 $C5$ 。若第一與第二分壓電阻 $R1$ 與 $R2$ 的電阻值需要相對較高的精確度，則第一與第二分壓電阻 $R1$ 與 $R2$ 即需要較高的電阻值。為此，第一、第二、第三、與第四分壓電阻 $R1$ 、 $R2$ 、 $R3$ 、與 $R4$ 可更包含多晶矽電阻，其不易受到偏壓之影響，且相較於擴散電阻亦具有較高的電阻值。

第一、第二、與第三分壓電阻 $R1$ 、 $R2$ 、與 $R3$ 相較其它電阻需要佔用較大的面積，故其會造成第一、第二、第三、與第四寄生電容 $C1$ 、 $C3$ 、 $C4$ 、與 $C5$ 的增加。第一分壓電阻 $R1$ 具有一第一時間常數，其值係定義於其電阻值與寄生電容值，第二分壓電阻 $R2$ 則具有一第二時間常數，其值亦定義於其電阻值與寄生電容值。高電壓輸出的電壓位準精確度則取決於時間常數。第一寄生電容 $C1$ 係連接至與升壓電路1之輸出端子相連之高電壓輸出線，故第一寄生電容 $C1$ 係作為一加速電容。第二寄生電容 $C3$ 係連接於地線。第三寄生電容 $C4$ 亦係連接於與升壓電路1之輸出端子相連之高電壓輸出線，故其亦係作為一加速電容。

本實施例之要點在於，第一分壓電阻 $R1$ 之第一寄生電容 $C1$ 係連接於高電壓輸出線，故第一寄生電容 $C1$ 係作為一加速電容。而第三分壓電阻 $R3$ 之第三寄生電容 $C4$ 亦係連接於高電壓輸出線，故第一與第三寄生電容 $C1$ 與 $C4$ 皆係作為加速電容之用。在本實施例中，並無必要再提供一進一步之加速電容。所以，作為加速電容之第一寄生電容 $C1$ 與第三寄生電容 $C4$ 可降低漣波寬度或增進高電壓輸出之電壓

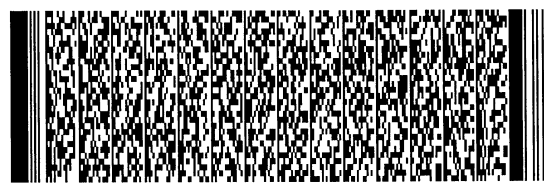
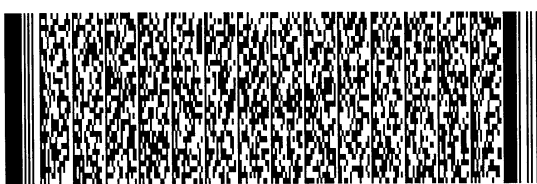


五、發明說明 (18)

位準的精確度，而且，又不致增加高電壓產生電路之佔用面積。

上述第二新穎高電壓產生電路可納入半導體積體電路之中。圖11係根據本發明之第二實施例中，圖10之第二新穎高電壓產生電路之分壓電路實施在半導體積體電路中之局部橫剖面前視圖。

一P型半導體基板10上設有一N井區域11，此N井區域11係透過一接點(圖中未顯示)而連接至高電壓輸出線(圖中未顯示)。一第一絕緣層12之設置係延伸於N井區域11之上表面與P型半導體基板10之表面上方，將一作為第一分壓電阻R1之第一多晶矽層13係以選擇性之方式設置並使其延伸於第一絕緣層12之表面上方，第一多晶矽層13係以非直接之方式定位在N井區域11之上，且其係連接於高電壓輸出線，如此，為電容C1之第一寄生電容14即在N井區域11與作為第一分壓電阻R1之第一多晶矽層13之間橫跨第一絕緣層12而形成。一第二絕緣層15則被設置而延伸於第一多晶矽層13之表面上方，一作為第三分壓電阻R3之第二多晶矽層16係以選擇性之方式設置並使其延伸於第二絕緣層15之表面上方。電容值為C5之第五寄生電容17則在第一多晶矽層13與第二多晶矽層16之間橫跨第二絕緣層15而形成。第二多晶矽層16係連接於分壓電路之輸出節點N1，藉由一絕緣層(圖中未顯示)第二多晶矽層16並被隔離於高壓輸出線，故第三寄生電容C4係橫跨絕緣膜(圖中未顯示)而形成。第一與第二多晶矽層13與16係包含在層疊結構之

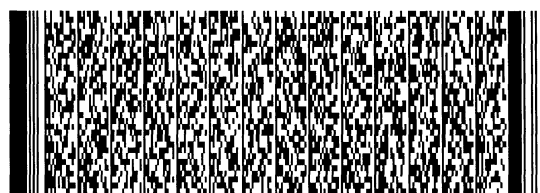
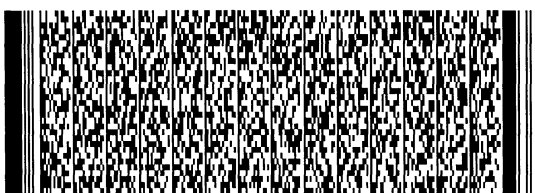


五、發明說明 (19)

中，故電路所佔用面積不致因為設置二加速電容以降低漣波寬度而有所增加。高電壓輸出線最好是能連接至所有串聯於高電壓輸出線與分壓電路輸出節點N1間之分壓電阻所具有的寄生電容。如此，作為加速電容之第一寄生電容C1與第四寄生電容C4可進一步降低漣波寬度、或增進高電壓輸出之電壓位準精確度，而且，又不致增加高電壓產生電路之佔用面積。

第三實施例：

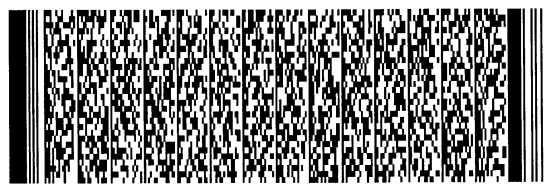
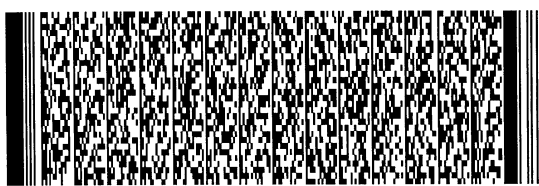
本發明之第三實施例將配合附圖說明如下。圖12係根據本發明之第三實施例中，在非揮發性半導體記憶體之寫入與刪除操作中用以產生精確高電壓之第三新穎高電壓產生電路的電路圖。第三新穎高電壓產生電路包含一升壓電路1、一比較器2、以及一分壓電路，此分壓電路更包含串聯之第一與第二分壓電阻R1、R2、與R3。升壓電路1具有用以接受一時脈信號CLK之一第一輸入端子以及一第二輸入端子，此第二輸入端子係連接至比較器2之一輸出端子並用以接受來自比較器2之一控制信號Vc。升壓電路1從其輸出端子輸出一高電壓輸出Vo。分壓電路包含一串聯之第一、第二、與第三分壓電阻R1、R2、與R3，且其係被設置在與升壓電路1之輸出端子相連之高電壓輸出線以及一地線之間，第一與第三分壓電阻R1與R3係串聯於升壓電路1之輸出端子與第二分壓電阻R2之間，第一分壓電阻R1係串聯於高電壓輸出線與第三分壓電阻R3之間，第三分壓電阻



五、發明說明 (20)

R3 則串聯於第一分壓電阻R1與第二分壓電阻R2之間，第二分壓電阻R2則串聯於接地端與第三分壓電阻R3之間。一輸出節點N1被設在介於第三分壓電阻R3與第二分壓電阻R2間之中點處，質言之，第一分壓電阻R1與第三分壓電阻R3係串聯在高電壓輸出線與分壓電路之輸出節點N1之間。第一分壓電阻R1係串聯在高電壓輸出線與第三分壓電阻R3之間，第三分壓電阻R3係串聯於第一分壓電阻R1與分壓電路之輸出節點N1之間，第二分壓電阻R2則串聯於地線與分壓電路之輸出節點N1之間。比較器2具有一第一輸入端子，其連接至分壓電路之輸出節點N1或介於第三與第二分壓電阻R3與R2間之中點，以便能接受由分壓電路所分割之電壓 V_i 。比較器2尚具有一第二輸入端子以接受一參考電壓 V_r 而將其與電壓 V_i 相比較，如此，比較器2即可產生控制信號 V_c 並將此控制信號 V_c 從其輸入端子輸出。第一分壓電阻R1具有一連接於地線之第一寄生電容C1，第二分壓電阻R2亦具有一連接於地線之第二寄生電容C3，第三分壓電阻R3則具有一高電壓輸出線之第三寄生電容C4。若第一與第二分壓電阻R1與R2的電阻值需要相對較高的精確度，則第一與第二分壓電阻R1與R2即需要較高的電阻值。為此，第一、第二、第三、與第四分壓電阻R1、R2、R3、與R4可更包含多晶矽電阻，其不易受到偏壓之影響，且相較於由擴散所製成之電阻亦具有較高的電阻值。

第一、第二、與第三分壓電阻R1、R2、與R3相較其它電阻需要佔用較大的面積，故其會造成第一、第二、與第



五、發明說明 (21)

三寄生電容 $C1$ 、 $C3$ 、與 $C4$ 的增加。第一分壓電阻 $R1$ 具有一第一時間常數，其值係定義於其電阻值與寄生電容值，第二分壓電阻 $R2$ 則具有一第二時間常數，其值亦定義於其電阻值與寄生電容值。高電壓輸出的電壓位準精確度則取決於時間常數。第一寄生電容 $C1$ 係連接至地線，第二寄生電容 $C3$ 亦連接於地線，第三寄生電容 $C4$ 係連接於與升壓電路1之輸出端子相連之高電壓輸出線，故第三寄生電容 $C4$ 係作為一加速電容。

本實施例之要點在於，第三分壓電阻 $R3$ 之第三寄生電容 $C4$ 較為接近分壓電路之輸出節點 $N1$ 、並連接於高電壓輸出線，故第三寄生電容 $C4$ 係作為一加速電容。在本實施例中，並無必要再提供一進一步之加速電容。所以，作為加速電容之第三寄生電容 $C4$ 可降低漣波寬度或增進高電壓輸出之電壓位準的精確度，而且，又不致增加高電壓產生電路之佔用面積。如上所述，若高電壓輸出線係連接於分壓電阻 $R3$ 之寄生電容 $C4$ ，且分壓電阻 $R3$ 係較接近於分壓電路之輸出節點 $N1$ 、並被定位於相較輸出節點 $N1$ 具有較高電位之一端，則相較於其它情況，亦即高電壓輸出線係連接於分壓電路 $R1$ 之寄生電容 $C1$ 且分壓電路 $R1$ 係較接近高電壓輸出線者，其降低漣波寬度之效果亦較佳。然而，高電壓輸出線最好能同時連接至第二實施例中、分壓電阻 $R1$ 與 $R3$ 之寄生電容 $C1$ 與 $C4$ 。

以上所述，係用於方便說明本發明之較佳實施例，而非將本發明狹義地限制於該較佳實施例。凡依本發明所做



五、發明說明 (22)

之任何變更，皆屬本發明申請專利之範圍。



圖式簡單說明

上述本發明之目的、優點和特色由以下較佳實施例之詳細說明、並參考圖式當可更加明白，其中：

圖1係在非揮發性半導體記憶體之寫入與刪除操作中用以產生精確高電壓之第一習知高電壓產生電路的電路圖。

圖2係顯示一V形漣波寬度，其係以一垂直箭頭符號標示，一水平虛線則代表一預期位準，二水平短箭頭符號則代表比較器的延遲時間，而一水平長箭頭符號則代表分壓電阻之延遲。

圖3係用以顯示圖1之第一習知電路的模擬結果。

圖4係在非揮發性半導體記憶體之寫入與刪除操作中用以產生精確高電壓之第二習知高電壓產生電路的電路圖。

圖5係用以顯示圖4之第一習知電路的模擬結果。

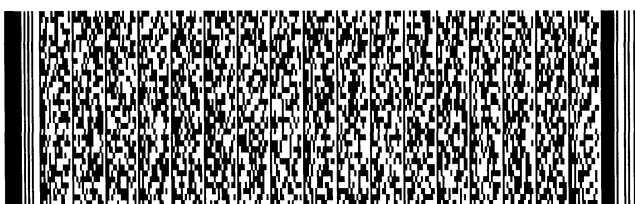
圖6係根據本發明之第一實施例中，在非揮發性半導體記憶體之寫入與刪除操作中用以產生精確高電壓之第一新穎高電壓產生電路的電路圖。

圖7A係根據本發明之第一實施例中，圖6之第一新穎高電壓產生電路之分壓電路實施在半導體積體電路中之局部俯視圖。

圖7B係根據本發明之第一實施例中，圖6之第一新穎高電壓產生電路之分壓電路實施在半導體積體電路中之局部橫剖面前視圖。

圖8係用以顯示圖6之第一新穎高電壓產生電路之高電壓輸出的波形。

圖9係用以顯示圖6之第一新穎電路之模擬結果。



圖式簡單說明

圖10係根據本發明之第二實施例中，在非揮發性半導體記憶體之寫入與刪除操作中用以產生精確高電壓之第二新穎高電壓產生電路的電路圖。

圖11係根據本發明之第二實施例中，圖10之第二新穎高電壓產生電路之分壓電路實施在半導體積體電路中之局部橫剖面前視圖。

圖12係根據本發明之第三實施例中，在非揮發性半導體記憶體之寫入與刪除操作中用以產生精確高電壓之第三新穎高電壓產生電路的電路圖。

符號說明

1~升壓電路

2~比較器

10~半導體基板

11~N井區域

12~第一絕緣層

13~第一多晶矽層

13-1~第一多晶矽層

13-2~第二多晶矽層

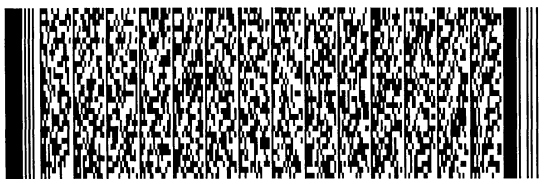
14~第一寄生電容

15~第二絕緣層

16~第二多晶矽層

17~第五寄生電容

18-1~第一內連線



圖式簡單說明

18-2~ 第二內連線

18-3~ 第三內連線

19-1~ 第一接點

19-2~ 第二接點

19-3~ 第三接點

19-4~ 第四接點

19-5~ 第五接點

C1~ 第一寄生電容

C2~ 第二寄生電容

C3~ 第二寄生電容

C4~ 第三寄生電容

C5~ 第五寄生電容

R1~ 第一分壓電阻

R2~ 第二分壓電阻

R3~ 第三分壓電阻

R4~ 第四分壓電阻



四、中文發明摘要 (發明之名稱：分壓電阻之寄生電容經改良之高電壓產生電路)

本發明係提供一種電路，其包含一用以提昇電壓位準之第一電路，此第一電路具有一連接於高電壓輸出線之輸出端子以便輸出一高電壓；一比較器，其具有一輸出端，此輸出端連接於第一電路之輸入端，此比較器更包含一第一輸入端與一用以接收一參考電壓之第二輸入端；以及一分壓電路，其連接於高電壓輸出線與一低電壓線之間，此低電壓線具有一實質上較高電壓輸出線為低之固定電位，分壓電路具有一輸出節點，其連接於比較器之第一輸入端子以便輸出一分壓；且此分壓電路至少具有一介於輸出節點與高電壓輸出線間之電阻，其中，此電阻之一寄生電容則連接至高電壓輸出線。

英文發明摘要 (發明之名稱：HIGH VOLTAGE GENERATING CIRCUIT IMPROVED IN PARASITIC CAPACITANCE OF VOLTAGE-DIVIDING RESISTANCE)

The present invention provides a circuitry comprising ; a first circuit for rising a voltage level, the first circuit having an output terminal connected to a high voltage output line for outputting a high voltage output; a comparator having an output terminal connected to an input side of the first circuit, the comparator further having a first input terminal and a second input terminal for receiving a reference voltage; and a voltage dividing circuit connected between the



四、中文發明摘要 (發明之名稱：分壓電阻之寄生電容經改良之高電壓產生電路)

英文發明摘要 (發明之名稱：HIGH VOLTAGE GENERATING CIRCUIT IMPROVED IN PARASITIC CAPACITANCE OF VOLTAGE-DIVIDING RESISTANCE)

high voltage output line and a low voltage line having a substantially fixed lower potential than the high voltage output line, the voltage dividing circuit having an output node which is connected to the first input terminal of the comparator for outputting a divided voltage output; and the voltage dividing circuit having at least a resistance between the output node and the high voltage output line, wherein a parasitic capacitance of the at least resistance between the



四、中文發明摘要 (發明之名稱：分壓電阻之寄生電容經改良之高電壓產生電路)

英文發明摘要 (發明之名稱：HIGH VOLTAGE GENERATING CIRCUIT IMPROVED IN PARASITIC CAPACITANCE OF VOLTAGE-DIVIDING RESISTANCE)

output node and the high voltage output line is connected to the high voltage output line.



圖式

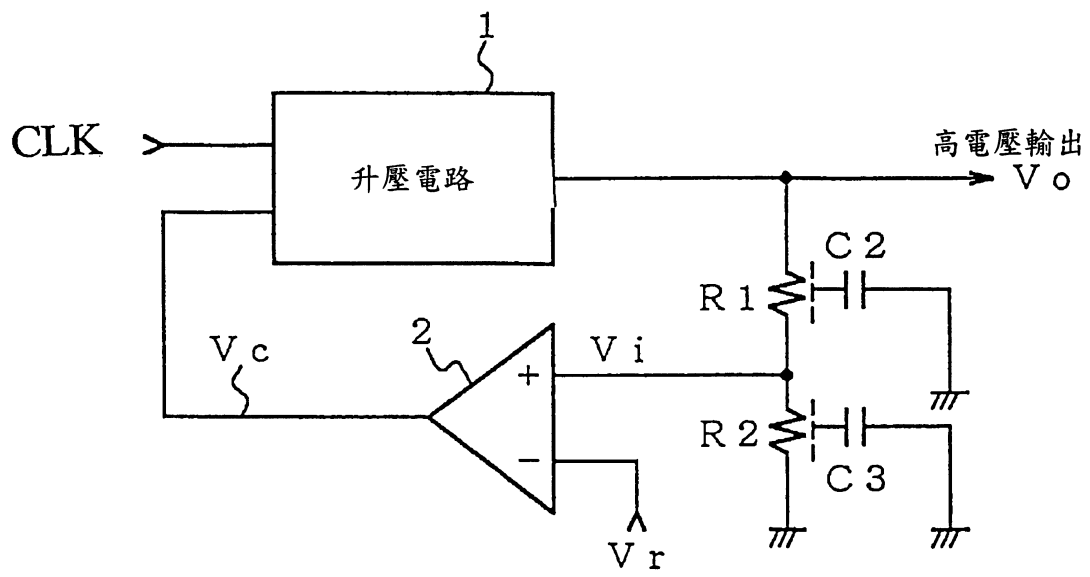


圖 1

圖式

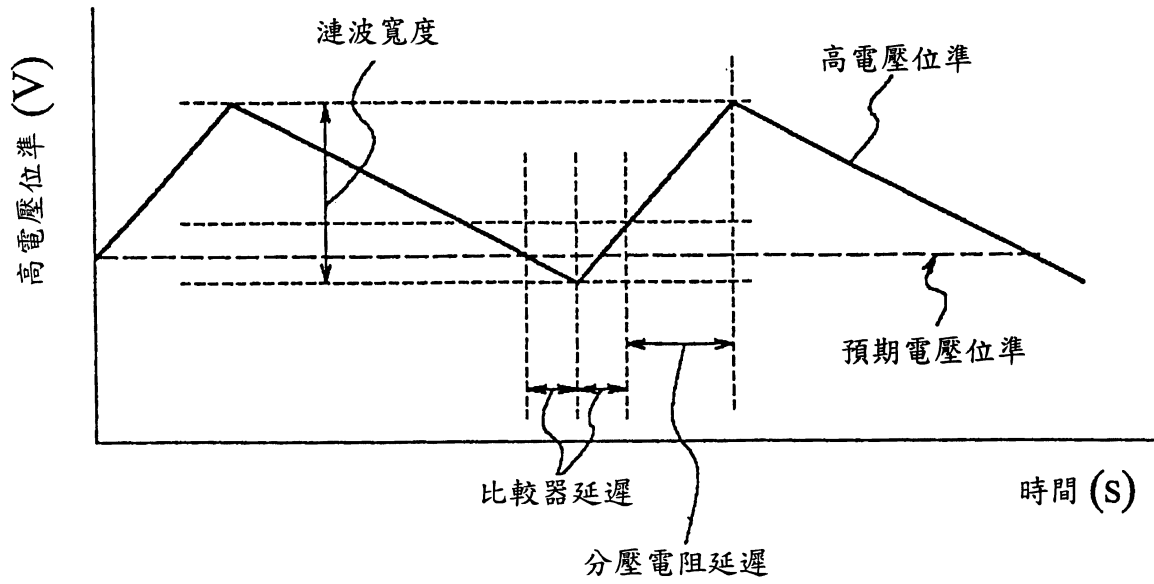


圖 2

圖式

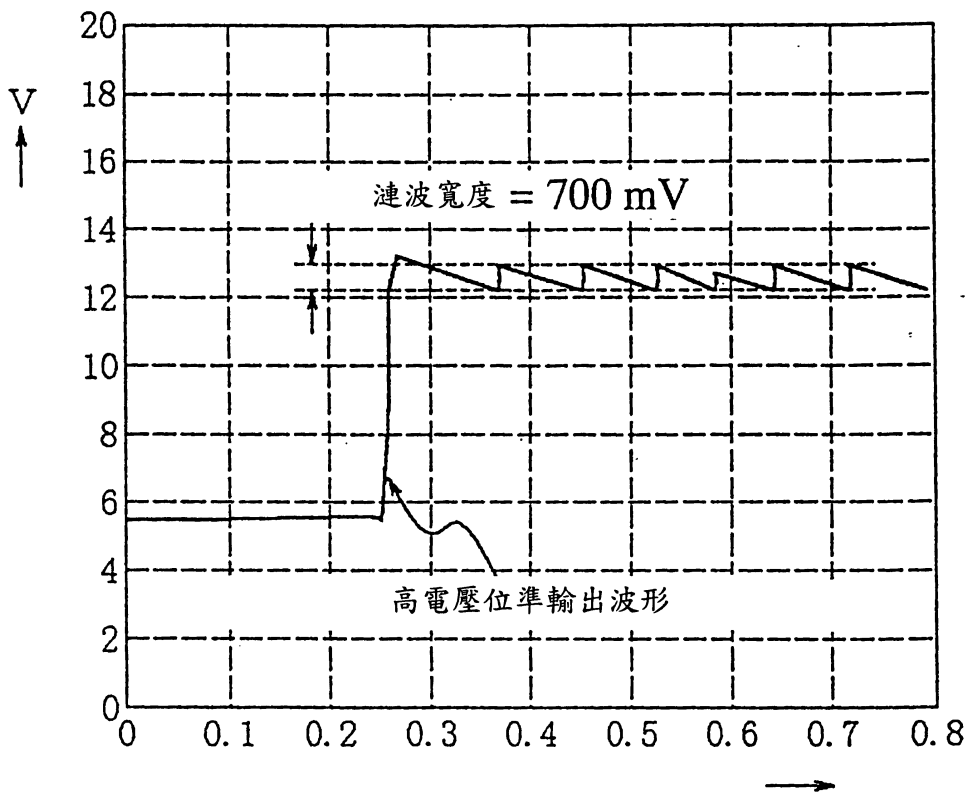


圖 3

圖式

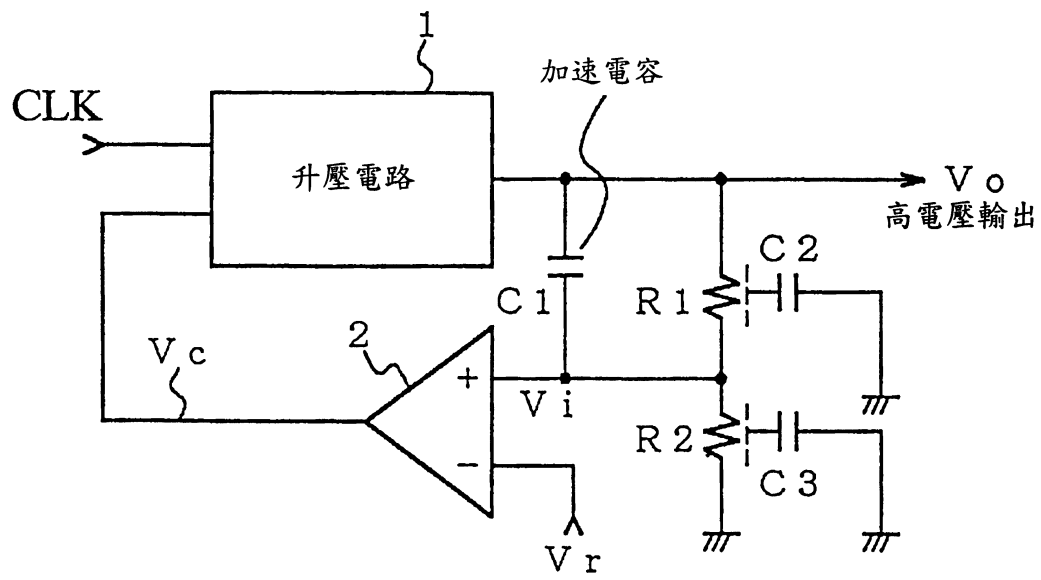


圖 4

圖式

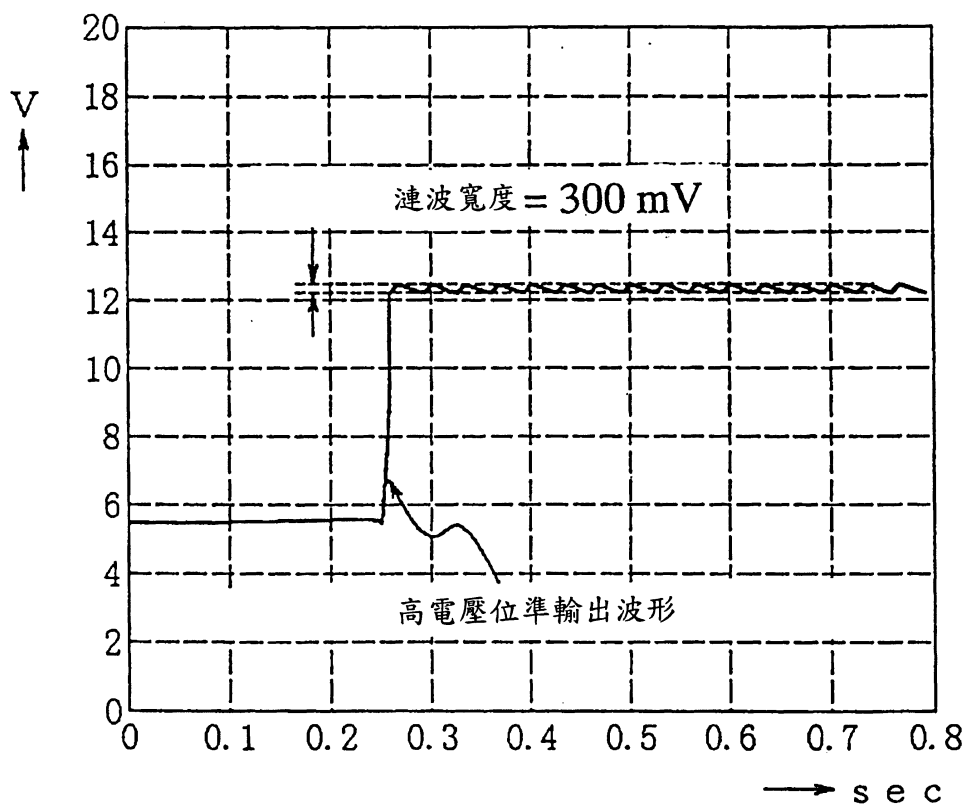


圖 5

圖式

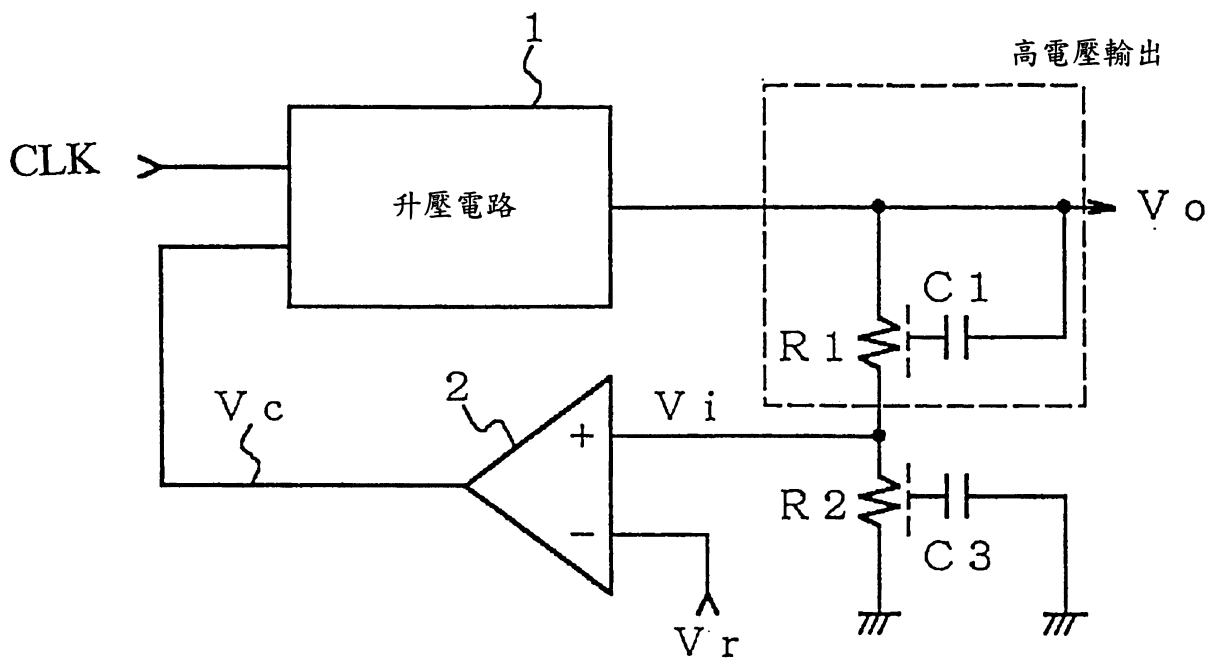


圖 6

圖式

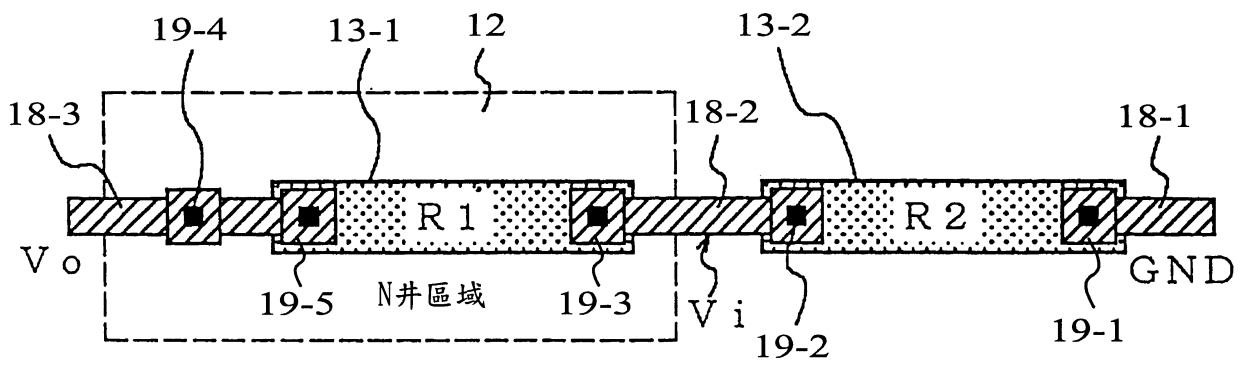


圖 7A

圖式

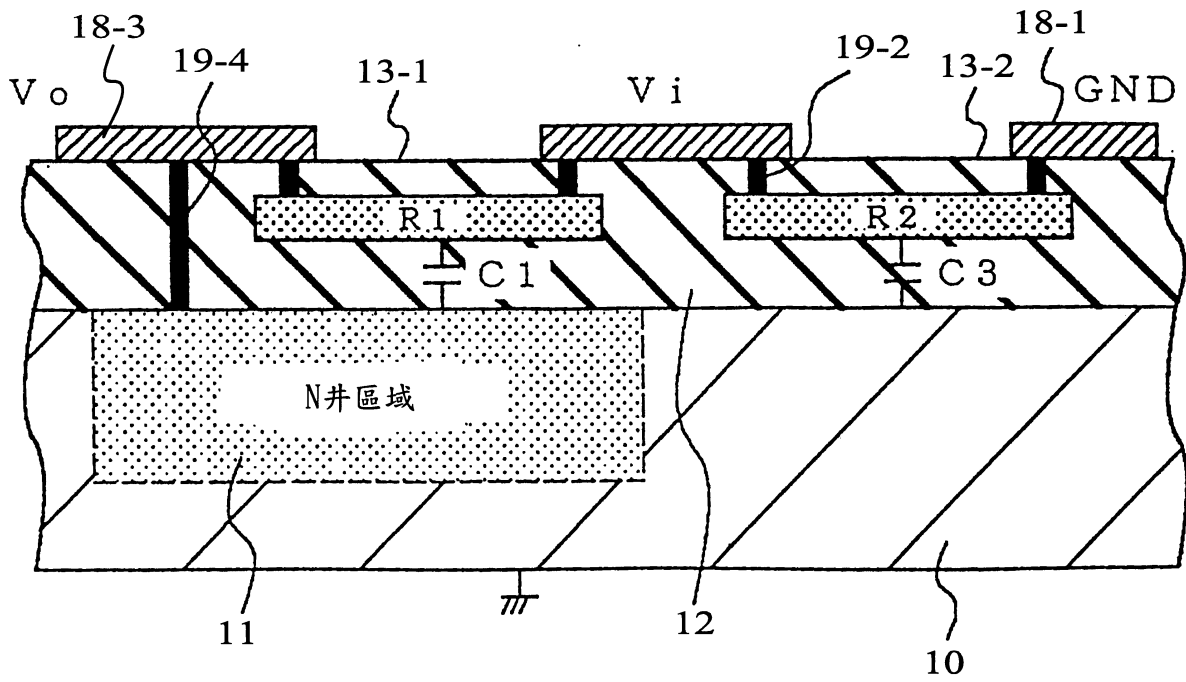


圖 7B

圖式

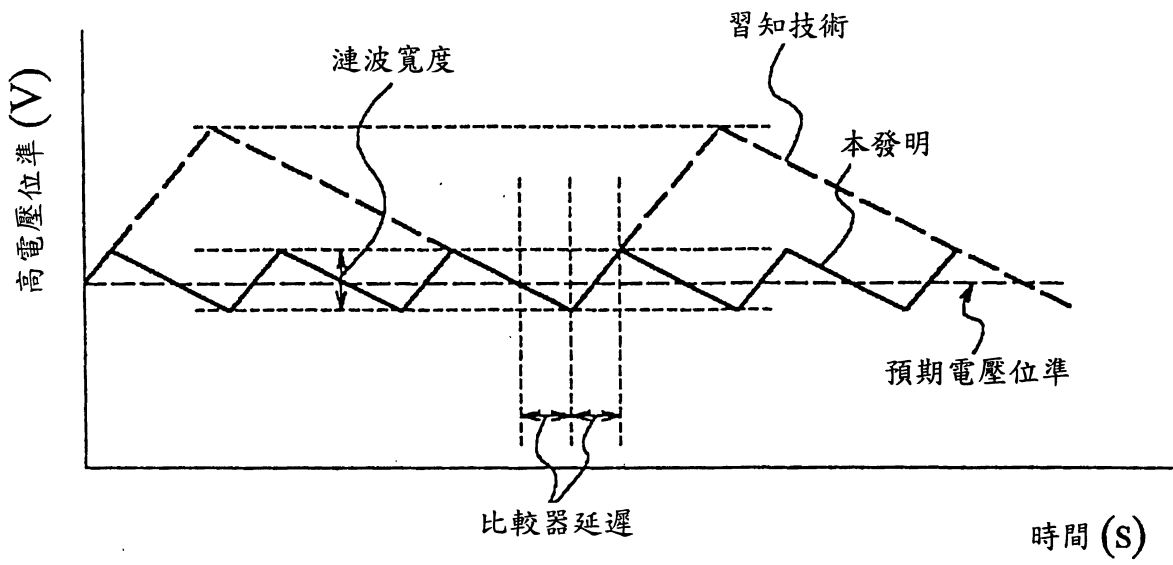


圖 8

圖式

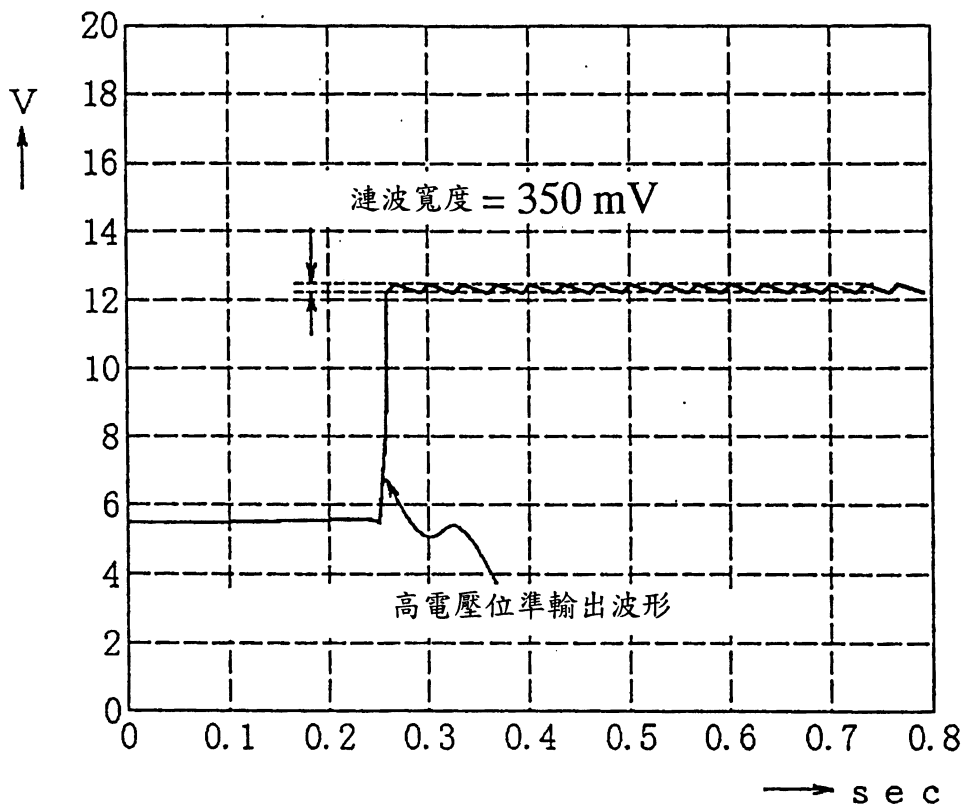


圖 9

圖式

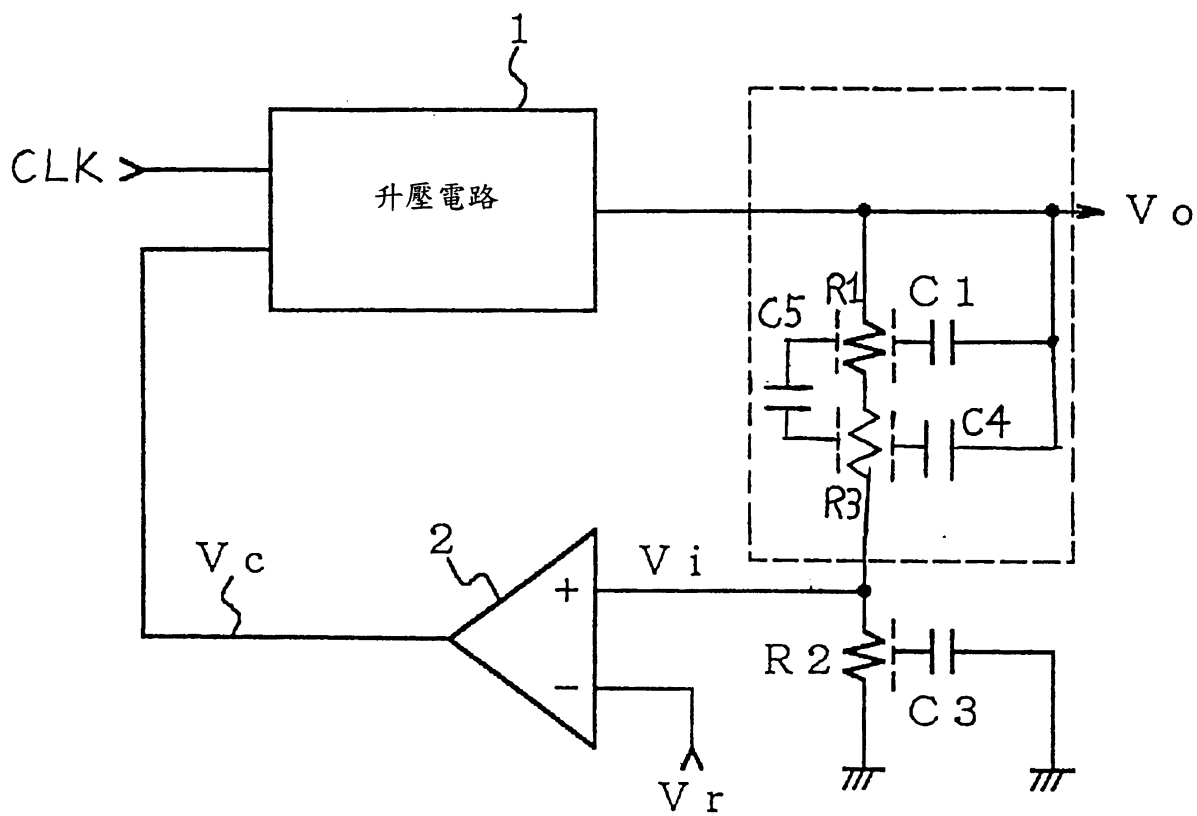


圖 10

圖式

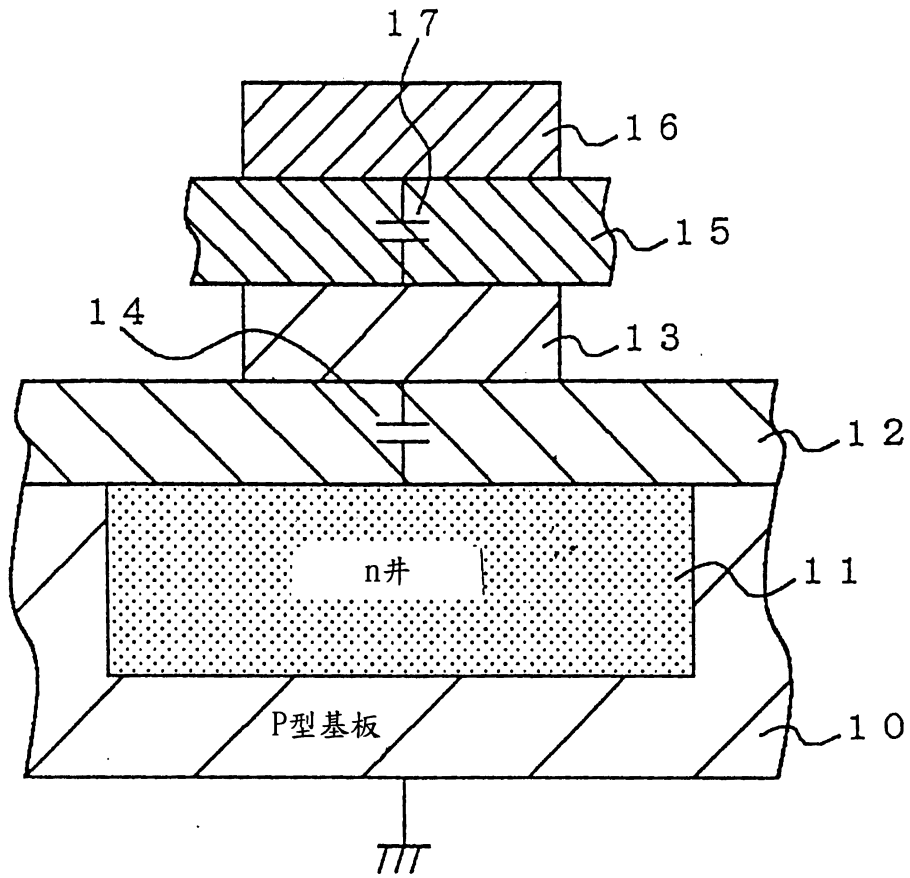


圖 11

圖式

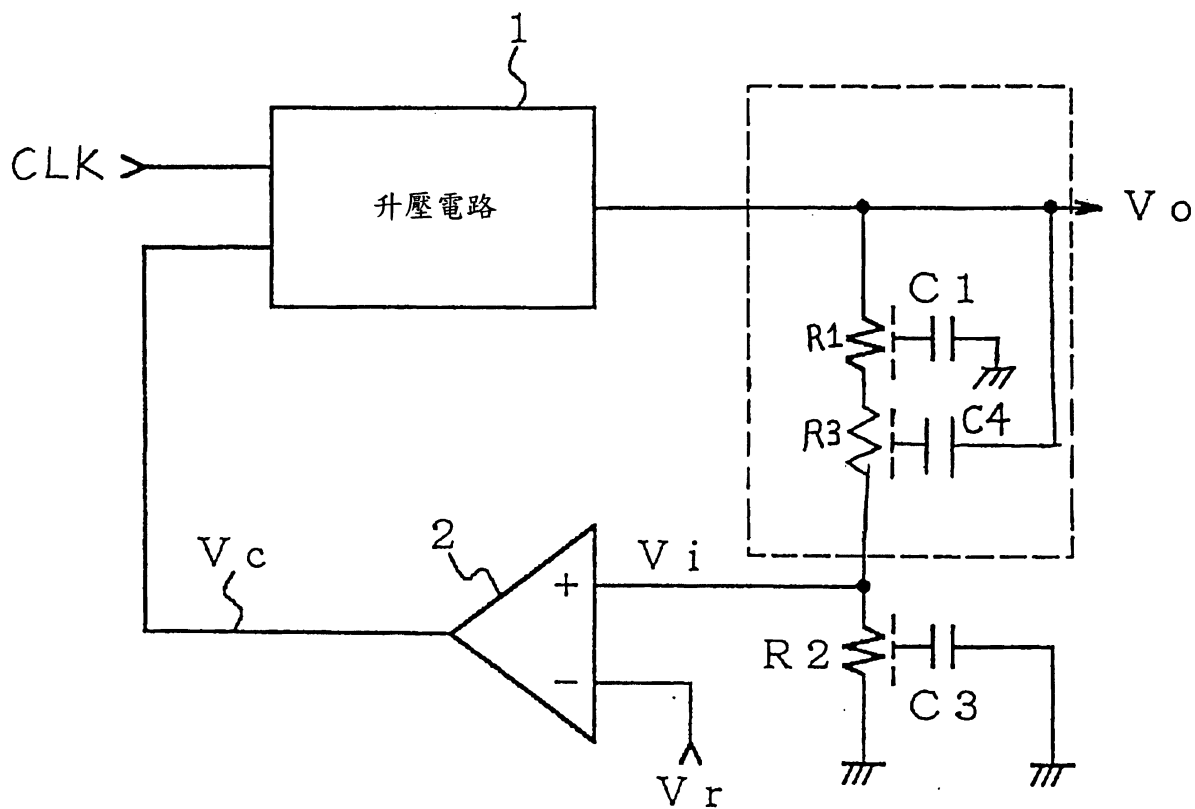


圖 12

六、申請專利範圍

1. 一種高電壓產生電路，包含：

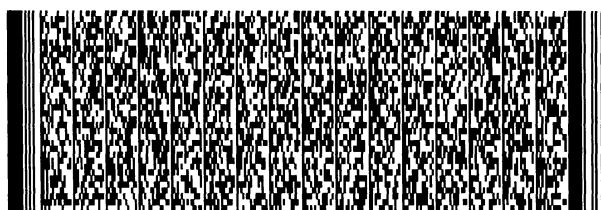
一第一電路，用以提昇一電壓位準，該第一電路具有一連接於一高電壓輸出線之輸出端子以便輸出一高電壓；

一比較器，其具有一輸出端子，此輸出端子連接於該第一電路之一輸入端，該比較器更包含一第一輸入端子與一用以接受一參考電壓之第二輸入端子；以及

一分壓電路，其連接於該高電壓輸出線與一低電壓線之間，該低電壓線具有一實質上低於該高電壓輸出線電位之固定電位，該分壓電路具有一輸出節點，該輸出節點係連接於該比較器之該第一輸入端子以便輸出一分壓；且該分壓電路具有一介於該輸出節點與該高電壓輸出線間之至少一電阻，其中，介於該輸出節點與該高電壓輸出線間之該至少一電阻之一寄生電容係連接至該高電壓輸出線。

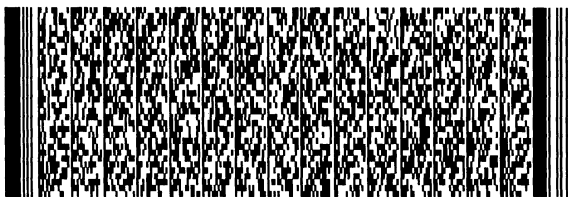
2. 如申請專利範圍第1項之高電壓產生電路，其中，介於該輸出節點與該高電壓輸出線間之該至少一電阻包含有複數個串聯之電阻，且該等電阻中之至少最靠近該輸出節點之電阻的寄生電容係連接於該高電壓輸出線。

3. 如申請專利範圍第2項之高電壓產生電路，其中，所有該等電阻之寄生電容皆係連接於該電壓輸出線。



六、申請專利範圍

4. 如申請專利範圍第3項之高電壓產生電路，其中，該等電阻更包含彼此連接之寄生電容。
5. 如申請專利範圍第2項之高電壓產生電路，其中，介於該輸出節點與該高電壓輸出線間之該電阻包含有二相互串聯之電阻，且該二電阻之寄生電容皆連接於該高電壓輸出線。
6. 如申請專利範圍第2項之高電壓產生電路，其中，介於該輸出節點與該高電壓輸出線之該至少一電阻包含有二相互串聯之電阻，且其中較為靠近該輸出節點之第一電阻的寄生電容係連接於該高電壓輸出線，而其中較為靠近該高電壓輸出線之第二電阻係連接於該低電壓線。
7. 如申請專利範圍第1項之高電壓產生電路，其中，該第一電路包含有一升壓電路。
8. 如申請專利範圍第1項之高電壓產生電路，其中，該低電壓線包含有一地線。
9. 如申請專利範圍第1項之高電壓產生電路，其中，該分壓電路之電阻包含有導電層，該等導電層係設在一延伸於一半導體基板上之絕緣層中，而上述介於該輸出節點與該高電壓輸出線間之該至少一電阻，其導電層則係被定位於



六、申請專利範圍

該半導體基板中一井區域上，並藉由該絕緣層而相隔離，故該至少一電阻之一寄生電容可形成於該井區域與該導電層之間，且該井區域並電連接於該高電壓輸出線。

10. 如申請專利範圍第9項之高電壓產生電路，其中，該井區域係屬一第一導電型態，該半導體基板則屬一第二導電型態並電連接於該低電壓線。

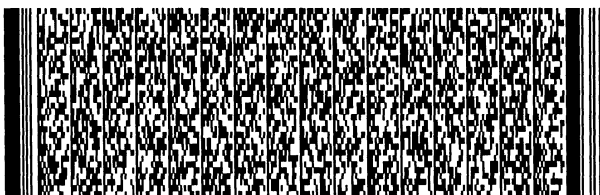
11. 如申請專利範圍第10項之高電壓產生電路，其中，該低電壓線包含有一地線。

12. 如申請專利範圍第10項之高電壓產生電路，其中，該高電壓輸出線、該輸出節點、與該低電壓線係被設置在該絕緣層之上表面上。

13. 如申請專利範圍第9項之高電壓產生電路，其中，該導電層包含有多晶矽層。

14. 如申請專利範圍第1項之高電壓產生電路，其中，介於該輸出節點與高電壓輸出線間之該至少一電阻包含有一第一電阻與一第二電阻；

該第一電阻包含有一第一導電層，該第一導電層係延伸於一第一絕緣層之上，而該第一絕緣層則延伸於一半導體基板中一井區域之上，且該井區域係電連接於該高



六、申請專利範圍

電壓輸出線，橫跨該井區域與該導電層間之該第一絕緣層則設有一該第一電阻之寄生電容；以及

該第二電阻包含有一第二導電層，該第二導電層係延伸於一第二絕緣層之上，而該第二絕緣層則延伸於該第一導電層之上，且該第二導電層並電連接於該高電壓輸出線。

15. 如申請專利範圍第14項之高電壓產生電路，其中，該井區域係屬一第一導電型態，該半導體基板係屬一第二導電型態並電連接於該低電壓線。

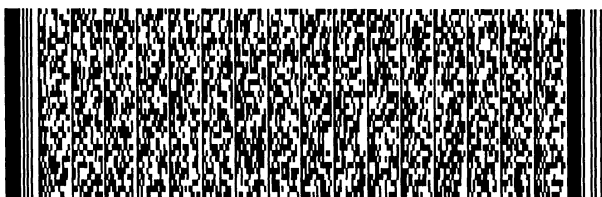
16. 如申請專利範圍第15項之高電壓產生電路，其中，該低電壓線包含有一地線。

17. 如申請專利範圍第14項之高電壓產生電路，其中，該第一導電層與該第二導電層包含有多晶矽層。

18. 如申請專利範圍第1項之高電壓產生電路，其中，該分壓電路至少具有一介於該輸出節點與該低電壓線間之低電壓端電阻，且該低電壓端電阻之一寄生電容並連接於該低電壓線。

19. 一種半導體裝置中之高電壓產生電路，包含：

一升壓電路，其具有一接受時脈信號之第一輸入



六、申請專利範圍

端子與一第二輸入端子，且該升壓電路具有一輸出端子，該輸出端子係連接於一高電壓輸出線以便輸出一高電壓；

一比較器，其具有一輸出端子，該輸出端子係連接至該升壓電路之該第二輸入端子，該比較器並具有一第一輸入端子與一用以接受一參考電壓之第二輸入端子；以及

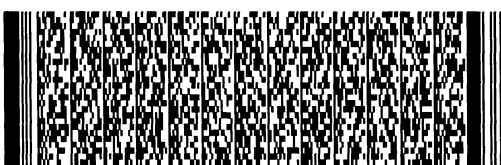
一分壓電路，連接於該高電壓輸出線與一低電壓線之間，該低電壓線具有實質上低於該高電壓輸出線電位之固定電位，該分壓電路具有一輸出節點，該節點係連接於該比較器之該第一輸入端子以便輸出一分壓；且

該分壓電路至少具有一介於該輸出節點與該高電壓輸出線間之電阻，且該分壓電路至少具有一介於該輸出節點與該低電壓線間之低電壓端電阻；

其中，介於該輸出節點與該高電壓輸出線間之該至少一電阻之一寄生電容係連接於該高電壓輸出線，而該低電壓端電阻之一寄生電容則連接於該低電壓線。

20. 如申請專利範圍第19項之半導體裝置中之高電壓產生電路，其中，介於該輸出節點與該電壓輸出線之該至少一電阻包含有複數個串聯之電阻，且該等電阻中至少最接近該輸出節點之一寄生電容係連接於該高電壓輸出線。

21. 如申請專利範圍第20項之半導體裝置中之高電壓產生電路，其中，所有該等電阻之寄生電容皆係連接於該高電



六、申請專利範圍

壓輸出線。

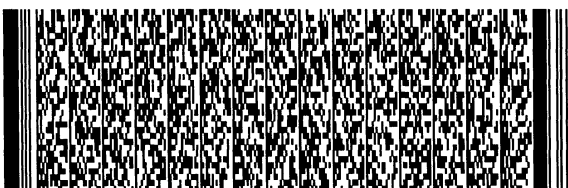
22. 如申請專利範圍第21項之半導體裝置中之高電壓產生電路，其中，該等電阻進一步具有彼此相連之寄生電容。

23. 如申請專利範圍第20項之半導體裝置中之高電壓產生電路，其中，介於該輸出節點與該高電壓輸出線間之該至少一電阻包含有二串聯之電阻，且該二電阻之寄生電容係連接於該高電壓輸出線。

24. 如申請專利範圍第20項之半導體裝置中之高電壓產生電路，其中，介於該輸出節點與該高電壓輸出線間之該至少一電阻包含有二串聯之電阻，且該二電阻中較為接近該輸出節點者之一寄生電容係連接於該高電壓輸出線，而較為接近該高電壓輸出線者之一寄生電容則係連接於該低電壓線。

25. 如申請專利範圍第19項之半導體裝置中之高電壓產生電路，其中，該低電壓線包含有一地線。

26. 如申請專利範圍第19項之半導體裝置中之高電壓產生電路，其中，該分壓電路之電阻包含有設於一絕緣層中之導電層，該絕緣層係延伸於一半導體基板之上，且前述介於該輸出節點與該高電壓輸出線間之該至少一電阻，其導



六、申請專利範圍

電層係定位於該半導體基板中一井區域上，並藉由該絕緣層而相隔離，故該至少一電阻之一寄生電容係形成在該井區域與該導電層之間，且該井區域係電連接於該高電壓輸出線。

27. 如申請專利範圍第26項之半導體裝置中之高電壓產生電路，其中，該井區域係屬一第一導電型態，該半導體基板則屬一第二導電型態並電連接於該低電壓線。

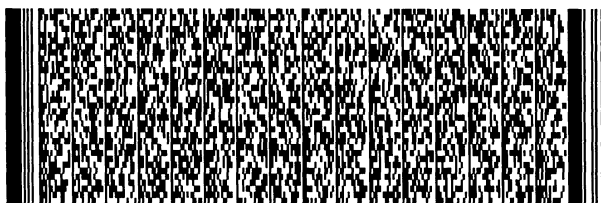
28. 如申請專利範圍第27項之半導體裝置中之高電壓產生電路，其中，該低電壓線包含有一地線。

29. 如申請專利範圍第27項之半導體裝置中之高電壓產生電路，其中，該高電壓輸出線、該輸出節點、與該低電壓線係被設置在該絕緣層之上表面上。

30. 如申請專利範圍第26項之半導體裝置中之高電壓產生電路，其中，該導電層包含有多晶矽層。

31. 如申請專利範圍第19項之半導體裝置中之高電壓產生電路，其中，介於該輸出節點與該高電壓輸出線間之該至少一電阻包含有一第一電阻與一第二電阻；

該第一電阻包含有一第一導電層，該第一導電層係延伸於一第一絕緣層之上，而該第一絕緣層則延伸於一



六、申請專利範圍

半導體基板中一井區域之上，且該井區域係電連接於該高電壓輸出線，橫跨該井區域與該導電層間之該第一絕緣層則設有一該第一電阻之寄生電容；以及

該第二電阻包含有一第二導電層，該第二導電層係延伸於一第二絕緣層之上，而該第二絕緣層則延伸於該第一導電層之上，且該第二導電層並電連接於該高電壓輸出線。

32. 如申請專利範圍第31項之半導體裝置中之高電壓產生電路，其中，該井區域係屬一第一導電型態，該半導體基板則屬一第二導電型態並電連接於該低電壓線。

33 如申請專利範圍第32項之半導體裝置中之高電壓產生電路，其中，該低電壓線包含有一地線。

34. 如申請專利範圍第31項之半導體裝置中之高電壓產生電路，其中，該第一導電層與該第二導電層包含有多晶矽層。

