

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4255683号
(P4255683)

(45) 発行日 平成21年4月15日(2009.4.15)

(24) 登録日 平成21年2月6日(2009.2.6)

(51) Int.Cl.	F I	
G09F 9/00 (2006.01)	G09F 9/00	348Z
G02F 1/1345 (2006.01)	G09F 9/00	340
H05B 33/06 (2006.01)	G02F 1/1345	
H01L 51/50 (2006.01)	H05B 33/06	
H05B 33/14 (2006.01)	H05B 33/14	A
請求項の数 11 (全 23 頁) 最終頁に続く		

(21) 出願番号	特願2002-340076 (P2002-340076)	(73) 特許権者	000005049
(22) 出願日	平成14年11月22日(2002.11.22)		シャープ株式会社
(65) 公開番号	特開2004-4492 (P2004-4492A)		大阪府大阪市阿倍野区長池町2番2号
(43) 公開日	平成16年1月8日(2004.1.8)	(74) 代理人	110000338
審査請求日	平成17年5月25日(2005.5.25)		特許業務法人原謙三国際特許事務所
(31) 優先権主張番号	特願2002-84270 (P2002-84270)	(74) 代理人	100080034
(32) 優先日	平成14年3月25日(2002.3.25)		弁理士 原 謙三
(33) 優先権主張国	日本国(JP)	(74) 代理人	100113701
			弁理士 木島 隆一
		(74) 代理人	100115026
			弁理士 圓谷 徹
		(74) 代理人	100116241
			弁理士 金子 一郎
最終頁に続く			

(54) 【発明の名称】 ガラス配線基板の接続構造、および表示装置

(57) 【特許請求の範囲】

【請求項1】

G O G方式によって基板接続部にて接続される各ガラス配線基板に設けられた複数の接続配線同士が電氣的に接続されるように、2枚のガラス配線基板同士を接続する際のガラス配線基板の接続構造において、

上記各ガラス配線基板は、それぞれの基板の互いに接続される辺に沿って、それぞれのガラス配線基板に形成された接続配線に対して絶縁膜を介して該接続配線と交差するように設けられた少なくとも1本の予備配線を有しており、

上記基板接続部では、上記接続配線と共に、各ガラス配線基板に形成された予備配線同士も接続されていることを特徴とするガラス配線基板の接続構造。

【請求項2】

一对のガラス配線基板の一方に設けられた複数の接続配線と他方に設けられた複数の接続配線とが、G O G方式によって基板接続部で電氣的に接続されるガラス配線基板の接続構造において、

上記各ガラス配線基板は、それぞれの基板の互いに接続される辺に沿って、絶縁膜を介して上記接続配線と交差するように設けられた少なくとも1本の予備配線をそれぞれに有しており、

上記基板接続部では、上記一方のガラス配線基板の予備配線と上記他方のガラス配線基板の予備配線とが電氣的に接続されていることを特徴とするガラス配線基板の接続構造。

【請求項3】

ガラス配線基板である表示パネル側基板とガラス配線基板である駆動回路側基板とのG O G方式による基板接続部にて接続される各基板に設けられた複数の接続配線同士が電氣的に接続されるように、表示パネル側基板と駆動回路側基板とが接続される表示装置において、

上記表示パネル側基板および駆動回路側基板は、それぞれの基板の互いに接続される辺に沿って、それぞれの基板に形成された接続配線に対して絶縁膜を介して該接続配線と交差するように設けられた少なくとも1本の予備配線を有しており、

上記基板接続部では、上記接続配線と共に、上記表示パネル側基板および駆動回路側基板のそれぞれに形成された予備配線同士が接続されて、基板接続部修正用予備配線を構成していることを特徴とする表示装置。

10

【請求項4】

表示領域を備えたガラス配線基板である表示パネル側基板と駆動回路を備えたガラス配線基板である駆動回路側基板とを有し、該表示パネル側基板に設けられた複数の接続配線と該駆動回路側基板に設けられた複数の接続配線とが該表示領域外のG O G方式による基板接続部で電氣的に接続される表示装置において、

上記表示パネル側基板および駆動回路側基板は、それぞれの基板の互いに接続される辺に沿って、絶縁膜を介して上記接続配線と交差するように設けられた少なくとも1本の予備配線をそれぞれに有しており、

上記基板接続部では、上記表示パネル側基板の予備配線と上記駆動回路側基板の予備配線とが電氣的に接続されて、基板接続部修正用予備配線を構成していることを特徴とする表示装置。

20

【請求項5】

上記駆動回路側基板は並列して設けられた複数の駆動回路を備え、

上記複数の接続配線は互いに隣接する複数本ずつのグループに区分けされており、

上記駆動回路の各々は上記グループの各々に属する接続配線および予備配線と電氣的に接続されていることを特徴とする請求項3または4に記載の表示装置。

【請求項6】

さらに、上記表示パネル側基板における接続配線の断線を修正するための接続配線修正用予備配線を有しており、

上記接続配線修正用予備配線は、上記基板接続部修正用予備配線に接続されていることを特徴とする請求項3ないし5の何れかに記載の表示装置。

30

【請求項7】

さらに接続配線修正用予備配線を有しており、

上記表示パネル側基板の接続配線は、表示領域外に設けられた接続配線延在部まで延在されており、

上記接続配線修正用予備配線は、上記接続配線延在部で表示パネル側基板の接続配線と電氣的に接続されているとともに、上記基板接続部修正用予備配線と電氣的に接続されていることを特徴とする請求項3ないし5の何れかに記載の表示装置。

【請求項8】

上記接続配線修正用予備配線は、上記基板接続部修正用予備配線を形成する駆動回路側基板の予備配線から少なくとも1つの駆動回路側基板を介して接続されていることを特徴とする請求項6または7に記載の表示装置。

40

【請求項9】

上記接続配線修正用予備配線は、駆動回路側基板の予備配線から少なくとも1つの駆動回路側基板の接続配線と交差しない領域を経由して設けられていることを特徴とする請求項6または7の何れかに記載の表示装置。

【請求項10】

上記基板接続部修正用予備配線は、上記表示パネル側基板および駆動回路側基板のそれぞれに形成された予備配線同士が、これらの予備配線と交差する接続配線の配置方向の両側を経由して、表示パネル側基板および駆動回路側基板の間で接続されることを特徴とす

50

る請求項 3 ないし 9 の何れかに記載の表示装置。

【請求項 1 1】

上記基板接続部修正用予備配線は、上記表示パネル側基板および駆動回路側基板のそれぞれに形成された予備配線の配線幅が、これらの予備配線と交差する接続配線の線幅よりも太くなるように設定されていることを特徴とする請求項 3 ないし 10 の何れかに記載の表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、液晶表示装置、有機 EL 表示装置および無機 EL 表示装置等のアクティブマトリクス型表示装置において、表示パネルに駆動回路基板を実装する際に用いられる配線基板の接続構造に関するものである。

10

【0002】

【従来の技術】

現在、液晶表示装置等のアクティブマトリクス型表示装置における表示パネルとこれを駆動する駆動回路との接続は、TCP (Tape Carrier Package) 方式、COG (Chip on Glass) 方式、低温多結晶シリコン技術を使用したモノリシック方式等が用いられている。

【0003】

TCP 方式は、図 11 に示すように、表示パネル 101 に対して、ゲート信号線駆動回路となるゲート IC (Integrated Circuit) 102 を搭載したゲート TCP 103 およびソース信号線駆動回路となるソース IC 104 を搭載したソース TCP 105 が複数接続されている。さらに、上記ゲート TCP 103 およびソース TCP 105 は、これらの TCP に信号を入力するためのゲート PWB (Printed Wire Bonding) 106 およびソース PWB 107 と接続されている。これらの PWB は、FPC (Flexible Printed Circuit) 108 によって外部回路基板と接続されている。

20

【0004】

COG 方式は、図 12 に示すように、表示パネル 111 にゲート信号線駆動回路となる複数のゲート IC 112 およびソース信号線駆動回路となる複数のソース IC 113 が搭載されており、これらのゲート IC 112 およびソース IC 113 は、信号を入力するためのゲート FPC 114 およびソース FPC 115 と接続され、該ゲート FPC 114 およびソース FPC 115 によって外部回路基板と接続される。

30

【0005】

TCP 方式、COG 方式は、量産化の実績が長く、製品の品質、信頼性面で有利であるが、部品点数が多く、材料費と実装加工費が高つくといった問題もある。

【0006】

また、モノリシック方式は、上記 COG 方式におけるゲート IC およびソース IC を低温多結晶技術を応用して表示パネルに作りこんでしまう方式である。この方式は、TCP 方式や COG 方式に比べて部品点数を少なくすることができるため、材料費、実装加工費を低減することができる。しかしながら、表示パネル側の設計が複雑になり、このためのコストがアップする。また、表示パネルの大型化には不利であり、使用範囲が限定される。

40

【0007】

以上の 3 方式に対して、材料コスト面でモノリシック方式と同等以下で、且つ、表示パネルに TCP 方式や COG 方式と同じアモルファスシリコンを使用した GOG (Glass on Glass) 方式が、例えば特開平 04 - 283727 号公報において考案されている。上記 GOG 方式では、図 13 に示すように、FPC 124 から入力された信号が、表示パネル 121 上の配線を経由して、駆動回路となる IC を搭載したゲート GS (Glass Stick) 122 およびソース GS 123 に入力され、表示パネル 121 を駆動する。

【0008】

上記 GOG 方式は、モノリシック方式における良品率低下の原因となる駆動回路部分をゲート GS 122 およびソース GS 123 として別工程で作成することができるため、歩留

50

まりの低下による表示パネル 1 2 1 のコストアップが低減され、かつ T C P 方式や C O G 方式に比べて部品点数が削減されている。

【 0 0 0 9 】

【 発明が解決しようとする課題 】

ところが、上記従来の構成では、特に T C P 方式および G O G 方式において、表示パネルの形成されている基板（以下、表示パネル側基板と称する）と駆動回路となる I C の形成されている基板（以下、駆動回路側基板と称する）との接続部に異物かみ込み等の接続異常によるオープン症状やリーク症状が発生する場合がある。そして、このような場合の修正方法においては、以下に示すような問題が生じる。

【 0 0 1 0 】

T C P 方式における上記接続異常箇所の修正方法では、表示パネル側基板と駆動回路側基板との接続不具合が生じた箇所の T C P を一旦剥離し、パネル表面に残った接続用樹脂の残渣を清掃し、再度、新たな T C P あるいは I C を接続する、といった作業が行われる。しかしながら、このような修正方法は、修正作業にかかる工程が多く存在し、作業効率が悪いといった問題がある。

【 0 0 1 1 】

また、G O G 方式における異物かみ込み等の基板間の接続異常によるオープン症状やリーク症状に対しては、T C P 方式と同様の修正方法を適用した場合、作業効率の問題以外に以下のような問題も生じる。すなわち、G O G 方式はコスト面で他の方式に比べて有利であるが、G O G 接続の異物かみ込みによる不良発生率の増加、および、接続不良が発生した場合の G S 交換の難しさが、大きな問題となる。

【 0 0 1 2 】

まず、G O G 方式における基板接続箇所の異物かみ込みによる不良発生率の増加であるが、図 1 4 (a) , (b) および図 1 5 (a) , (b) に基いてこれを説明する。図 1 4 (a) は図 1 1 の A - A ' 断面図であり、接続される基板間に異物がかみ込んだ場合を示す。図 1 5 (a) は図 1 3 の B - B ' 断面図であり、接続される基板間に異物がかみ込んだ場合を示す。

【 0 0 1 3 】

T C P 方式の場合は、図 1 4 (a) に示すように、異物 1 3 1 がかみ込んだ場所の表示パネル側基板の端子 1 0 9 と駆動回路側基板の端子 1 1 0 は離れてしまっているが、T C P 側基板にフレキシブル性があるため、異物 1 3 1 をかみ込んだ端子に隣接した端子では端子同士の接続が確保されている。また、図 1 4 (b) に示すように、接続される端子が比較的長い接続領域を有する場合には、異物 1 3 1 をかみ込んだ端子であっても、該異物 1 3 1 から離れた領域では端子間の接続が得られる。

【 0 0 1 4 】

これに対し、G O G 方式の場合では、図 1 5 (a) に示すように、駆動回路側基板にフレキシブル性が無いため、異物 1 3 1 をかみ込んだ箇所では表示パネル側基板の端子 1 2 5 と駆動回路側基板の端子 1 2 6 とがオープン状態となるばかりでなく、隣接した端子もオープン状態となりやすい。また、図 1 5 (b) に示すように、接続される端子が比較的長い接続領域を有する場合であっても、異物 1 3 1 から離れた領域でも端子間の接続が得られない。

【 0 0 1 5 】

また、G O G 方式の場合は、駆動回路側基板の基材となる G S ガラス上の配線は薄膜で形成されており、その厚みは 1 μ m 以下となる。このため、両基板の接続材料となる異方性導電膜 (A C F) 中の導電粒子 (5 ~ 1 0 μ m) は、端子部のみでなく端子間スペースにも凝集し、導電粒子の連結によるリーク症状が発生しやすい。これに対し、T C P 方式では、T C P 上の配線の厚みは 1 0 ~ 3 0 μ m 程度と、G S ガラス上の薄膜で形成された配線厚みに対して十分に大きく、端子間に粒子の凝集は発生しにくい。

【 0 0 1 6 】

次に、基板同士の接続部で配線の接続不良が発生した場合の駆動回路交換の難しさである

10

20

30

40

50

が、G O G方式を大型機種に適用した場合、駆動回路側基板のサイズが大きくなるため（15”クラスのマジュールに適用した場合、基板の長辺の長さは300mm程度となる）、駆動回路側基板の剥離中に駆動回路側基板あるいは表示パネル側基板が割れるなどの不具合が生じやすい。

【0017】

また、接続不良箇所が1箇所であっても、駆動回路側基板全体を交換する必要があり、T C P方式のように、個別のT C Pを交換するという作業にはならない。

【0018】

尚、異物かみ込みによる接続不良の修正方法として、異物に対するレーザー照射による分断という方法も考えられるが、導電性の異物には通常数十 μ mの厚みがあり、電極端子を傷つけずにガラス基板を通して異物のみ分断することは技術的に困難である。

10

【0019】

以上のように、特にG O G方式においては、接続不良発生率の増加、修正作業の難しさにより、修正ミスによる表示パネルの破壊、作業工数の増加、修理部材費の増加、修正時の2次不良の発生、品質の低下等が問題となる。

【0020】

本発明は、上記の問題点を解決するためになされたもので、その目的は、アクティブマトリクス型の表示装置における表示パネル側基板と駆動回路側基板との接続部等において、接続される配線基板間の配線の接続不良を、容易に、かつ2次不良の発生を抑制して修正可能とする配線基板の接続構造を提供することにある。

20

【0021】

【課題を解決するための手段】

本発明の配線基板の接続構造は、上記の課題を解決するために、基板接続部にて接続される各基板に設けられた複数の接続配線同士が電氣的に接続されるように、2枚の配線基板同士を接続する際の配線基板の接続構造において、上記各配線基板は、それぞれの配線基板に形成された接続配線に対して絶縁膜を介して該接続配線と交差するように設けられた少なくとも1本の予備配線を有しており、上記基板接続部では、上記接続配線と共に、各配線基板に形成された予備配線同士も接続されていることを特徴としている。

【0022】

あるいは、本発明の配線基板の接続構造は、上記の課題を解決するために、一对の配線基板の一方に設けられた複数の接続配線と他方に設けられた複数の接続配線とが基板接続部で電氣的に接続される配線基板の接続構造において、上記各配線基板は、絶縁膜を介して上記接続配線と交差するように設けられた少なくとも1本の予備配線をそれぞれに有しており、上記基板接続部では、上記一方の配線基板の予備配線と上記他方の配線基板の予備配線とが電氣的に接続されていることを特徴としている。

30

【0023】

上記の構成によれば、上記配線基板の接続部において異物のかみ込みなどによる接続配線間の接続不良が発生した場合、接続不良の発生した接続配線と予備配線とを短絡させることにより修正が可能となる。例えば、基板接続部において接続配線のオープン症状が発生した場合、該オープン症状が発生した接続配線と予備配線との交差部にレーザー照射することによって該接続配線と予備配線とを短絡し、予備配線を通して接続配線に信号または電圧を供給することができる。また、接続不良がリーク症状の場合には、リーク箇所付近の接続配線をレーザー照射によって切断し、接続配線からリーク箇所を分断した後、該接続配線と予備配線とを短絡して、予備配線を通して接続配線に信号または電圧を供給することができる。

40

【0024】

これにより、接続不良の発生した基板の接続において、基板の剥離、清掃、再接続といった、従来の修正方法における煩雑な工程が必要なく、レーザー照射のみによる容易な修正が可能となる。また、基板の剥離時における基板割れといった2次不良も抑制できる。

【0025】

50

本発明の表示装置は、上記の課題を解決するために、表示パネル側基板と駆動回路側基板との基板接続部にて接続される各基板に設けられた複数の接続配線同士が電氣的に接続されるように、表示パネル側基板と駆動回路側基板とが接続される表示装置において、上記表示パネル側基板および駆動回路側基板は、それぞれの基板に形成された接続配線に対して絶縁膜を介して該接続配線と交差するように設けられた少なくとも1本の予備配線を有しており、上記基板接続部では、上記接続配線と共に、上記表示パネル側基板および駆動回路側基板のそれぞれに形成された予備配線同士が接続されて、基板接続部修正用予備配線を構成していることを特徴としている。

【0026】

あるいは、本発明の表示装置は、上記の課題を解決するために、表示領域を備えた表示パネル側基板と駆動回路を備えた駆動回路側基板とを有し、該表示パネル側基板に設けられた複数の接続配線と該駆動回路側基板に設けられた複数の接続配線とが該表示領域外の基板接続部で電氣的に接続される表示装置において、上記表示パネル側基板および駆動回路側基板は、絶縁膜を介して上記接続配線と交差するように設けられた少なくとも1本の予備配線をそれぞれに有しており、上記基板接続部では、上記表示パネル側基板の予備配線と上記駆動回路側基板の予備配線とが電氣的に接続されて、基板接続部修正用予備配線を構成していることを特徴としている。

10

【0027】

上記の構成によれば、例えば液晶表示装置等のアクティブマトリクス型の表示装置において、表示パネルと駆動回路（ゲートドライバやソースドライバ等）を異なる基板上に作成し、これらの基板を接続して表示装置を構成する場合に、表示パネル側基板と駆動回路側基板との接続に上述の配線基板の接続構造を使用できる。

20

【0028】

これにより、接続不良の発生した基板の接続において、基板の剥離、清掃、再接続といった、従来の修正方法における煩雑な工程が必要なく、レーザー照射のみによる容易な修正が可能となる。また、基板の剥離時における基板割れといった2次不良も抑制できる。

【0029】

また、上記表示装置は、上記駆動回路側基板は並列して設けられた複数の駆動回路を備え、上記複数の接続配線は互いに隣接する複数本ずつのグループに区分けされており、上記駆動回路の各々は上記グループの各々に属する接続配線および予備配線と電氣的に接続されている構成とすることができる。

30

【0030】

また、上記表示装置は、さらに、上記表示パネル側基板における接続配線の断線を修正するための接続配線修正用予備配線を有し、上記接続配線修正用予備配線が上記基板接続部修正用予備配線に接続されている構成、あるいは、さらに接続配線修正用予備配線を有しており、上記表示パネル側基板の接続配線は、表示領域外に設けられた接続配線延在部まで延在されており、上記接続配線修正用予備配線は、上記接続配線延在部で表示パネル側基板の接続配線と電氣的に接続されているとともに、上記基板接続部修正用予備配線と電氣的に接続されている構成とすることができる。

【0031】

上記の構成によれば、上記接続配線修正用予備配線を設けることによって、基板接続部における接続不良の修正に加えて、表示パネル側基板における接続配線の断線（ゲートバスラインやソースバスラインの断線）をも修正できる。

40

【0032】

また、上記表示装置では、上記接続配線修正用予備配線は、上記基板接続部修正用予備配線を形成する駆動回路側基板の予備配線から少なくとも1つの駆動回路側基板を介して接続されている構成、あるいは、上記接続配線修正用予備配線は、駆動回路側基板の予備配線から少なくとも1つの駆動回路側基板の接続配線と交差しない領域を經由して設けられている構成とすることが好ましい。

【0033】

50

上記接続配線修正用予備配線と基板接続部修正用予備配線との接続は、上述のように駆動回路側基板を介して接続される以外に、表示パネル側基板内の配線のみによって接続される構成とすることも考えられる。しかしながら、この場合には、上記接続配線修正用予備配線を介して接続配線に信号を供給する際に、該接続配線修正用予備配線と接続配線との交差箇所が多くなり、接続配線修正用予備配線に発生する寄生容量が増大する。

【0034】

これに対し、上記の構成によれば、上記接続配線修正用予備配線は、上記基板接続部修正用予備配線を形成する駆動回路側基板の予備配線から少なくとも1つの駆動回路側基板の接続配線と交差しない領域を經由して設けられているため、接続配線修正用予備配線と接続配線との交差箇所を減らすことができ、接続配線修正用予備配線に発生する寄生容量を低減することができる。

10

【0035】

また、上記表示装置では、上記基板接続部修正用予備配線は、上記表示パネル側基板および駆動回路側基板のそれぞれに形成された予備配線同士が、これらの予備配線と交差する接続配線の配置方向の両側を經由して、表示パネル側基板および駆動回路側基板の間で接続される構成とすることができる。

【0036】

上記の構成によれば、上記基板接続部修正用予備配線が、接続配線の配置方向の両側を經由しているため、接続配線との交差箇所の間で該基板接続部修正用予備配線を分断することによって、1本の基板接続部修正用予備配線によって、2本の接続配線に対して冗長配線を与えることができる。すなわち、 n 本の基板接続部修正用予備配線が設けられている場合、 $2n$ 箇所のオープン症状、もしくは $2n + 1$ 箇所のリーク症状を修正できる。

20

【0037】

これにより、基板接続部修正用予備配線の配置領域の増大を最小限として、修正不良可能性を増やすことができる。

【0038】

また、上記表示装置では、上記基板接続部修正用予備配線は、上記表示パネル側基板および駆動回路側基板のそれぞれに形成された予備配線の配線幅が、これらの予備配線と交差する接続配線の線幅よりも太くなるように設定されている構成とすることが好ましい。

【0039】

上記基板接続部修正用予備配線による接続不良の修正時、該基板接続部修正用予備配線を伝搬する信号は、該基板接続部修正用予備配線によって迂回した経路を取るため、修正の加えられない接続配線を伝播する信号に比べてその伝播経路が長くなる。

30

【0040】

上記の構成によれば、上記基板接続部修正用予備配線の線幅を太くすることで、基板接続部修正用予備配線を伝搬する信号電圧に対する抵抗を、接続配線の抵抗と同程度に抑制することができる。これにより、接続配線間の配線抵抗のばらつきにより発生する表示ムラを抑制することができ、表示品位の向上を図ることができる。

【0041】

【発明の実施の形態】

本発明の実施の一形態について図1ないし図10に基づいて説明すれば、以下の通りである。尚、本実施の形態では、本発明を液晶表示装置に適用した場合に基づいて説明する。また、上記液晶表示装置では、表示パネル側基板と駆動回路側基板とをGOG方式によって接続した場合を例示する。

40

【0042】

上記液晶表示装置は、図1に示すように、表示パネル1と駆動回路側基板であるゲートGS基板3およびソースGS基板5とによって液晶パネルが形成されている。また、上記液晶パネルはFPC7によって外部回路基板と接続されており、該液晶パネルへの駆動信号は該FPC7を介して外部回路より与えられる。

【0043】

50

上記表示パネル 1 は、図 2 に示すように、ガラス基板 1 1 a 上に各種配線および画素等からなる配線層 1 1 b の形成された表示パネル側基板である T F T 基板 1 1 と、ガラス基板上に顔料分散型のアクリル系樹脂からなるカラーフィルタおよび I T O (Indium Tin Oxide) のような透明導電膜からなる対向電極を形成したカラーフィルタ基板 1 2 とをシール剤 1 3 によって貼り合わせた後、両ガラス基板間に、表示に拘わる状態が電圧に応じて変化する表示媒体層としての液晶 1 4 を注入することによって形成される。

【 0 0 4 4 】

また、上記表示パネル 1 における T F T 基板 1 1 では、例えば、横 3 0 0 m m × 縦 2 2 2 m m のサイズで、0 . 7 m m 厚のアルミノホウケイ酸ガラス基板が用いられる。そして、上記ガラス基板上に、A l (アルミ) 薄膜からなる各種配線、画素電極、およびスイッチング素子となる T F T (Thin Film Transistor) が形成される。

10

【 0 0 4 5 】

上記表示パネル 1 に形成される配線としては、複数のソースバスライン(ソース配線)、複数のゲートバスライン(ゲート配線)、さらに、画素電極の形成領域の周縁部に、ゲートバスラインと同層かつ同一の工程で形成されるパネル予備配線、端子部側の予備配線、非端子部側の予備配線、パネル内配線が形成される。但し、これらの予備配線は必ずしもゲートバスラインと同層に形成されるとは限らず、別層に形成されるものであってもよい。これらの配線構造については後述する。

【 0 0 4 6 】

また、T F T は、ソースバスラインとゲートバスラインとの交差部の近傍に設けられ、例えばアモルファスシリコンを半導体層に用いて形成される。画素電極は、I T O のような透明導電膜から形成され、上記 T F T を介してソースバスラインおよびゲートバスラインと接続される。

20

【 0 0 4 7 】

次に、上記液晶表示装置に用いられるゲート G S 基板 3 およびソース G S 基板 5 について、ソース G S 基板 5 を例にとって説明する。

【 0 0 4 8 】

ソース G S 基板 5 は、図 2 に示すように、例えば、ガラス基板 5 1 として縦 4 . 5 m m × 横 2 6 0 m m のサイズの 0 . 5 m m 厚のアルミノホウケイ酸ガラスを用い、該ガラス基板 5 1 上に、表示パネルのソースバスラインを駆動するための駆動回路 5 2、駆動回路に接続されるソース出力配線、引き回し配線、予備配線等の各種配線からなる配線層 5 3 が形成されている。配線材料としては、例えばアルミが用いられが、上記各種配線の構成については後述する。上記駆動回路は、例えば、多結晶シリコンを半導体層として用いた T F T によって構成できる。また、ゲート G S 基板 3 についても、ソース G S 基板 5 とほぼ同様の構成である。

30

【 0 0 4 9 】

以上の構造のソース G S 基板 5 およびゲート G S 基板 3 を、表示パネル 1 における T F T 基板 1 1 のソース端子部領域およびゲート端子部領域において、A C F (Anisotropic Conductive Film) 4 を介して電氣的に接続する。ここで、上記接続は A C P (Anisotropic Conductive Paste) 等を使用してもよく、接続される配線(または端子)同士の直接の接触が得られるのであれば、N C P (Non Conductive Resin Paste) を使用してもよい。

40

【 0 0 5 0 】

次に、上記 T F T 基板 1 1 およびソース G S 基板 5 における配線構造と、その接続関係とについて図 3 に基づいて説明する。尚、ゲート G S 基板 3 における配線構造と、T F T 基板 1 1 およびゲート G S 基板 3 における配線の接続関係とについては、ソース G S 基板 5 とほぼ同様であるため詳細な説明については省略する。

【 0 0 5 1 】

上記 T F T 基板 1 1 において形成される各種配線としては、ゲートバスライン 1 5、ソースバスライン 1 6、パネル側予備配線 1 7、非端子側予備配線 1 8、端子側予備配線 1 9、パネル内配線 2 0 がある。ゲートバスライン 1 5 およびソースバスライン 1 6 は、画素

50

電極およびTFTとともに表示領域21を構成するが、表示領域21内における配線は図3において図示を省略している。

【0052】

パネル側予備配線17は、TFT基板11とソースGS基板5との接続部(基板接続部)よりTFT基板側(すなわち、パネル側)でソースバスライン16と交差して設けられている。パネル側予備配線17とソースバスライン16の間には窒化シリコン膜等からなる絶縁膜が設けられており、パネル側予備配線17とソースバスライン16とは電氣的に接続されていない。また、パネル側予備配線17は、ソースバスライン16と交差しない部分でソースGS基板5との接続領域まで延設されている。

【0053】

非端子側予備配線18は、TFT基板11におけるソースGS基板5の接続されている側と反対側に設けられており、表示領域を通じて横切るように配設されたソースバスライン17と交差して設けられている。この非端子側予備配線18とソースバスライン17との交差部分が接続配線延在部となる。非端子側予備配線18とソースバスライン16の間には窒化シリコン膜等からなる絶縁膜が設けられており、非端子側予備配線18とソースバスライン16とは電氣的に接続されていない。また、非端子側予備配線18は、ソースバスライン16と交差しない部分でゲートGS基板3との接続領域まで延設されている。

【0054】

端子側予備配線19は、ゲートGS基板3に形成されている後述するゲート基板内予備配線とソースGS基板5に形成されている後述するソース基板内予備配線54とを接続するための配線として形成されている。

【0055】

パネル内配線20は、ゲートGS基板3上のゲートドライバ32およびソースGS基板5上のソースドライバ55への駆動信号および電源電圧(すなわち、駆動電圧)を供給するための配線を、FPC7とゲートGS基板3およびソースGS基板5との間で接続するためにTFT基板11内に形成されている配線である。

【0056】

一方、上記ソースGS基板5において形成される各種配線としては、ソース基板内予備配線54、ソース入力配線56、ソース出力配線57、ドライバ側予備配線58がある。

【0057】

ソース入力配線56は、FPC7から入力される駆動信号および駆動電圧をソースドライバ55へ入力するための配線であり、このため、TFT基板11におけるパネル内配線20を介しての信号入力配線71と接続されている。上記FPC7では、例えば、ポリイミド基材上に銅(Cu)箔が複数の配線にパターンニングされることにより信号入力配線71が形成される。

【0058】

ソース出力配線57は、ソースドライバ55で生成されたソース信号をTFT基板11上のソースバスライン16に出力するための配線であり、ソース出力配線57とソースバスライン16とが基板接続部において1対1に接続される。

【0059】

ドライバ側予備配線58は、TFT基板11とソースGS基板5との接続部(基板接続部)よりGS基板側(すなわち、ドライバ側)でソース出力配線57と交差して設けられている。ドライバ側予備配線58とソース出力配線57の間には窒化シリコン膜等からなる絶縁膜が設けられており、ドライバ側予備配線58とソース出力配線57とは電氣的に接続されていない。また、ドライバ側予備配線58は、ソース出力配線57と交差しない部分でTFT基板11との接続領域まで延設されている。

【0060】

ソース基板内予備配線54は、ソースGS基板5におけるドライバ側予備配線58とTFT基板11における非端子側予備配線18とを電氣的に接続するための接続配線の一部となる配線である。すなわち、ドライバ側予備配線58と非端子側予備配線18とは、ソー

10

20

30

40

50

ス基板内予備配線 5 4、端子側予備配線 1 9、およびゲート基板内予備配線 3 1 を介して電氣的に接続されている。

【 0 0 6 1 】

このように、上記液晶表示装置では、パネル側予備配線 1 7、ドライバ側予備配線 5 8、ソース基板内予備配線 5 4、端子側予備配線 1 9、ゲート基板内予備配線 3 1、および非端子側予備配線 1 8 が接続されることによって、図 1 に示す予備配線 8 が構成される。尚、上記予備配線 8 においては、パネル側予備配線 1 7 およびドライバ側予備配線 5 8 によって基板接続部修正用予備配線が構成され、ドライバ側予備配線 5 8、ソース基板内予備配線 5 4、端子側予備配線 1 9、ゲート基板内予備配線 3 1、および非端子側予備配線 1 8 によって接続配線修正用予備配線が構成される。

10

【 0 0 6 2 】

また、図 1 の構成では予備配線 8 の本数は 2 本であり、図 3 の構成では 3 本であるが、本発明において上記予備配線 8 の配線本数は必要な修正可能数により決定されるものであり、特に限定されるものではない（1 本のみでもよいし複数配線してもよい）。

【 0 0 6 3 】

尚、上記予備配線 8 を複数本配設する場合、異なる予備配線同士は電氣的に接続されない。このため、異なる予備配線同士が交差する箇所では、間に絶縁膜を設けて多層構造にて予備配線が配設される。その結果、予備配線の一部が最上層よりも下層に形成されることがある。しかしながら、上記予備配線を基板接続部において他の基板に形成されている予備配線と接続するためには、少なくとも基板接続部においては上記予備配線が最上層に形成されている必要がある。このような場合、少なくとも基板接続部においては全ての予備配線が最上層に位置するように形成し、これと接続されるべき同一の予備配線がより下層に形成される場合は、その交差箇所においてコンタクトホールを設けて異なる層に形成された予備配線同士を電氣的に接続することができる。もちろんこれ以外に、設計の都合上、同一の予備配線を異なる層に形成する場合には、コンタクトホールによる接続が利用される。

20

【 0 0 6 4 】

ここで、本実施の形態に係る液晶表示装置の製造方法についてその一例を説明する。

【 0 0 6 5 】

表示パネル 1 を構成する TFT 基板 1 1 については、まず 0 . 7 mm 厚のガラス基板上にスパッタ法を用いてチタニウム膜、アルミニウム膜、窒化チタニウム膜を順次積層し、フォトリソグラフ・ドライエッチング技術を用いて、ゲートバスライン 1 5、ゲート電極（図示せず）、ゲート側接続端子（図示せず）、パネル側予備配線 1 7、端子側予備配線 1 9、パネル内配線 2 0 およびソース側接続端子（図示せず）を形成する。

30

【 0 0 6 6 】

次に、プラズマ CVD 法を用いて、ゲート絶縁膜となる窒化シリコン膜、半導体層となる真性アモルファスシリコン層、ソース電極コンタクト層およびドレイン電極コンタクト層となる n⁺アモルファスシリコン層を順次積層した後、フォトリソグラフ・ドライエッチング技術を用いて、窒化シリコン膜のゲート側接続端子及びソース側接続端子上となる部位にコンタクトホール（図示せず）を形成するとともに、n⁺アモルファスシリコン層と真性アモルファスシリコン層を島状にパターニングする。

40

【 0 0 6 7 】

次に、スパッタ法を用いて、透明導電膜である ITO 膜、タンタル膜、窒化タンタル膜を順次積層し、フォトリソグラフ・エッチング技術を用いて、ソースバスライン 1 6、ソース電極（図示せず）およびドレイン電極（図示せず）を形成する。このとき、ソースバスライン 1 6 とソース側接続端子は、ゲート絶縁膜である窒化シリコン膜に設けられたコンタクトホールを介して電氣的に接続される。

【 0 0 6 8 】

また、ソース電極とドレイン電極とは、n⁺アモルファスシリコン層と真性アモルファスシリコン層からなる島状パターンの上で分離されるように形成されている。

50

【 0 0 6 9 】

更に、n + アモルファスシリコン層と真性アモルファスシリコン層をエッチングすることによって、ソース電極コンタクト層（図示せず）、ドレイン電極コンタクト層（図示せず）およびチャンネル領域（図示せず）を形成してT F Tを構成する。

【 0 0 7 0 】

次いでプラズマC V D法により保護層となる窒化シリコン膜を成膜し、そのドレイン電極上となる部位に、画素電極と電氣的に接続する為のコンタクトホールをパターンニングした後、スパッタ法により透明導電膜であるI T O膜を成膜・パターンニングして画素電極（図示せず）を形成する。

【 0 0 7 1 】

そして、上記で得られた基板上にポリイミド系樹脂からなる配向膜を形成し、これをラビング法によって配向処理する。以上の工程を経て、表示パネル1を構成するT F T基板11を得ることができる。

【 0 0 7 2 】

なお、以上の工程を経てT F T基板11が形成されるにあたり、ゲート側接続端子およびソース側接続端子は、外部と電氣的に接続が可能となるように導電層が露出されることはいうまでもない。

【 0 0 7 3 】

次に、表示パネル1を構成するカラーフィルタ基板12については、まず0.7mm厚のガラス基板上にアクリル系樹脂を基材とする顔料分散型のカラーフィルタを形成し、その上に、スパッタ法により、対向電極として透明導電膜であるI T O膜を形成する。更に、ポリイミド系樹脂からなる配向膜を形成し、これをラビング法によって配向処理する。以上の工程をもって、表示パネル1を構成するカラーフィルタ基板12を得ることができる。

【 0 0 7 4 】

次に、カラーフィルタ基板12上にスクリーン印刷法を用いてシール剤を塗布し、T F T基板11上に乾式散布法を用いてスペーサ材を散布する。そしてカラーフィルタ基板12とマトリクス基板11とを互いの配向膜の形成面が一定の間隙をもって対向するようにして貼り合わせる。更に、カラーフィルタ基板12とT F T基板11との間に、液晶を注入することによって、表示パネル1が形成される。

【 0 0 7 5 】

次に、ソースG S基板5の形成方法について説明する（ゲートG S基板3も同様の方法で形成される）。

【 0 0 7 6 】

表示パネル1におけるT F T基板11と同様の製法を用いて、アルミノホウケイ酸からなるガラス基板上に、ポリシリコンからなる薄膜トランジスタを使ったソースドライバ55、該ソースドライバ55と接続されるソース出力配線57、接続端子を形成する。

【 0 0 7 7 】

次に、表示パネル1におけるT F T基板11とソースG S基板5との接続方法について説明する（T F T基板11とゲートG S基板3も同様の方法で接続される）。

【 0 0 7 8 】

これは、ソースG S基板5におけるソースドライバ55の形成面側が、T F T基板11のソース側端子部領域に対向するように、ソースG S基板5とT F T基板11との接続端子同士をA C Fを介して重畳させた後、300 に加熱されたツールを重畳した箇所に押し当てることによって行なわれる。このとき、ツールは、合金工具鋼鋼材からなる。

【 0 0 7 9 】

次に、T F T基板11とF P C 7との接続方法について説明する。

【 0 0 8 0 】

F P C 7の接続端子とT F T基板11の接続端子とを、A C Fを介して対向するように重畳させた後、重畳した個所に300 に加熱されたツールを押し当てることによって、接

10

20

30

40

50

続される。

【 0 0 8 1 】

以上のようにして、本実施の形態に係る液晶表示装置が形成される。

【 0 0 8 2 】

上記液晶表示装置において、電源電圧の劣化を防止するため、ソースバスライン 1 6 が互いに隣接する複数本ずつのグループに区分けされ、各グループ毎のソースバスライン 1 6 に対して異なるソースドライバ 5 5 により駆動する分割駆動が一般に行われている。このような場合、上記予備配線 8 におけるパネル側予備配線 1 7 およびドライバ側予備配線 5 8 は、各ソースドライバ 5 5 毎に設けられる。しかしながら、ソース基板内予備配線 5 4、端子側予備配線 1 9、ゲート基板内予備配線 3 1、および非端子側予備配線 1 8 は、各ソースドライバ 5 5 毎に別個に設けても良いし、あるいは複数のソースドライバ 5 5 毎に共通して設けても良い（尚、全てのソースドライバ 5 5 で共通とは限らない）。ソース基板内予備配線 5 4、端子側予備配線 1 9、ゲート基板内予備配線 3 1、および非端子側予備配線 1 8 を、各ソースドライバ 5 5 毎に別個に設ける構成を図 4 (a) に示し、複数のソースドライバ 5 5 毎に共通して設ける構成を図 4 (b) に示す。

10

【 0 0 8 3 】

尚、上記説明では、ソース側における予備配線構成を示したが、ゲート側においても同様の設計にて予備配線を設けることが可能である。

【 0 0 8 4 】

上記構成の液晶表示装置における各配線のピッチおよび配線幅の具体的な構成例は以下の通りである。但し、以下の各寸法は、配線全体にかかるものとは限らず、少なくとも基板接続部の接続端子における寸法を示すものである。

20

・ F P C 7 - T F T 基板 1 1 接続部：

配線ピッチ 0 . 3 mm ; 信号入力配線 7 1 の幅 (F P C 端子幅) 0 . 1 mm ; パネル内配線 2 0 の幅 (T F T パネル端子幅) 0 . 2 mm

・ T F T 基板 1 1 - ゲート G S 基板 3 またはソース G S 基板 5 接続部 (駆動回路駆動用の信号・電源伝送配線 / 予備配線 (伝送部分))：

配線ピッチ 0 . 3 mm ; 非端子側予備配線 1 8 および端子側予備配線 1 9 の幅 (T F T パネル端子幅) 0 . 2 mm ; ゲート基板内予備配線 3 1 , ソース基板内予備配線 5 4 , ゲート入力配線およびソース入力配線 5 6 の幅 (G S 基板端子幅) 0 . 1 mm

30

・ T F T 基板 1 1 - ゲート G S 基板 3 またはソース G S 基板 5 接続部 (パネル絵素部への出力信号接続部)：

配線ピッチ 0 . 0 7 mm ; ソースバスライン 1 6 の幅 (T F T パネル端子幅) 0 . 0 4 mm ; ソース出力配線 5 7 (G S 基板端子幅) 0 . 0 4 mm (ソース側)

配線ピッチ 0 . 1 mm ; パネル側予備配線 1 7 の幅 (T F T パネル端子幅) 0 . 0 7 mm ; ドライバ側予備配線 5 8 (G S 基板端子幅) 0 . 0 4 mm (ソース側予備配線)

配線ピッチ 0 . 2 mm ; ゲートバスライン 1 5 の幅 (T F T パネル端子幅) 0 . 1 mm ; ゲート出力配線 (G S 基板端子幅) 0 . 1 mm (ゲート側)

上記構成の液晶表示装置においては、表示パネル側基板である T F T 基板 1 1 と駆動回路側基板であるソース G S 基板 5 (またはゲート G S 基板 3) との接続部に発生した接続不良を修正する予備配線を搭載することにより、従来は駆動回路基板を取り替えることにより修正を行っていた修理作業をレーザー修正で行うことができる。このため、修理にかかる工程数を大幅に低減でき、人件費の低減およびスループットの向上を図ることができる。

40

【 0 0 8 5 】

また、接続不良の生じた駆動回路側基板を廃棄する必要が無く、材料費が低減できる。

【 0 0 8 6 】

さらに、修理で発生する 2 次不良の発生を抑制することができる。同時に、2 次不良が発生しにくい信頼性の高いモジュールを提供できる。

【 0 0 8 7 】

50

また、回路基板の交換修理で発生する、表示パネルの破壊（接続端子の断線など）を防止できる。

【0088】

次に、上記構造の予備配線を備えた液晶表示装置において、基板接続部にて接続不良が生じた場合の修正方法を説明する。

【0089】

図5(a)は、基板接続部に導電性の異物9aが混入することにより発生したリーク症状の第1の修正方法を示す。尚、図5(a)では、ソース信号XおよびYを出力する隣接した2本のソースバスラインが異物9aによってリークした状態を示している。

【0090】

導電性の異物9aには通常数10 μ mの厚みがあり、ガラス基板を通してレーザー等で分断することは困難であり、予備配線による修正が必要となる。このため、信号XおよびYを出力する信号線、すなわち、ソースバスライン16およびソース出力配線57は、パネル側予備配線17およびソース出力配線57の内側にて合計4箇所がレーザーにより分断され(図中、×印で示す)、電氣的に絶縁される。ここで、ソースバスライン16およびソース出力配線57の膜厚は約3000 μ mであり、これらの配線はエキシマレーザーによる分断が可能である。

【0091】

次に、信号XおよびYを出力するソースバスライン16とパネル側予備配線17とのクロス部分、およびソース出力配線57とドライバ側予備配線58とのクロス部分(交差部分)をレーザーにより合計4箇所短絡する(図中、黒丸で示す)。

【0092】

以上の作業により、信号XおよびYは各々固有の信号を、上記リーク部分を迂回し、予備配線を介して表示パネル部へと出力することができる(図中、信号XおよびYの流れを太線で示す)。

【0093】

また、図5(b)は、図5(a)の場合と同様に接続部に導電性9aの異物が混入することにより発生したリーク症状の第2の修正方法を示す。

【0094】

図5(b)の構成では、異物9aにより信号XおよびYを出力する信号線がリーク症状となっているのは図5(a)の場合と同じであるが、上記リーク箇所を迂回するための信号線の分断、および信号線と予備配線との短絡箇所が信号Xに対応した部分のみとなっている。この結果、信号Xは予備配線を迂回した信号の流れとなるが、信号Yは予備配線を迂回しないで、ソースドライバ55からソース出力配線57およびソースバスライン16を介して表示パネルへと信号が流れている。この修正方法によっても、図5(a)に示した方法と同様の効果を得ることができる。

【0095】

次に、図5(c)は、基板接続部に浮き9bが生じオープン状態(絶縁性の異物や気泡によって、ACFによる接続端子間の電氣的な接続が得られない接続不良)となった症状の修正方法を示す。

【0096】

この場合は、信号XおよびYを出力する信号線と予備配線とのクロス部分をレーザーにより合計4箇所短絡する。この結果、ソースドライバ55から出力された信号XおよびYは、上記オープン部分を迂回し、予備配線を介して表示パネル部へと伝達される(図中、信号XおよびYの流れを太線で示す)。

【0097】

以上の修正方法は、リーク症状およびオープン症状のそれぞれの場合の修正方法を示したものであるが、リーク症状およびオープン症状が組み合わされた接続不良の場合でも、上記の方法を組み合わせることにより修正が可能である。この時、不良発生の傾向を把握し、予備配線本数を設計段階で調整することが重要である。

10

20

30

40

50

【0098】

上記図5の説明では、基板接続部における接続不良を予備配線にて修正する場合を示したが、本実施の形態に係る液晶表示装置は、ソースバスライン（もしくはゲートバスライン）の断線不良が生じた場合にも予備配線を用いた修正が可能である。

【0099】

図6にソース断線が生じた液晶表示装置の例を示す。図6の例では、図中、印で示す箇所にソースバスライン16の断線が生じているものとする。このとき、特に修正を行わなければ、ソースバスライン55から出力される信号は、上記断線の生じているソースバスライン16で断線箇所より先の信号供給が途切れることとなる。

【0100】

この場合の修正方法としては、断線の生じているソースバスライン16において、該ソースバスライン16に繋がるソース出力配線57とドライバ側予備配線58とのクロス部分（交差部分）をレーザーにより短絡し、さらに、表示エリアの外まで延びた該ソースバスライン16と非端子側予備配線18とのクロス部分（交差部分）をレーザーにより短絡する。ここで、上記短絡箇所を含むドライバ側予備配線58と非端子側予備配線18とは同一の予備配線8に属するものである。

【0101】

これにより、断線の生じているソースバスライン16において、断線箇所より端子側（すなわち、ソースGS基板5と接続されている側）では、ソース出力配線57およびソースバスライン16を介して信号が供給される一方、非端子側（すなわち、ソースGS基板5と接続されていない側）では、ドライバ側予備配線58、ソース基板内予備配線54、端子側予備配線19、ゲート基板内予備配線31、および非端子側予備配線18を介して信号が供給される。

【0102】

また、上記図6の構成においては、ソースGS基板5上のドライバ側予備配線58とTFT基板11の非端子側予備配線18との接続が、ゲートGS基板3およびソースGS基板5上の予備配線を介して行なわれる。このため、ソースバスライン16の断線修正時において、予備配線8を介して非端子側から供給される信号は、ソースバスライン16とパネル側予備配線17との絶縁膜を介した交差部を通過しないため、寄生容量の発生を抑え、ソース信号電圧のなまりを防止することができる。さらに、このことは、ゲートバスラインの冗長についても同様の構造を持てば、同様の効果を得ることができる。

【0103】

また、本実施の形態においては、パネル側予備配線17とドライバ側予備配線58とは、ソースバスライン16またはゲートバスライン15よりも線幅が太く形成されることが好ましい。これにより、冗長配線を伝搬する信号電圧に対する抵抗をバスラインの抵抗と同程度に抑制することができる。

【0104】

予備配線の配線幅、および、接続端子部の幅を広く設定することにより、修正ラインのバスライン抵抗と修正のない場所のバスライン抵抗とをほぼ均一にすることができる。これにより、バスライン間の配線抵抗のばらつきにより発生する表示ムラを抑制することができる。表示品位の向上を図ることができる。

【0105】

尚、上記説明における構成はあくまで一例であり、本発明はこれに限定されるものではなく、種々の変形例を取ることが可能である。例えば、基板接続部における予備配線の変形例を図7に示す。

【0106】

図7に示す構成では、パネル側予備配線17およびドライバ側予備配線58は、同一のソースドライバ55にて駆動される複数のソースバスライン16の両側を迂回するように配置されている。これにより、上記予備配線（すなわち、パネル側予備配線17およびドライバ側予備配線58）がソースバスライン16とソース出力配線57との接続領域を囲む

10

20

30

40

50

ようにして配置される。なお、図7では、上記予備配線が2本の場合の構成を示しているが、この本数は特に限定されない。

【0107】

ここで、上記図7の構成における基板接続部での修正方法を説明する。まず、基板接続部においてオープン不良が発生した場合の修正方法を図7(a)に示す。例えば、オープン不良箇所9cの発生している信号線(ここでは、4本)について、うち左から2本目と3本目との間において、パネル側予備配線17およびドライバ側予備配線58をレーザーにより分断する(図中、×印で示す)。これにより、接続領域を囲むようにして配置された2本の予備配線が4本の独立した予備配線として使用できる。

【0108】

さらに、修正される4本の信号線のうち、ソースバスライン16とパネル側予備配線17との交差部分をレーザーによって短絡し、ソース出力配線57とドライバ側予備配線58との交差部分をレーザーによって短絡する。この時の短絡箇所は、図中黒丸で示されるようになり、修正される4本の信号線について外側の2本は外側の予備配線によって接続され、内側の2本は内側の予備配線によって接続される。この方法によれば、(予備配線本数×2)本の信号線についてまで、オープン症状の修正が可能である。

【0109】

次に、基板接続部においてリーク不良が発生した場合の修正方法を図7(b)に示す。例えば、リーク不良箇所9dの発生している信号線(ここでは、5本)について、うち左から2本目と3本目との間において、パネル側予備配線17およびドライバ側予備配線58をレーザーにより分断する(図中、×印で示す)。これにより、接続領域を囲むようにして配置された2本の予備配線が4本の独立した予備配線として使用できる。また、リーク不良箇所9dの発生している5本の信号線うち、左から1~4本目の信号線について、予備配線の内側でリーク不良箇所9dと分断される(図中、×印で示す)。

【0110】

さらに、修正される5本の信号線のうち、左から1~4本目の信号線について、ソースバスライン16とパネル側予備配線17との交差部分をレーザーによって短絡し、ソース出力配線57とドライバ側予備配線58との交差部分をレーザーによって短絡する。この時の短絡箇所は、図中黒丸で示されるようになり、修正される4本の信号線について外側の2本は外側の予備配線によって接続され、内側の2本は内側の予備配線によって接続される。また、リーク不良箇所9dの発生している5本の信号線のうち、最も右側の信号線は他の4本の信号線の分断によって独立する。この方法によれば、(予備配線本数×2+1)本の信号線についてまで、リーク症状の修正が可能である。

【0111】

また、上記図7の構成において、不良発生箇所が予備配線による修正可能数よりも少ない場合には、修正に用いられる予備配線と交差する信号線の本数が少なくなるようにすることで、予備配線に生ずる寄生容量を低減できる。

【0112】

また、ドライバ側予備配線58とソース基板内予備配線54との接続構成における変形例を図8ないし図10に示す。

【0113】

図1に示す構成では、パネル側予備配線17、ドライバ側予備配線58、およびソース基板内予備配線54がS形状(パネル側予備配線17とドライバ側予備配線58の接続箇所と、ドライバ側予備配線58とソース基板内予備配線54の接続箇所が、ソースバスライン16およびソース出力配線57の配設領域を挟み、両側に別れて配置されている)に配置されているが、図8に示す構成では、パネル側予備配線17、ドライバ側予備配線58、およびソース基板内予備配線54がF形状(パネル側予備配線17とドライバ側予備配線58の接続箇所と、ドライバ側予備配線58とソース基板内予備配線54の接続箇所がソースバスライン16およびソース出力配線57の配設領域の片側に共に配置されている)に配置されている。

10

20

30

40

50

【 0 1 1 4 】

また、図 9 に示す構成では、パネル側予備配線 1 7、ドライバ側予備配線 5 8、およびソース基板内予備配線 5 4 が 8 字形状（パネル側予備配線 1 7 とドライバ側予備配線 5 8 の接続箇所と、ドライバ側予備配線 5 8 とソース基板内予備配線 5 4 の接続箇所が、ソースバスライン 1 6 およびソース出力配線 5 7 の配設領域を挟み、両側にそれぞれ配置されている）に形成されている。この構成によれば、ソースバスライン 1 6 の断線が生じた場合の修正において、断線が生じたソースバスラインの位置に応じて、修正に用いられるドライバ側予備配線 5 8 と交差するソース出力配線 5 7 の本数が少なくなるようにすることで、ドライバ側予備配線 5 8 に生ずる寄生容量を低減できる。

【 0 1 1 5 】

更に上記によれば、パネル側予備配線 1 7 とドライバ側予備配線 5 8 がソースバスライン 1 6 およびソース出力配線 5 7 の配設領域を挟み、両側で接続されているので、仮に一方のパネル側予備配線 1 7 とドライバ側予備配線 5 8 との接続においてオープン症状が発生したとしても、もう一方のパネル側予備配線 1 7 とドライバ側予備配線 5 8 との接続を利用して修正を行うことができる。

【 0 1 1 6 】

また、図 1 0 に示す構成では、2 つのソースドライバ 5 5 のブロックをひとかたまりとして、予備配線を配置している。すなわち、パネル側予備配線 1 7 およびドライバ側予備配線 5 8 が、2 つ分のソースドライバ 5 5 によって駆動される複数のソースバスライン 1 6 およびソース出力配線 5 7 にわたって配置され、ソース基板内予備配線 5 4 は、上記ドライバ側予備配線 5 8 の中央部（2 つのソースドライバ 5 5 の間）で該ドライバ側予備配線 5 8 と接続される。さらに、図 1 0 の構成では、非端子側予備配線 1 8 へのソース信号の取り出しは、2 つのブロックで 2 本となっている。

【 0 1 1 7 】

また、ドライバ側予備配線 5 8 と非端子側予備配線 1 8 との接続については、上記説明では、ゲート G S 基板 3 およびソース G S 基板 5 を介した予備配線によって接続がなされている。しかしながら、ドライバ側予備配線 5 8 と非端子側予備配線 1 8 との接続は、T F T 基板 1 1 内のみで行うことも可能である。この場合は、非端子側予備配線 1 8 は、パネル側予備配線 1 7 と接続される構成とすればよい。

【 0 1 1 8 】

しかしながら、ドライバ側予備配線 5 8 と非端子側予備配線 1 8 とを T F T 基板 1 1 内のみで接続する構成では、ソースバスライン 1 6 との交差箇所が多くなり、予備配線に発生する寄生容量が増大するため、ドライバ側予備配線 5 8 と非端子側予備配線 1 8 との接続をゲート G S 基板 3 およびソース G S 基板 5 を介した予備配線によって接続する構成が好ましい。また、上記説明では、ドライバ側予備配線 5 8 と非端子側予備配線 1 8 との接続は、ゲート G S 基板 3 およびソース G S 基板 5 の 2 つの駆動回路側基板を介して接続されているが、1 つの駆動回路側基板（ドライバ側予備配線 5 8 と非端子側予備配線 1 8 との接続についてはソース G S 基板 5）を介して接続されるものであってもよい。

【 0 1 1 9 】

尚、本実施の形態においては、本発明を液晶表示装置に適用する場合について、説明したが、これに限定されるものではなく、プラズマ表示装置、有機 E L 表示装置等、端子部を持つ表示装置であれば本発明の適用が可能である。

【 0 1 2 0 】

また本発明では、液晶表示装置のようなアクティブマトリクス型における表示パネル側基板と駆動回路側基板との接続についての使用に限定されるものではない。すなわち、複数の配線を有する回路基板同士の接続において、その基板接続部にて配線同士も接続されるような構成であれば、その基板接続部の構造において本発明を適用することが可能であり、これらの回路基板の使用目的は特に限定されない。

【 0 1 2 1 】

【 発明の効果 】

本発明の配線基板の接続構造は、以上のように、基板接続部にて接続される各基板に設けられた複数の接続配線同士が電氣的に接続されるように、2枚の配線基板同士を接続する際の配線基板の接続構造において、上記各配線基板は、それぞれの配線基板に形成された接続配線に対して絶縁膜を介して該接続配線と交差するように設けられた少なくとも1本の予備配線を有しており、上記基板接続部では、上記接続配線と共に、各配線基板に形成された予備配線同士も接続されている構成である。

【0122】

それゆえ、上記配線基板の接続部において異物のかみ込みなどによる接続配線間の接続不良が発生した場合、基板の剥離、清掃、再接続といった、従来の修正方法における煩雑な工程が必要なく、レーザー照射のみによる容易な修正が可能となるといった効果を奏する。また、基板の剥離時における2次不良を抑制できるといった効果を併せて奏する。

10

【0123】

本発明の表示装置は、以上のように、表示パネル側基板と駆動回路側基板との基板接続部にて接続される各基板に設けられた複数の接続配線同士が電氣的に接続されるように、表示パネル側基板と駆動回路側基板とが接続される表示装置において、上記表示パネル側基板および駆動回路側基板は、それぞれの基板に形成された接続配線に対して絶縁膜を介して該接続配線と交差するように設けられた少なくとも1本の予備配線を有しており、上記基板接続部では、上記接続配線と共に、上記表示パネル側基板および駆動回路側基板のそれぞれに形成された予備配線同士が接続されて、基板接続部修正用予備配線を構成している。

20

【0124】

それゆえ、例えば液晶表示装置等のアクティブマトリクス型の表示装置において、表示パネルと駆動回路（ゲートドライバやソースドライバ等）を異なる基板上に作成し、これらの基板を接続して表示装置を構成する場合に、表示パネル側基板と駆動回路側基板との接続に上述の配線基板の接続構造を使用することで、接続不良の発生した基板の接続において、レーザー照射のみによる容易な修正が可能となるといった効果を奏する。また、基板の剥離時における2次不良を抑制できるといった効果を併せて奏する。

【0125】

また、上記表示装置は、さらに、上記表示パネル側基板における接続配線の断線を修正するための接続配線修正用予備配線を有し、上記接続配線修正用予備配線が上記基板接続部修正用予備配線に接続されている構成とすることができる。

30

【0126】

それゆえ、上記接続配線修正用予備配線を設けることによって、基板接続部における接続不良の修正に加えて、表示パネル側基板における接続配線の断線（ゲートバスラインやソースバスラインの断線）をも修正できる。このとき、駆動回路から接続配線修正用予備配線および基板接続部修正用予備配線に信号を出力するための出力端子を低減でき、基板の小型化が図れるといった効果を奏する。

【0127】

また、上記表示装置では、上記接続配線修正用予備配線は、上記基板接続部修正用予備配線を形成する駆動回路側基板の予備配線から少なくとも1つの駆動回路側基板の接続配線と交差しない領域を経由して設けられている構成とすることが好ましい。

40

【0128】

それゆえ、上記接続配線修正用予備配線と接続配線との交差箇所を減らすことができ、接続配線修正用予備配線に発生する寄生容量を低減することができるといった効果を奏する。

【0129】

また、上記表示装置では、上記基板接続部修正用予備配線は、上記表示パネル側基板および駆動回路側基板のそれぞれに形成された予備配線同士が、これらの予備配線と交差する接続配線の配置方向の両側を経由して、表示パネル側基板および駆動回路側基板の間で接続される構成とすることができる。

50

【0130】

それゆえ、上記基板接続部修正用予備配線が、接続配線の配置方向の両側を經由しているため、接続配線との交差箇所の間で該基板接続部修正用予備配線を分断することによって、1本の基板接続部修正用予備配線によって、2本の接続配線に対して冗長配線を与えることができる。これにより、基板接続部修正用予備配線の配置領域の増大を最小限として、修正不良可能数を増やすことができるといった効果を奏する。

【0131】

また、上記表示装置では、上記基板接続部修正用予備配線は、上記表示パネル側基板および駆動回路側基板のそれぞれに形成された予備配線の配線幅が、これらの予備配線と交差する接続配線の線幅よりも太くなるように設定されている構成とすることが好ましい。

10

【0132】

それゆえ、上記基板接続部修正用予備配線の線幅を太くすることで、基板接続部修正用予備配線を伝搬する信号電圧に対する抵抗を、接続配線の抵抗と同程度に抑制することができる。これにより、接続配線間の配線抵抗のばらつきにより発生する表示ムラを抑制することができ、表示品位の向上を図ることができるといった効果を奏する。

【図面の簡単な説明】

【図1】本発明の一実施形態を示すものであり、液晶表示装置の全体構成を示す平面図である。

【図2】図1のA-A断面を示すものであり、上記液晶表示装置の接続部の構成を示す断面図である。

20

【図3】上記液晶表示装置の詳細な配線構造を示す平面図である。

【図4】上記液晶表示装置におけるドライバ側予備配線とソース基板内予備配線との接続例を示す図であり、図4(a)はソース基板内予備配線を共有しない場合の平面図、図4(b)はソース基板内予備配線を共有する場合の平面図である。

【図5】上記液晶表示装置における基板接続部の接続不良の修正例を示すものであり、図5(a)はリーク症状の修正における第1の例を示す平面図、図5(b)はリーク症状の修正における第2の例を示す平面図、図5(c)はオープン症状の修正における例を示す平面図である。

【図6】上記液晶表示装置におけるソースバスラインの断線の修正例を示す平面図である。

30

【図7】上記液晶表示装置における基板接続部の接続不良の修正例を示すものであり、図7(a)はオープン症状の修正における例を示す平面図、図7(b)はリーク症状の修正における例を示す平面図である。

【図8】上記液晶表示装置におけるドライバ側予備配線とソース基板内予備配線との図1とは異なる接続例を示す平面図である。

【図9】上記液晶表示装置におけるパネル側予備配線とドライバ側予備配線との接続構成における変形例を示す平面図である。

【図10】上記液晶表示装置におけるパネル側予備配線とドライバ側予備配線との接続構成における変形例を示す平面図である。

【図11】従来のTCP方式による表示装置の概略平面図である。

40

【図12】従来のCOG方式による表示装置の概略平面図である。

【図13】従来のGOG方式による表示装置の概略平面図である。

【図14】TCP方式の基板接続における不良発生箇所の状態を示す図であり、図14(a)は図11のA-A'断面図、図14(b)は図14(a)のAY-AY'断面図である。

【図15】GOG方式の基板接続における不良発生箇所の状態を示す図であり、図15(a)は図13のB-B'断面図、図15(b)は図15(a)のBY-BY'断面図である。

【符号の説明】

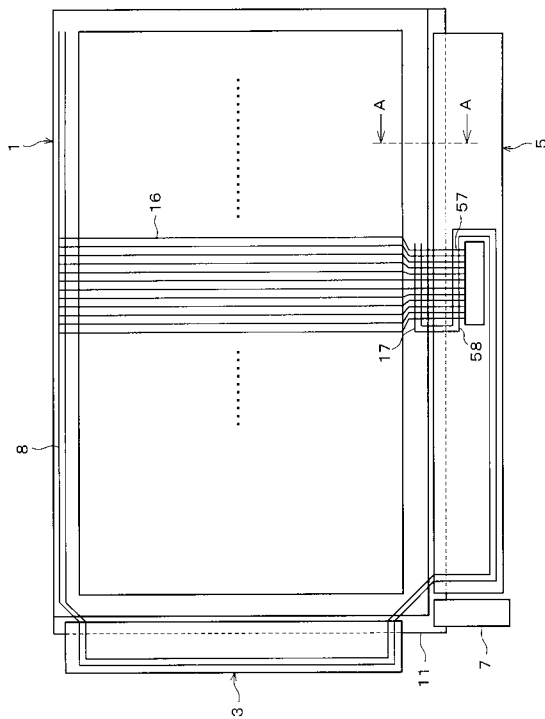
1 表示パネル

50

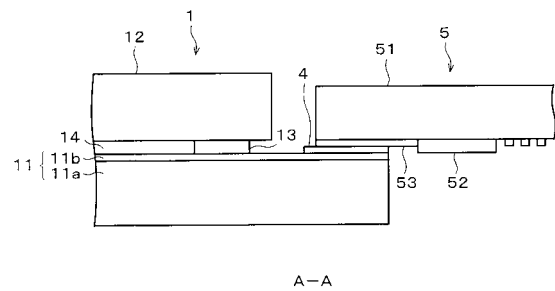
- 3 ゲートGS基板
- 5 ソースGS基板（配線基板、駆動回路側基板）
- 11 TFT基板（配線基板、表示パネル側基板）
- 15 ゲートバスライン
- 16 ソースバスライン（接続配線）
- 17 パネル側予備配線（予備配線、基板接続部修正用予備配線）
- 18 非端子側予備配線（接続配線修正用予備配線）
- 19 端子側予備配線（接続配線修正用予備配線）
- 31 ゲート基板内予備配線（接続配線修正用予備配線）
- 54 ソース基板内予備配線（接続配線修正用予備配線）
- 55 ソースドライバ（駆動回路）
- 57 ソース出力配線（接続配線）
- 58 ドライバ側予備配線（予備配線、基板接続部修正用予備配線、接続配線修正用予備配線）

10

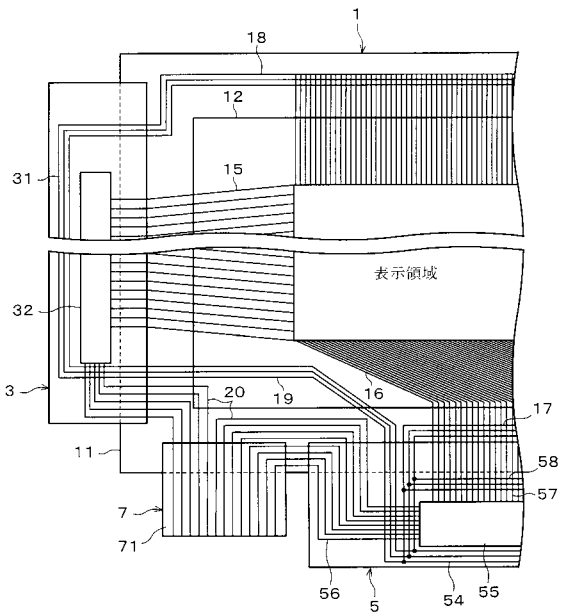
【図1】



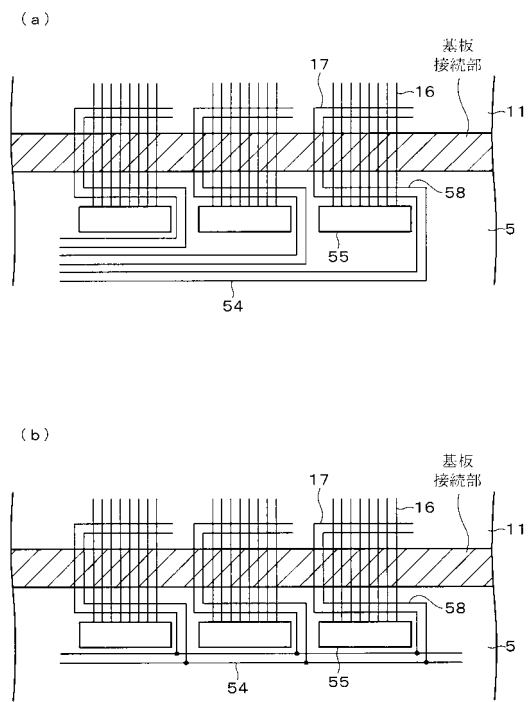
【図2】



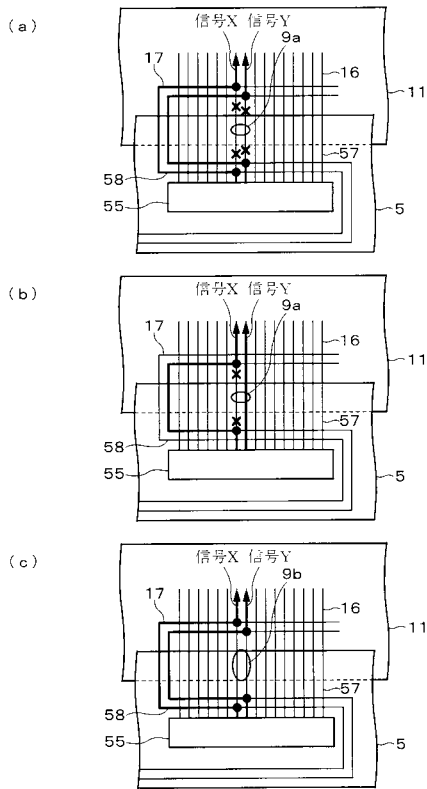
【図3】



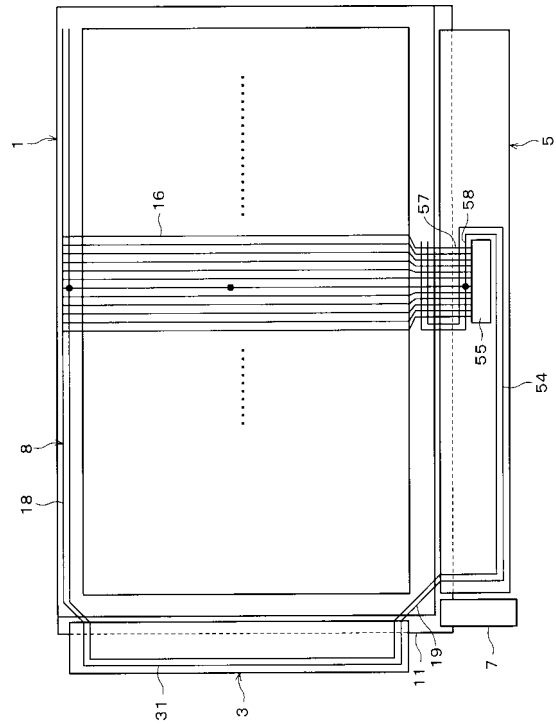
【図4】



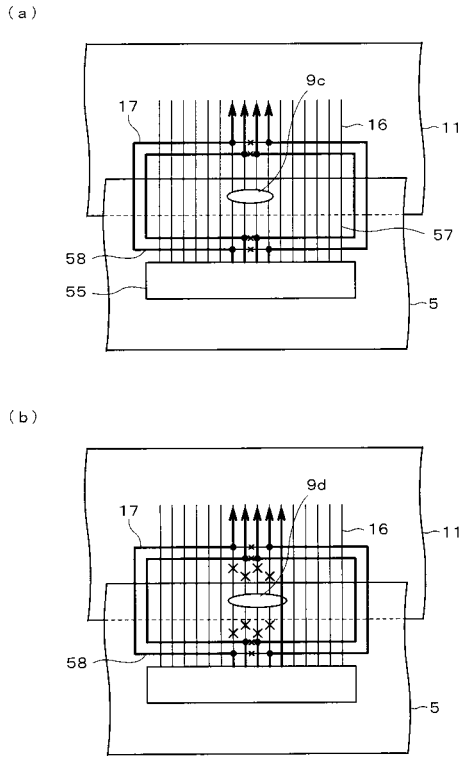
【図5】



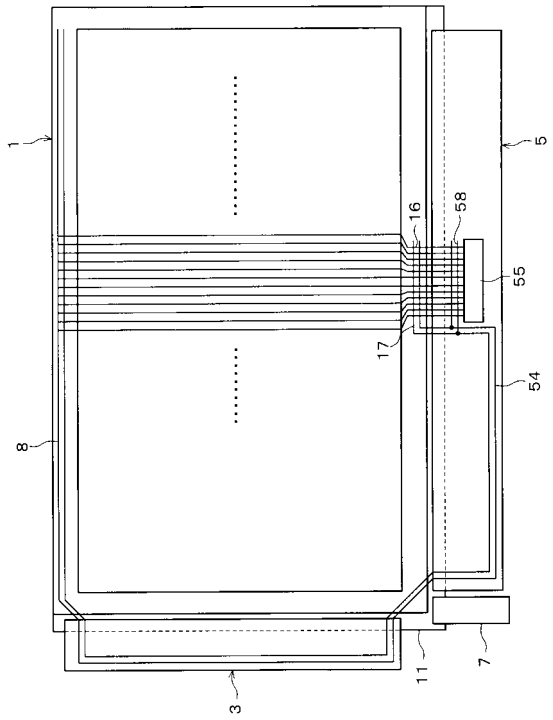
【図6】



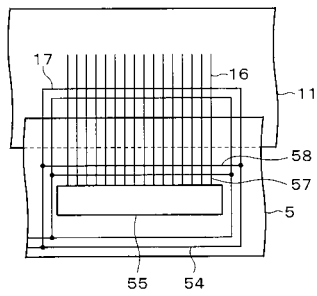
【図7】



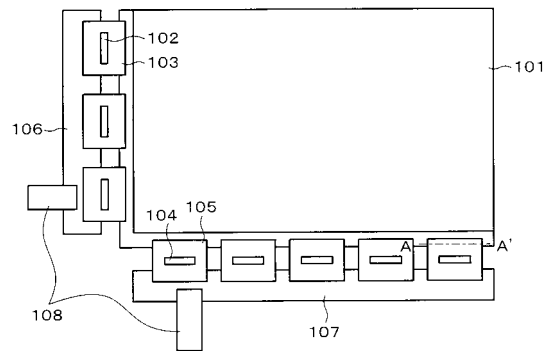
【図8】



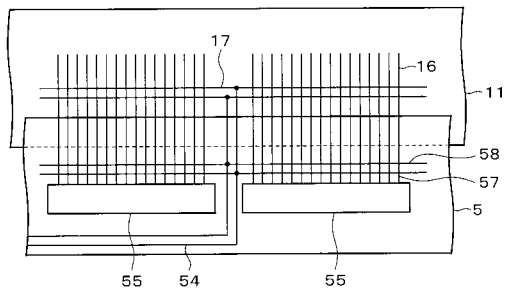
【図9】



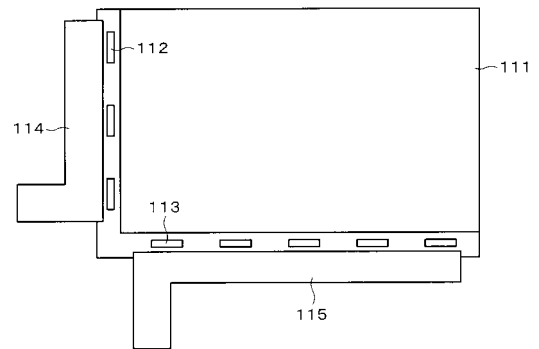
【図11】



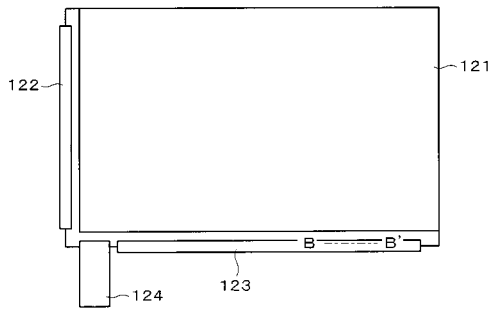
【図10】



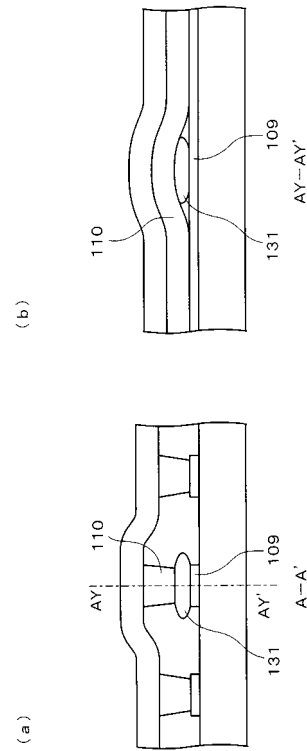
【図12】



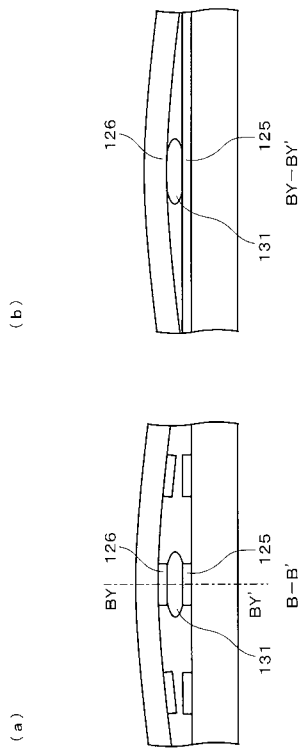
【図 13】



【図 14】



【図 15】



フロントページの続き

(51)Int.Cl.		F I		
H 0 5 K	1/11	(2006.01)	H 0 5 B	33/14 Z
H 0 5 K	1/14	(2006.01)	H 0 5 K	1/11 E
			H 0 5 K	1/14 A

(72)発明者 榊 陽一郎
大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

審査官 渡邊 吉喜

(56)参考文献 特開平 0 8 - 1 7 1 0 8 1 (J P , A)
特開 2 0 0 0 - 3 2 1 5 9 9 (J P , A)
特開平 0 3 - 0 9 8 0 2 3 (J P , A)
特開平 0 3 - 2 5 9 2 2 2 (J P , A)
特開平 0 8 - 1 6 6 5 9 3 (J P , A)
特開平 1 1 - 1 6 0 6 7 7 (J P , A)
特開平 0 8 - 2 9 8 3 6 4 (J P , A)
特開平 1 0 - 2 5 3 9 7 8 (J P , A)
特開 2 0 0 1 - 2 4 2 4 8 8 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G02F 1/1343- 1/1345、
1/135- 1/1368、
G09F 9/00- 9/46、
H01L 27/32、
H05K 1/00- 1/02、 1/11、 1/14、 3/36、
3/40- 3/42、 3/46