

公告本

發明專利說明書

569432

(填寫本書件時請先行詳閱申請書後之申請須知，作※記號部分請勿填寫)

※申請案號：P1132372 ※IPC分類：H01L21/18, H01L21/8242

※申請日期：91.11.1

壹、發明名稱

(中文) 具有溝槽式電容器之半導體記憶裝置及其製造方法

(英文) A SEMICONDUCTOR MEMORY DEVICE HAVING A TRENCH
CAPACITOR AND A MANUFACTURING METHOD THEREOF

貳、發明人 (共 1 人)

發明人 1 (如發明人超過一人，請填說明書發明人續頁)

姓名：(中文) 西川 健一

(英文) _____

住居所地址：(中文) 日本國三重縣四日市市八千代台2丁目1番地266

(英文) _____

國籍：(中文) 日本 (英文) JAPAN

參、申請人 (共 1 人)

申請人 1 (如申請人超過一人，請填說明書申請人續頁)

姓名或名稱：(中文) 日商東芝股份有限公司

(英文) KABUSHIKI KAISHA TOSHIBA

住居所或營業所地址：(中文) 日本國東京都港區芝浦1丁目1番1號

(英文) _____

國籍：(中文) 日本 (英文) JAPAN

代表人：(中文) 岡村 正

(英文) TADASHI OKAMURA

捌、聲明事項

☐ 本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間，其日期為：_____

☒ 本案已向下列國家（地區）申請專利，申請日期及案號資料如下：

【格式請依：申請國家（地區）；申請日期；申請案號 順序註記】

1. 日本；2001/11/05；特願 2001-339277

2. _____

3. _____

☒ 主張專利法第二十四條第一項優先權：

【格式請依：受理國家（地區）；日期；案號 順序註記】

1. 日本；2001/11/05；特願 2001-339277

2. _____

3. _____

4. _____

5. _____

6. _____

7. _____

8. _____

9. _____

10. _____

☐ 主張專利法第二十五條之一第一項優先權：

【格式請依：申請日；申請案號 順序註記】

1. _____

2. _____

3. _____

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

1. _____

2. _____

3. _____

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

1. _____

2. _____

3. _____

☐ 熟習該項技術者易於獲得，不須寄存。

(1)

玖、發明說明

(發明說明應敘明：發明所屬之技術領域、先前技術、內容、實施方式及圖式簡單說明)

發明名稱

一種具溝槽電容器之半導體記憶裝置以及其製造方法。

相關專利申請案的相互參照

本申請案是基於並主張先前日本專利申請案第2001-339277號的優先權，是在2001年11月5日提出申請，整個內容在此都是當作參考。

發明背景

1. 發明領域

本發明是有關於一種半導體記憶裝置以及其製造方法，例如，一種加強包括DRAM(動態隨機存取記憶體)之記憶單元的整合性的半導體記憶裝置以及其製造方法。

2. 相關技術之說明

傳統上，電晶體與包括半導體記憶裝置的電容器是以如下方式形成。

半導體記憶裝置之製造步驟的頂視圖顯示於圖15(a)中。對應到圖15(a)中割線的剖示圖是顯示於圖15(b)中。如圖15(a)與15(b)所示的，氧化物層102是沉積到P型半導體基底101上，然後光阻層103在該氧化物層102上形成。使用已知的微影蝕刻技術，對光阻層103定義出圖案，然後使用RIE方法(反應性離子蝕刻方法)，將氧化物層102定義出圖案，而溝槽圖案是在氧化物層102內形成。

如圖16所示，使用非等方向性蝕刻方法，在P型半導體基底101內形成溝槽，然後在其結果上形成As摻雜氧化物層

(2)

104。之後，使用回蝕方法，讓As摻雜氧化物層104移除到距離P型半導體基底101上部表面1 μm 深度的位置。將As摻雜氧化物層104內的As熱擴散到P型半導體基底101內，形成當作DRAM之平板電極用的電容器電極擴散層105。

使用氟氣處理，選擇性的去除掉As摻雜氧化物層104，然後如圖17所示，當作電容器絕緣層用的氧化物層106會在溝槽側壁上形成。As摻雜多晶體107是沉積到溝槽內的氧化物層106內，然後使用回蝕方法，讓As摻雜多晶體107移除到距離P型半導體基底101上部表面1 μm 深度的位置。此外，在溝槽內的氧化物層106與As摻雜多晶矽層107表面上形成氧化物層108。之後，使用回蝕方法，讓氧化物層106與108移除到距離P型半導體基底101上部表面300 nm深度的位置。然後，As摻雜多晶矽層109沉積到氧化物層108與溝槽表面上，再使用回蝕方法，讓As摻雜多晶矽層109移除到距離P型半導體基底101上部表面50 nm深度的位置。藉熱擴散方法，As摻雜多晶矽層109內的砷(As)被擴散進入P型半導體基底101內，進而形成N型擴散層110，當作記憶體單元電晶體的源級與汲極區用。如上所述，形成具有溝槽電容器的記憶體單元。

圖18(a)是半導體記憶體單元製造步驟的頂視圖，而圖18(b)是對應到圖18(a)中割線的剖示圖。如圖18(a)與18(b)所示，在其結果上形成光阻層111並定義出圖案。之後，使用RIE方法，去除掉部分的氧化物層102，溝槽以及P型半導體基底101，進而利用灰化方法，去除掉光阻層111。

(3)

發明說明續頁

如圖 19 所示，是在氧化物層 112 沉積到 P 型半導體基底 101 與 As 摻雜多晶矽層 109 後。接著，使用 CMP 方法(化學機械研磨方法)，將氧化物層 112 研磨到 P 型半導體基底 101 的表面，進而形成包括有氧化層 112 的單元絕緣層。

圖 20(a) 是半導體記憶體單元製造步驟的頂視圖，而圖 20(b) 是對應到圖 20(a) 中割線的剖示圖。如圖 20(a) 與 20(b) 所示，當作閘極絕緣薄膜用的氧化物層 113 是在 P 型半導體基底 101 的上部表面上形成。依序形成 As 摻雜多晶矽層 114，WSi 層 115 以及 SiN 層 116，然後在 SiN 層 116 上形成光阻層 117。光阻層 117 被定義出字線的圖案。之後，利用已定義出圖案的光阻層 117 當作光罩，並使用 RIE 方法，依序對 SiN 層 116，WSi 層 115 以及 As 摻雜多晶矽層 114 進行蝕刻處理，進而形成包括當作閘極用之 As 摻雜多晶矽層 114 與 WSi 層 115 的字線。

當作字線圖案用已定義出圖案的光阻層 117 是用灰化方法去除掉。圖 21(a) 是已定義出圖案的光阻層 117 被去除掉時的頂視圖，而圖 21(b) 是對應到圖 21(a) 中割線的剖示圖。如圖 21(a) 與 21(b) 所示，SiN 層 118 是沉積到其結果上。接著，使用 RIE 方法，去除掉部分的 SiN 層 118，進而留下與 As 摻雜多晶矽層 114，WSi 層 115 以及 SiN 層 116 之側邊表面上 SiN 層 118 一致的側壁絕緣薄膜。之後，砷(As)離子被離子佈植到 P 型半導體基底 101 的曝露表面中，進而形成當作源極與汲極用的 N 型擴散層 119。接著，BPSG 層 120 是沉積到其結果上，然後進行回流步驟，進而將 BPSG 層 120 的表面平坦化

(4)

。在BPSG層120上形成光阻層121，使用微影蝕刻方法而對光阻層121定義出接觸圖案。之後，利用已定義出圖案的光阻層120當作光罩並使用RIE方法，去除掉當作源極與汲極用的BPSG層120與氧化物層113，進而形成N型擴散層119上的接觸孔，當作源極與汲極區。

利用灰化方法，將當作光罩用的已定義出圖案的光阻層121去除掉。圖22(a)是已定義出圖案的光阻層121被去除掉後的頂視圖，而圖22(b)是對應到圖22(a)中割線的剖示圖。如圖22(a)與22(b)所示，As摻雜多晶層122是沉積到其結果上。接著，利用回蝕方法，將一部分的As摻雜多晶層122去除掉到離BPSG層120上部表面300 nm深度位置，進而留下接觸孔內的一部分As摻雜多晶層122。之後，光阻層123在其結果上形成並定義出位元線的圖案。之後使用RIE方法，將一部分的As摻雜多晶層122去除掉到離BPSG層120上部表面300 nm深度位置，進而形成當作位元線圖案用的凹槽。

利用灰化方法去除掉當作位元線圖案用的光阻層123。圖23(a)是光阻層123被去除掉後的頂視圖，而圖23(b)是對應到圖23(a)中割線的剖示圖。如圖23(a)與23(b)所示，利用波紋技術，讓Ti層124與W層125依序在其結果上形成，緊接著利用CPM方法，在當作位元線圖案用的凹槽中，留下Ti層124與W層125。藉此，形成DRAM記憶體單元。每個DRAM記憶體單元都具有儲存資料用的溝槽電容器，以及當作字線用的閘極。每個DRAM記憶體單元都連接到位元線上。

在上述中所形成的DRAM記憶體單元內，溝槽電容器與

(5)

發明說明書續頁

字線之間可能會有偏差發生，因為溝槽電容器與字線是分別利用不同的圖案來形成。因此，在設計DRAM記憶體單元時，設計者必須考慮到溝槽電容器與字線之間的偏差，而需要有邊際界限。

藉縮小DRAM記憶體單元的尺寸大小，讓DRAM記憶體單元的通道長度較短，因為DRAM記憶體單元的閘極絕緣薄膜是在半導體基底上形成。結果，DRAM記憶體單元的完整性受到限制，因為有短通道效應的問題，很難控制DRAM記憶體單元的臨界電壓。

此外，由於溝槽電容器與字線之間的偏差，溝槽電容器的擴散層110會滑進電晶體的源極或汲極區底下，而且電晶體的源極或汲極區之長度會改變，進而改變其電阻值。當發生更大的偏差且擴散層110會滑進電晶體的源極或汲極區底下時會有問題，因為會發生短通道效應，而且由於位元線接觸區中心附近有不對稱的形成，會發生DRAM記憶體單元之間電氣特性的不平衡。

如上所述，在傳統上，因為DRAM記憶體單元受到干擾而會有問題，同時不只是電氣改變與DRAM記憶體單元變差，而且還有DRAM記憶體單元之間的不平衡發生。

發明摘要

本發明的第一特點是提供具有溝槽電容器的半導體記憶裝置，包括：一具有溝槽的第一導電型半導體基底，該溝槽是由半導體基底的上部表面形成到預定的深度；一電容器，是在溝槽下部以及在相鄰到溝槽下部的第一導電型半

導體基底上形成；一第一導電層，是在第一溝槽內且在第一電容器上形成，第一導電層是以電氣方式連接到第一電容器；一第一絕緣薄膜，是在溝槽內而且是在第一導電層上形成；一第一擴散層，是在第一導電型的半導體基底內形成，相鄰到第一導電層與第一絕緣薄膜，該第一擴散層是當作源極/汲極電極用；一閘極絕緣薄膜，是在溝槽的預設部分內形成，該預設部分是在第一絕緣薄膜上；一第二擴散層，是在第一導電型的半導體基底之上部內形成，該第二擴散層相鄰到閘極絕緣薄膜，並當作源極/汲極電極用；一第二導電層，具有在溝槽內絕緣薄膜上所形成的第一部分，以及具有第二部分，該第二部分是在該第一部分上並且延伸到比第一導電型半導體基底之上部表面還高的位置，該第一與第二部分別當作閘極與字線用；以及一第二絕緣薄膜，被閘極第二部分的上部與側邊表面覆蓋住。

本發明的第二特點是提供具有溝槽電容器的半導體記憶裝置，包括：一具有第一與第二溝槽的第一導電型半導體基底，該第一與第二溝槽分別是由半導體基底的上部表面形成到預定的深度；一第一電容器，是在第一溝槽下部以及在相鄰到第一溝槽下部的第一導電型半導體基底上形成；一第二電容器，是在第二溝槽下部以及在相鄰到第二溝槽下部的第一導電型半導體基底上形成；一第一導電層，是在第一溝槽內且在第一電容器上形成，第一導電是以電氣方式連接到第一電容器；一第二導電層，是在第二溝槽內且在第二電容器上形成，第二導電是以電氣方式連接到

(7)

發明說明續頁

第二電容器；第一與第二絕緣薄膜，分別是在第一與第二溝槽內以及在第一與第二導電層上形成；一第一擴散層，是在第一導電型的半導體基底內形成，相鄰到第一導電層與第一絕緣薄膜，該第一擴散層是當作源極/汲極用；一第二擴散層，是在第一導電型的半導體基底內形成，相鄰到第二導電層與第二絕緣薄膜，該第二擴散層是當作源極/汲極用；一第一閘極絕緣薄膜，是在第一溝槽的預設部分內形成，該預設部分是位於第一絕緣薄膜上；一第二閘極絕緣薄膜，是在第二溝槽的預設部分內形成，該預設部分是位於第二絕緣薄膜上；一第三擴散層，是在第一導電型的半導體基底的上部內形成，相鄰到第一與第二絕緣薄膜，是當作源極/汲極用；一具有第一部分與第二部分的第三導電層，該第一部分是在第一溝槽的第一閘極絕緣薄膜內，而第二部分是在第一部分上，並且延伸到比第一導電型半導體基底之上部表面還高的位置，該第一與第二部分分別當作閘極與字線用；一具有第三部分與第四部分的第四閘極，該第三部分是在第二溝槽內的第二閘極絕緣薄膜中形成，該第四部分是在第三部分上，並且延伸到比第一導電型半導體基底之上部表面還高的位置，該第三與第四部分分別當作閘極與字線用；一第五絕緣薄膜，是被第三導電層之第二部分的上部與側邊表面覆蓋住；以及第六絕緣薄膜，是被第四絕緣薄膜之第四部分的上部與側邊表面覆蓋住。

本發明的第三特點是提供製造具溝槽電容器的半導體記

(8)

憶裝置的方法，包括：在第一導電型的半導體基底上形成一第一絕緣薄膜；去除掉該第一絕緣薄膜與第一導電型半導體基底的預設部分，而在該第一絕緣薄膜與第一導電型半導體基底內形成溝槽；在相鄰到該溝槽下部的第一導電型半導體基底內，形成平板電極；在該溝槽的下部上形成電容器介電質薄膜；在該電容器介電質薄膜上形成儲存電極；在溝槽內的第一導電型半導體基底中，形成第一擴散層，該第一擴散層是以電氣方式連接到該儲存電極；在溝槽的側邊表面上形成閘極絕緣薄膜，該閘極絕緣薄膜是相鄰到該第一擴散層；形成具有第一部分與第二部分的第一導電層，該第一部分是在閘極絕緣薄膜上形成，而該第二部分是該第一部分上形成，且延伸到比第一導電型半導體基底之上部表面還高的位置，該第一與第二部分分別是當作閘極與字線用；形成第二絕緣薄膜，被該第一導電層的第二部分覆蓋住；利用第二絕緣薄膜當作光罩，去除掉一部分的第一絕緣薄膜，而曝露出第一導電型半導體基底的上部表面；以及在第一導電型半導體基底的曝露部分中，形成第二擴散層。

圖式的簡單說明

圖 1(a)與(b)顯示出與本發明實施例有關的半導體記憶裝置之製造步驟。

圖 2(a)與(b)顯示出與本發明實施例有關的半導體記憶裝置之製造步驟。

圖 3(a)與(b)顯示出與本發明實施例有關的半導體記憶裝

(9)

置之製造步驟。

圖4顯示出與本發明實施例有關的半導體記憶裝置之製造步驟。

圖5顯示出與本發明實施例有關的半導體記憶裝置之製造步驟。

圖6顯示出與本發明實施例有關的半導體記憶裝置之製造步驟。

圖7顯示出與本發明實施例有關的半導體記憶裝置之製造步驟。

圖8顯示出與本發明實施例有關的半導體記憶裝置之製造步驟。

圖9(a)與(b)顯示出與本發明實施例有關的半導體記憶裝置之製造步驟。

圖10顯示出與本發明實施例有關的半導體記憶裝置之製造步驟。

圖11(a)與(b)顯示出與本發明實施例有關的半導體記憶裝置之製造步驟。

圖12顯示出與本發明實施例有關的半導體記憶裝置之製造步驟。

圖13(a)與(b)顯示出與本發明實施例有關的半導體記憶裝置之製造步驟。

圖14(a)與(b)顯示出與本發明實施例有關的半導體記憶裝置之製造步驟。

圖15(a)與(b)顯示出傳統半導體記憶裝置之製造步驟。

圖 16 顯示出傳統半導體記憶裝置之製造步驟。

圖 17 顯示出傳統半導體記憶裝置之製造步驟。

圖 18(a)與(b)顯示出傳統半導體記憶裝置之製造步驟。

圖 19 顯示出傳統半導體記憶裝置之製造步驟。

圖 20(a)與(b)顯示出傳統半導體記憶裝置之製造步驟。

圖 21(a)與(b)顯示出傳統半導體記憶裝置之製造步驟。

圖 22(a)與(b)顯示出傳統半導體記憶裝置之製造步驟。

圖 23(a)與(b)顯示出傳統半導體記憶裝置之製造步驟。

發明的詳細說明

此後，我們將參閱圖 1 至 14 來解釋本發明的實施例。

圖 1(a)顯示出本發明實施例之製造步驟的頂視圖，而圖 1(b)是對應到圖 1(a)中割線的剖示圖。如圖 1(a)與(b)中所示，厚度 200 nm 的氧化物層 2 是利用熱氧化方法，在 P 型半導體基底 1 上形成，然後厚度 400 nm 的 B(硼)摻雜氧化物層 3 是利用 CVD 方法，在氧化物層 2 上形成。之後，厚度 800 nm 的光阻層 4 是在 B 摻雜氧化物層 3 上形成，然後利用已知的微影蝕刻方法，對該光阻層 4 定義出圖案，進而形成光罩給形成字線用。此時，第一圖案與第二圖案的寬度(d ， d')分別都是 200 nm。然後，以定義出圖案的光阻層 4 當作光罩，並使用 RIE 方法，對 B 摻雜氧化物層 3 進行蝕刻處理。

圖 2(a)顯示出本發明實施例之製造步驟的頂視圖，而圖 2(b)是對應到圖 2(a)中割線的剖示圖。如圖 2(a)與(b)中所示，當作光罩用的光阻層 4 是利用灰化方法去除掉，然後在其結果上形成光阻層 5。對光阻層 5 定義出圖案，而垂直於 B

摻雜氧化物層3。此時，第三圖案與第四圖案的寬度(d , d')分別都是200 nm。

圖3(a)顯示出本發明實施例之製造步驟的頂視圖，而圖3(b)是對應到圖3(a)中割線的剖示圖。如圖3(a)與(b)中所示，氧化物層2與P型半導體基底1的預設部分是利用RIE方法去除掉，進而在P型半導體基底1內，形成深度5 μm 的溝槽200。此時，被定義出圖案成字線圖案的B摻雜氧化物層3以及垂直於其上的光阻層3，都當作光罩用。然後，利用灰化方法去除掉光阻層5。

如圖4所示，使用CVD方法，在其結果的整個表面上形成厚度200 nm的As摻雜氧化物薄膜6，並埋植在溝槽200內。接著，利用回蝕方法(一種在大氣下用氫氟酸的處理)，將As摻雜氧化物薄膜6去除到距離P型半導體基底1有2 μm 的位置。在該位置底下，將會形成DRAM記憶體單元的電容器。然後，As摻雜氧化物薄膜6中的砷以加熱方式在900 $^{\circ}\text{C}$ 或更高溫度下，被擴散到P型半導體基底1內。N型擴散層7是當作DRAM記憶體單元的平板電極用。

如圖5所示，利用一種在大氣下使用氫氟酸的處理，選擇性的去除掉溝槽200內的As摻雜氧化物薄膜6，然後當作電容器絕緣薄膜用厚度200 nm的氧化物層8，是利用熱氧化方法而在溝槽200內形成。此外，厚度200 nm的As摻雜多晶矽層9是利用CVD方法而在其結果上形成，並將溝槽200埋植起來。接著，利用RIE方法，將As摻雜多晶矽層9選擇性的向上去除到距離P型半導體基底1有2 μm 的位置，進而形成

(12)

DRAM記憶體單元的儲存電極。

此外，如圖6所示，利用CVD方法而在其結果上形成厚度30 nm的氧化物層10，以避免直徑200 nm的溝槽200被埋植掉。接著，先前形成的氧化物層8以及氧化物層10都利用RIE方法，而被選擇性的向上去除到距離P型半導體基底1有1.3 μm 的位置。

如圖7所示，厚度200 nm的As摻雜多晶矽層11是利用CVD方法而沉積到其結果上，然後利用RIE方法，將As摻雜多晶矽層11去除到距離P型半導體基底1有1.0 μm 的位置。之後，As摻雜多晶矽層11內的砷利用熱擴散方法被擴散到P型半導體基底1內，進而形成N型擴散層12，當作電晶體的汲極區用。

如圖8所示，厚度10 nm的氧化物層13是利用熱氧化方法，在As摻雜多晶矽層11以及溝槽200的側邊表面上形成。接著，利用CVD方法形成As摻雜多晶矽層11。

圖9(a)顯示出本發明實施例之製造步驟的頂視圖，而圖9(b)是對應到圖9(a)中割線的剖示圖。如圖9(a)與(b)中所示，利用RIE方法，將As摻雜多晶矽層14去除掉到氧化物層2之表面上50 nm的高度。之後，利用CVD方法，將厚度200 nm的WSi層15沉積到As摻雜多晶矽層11上As摻雜多晶矽層11，然後利用RIE方法，將WSi層15去除掉到達厚度50 nm。此外，厚度200 nm的SiN層16是利用CVD方法而沉積到WSi層15上，並利用CMP方法將SiN層16去除掉並平坦化到達B摻雜氧化物層3的表面，進而形成數個字線，每個字線都是

(13)

由As摻雜多晶矽層14與WSi層15，以及被每個字線覆蓋住的SiN層16所組成。

利用氫氟酸的處理去除掉B摻雜氧化物層3。圖10顯示出B摻雜氧化物層3被去除掉的剖示圖。如圖10所示，厚度30 nm的SiN層17是利用CVD方法，而在其結果的整個表面上形成，然後利用RIE方法，去除掉SiN層17的預設部分，進而在SiN層16，WSi層15以及As摻雜多晶矽層14的側壁上形成側壁絕緣薄膜。

圖11(a)顯示出本發明實施例之製造步驟的頂視圖，而圖11(b)是對應到圖11(a)中割線的剖示圖。如圖11(a)與(b)中所示，利用CVD方法，在其結果上形成厚度400 nm的BPSG層18，然後讓BPSG層18進行回流處理。之後，在BPSG層18上形成光阻層19，接著光阻層19利用微影蝕刻方法而被定義出接觸圖案。然後，使用已定義出圖案的光阻層19當作光罩以及使用RIE方法，去除掉BPSG層18與氧化物層2。

被定義出接觸圖案的光阻層19是利用灰化方法去除掉。如圖12所示，厚度300 nm的As摻雜多晶矽層20被沉積到其結果的整個表面上，然後利用RIE方法，將As摻雜多晶矽層20去除掉到達距離BPSG層18有300 nm的位置。使用熱擴散方法，將As摻雜多晶矽層20中的砷擴散到P型半導體基底1內，進而形成N型擴散層21，當作電晶體的源極區。

此外，圖13(a)顯示出本發明實施例之製造步驟的頂視圖，而圖13(b)是對應到圖13(a)中割線的剖示圖。如圖13(a)與(b)中所示，在其結果的整個表面上形成光阻層22，然後

利用微影蝕刻方法將光阻層22定義出垂直於字線的圖案。此時，第五圖案與第六圖案的寬度(d ， d')分別都是200 nm。接著，厚度300 nm的BPSG層18利用RIE方法被選擇性的去除掉，進而形成當作位元線圖案用的凹槽。

利用灰化方法將已定義出圖案的光阻層22去除掉。圖14(a)顯示出光阻層22被去除掉的頂視圖，而圖14(b)是對應到圖14(a)中割線的剖示圖。如圖14(a)與(b)中所示，厚度300 nm的Ti層23是使用濺鍍方法沉積在其結果上，然後使用CVD方法，在Ti層23上沉積出厚度200 nm的W層24。之後，利用CMP方法，將Ti層23與W層23平坦化到BPSG層18的上部表面，進而形成包括Ti層23與W層23的位元線，並且是在凹槽內形成。藉此，形成數個半導體記憶裝置，而且每個半導體記憶裝置都具有位於溝槽200底部的電容器，該溝槽200是在P型半導體基底1內形成，而且都還具有位於P型半導體基底1內形成之溝槽200上部的電容器。

在上述半導體記憶裝置中，該電容器是由平板電極(N型擴散層7)，儲存電極(As摻雜多晶矽層9)以及電容器絕緣薄膜(氧化物層8)所構成。而該電晶體是由汲極/源極區(N型擴散層)12，汲極/源極區(N型擴散層21)，閘極(As摻雜多晶矽層14)以及閘極絕緣薄膜(氧化物層13)所構成。

電晶體的N型擴散層12(汲極/源極區)是經由As摻雜多晶矽層11(接觸區)，以電氣方式連接到As摻雜多晶矽層9(儲存電極)，並且用氧化物層8(電容器絕緣薄膜)，而與N型擴散層7(平板電極)以電氣方式絕緣開。N型擴散層21)汲極/源極

區)是經由As摻雜多晶矽層20(接觸區)，以電氣方式連接到Ti層23與W層24(位元線)。該字線是由As摻雜多晶矽層14(閘極)與WSi層15所構成。半導體記憶裝置是藉氧化物層2，以電氣方式互相絕緣開。N型擴散層7(平板電極)是以電氣方式互相連接起來，讓每個N型擴散層7都是在相同的電壓準位。

在上述半導體記憶裝置中，字線的位置是由B摻雜氧化物層3的位置所決定，該B摻雜氧化物層3在形成溝槽200時是當作光罩用。因此，字線與溝槽200是利用自我對齊的方式而形成，而不需要相互間偏差的邊際界限。此外，記憶體單元本身的尺寸大小可以縮小，而且在本發明中，儲存一筆資料之單位的溝槽200可以位於 $4F^2$ 中，而不像傳統裝置的尺寸大小是 $8F^2$ 。因此，可以增加半導體記憶裝置的完整性。

而且，電晶體與電容器都是在一個溝槽200內，電晶體的閘極可以在深度方向上。結果，高度整合的半導體記憶裝置能克服掉短通道的問題。

而且，每個半導體記憶裝置都是對稱於位元線接觸區(As摻雜多晶矽層20)的中心來形成。結果，其間偏差所引起的電氣特性之不平衡並不會發生，而且能得到良好的電氣特性。

而且，As摻雜多晶矽層14具有第一部分與第二部分，該第一部分是在氧化層8上，而第二部分是在第一部分之上形成，第一部分是當作記憶體單元的閘極，第二部分是當作

字線用。要注意的是，具有第一部分與第二部分的As摻雜多晶矽層14是自我對齊到電容器形成的，該電容器是由氧化物層8，As摻雜多晶矽9以及N型擴散層7所構成。

而且，當作閘極與字線用的As摻雜多晶矽層14是被氧化物層2以及SiN層16與17所覆蓋住。所以，當作位元線接觸區用的As摻雜多晶矽層20可以接觸到當作汲極/源極區用的N型擴散層21，而且在As摻雜多晶矽層20以及具有第一部分與第二部分的As摻雜多晶矽層14之間，是不會被縮小。

藉使用本發明，有可能提供具有高度整合且具有良好電氣特性的半導體記憶裝置以及其製造方法。

對於熟知該技術領域的人士來說，額外的優點與改變隨時都會發生。所以，以其較廣範圍之觀點來看的本發明，並不是受限於特定的細節以及已顯示出並說明過之代表性的實施例。因此，在不偏離由附錄以及其對等物所定義出來之一般性觀念的精神與範圍下，是可以做出不同的改變。

圖式代表符號說明

- | | |
|--|----------|
| 1, 101 | P 型半導體基底 |
| 2, 8, 10, 13, 102, 106, 108, 106, 112, 113 | 氧化物層 |
| 3 | B 摻雜氧化物層 |
| 4, 5, 19, 22, 111, 117, 121, 123 | 光阻層 |

(17)

6	As 摻雜氧化物薄膜
7，12，21，110，119	N 型擴散層
9，11，14，20，109， 114，122，107	As 摻雜多晶矽層
15，115	WSi 層
16，17，116，118	SiN 層
18，120	BPSG 層
23，124	Ti 層
24，125	W 層
104	As 摻雜氧化物層
105	電容器電極擴散層

肆、中文發明摘要

一種具有溝槽式電容器的半導體記憶裝置，包括：一第一導電型的半導體基底，其具有一溝槽，是由半導體基底的上部表面形成到預設的深度；一電容器，其是在溝槽下部以及在相鄰到溝槽下部的第一導電型半導體基底上形成；一第一導電層，其是在第一溝槽內且在第一電容器上形成，第一導電層是以電氣方式連接到第一電容器；一第一絕緣薄膜，其是在溝槽內而且是在第一導電層上形成；一第一擴散層，其是在第一導電型的半導體基底內形成，相

伍、英文發明摘要

A semiconductor memory device having a trench capacitor, comprising: a semiconductor substrate of a first conductivity type, having a trench which is formed from an upper surface of the semiconductor substrate to a predetermined depth; a capacitor formed in a lower portion of the trench and the semiconductor substrate of the first conductivity type which is adjacent to the lower portion of the trench; a first conductive layer formed in the first trench and right above the first capacitor to which the first conductive layer is electrically connected; a first insulation film formed in the trench and right above the first conductive layer; a first diffusion layer formed in the semiconductor substrate of the first conductivity type which is adjacent to the first conductive layer and the first insulation film, the first diffusion layer served as a source/drain electrode; a gate insulation film formed on a predetermined portion of the trench, the predetermined portion being located above the first insulation film; a second diffusion film formed in an upper portion of the semiconductor substrate of the first conductivity type, the second diffusion layer being adjacent to the gate insulation film and served as a source/drain electrode; a second conductive layer having a first portion formed on the gate insulation film in the trench and a second portion formed right above the first portion and extended up to a higher position than an upper surface of the semiconductor substrate of the first conductivity type, the first and the second portions served as a gate electrode and a word line respectively; and a second insulation film covered with an upper and side surface of the second portion of the gate electrode.

鄰到第一導電層與第一絕緣薄膜，該第一擴散層是當作源極/汲極電極用；一開口絕緣薄膜，其是在溝槽的預設部分內形成，該預設部分是在第一絕緣薄膜上；一第二擴散層，其是在第一導電型的半導體基底之上部內形成，該第二擴散層相鄰到閘極絕緣薄膜，並當作源極/汲極電極用；一第二導電層，其具有在溝槽內絕緣薄膜上所形成的第一部分，以及具有第二部分，該第二部分是在該第一部分上並且延伸到比第一導電型半導體基底之上部表面還高的位置，該第一與第二部分別當作閘極與字線用；以及一第二絕緣薄膜，其被閘極第二部分的上部與側邊表面覆蓋住。

陸、(一)、本案指定代表圖為：第1圖

(二)、本代表圖之元件代表符號簡單說明：

- | | |
|---|----------|
| 1 | P 型半導體基底 |
| 2 | 氧化物層 |
| 3 | B 摻雜氧化物層 |
| 4 | 光阻層 |

柒、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

拾、申請專利範圍

1. 一種具溝槽電容器之半導體記憶裝置，包括：

一第一導電型的半導體基底，其具有一溝槽，是從半導體基底的上部表面形成到預設的深度；

一電容器，其是在溝槽下部內以及在相鄰到溝槽下部的第一導電型半導體基底內形成；

一第一導電層，其是在第一溝槽內且在第一電容器上形成，第一導電層是以電氣方式連接到第一電容器；

一第一絕緣薄膜，其是在溝槽內而且是在第一導電層上形成；

一第一擴散層，其是在第一導電型的半導體基底內形成，該半導體基底是相鄰到第一導電層與第一絕緣薄膜，該第一擴散層是當作源極/汲極電極用；

一閘極絕緣薄膜，其是在溝槽的預設部分上形成，該預設部分是在該第一絕緣薄膜上；

一第二擴散層，其是在第一導電型的半導體基底之上部內形成，該第二擴散層相鄰到閘口絕緣薄膜，並當作源極/汲極電極用；

一第二導電層，其具有第一部分與第二部分，該第一部分是在溝槽內的閘口絕緣薄膜上形成，該第二部分是在該第一部分上並且延伸到比第一導電型半導體基底之上部表面還高的位置，該第一與第二部分別當作閘極與字線用；以及

一第二絕緣薄膜，其被閘極第二部分的上部與側邊表

面覆蓋住。

2. 如申請專利範圍第1項之具溝槽電容器的半導體記憶裝置，進一步包括：

一位元線接觸區，其用該第二絕緣薄膜而與閘極電氣絕緣開，而且電氣連接到該第二擴散層；以及

一位元線，其以電氣方式連接到該位元線接觸區。

3. 如申請專利範圍第1項之具溝槽電容器的半導體記憶裝置，其中該位元線接觸區是接觸到該第二絕緣薄膜，而該第二絕緣薄膜是在該閘極之第二部分的上物與側邊表面上形成。

4. 如申請專利範圍第1項之具溝槽電容器的半導體記憶裝置，其中該電容器是由一平板電極，一儲存電極與一電容器介電質薄膜所構成，該平板電極是在第一導電型的半導體基底內形成，該儲存電極是在該溝槽內形成，而該電容器介電質薄膜是在該平板電極與儲存電極之間形成。

5. 如申請專利範圍第4項之具溝槽電容器的半導體記憶裝置，進一步包括一第三絕緣薄膜，是在該溝槽內的儲存電極上形成，並接觸到該第一導電層。

6. 如申請專利範圍第1項之具溝槽電容器的半導體記憶裝置，其中該一導電層具有T形的剖面。

7. 一種具溝槽電容器之半導體記憶裝置，包括：

一第一導電型的半導體基底，其具有第一與第二溝槽，分別是從半導體基底的上部表面形成到預設的深度；

一第一電容器，其是在該第一溝槽下部內以及在相鄰到該第一溝槽下部的第一導電型半導體基底內形成；

一第二電容器，其是在該第二溝槽下部內以及在相鄰到該第二溝槽下部的第一導電型半導體基底內形成；

一第一導電層，其是在第一溝槽內且在第一電容器上形成，第一導電層是以電氣方式連接到第一電容器；

一第二導電層，其是在第二溝槽內且在第二電容器上形成，第二導電層是以電氣方式連接到第二電容器；

第一與第二絕緣薄膜，其分別是在該第一與第二溝槽內而且是在該第一與第二導電層上形成；

一第一擴散層，其是在第一導電型的半導體基底內形成，該半導體基底是相鄰到第一導電層與第一絕緣薄膜，該第一擴散層是當作源極/汲極電極用；

一第二擴散層，其是在第一導電型的半導體基底內形成，該半導體基底是相鄰到第二導電層與第二絕緣薄膜，該第二擴散層是當作源極/汲極電極用；

一第一閘極絕緣薄膜，其是在該第一溝槽的預設部分上形成，該預設部分是在該第一絕緣薄膜上；

一第二閘極絕緣薄膜，其是在該第二溝槽的預設部分上形成，該預設部分是在該第二絕緣薄膜上；

一第三擴散層，其是在第一導電型的半導體基底之上部內形成，該第三擴散層相鄰到該第一與第二閘極絕緣薄膜，並當作源極/汲極電極用；

一第三導電層，其具有第一部分與第二部分，該第一

部分是在該第一溝槽內的第一絕緣薄膜上形成，該第二部分是在該第一部分上並且延伸到比第一導電型半導體基底之上部表面還高的位置，該第一與第二部分別當作閘極與字線用；

一第四閘極絕緣薄膜，其具有第三部分與第四部分，該第三部分是在該第二溝槽內的第二開口絕緣薄膜上形成，該第四部分是在該第三部分上並且延伸到比第一導電型半導體基底之上部表面還高的位置，該第三與第四部分別當作閘極與字線用；

一第五絕緣薄膜，其被該第三導電層之第二部分的上部與側邊表面覆蓋住；以及

一第六絕緣薄膜，其被該第四閘極之第四部分的上部與側邊表面覆蓋住。

8. 如申請專利範圍第7項之具溝槽電容器的半導體記憶裝置，進一步包括：

一位元線接觸區，其用該第五與第六絕緣薄膜而使之與第三與第四導電層在電氣上絕緣隔開，而且電氣連接到該第三擴散層；以及

一位元線，其以電氣方式連接到該位元線接觸區。

9. 如申請專利範圍第7項之具溝槽電容器的半導體記憶裝置，其中該位元線接觸區是接觸到(a)在該第三導電層的第二部分上部表面上所形成的第五絕緣薄膜，(b)在該第四導電層的第四部分上部表面上所形成的第六絕緣薄膜，以及(c)該第二與第四部分之間所形成的第五與第

六絕緣薄膜。

10. 如申請專利範圍第7項之具溝槽電容器的半導體記憶裝置，其中該第一電容器是由一第一平板電極，一第一儲存電極以及一第一電容器介電質薄膜所構成，該第一平板電極是在第一導電型的半導體基底內形成，該第一儲存電極是在該第一溝槽內形成，該第一電容器介電質薄膜是在該第一平板電極與第一儲存電極之間形成，其中該第二電容器是由一第二平板電極，一第二儲存電極以及一第二電容器介電質薄膜所構成，該第二平板電極是在第一導電型的半導體基底內形成，該第二儲存電極是在該第二溝槽內形成，該第二電容器介電質薄膜是在該第二平板電極與第二儲存電極之間形成。
11. 如申請專利範圍第10項之具溝槽電容器的半導體記憶裝置，進一步包括：
 - 一第七絕緣薄膜，其是在該第一溝槽內的第一儲存電極上形成，並且接觸到該第一導電層；以及
 - 一第八絕緣薄膜，其是在該第二溝槽內的第二儲存電極上形成，並且接觸到該第二導電層。
12. 如申請專利範圍第7項之具溝槽電容器的半導體記憶裝置，其中每個該第一與第二導電層都具有T形的剖面。
13. 一種製造具溝槽電容器之半導體記憶裝置的方法，包括：
 - 在第一導電型的半導體基底上，形成一第一絕緣薄膜；

藉去除掉該第一絕緣薄膜以及該第一導電型的半導體基底的預設部分，而在該第一絕緣薄膜與該第一導電型的半導體基底內形成溝槽；

在相鄰到該溝槽之上部的該第一導電型之半導體基底內，形成一平板電極；

在該溝槽的下部上，形成一電容器介電薄膜；

在該電容器介電薄膜上，形成一儲存電極；

在該溝槽內的該第一導電型的半導體基底內，形成一第一擴散層，該第一擴散層是以電氣方式連接到該儲存電極；

在該溝槽的側邊表面上，形成一閘極絕緣薄膜，該閘極絕緣薄膜是相鄰到該第一擴散層；

形成一具有一第一部分與第二部分的第一導電層，該第一部分是在閘極絕緣薄膜上形成，該第二部分是在該第一部分上形成，並延伸到比該第一導電型半導體基底的上部表面還高的位置，該第一與第二分別別是當作閘極與字線；

形成一第二絕緣薄膜，被該第一導電層的第二部分覆蓋住；

使用該第二絕緣薄膜當作光罩，藉去除掉該第一絕緣薄膜的一部分，而將該第一導電型半導體基底的上部表面曝露出來；以及

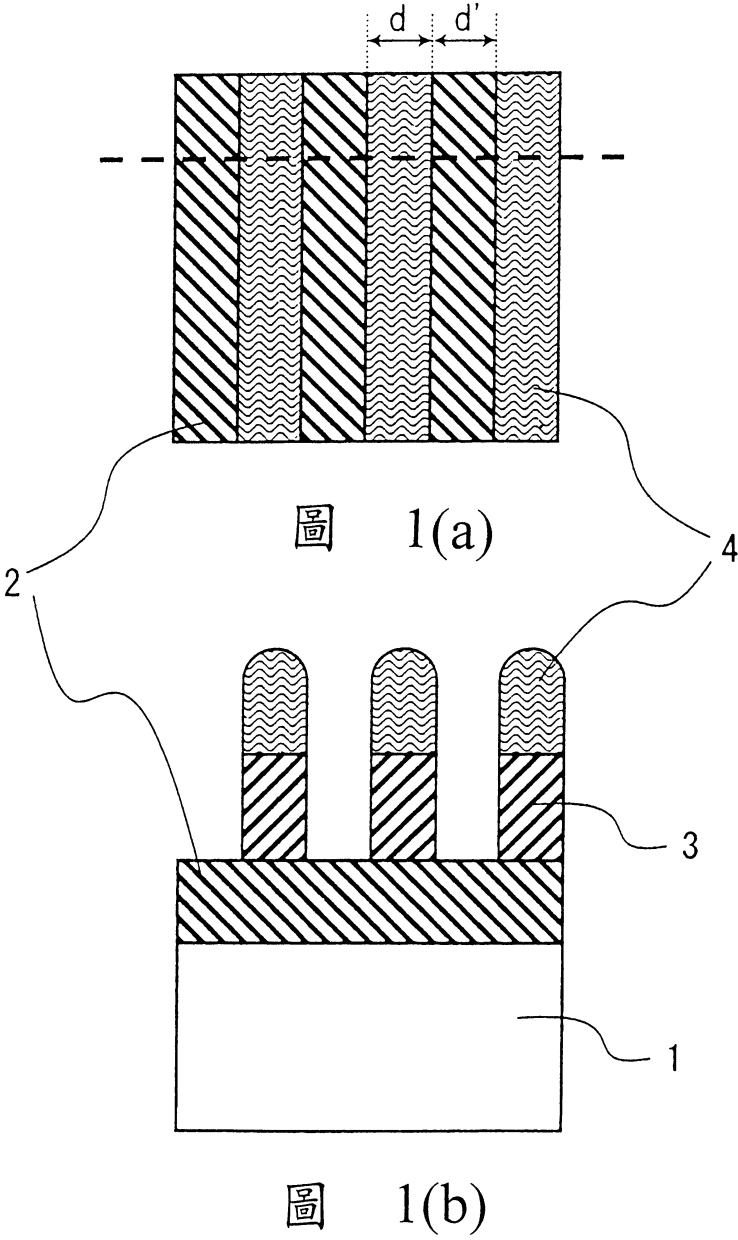
在該第一導電型半導體基底的曝露部分內，形成一第二擴散層。

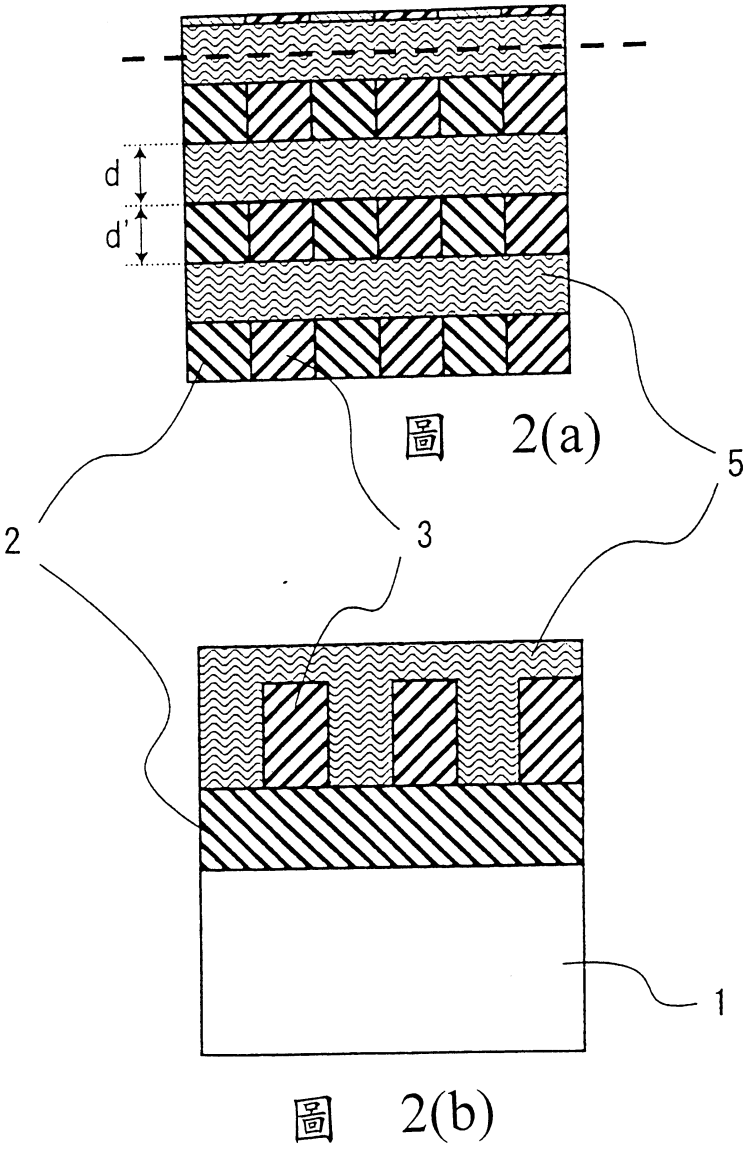
14. 如申請專利範圍第13項之製造具溝槽電容器之半導體記憶裝置的方法，進一步包括：
- 形成第一導電層與形成第一擴散層的步驟之間，形成一第三絕緣薄膜，該第三絕緣薄膜是在相鄰到該溝槽側邊表面的一部分上，以及在該儲存電極上。
15. 如申請專利範圍第13項之製造具溝槽電容器之半導體記憶裝置的方法，進一步包括：
- 在該溝槽內形成一第二導電層，將雜質摻雜到該第三導電層內；以及
- 使用加熱處理，讓該雜質擴散到該第一導電型的半導體基底內。
16. 如申請專利範圍第13項之製造具溝槽電容器之半導體記憶裝置的方法，其中形成該第一導電層的步驟是至少使用第一絕緣薄膜當作光罩，自我對齊到該溝槽，而形成閘極的步驟，該第一導電層含有做為閘極的第一部份及作為字線的第二部份。
17. 如申請專利範圍第13項之製造具溝槽電容器之半導體記憶裝置的方法，其中形成該第二擴散層的步驟包括：
- 在該第一導電型半導體基底的曝露部分上，將雜質摻雜到該第四導電層內；以及
- 使用加熱處理，讓該雜質擴散到該第一導電型的半導體基底內。
18. 如申請專利範圍第17項之製造具溝槽電容器之半導體記憶裝置的方法，其中形成該第三導電層的步驟是使用

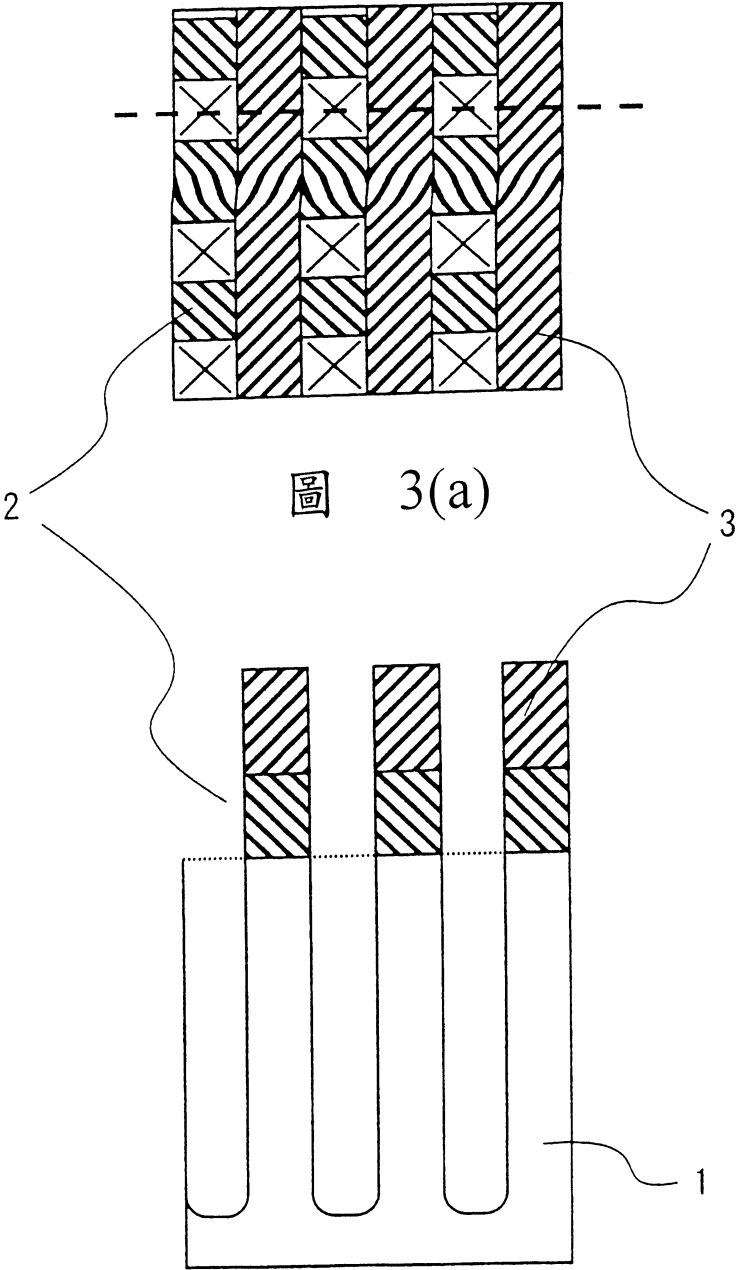
該第二絕緣薄膜，以自我對齊的方式而形成第三導電層的步驟，該第二絕緣薄膜是被當作光罩用的第一導電層之第二部分所覆蓋住。

19. 如申請專利範圍第17項之製造具溝槽電容器之半導體記憶裝置的方法，進一步包括：形成一位元線，連接到該第三導電層。
20. 如申請專利範圍第13項之製造具溝槽電容器之半導體記憶裝置的方法，其中形成該第一導電層的步驟包括在該第一導電層的第二部分上部表面上形成矽化物層的步驟。

拾壹、圖式







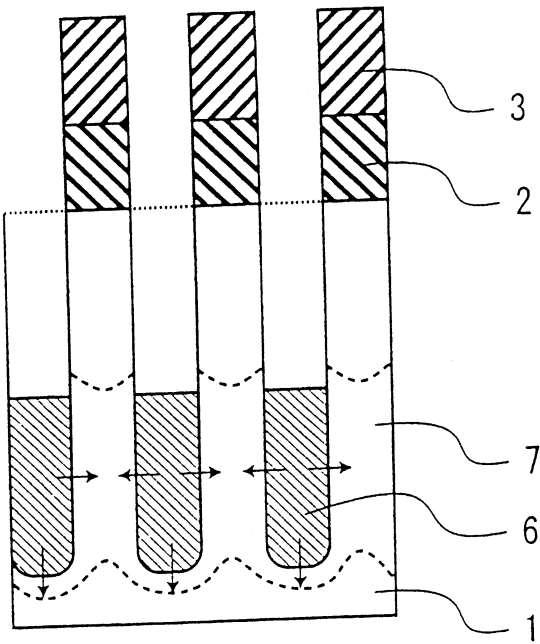


圖 4

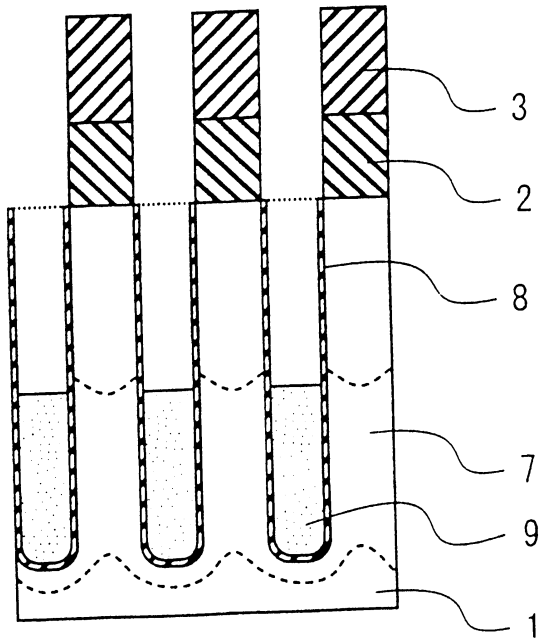


圖 5

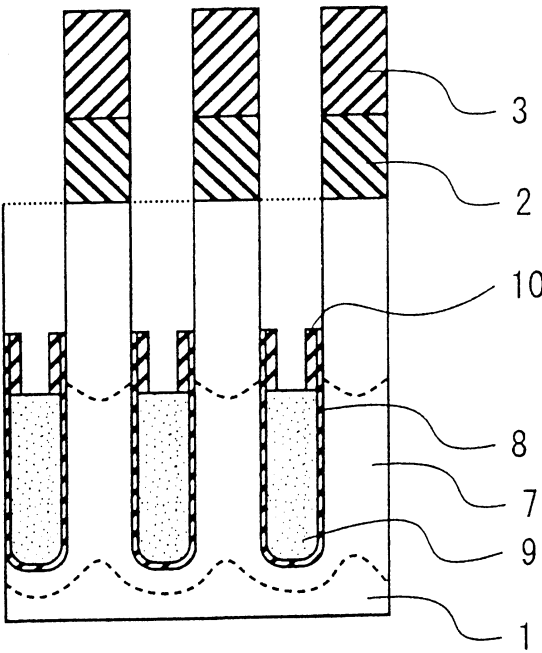


圖 6

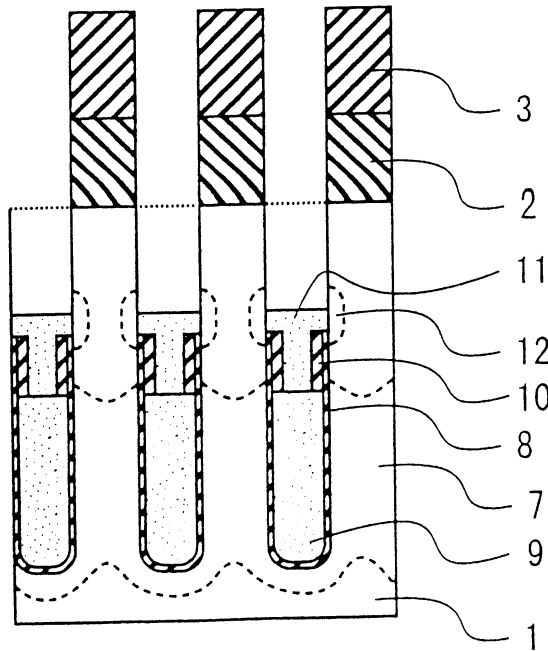


圖 7

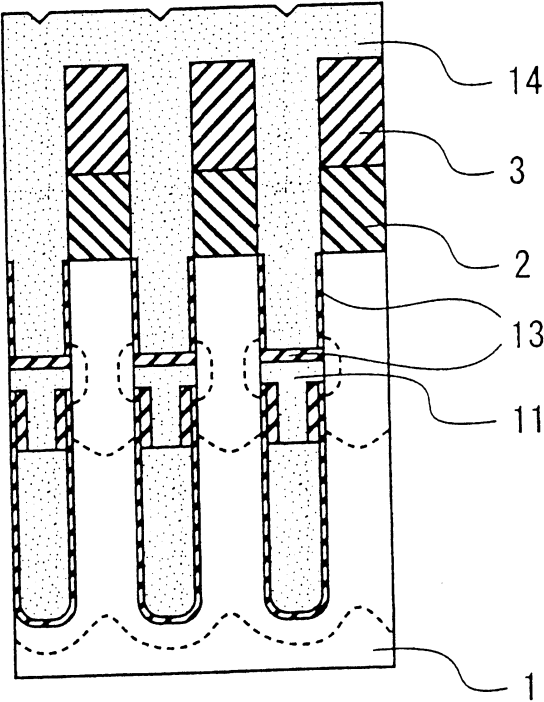


圖 8

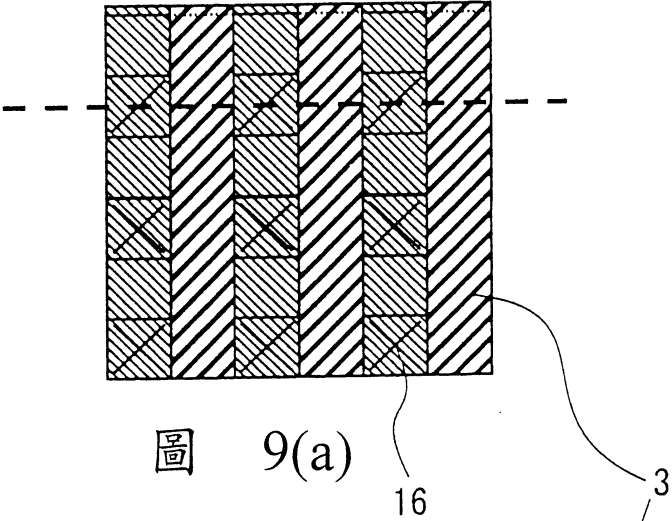


圖 9(a)

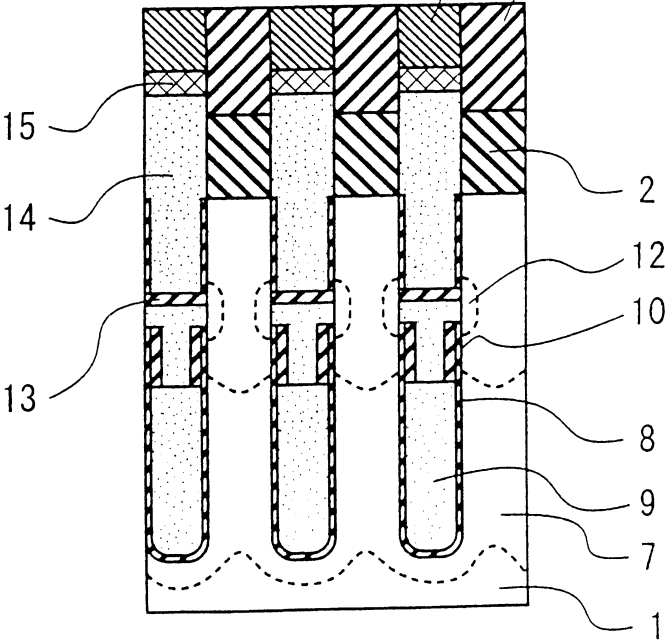


圖 9(b)

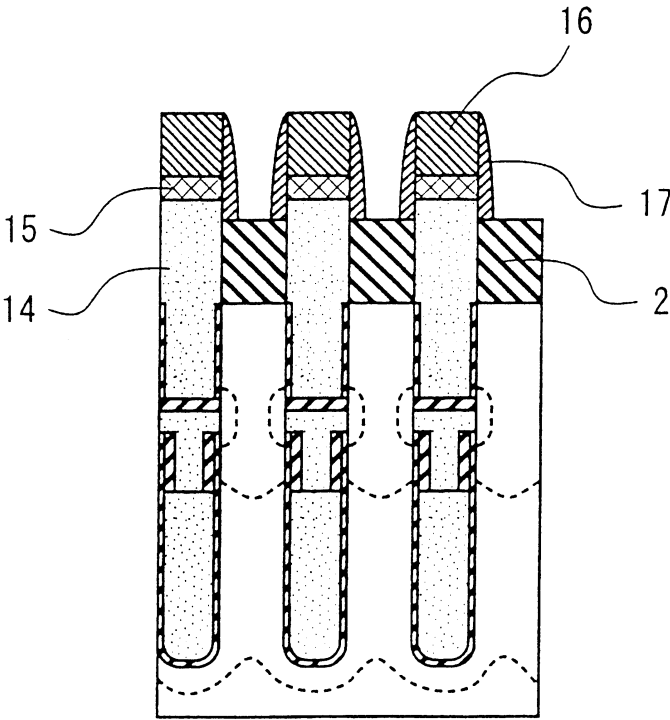
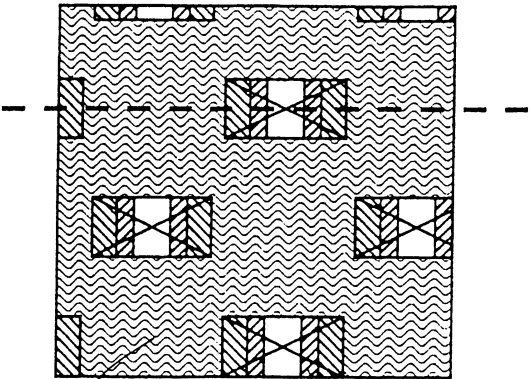


圖 10



19 17 16 圖 11(a)

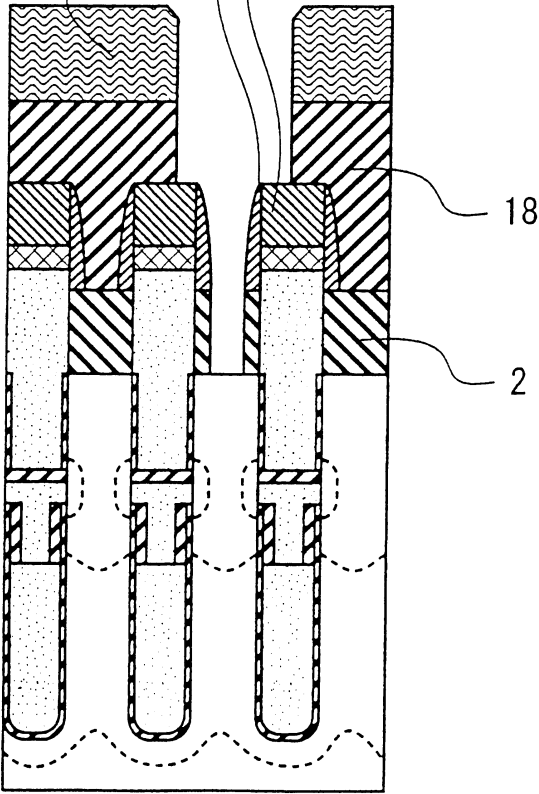


圖 11(b)

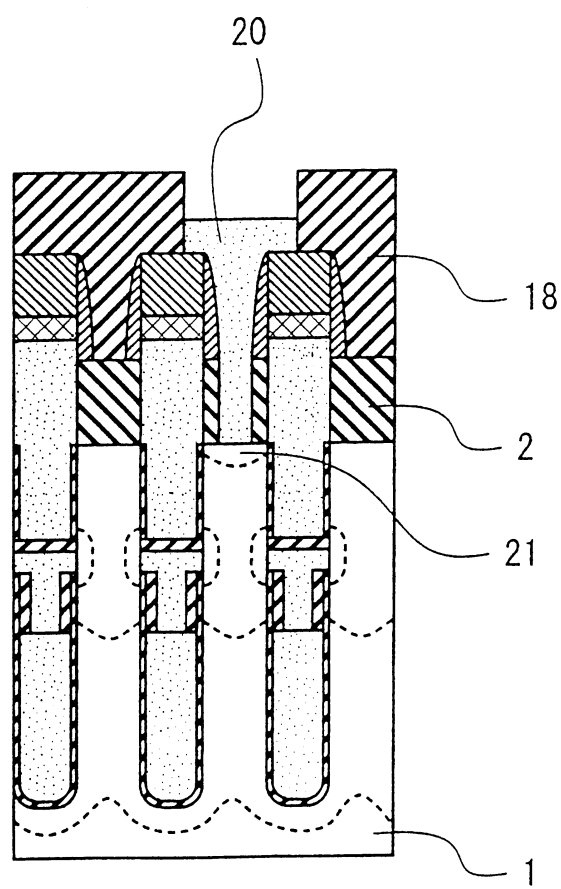
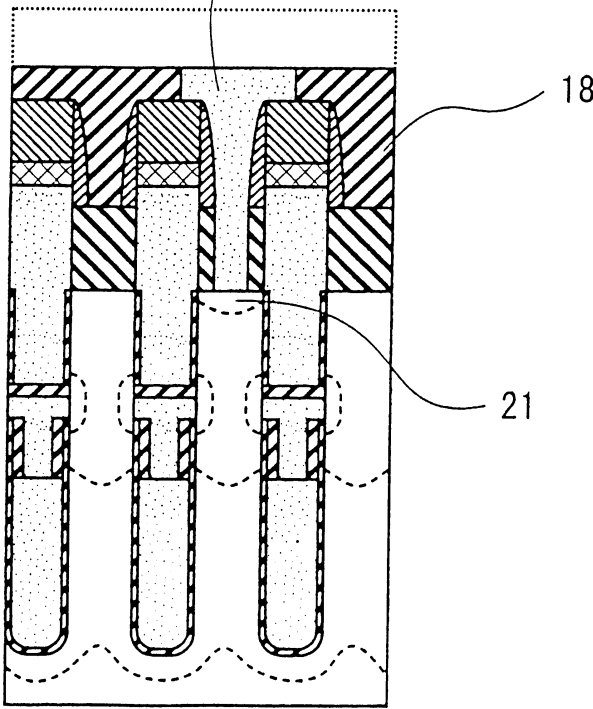
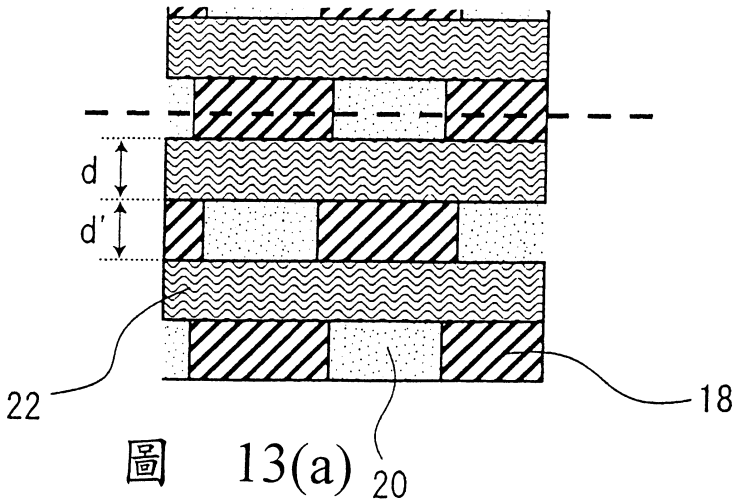
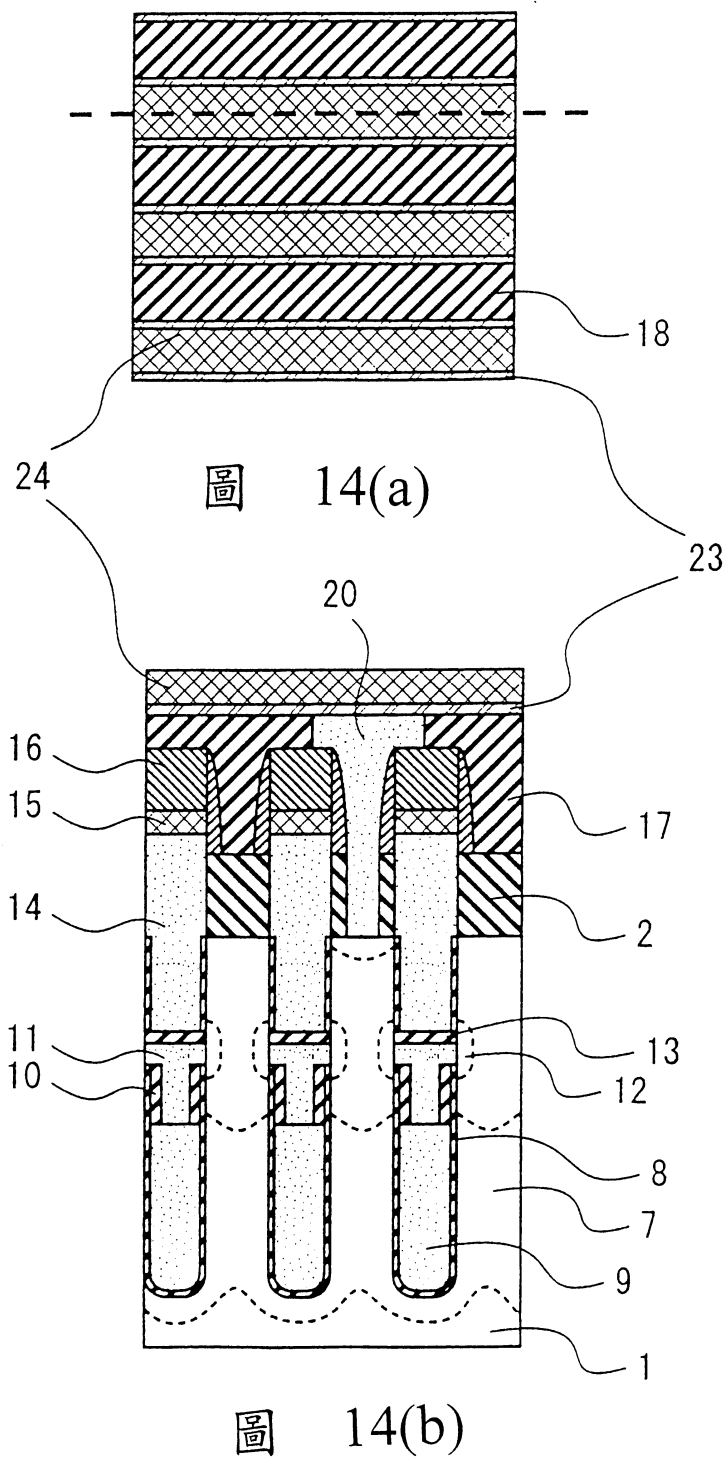


圖 12





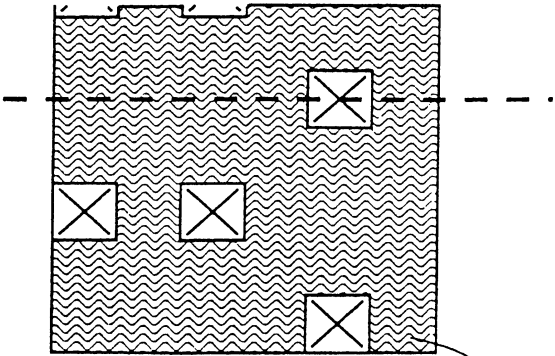


圖 15(a)
先前技術

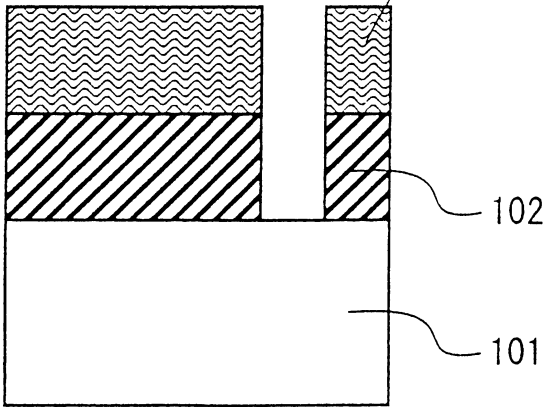


圖 15(b)
先前技術

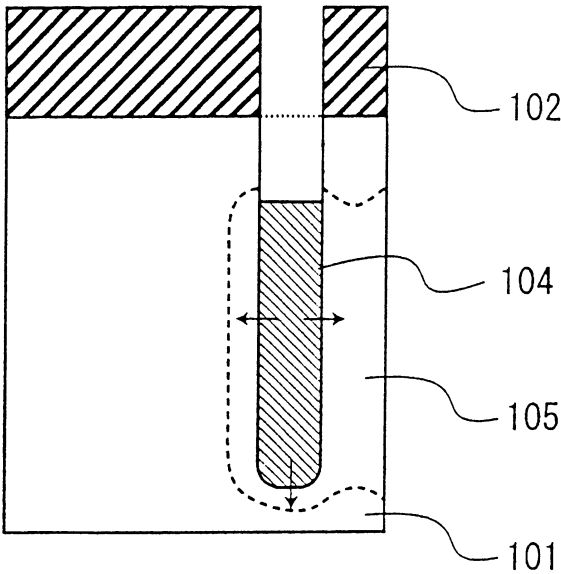


圖 16

先前技術

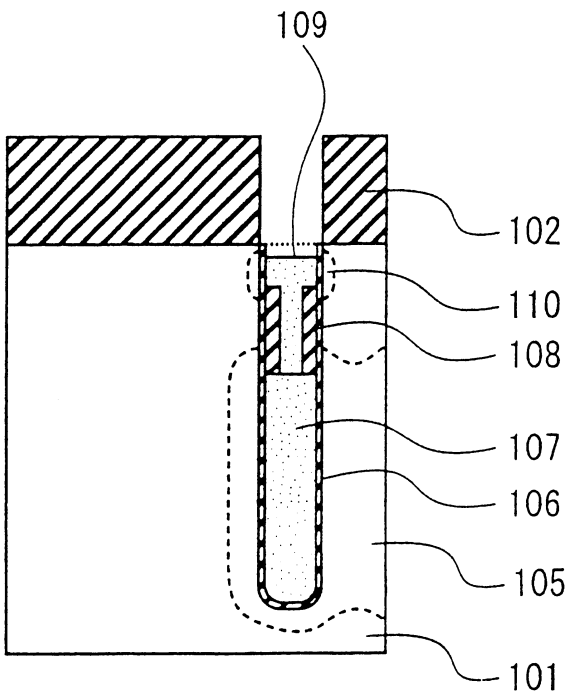


圖 17

先前技術

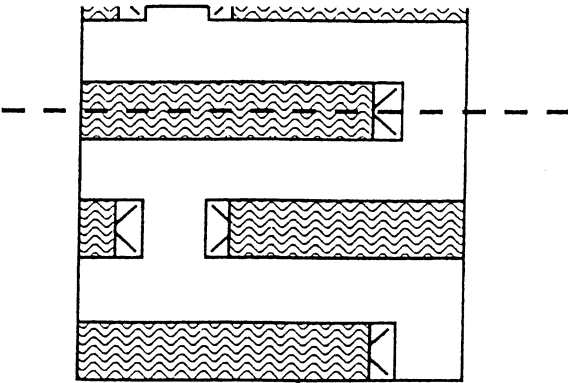


圖 18(a)
先前技術

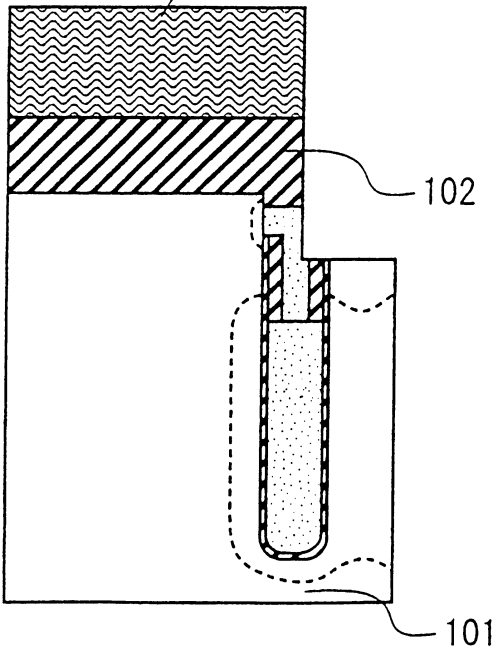


圖 18(b)
先前技術

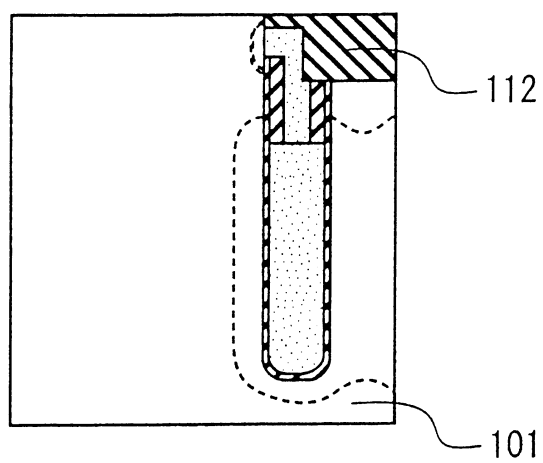


圖 19

先前技術

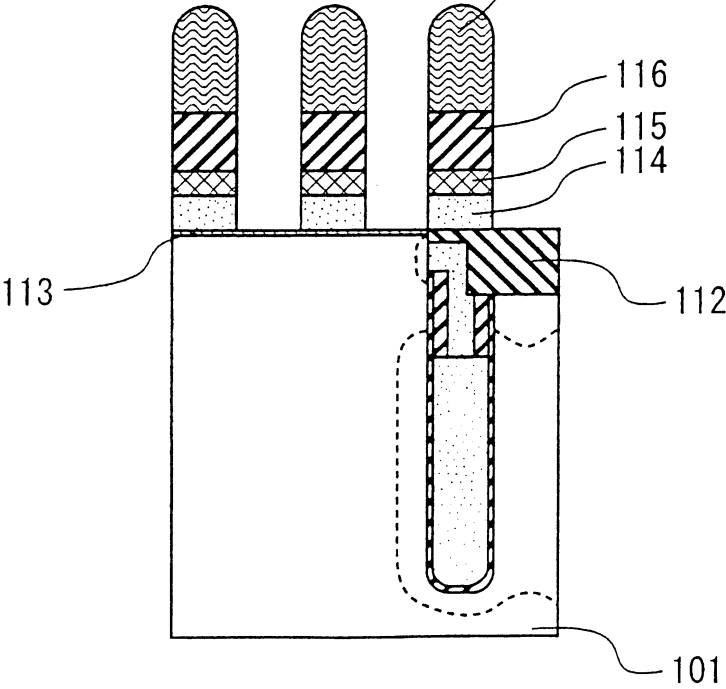
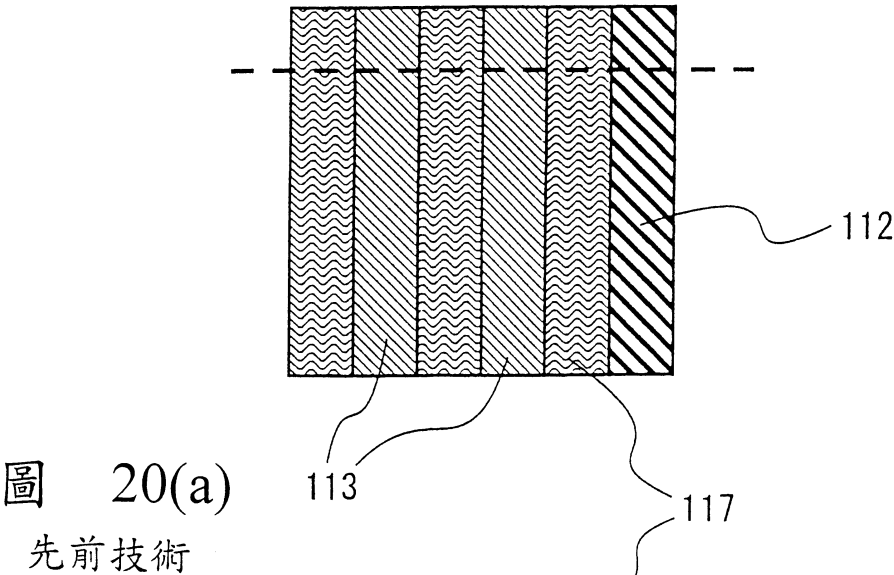


圖 20(b)
先前技術

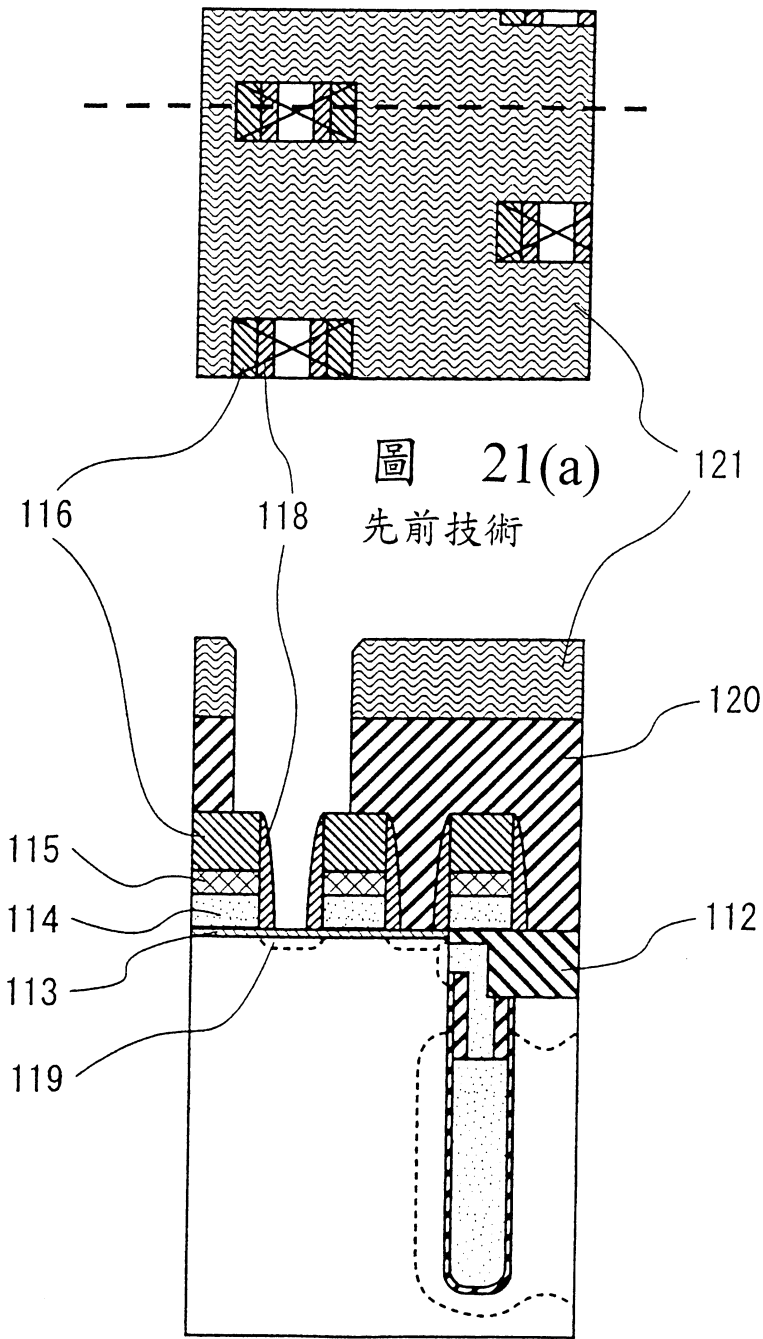


圖 21(b)
先前技術

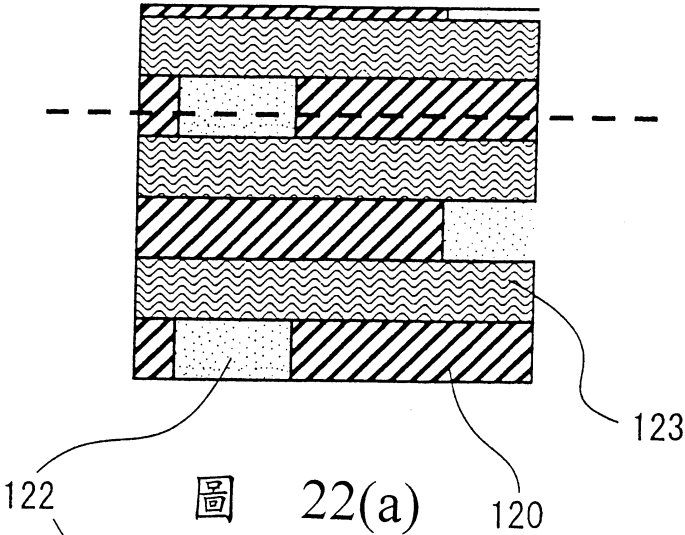


圖 22(a)

先前技術

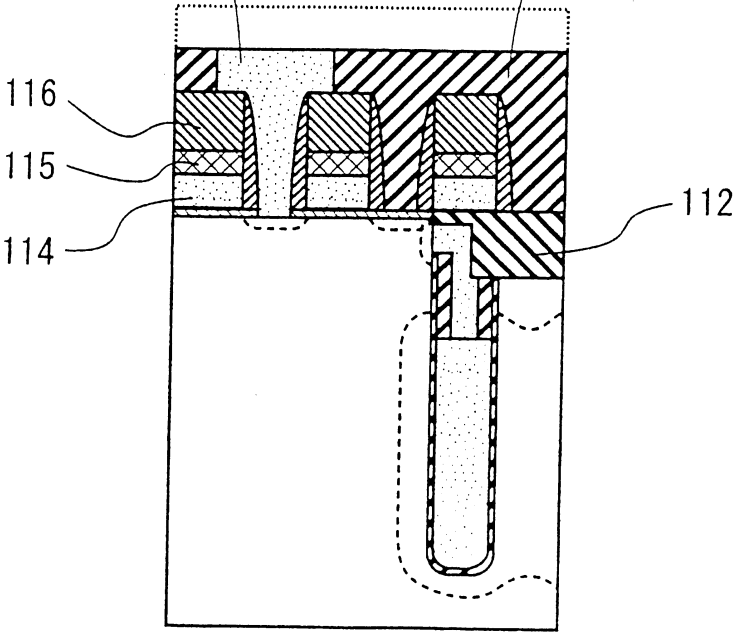


圖 22(b)

先前技術

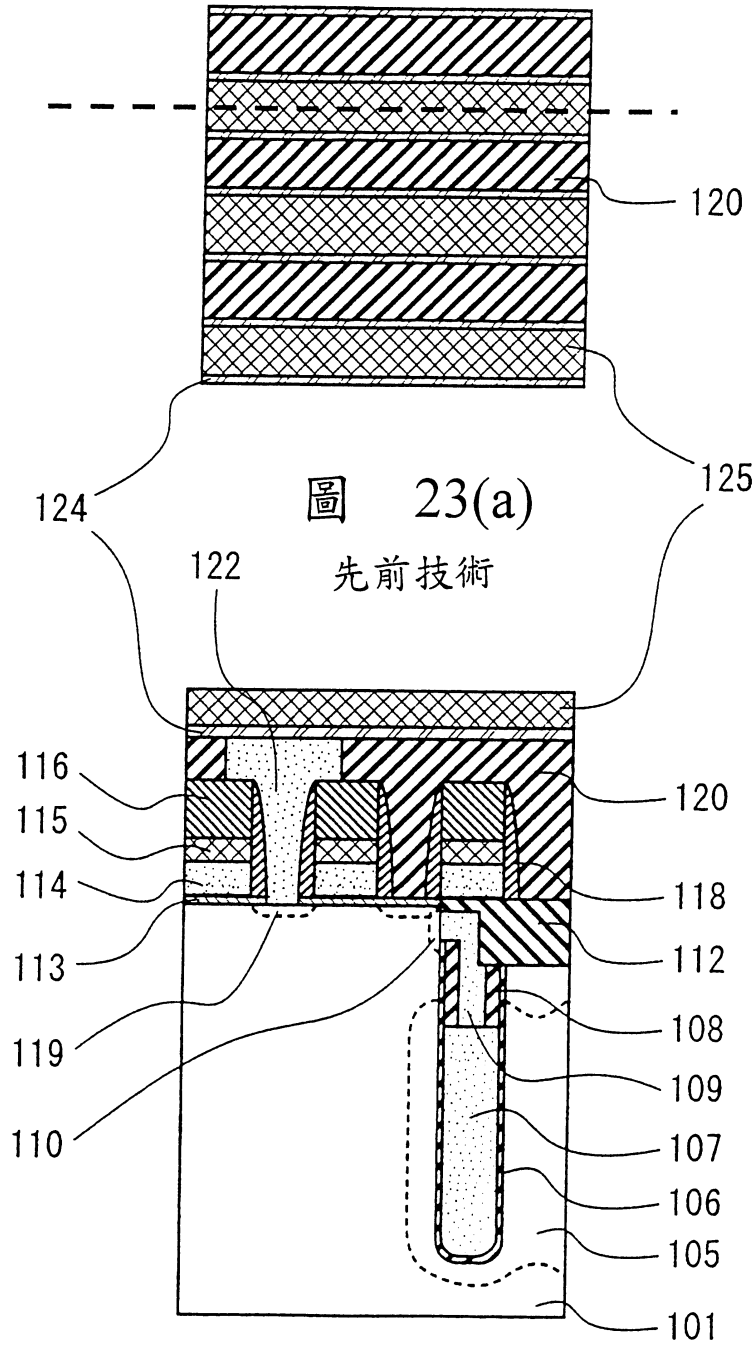


圖 23(b)
先前技術