I701552

(19)中華民國智慧財產局

(12)發明說明書公告本　**(11)證書號數：TW I701552 B**

(45)公告日： 中華民國 109 (2020) 年 08 月 11 日

(21)申請案號：108109908　(22)申請日： 中華民國 108 (2019) 年 03 月 22 日

(51)Int. Cl.：　*G06F12/02　(2006.01)*

(71)申請人：群聯電子股份有限公司 (中華民國) PHISON ELECTRONICS CORP.　(TW)
中華民國

(72)發明人：郭哲岳 KUO, CHE-YUEH (TW)；陳鼎元 CHEN, DING-YUAN (TW)

(74)代理人：葉璟宗；詹東穎；劉亞君

(56)參考文獻：

TW	201305817A1	TW	201833938A
TW	201843591A	US	8537613B2
US	9400749B1	US	9466383B2

審查人員：李國福

申請專利範圍項數：21 項　　圖式數：17　　共 62 頁

(54)名稱

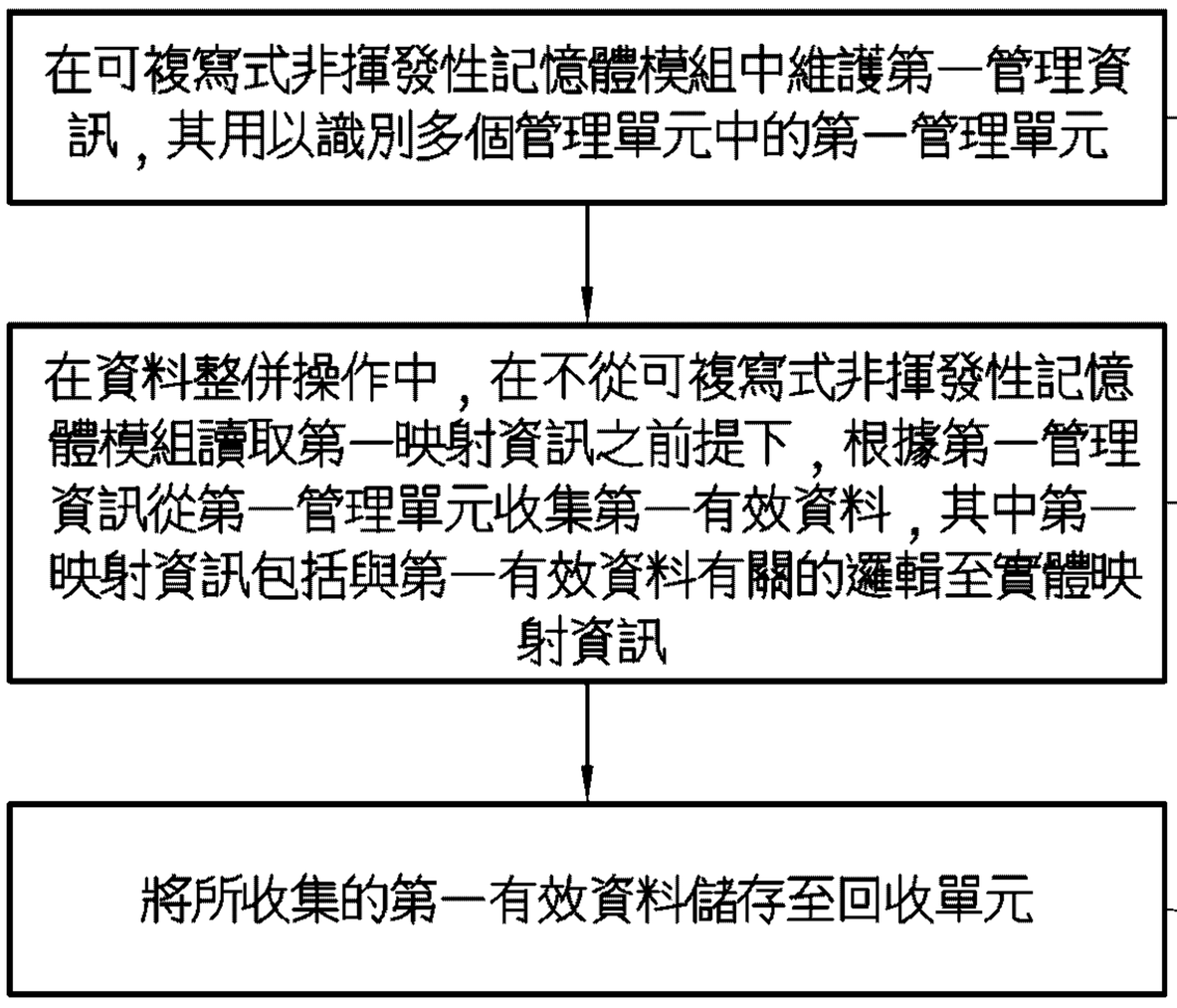
記憶體控制方法、記憶體儲存裝置及記憶體控制電路單元

(57)摘要

本發明的範例實施例提供一種記憶體控制方法，其用於可複寫式非揮發性記憶體模組。所述方法包括：在所述可複寫式非揮發性記憶體模組中維護第一管理資訊，其用以識別第一管理單元；在資料整併操作中，在不從所述可複寫式非揮發性記憶體模組讀取第一映射資訊之前提下，根據所述第一管理資訊從所述第一管理單元收集第一有效資料，其中所述第一映射資訊包括與所述第一有效資料有關的邏輯至實體映射資訊；以及將所收集的所述第一有效資料儲存至回收單元。

A memory control method for a rewritable non-volatile memory module is provided according to an exemplary embodiment of the disclosure. The method includes: maintaining first management information for identifying a first management unit in the rewritable non-volatile memory module; collecting first valid data from the first management unit according to the first management information without reading first mapping information from the rewritable non-volatile memory module in a data merge operation, wherein the first mapping information includes logical to physical mapping information related to the first valid data; and storing the collected first valid data into a recycling unit.

指定代表圖：



【圖16】

符號簡單說明：

S1601:步驟(在可複寫式非揮發性記憶體模組中維護第一管理資訊，其用以識別多個管理單元中的第一管理單元)

S1602:步驟(在資料整併操作中，在不從可複寫式非揮發性記憶體模組讀取第一映射資訊之前提下，根據第一管理資訊從所述第一管理單元收集第一有效資料，其中第一映射資訊包括與第一有效資料有關的邏輯至實體映射資訊)

S1603:步驟(將所收集的第一有效資料儲存至回收單元)

公告本

I701552

【發明摘要】

【中文發明名稱】

記憶體控制方法、記憶體儲存裝置及記憶體控制電路單元

【英文發明名稱】

MEMORY CONTROL METHOD, MEMORY STORAGE DEVICE AND MEMORY CONTROL CIRCUIT UNIT

【中文】

本發明的範例實施例提供一種記憶體控制方法，其用於可複寫式非揮發性記憶體模組。所述方法包括：在所述可複寫式非揮發性記憶體模組中維護第一管理資訊，其用以識別第一管理單元；在資料整併操作中，在不從所述可複寫式非揮發性記憶體模組讀取第一映射資訊之前提下，根據所述第一管理資訊從所述第一管理單元收集第一有效資料，其中所述第一映射資訊包括與所述第一有效資料有關的邏輯至實體映射資訊；以及將所收集的所述第一有效資料儲存至回收單元。

【英文】

A memory control method for a rewritable non-volatile memory module is provided according to an exemplary embodiment of the disclosure. The method includes: maintaining first management information for identifying a first management unit in the rewritable

non-volatile memory module; collecting first valid data from the first management unit according to the first management information without reading first mapping information from the rewritable non-volatile memory module in a data merge operation, wherein the first mapping information includes logical to physical mapping information related to the first valid data; and storing the collected first valid data into a recycling unit.

【指定代表圖】圖16。

【代表圖之符號簡單說明】

S1601：步驟(在可複寫式非揮發性記憶體模組中維護第一管理資訊，其用以識別多個管理單元中的第一管理單元)

S1602：步驟(在資料整併操作中，在不從可複寫式非揮發性記憶體模組讀取第一映射資訊之前提下，根據第一管理資訊從所述第一管理單元收集第一有效資料，其中第一映射資訊包括與第一有效資料有關的邏輯至實體映射資訊)

S1603：步驟(將所收集的第一有效資料儲存至回收單元)

【特徵化學式】

無

【發明說明書】

【中文發明名稱】

記憶體控制方法、記憶體儲存裝置及記憶體控制電路單元

【英文發明名稱】

MEMORY CONTROL METHOD, MEMORY STORAGE DEVICE AND MEMORY CONTROL CIRCUIT UNIT

【技術領域】

【0001】 本發明是有關於一種記憶體控制技術，且特別是有關於一種記憶體控制方法、記憶體儲存裝置及記憶體控制電路單元。

【先前技術】

【0002】 數位相機、行動電話與 MP3 播放器在這幾年來的成長十分迅速，使得消費者對儲存媒體的需求也急速增加。由於可複寫式非揮發性記憶體模組(rewritable non-volatile memory module)(例如，快閃記憶體)具有資料非揮發性、省電、體積小，以及無機械結構等特性，所以非常適合內建於上述所舉例的各種可攜式多媒體裝置中。

【0003】 當記憶體儲存裝置出廠時，記憶體儲存裝置中一部分的管理單元會被配置為多個閒置管理單元，以使用此些閒置管理單元來儲存新資料。在使用一段時間後，記憶體儲存裝置中的閒置管理單元的數目會逐漸減少。記憶體儲存裝置可藉由資料整併程

序(或稱為垃圾收集程序)將有效資料從多個來源單元複製到回收單元(亦稱為目標單元)並抹除屬於來源單元的管理單元以釋放出新的閒置管理單元。但是，在資料整併程序中，若所選擇作為來源單元的多個管理單元所映射的邏輯單元越分散，則越多記載此些邏輯單元之管理資訊(例如映射資訊)的表格需要被存取，從延長執行資料整併程序的時間及/或降低資料整併程序的執行效率。

【發明內容】

【0004】 本發明提供一種記憶體控制方法、記憶體儲存裝置及記憶體控制電路單元，可有效改善上述問題及/或增加記憶體儲存裝置的系統效能。

【0005】 本發明的範例實施例提供一種記憶體控制方法，其用於可複寫式非揮發性記憶體模組。所述可複寫式非揮發性記憶體模組包括多個管理單元。所述記憶體控制方法包括：在所述可複寫式非揮發性記憶體模組中維護第一管理資訊，其用以識別所述多個管理單元中的第一管理單元；在資料整併操作中，在不從所述可複寫式非揮發性記憶體模組讀取第一映射資訊之前提下，根據所述第一管理資訊從所述第一管理單元收集第一有效資料，其中所述第一映射資訊包括與所述第一有效資料有關的邏輯至實體映射資訊；以及將所收集的所述第一有效資料儲存至回收單元。

【0006】 在本發明的一範例實施例中，在不從所述可複寫式非揮發性記憶體模組讀取所述第一映射資訊之前提下，根據所述第一

管理資訊從所述第一管理單元收集所述第一有效資料的步驟包括：從所述第一管理單元讀取第二管理資訊，其中所述第二管理資訊用以識別所述第一管理單元中儲存所述第一有效資料的至少一第一實體單元；以及根據所述第二管理資訊從所述至少一第一實體單元收集所述第一有效資料。

【0007】 在本發明的一範例實施例中，所述的記憶體控制方法更包括：響應於所述第一有效資料之收集，更新第三管理資訊，其中所述第三管理資訊包括用以讀取與所述第一有效資料有關的所述邏輯至實體映射資訊的索引資訊。

【0008】 在本發明的一範例實施例中，所述的記憶體控制方法更包括：根據經更新的所述第三管理資訊從所述可複寫式非揮發性記憶體模組讀取第二映射資訊，其中所述第二映射資訊包括與第二有效資料有關的邏輯至實體映射資訊；根據所述第二映射資訊從所述第一管理單元中的至少一第二實體單元收集所述第二有效資料；以及將所收集的所述第二有效資料儲存至所述回收單元。

【0009】 在本發明的一範例實施例中，在所述可複寫式非揮發性記憶體模組中維護所述第一管理資訊的步驟包括：響應於第一條件之滿足，在所述第一管理資訊中加入對應於所述第一管理單元的識別資訊，其中所述第一條件包括以下多個條件的至少其中之一：所述第一管理單元包含多個連續的實體節點，且所述多個連續的實體節點用以儲存所述第一有效資料的至少一部份資料；以及所述第一有效資料所屬的邏輯範圍不同於所述第一管理單元中

的其餘有效資料所屬的邏輯範圍。

【0010】 在本發明的一範例實施例中，在所述可複寫式非揮發性記憶體模組中維護所述第一管理資訊的步驟更包括：響應於所述第一條件之不滿足，從所述第一管理資訊中移除對應於所述第一管理單元的所述識別資訊。

【0011】 本發明的範例實施例另提供一種記憶體儲存裝置，其包括連接介面單元、可複寫式非揮發性記憶體模組及記憶體控制電路單元。所述連接介面單元用以耦接至主機系統。所述可複寫式非揮發性記憶體模組包括多個管理單元。所述記憶體控制電路單元耦接至所述連接介面單元與所述可複寫式非揮發性記憶體模組，其中所述記憶體控制電路單元用以在所述可複寫式非揮發性記憶體模組中維護第一管理資訊，且所述第一管理資訊用以識別所述多個管理單元中的第一管理單元，所述記憶體控制電路單元更用以在資料整併操作中，在不從所述可複寫式非揮發性記憶體模組讀取第一映射資訊之前提下，根據所述第一管理資訊從所述第一管理單元收集第一有效資料，其中所述第一映射資訊包括與所述第一有效資料有關的邏輯至實體映射資訊，並且所述記憶體控制電路單元更用以發送寫入指令序列以指示將所收集的所述第一有效資料儲存至回收單元。

【0012】 在本發明的一範例實施例中，所述記憶體控制電路單元在不從所述可複寫式非揮發性記憶體模組讀取所述第一映射資訊之前提下，根據所述第一管理資訊從所述第一管理單元收集所述

第一有效資料的操作包括：指示從所述第一管理單元讀取第二管理資訊，其中所述第二管理資訊用以識別所述第一管理單元中儲存所述第一有效資料的至少一第一實體單元；以及根據所述第二管理資訊從所述至少一第一實體單元收集所述第一有效資料。

【0013】 在本發明的一範例實施例中，所述記憶體控制電路單元更用以響應於所述第一有效資料之收集，更新第三管理資訊，其中所述第三管理資訊包括用以讀取與所述第一有效資料有關的所述邏輯至實體映射資訊的索引資訊。

【0014】 在本發明的一範例實施例中，所述記憶體控制電路單元更用以根據經更新的所述第三管理資訊從所述可複寫式非揮發性記憶體模組讀取第二映射資訊，其中所述第二映射資訊包括與第二有效資料有關的邏輯至實體映射資訊；根據所述第二映射資訊從所述第一管理單元中的至少一第二實體單元收集所述第二有效資料；以及指示將所收集的所述第二有效資料儲存至所述回收單元。

【0015】 在本發明的一範例實施例中，所述記憶體控制電路單元在所述可複寫式非揮發性記憶體模組中維護所述第一管理資訊的操作包括：響應於第一條件之滿足，在所述第一管理資訊中加入對應於所述第一管理單元的識別資訊，其中所述第一條件包括以下多個條件的至少其中之一：所述第一管理單元包含多個連續的實體節點，且所述多個連續的實體節點用以儲存所述第一有效資料的至少一部份資料；以及所述第一有效資料所屬的邏輯範圍不

同於所述第一管理單元中的其餘有效資料所屬的邏輯範圍。

【0016】 在本發明的一範例實施例中，所述記憶體控制電路單元在所述可複寫式非揮發性記憶體模組中維護所述第一管理資訊的操作更包括：響應於所述第一條件之不滿足，從所述第一管理資訊中移除對應於所述第一管理單元的所述識別資訊。

【0017】 本發明的範例實施例另提供一種記憶體控制電路單元，其用於控制可複寫式非揮發性記憶體模組，其中所述可複寫式非揮發性記憶體模組包括多個管理單元，其中所述記憶體控制電路單元包括主機介面、記憶體介面及記憶體管理電路。所述主機介面用以耦接至主機系統。所述記憶體介面用以耦接至所述可複寫式非揮發性記憶體模組。所述記憶體管理電路耦接至所述主機介面與所述記憶體介面，其中所述記憶體管理電路用以在所述可複寫式非揮發性記憶體模組中維護第一管理資訊，且所述第一管理資訊用以識別所述多個管理單元中的第一管理單元，所述記憶體管理電路更用以在資料整併操作中，在不從所述可複寫式非揮發性記憶體模組讀取第一映射資訊之前提下，根據所述第一管理資訊從所述第一管理單元收集第一有效資料，其中所述第一映射資訊包括與所述第一有效資料有關的邏輯至實體映射資訊，並且所述記憶體管理電路更用以發送寫入指令序列以指示將所收集的所述第一有效資料儲存至回收單元。

【0018】 在本發明的一範例實施例中，所述記憶體管理電路在不從所述可複寫式非揮發性記憶體模組讀取所述第一映射資訊之前

提下，根據所述第一管理資訊從所述第一管理單元收集所述第一有效資料的操作包括：指示從所述第一管理單元讀取第二管理資訊，其中所述第二管理資訊用以識別所述第一管理單元中儲存所述第一有效資料的至少一第一實體單元；以及根據所述第二管理資訊從所述至少一第一實體單元收集所述第一有效資料。

【0019】 在本發明的一範例實施例中，所述至少一第一實體單元中的每一實體單元包含多個連續的實體節點，且所述多個連續的實體節點用以儲存所述第一有效資料的至少一部分資料。

【0020】 在本發明的一範例實施例中，所述記憶體管理電路更用以響應於所述第一有效資料之收集，更新第三管理資訊，其中所述第三管理資訊包括用以讀取與所述第一有效資料有關的所述邏輯至實體映射資訊的索引資訊。

【0021】 在本發明的一範例實施例中，所述記憶體管理電路更用以根據經更新的所述第三管理資訊從所述可複寫式非揮發性記憶體模組讀取第二映射資訊，其中所述第二映射資訊包括與第二有效資料有關的邏輯至實體映射資訊；根據所述第二映射資訊從所述第一管理單元中的至少一第二實體單元收集所述第二有效資料；以及指示將所收集的所述第二有效資料儲存至所述回收單元。

【0022】 在本發明的一範例實施例中，所述記憶體管理電路在所述可複寫式非揮發性記憶體模組中維護所述第一管理資訊的操作包括：響應於第一條件之滿足，在所述第一管理資訊中加入對應於所述第一管理單元的識別資訊，其中所述第一條件包括以下多

個條件的至少其中之一：所述第一管理單元包含多個連續的實體節點，且所述多個連續的實體節點用以儲存所述第一有效資料的至少一部份資料；以及所述第一有效資料所屬的邏輯範圍不同於所述第一管理單元中的其餘有效資料所屬的邏輯範圍。

【0023】 在本發明的一範例實施例中，所述記憶體管理電路在所述可複寫式非揮發性記憶體模組中維護所述第一管理資訊的操作更包括：響應於所述第一條件之不滿足，從所述第一管理資訊中移除對應於所述第一管理單元的所述識別資訊。

【0024】 基於上述，用以識別從多個管理單元中識別第一管理單元的第一管理資訊可被維護於可複寫式非揮發性記憶體模組中。在資料整併操作中，在不從可複寫式非揮發性記憶體模組讀取第一映射資訊之前提下，第一有效資料可根據所述第一管理資訊而從所述第一管理單元收集並且被儲存至回收單元。第一映射資訊包括與第一有效資料有關的邏輯至實體映射資訊。藉此，可有效縮短執行資料整併程序的時間及/或提高資料整併程序的執行效率，進而增加記憶體儲存裝置的系統效能。

【0025】 為讓本發明的上述特徵和優點能更明顯易懂，下文特舉實施例，並配合所附圖式作詳細說明如下。

【圖式簡單說明】

【0026】

圖 1 是根據本發明的一範例實施例所繪示的主機系統、記憶

體儲存裝置及輸入/輸出(I/O)裝置的示意圖。

圖 2 是根據本發明的另一範例實施例所繪示的主機系統、記憶體儲存裝置及 I/O 裝置的示意圖。

圖 3 是根據本發明的另一範例實施例所繪示的主機系統與記憶體儲存裝置的示意圖。

圖 4 是根據本發明的一範例實施例所繪示的記憶體儲存裝置的概要方塊圖。

圖 5 是根據本發明的一範例實施例所繪示的記憶體控制電路單元的概要方塊圖。

圖 6 是根據本發明的一範例實施例所繪示的管理可複寫式非揮發性記憶體模組的示意圖。

圖 7 是根據本發明的一範例實施例所繪示的主機寫入操作與資料整併操作的示意圖。

圖 8 是根據本發明的一範例實施例所繪示的管理可複寫式非揮發性記憶體模組的示意圖。

圖 9 是根據本發明的一範例實施例所繪示的管理單元的示意圖。

圖 10 是根據本發明的一範例實施例所繪示的第一管理資訊的示意圖。

圖 11 是根據本發明的一範例實施例所繪示的第一管理單元的示意圖。

圖 12 是根據本發明的一範例實施例所繪示的第二管理資訊

的示意圖。

圖 13 是根據本發明的一範例實施例所繪示的第三管理資訊的示意圖。

圖 14 是根據本發明的一範例實施例所繪示的資料整併操作的示意圖。

圖 15 是根據本發明的一範例實施例所繪示的資料整併操作的示意圖。

圖 16 是根據本發明的一範例實施例所繪示的記憶體控制方法的流程圖。

圖 17 是根據本發明的一範例實施例所繪示的記憶體控制方法的流程圖。

【實施方式】

【0027】 一般而言，記憶體儲存裝置(亦稱，記憶體儲存系統)包括可複寫式非揮發性記憶體模組(rewritable non-volatile memory module)與控制器(亦稱，控制電路)。通常記憶體儲存裝置是與主機系統一起使用，以使主機系統可將資料寫入至記憶體儲存裝置或從記憶體儲存裝置中讀取資料。

【0028】 圖 1 是根據本發明的一範例實施例所繪示的主機系統、記憶體儲存裝置及輸入/輸出(I/O)裝置的示意圖。圖 2 是根據本發明的另一範例實施例所繪示的主機系統、記憶體儲存裝置及 I/O 裝置的示意圖。

【0029】 請參照圖 1 與圖 2，主機系統 11 一般包括處理器 111、隨機存取記憶體(random access memory, RAM)112、唯讀記憶體(read only memory, ROM)113 及資料傳輸介面 114。處理器 111、隨機存取記憶體 112、唯讀記憶體 113 及資料傳輸介面 114 皆耦接至系統匯流排(system bus)110。

【0030】 在本範例實施例中，主機系統 11 是透過資料傳輸介面 114 與記憶體儲存裝置 10 耦接。例如，主機系統 11 可經由資料傳輸介面 114 將資料儲存至記憶體儲存裝置 10 或從記憶體儲存裝置 10 中讀取資料。此外，主機系統 11 是透過系統匯流排 110 與 I/O 裝置 12 耦接。例如，主機系統 11 可經由系統匯流排 110 將輸出訊號傳送至 I/O 裝置 12 或從 I/O 裝置 12 接收輸入訊號。

【0031】 在本範例實施例中，處理器 111、隨機存取記憶體 112、唯讀記憶體 113 及資料傳輸介面 114 可設置在主機系統 11 的主機板 20 上。資料傳輸介面 114 的數目可以是一或多個。透過資料傳輸介面 114，主機板 20 可以經由有線或無線方式耦接至記憶體儲存裝置 10。記憶體儲存裝置 10 可例如是隨身碟 201、記憶卡 202、固態硬碟(Solid State Drive, SSD)203 或無線記憶體儲存裝置 204。無線記憶體儲存裝置 204 可例如是近距離無線通訊(Near Field Communication, NFC)記憶體儲存裝置、無線傳真(WiFi)記憶體儲存裝置、藍牙(Bluetooth)記憶體儲存裝置或低功耗藍牙記憶體儲存裝置(例如，iBeacon)等以各式無線通訊技術為基礎的記憶體儲存裝置。此外，主機板 20 也可以透過系統匯流排 110 耦接至全球定

位系統(Global Positioning System, GPS)模組 205、網路介面卡 206、無線傳輸裝置 207、鍵盤 208、螢幕 209、喇叭 210 等各式 I/O 裝置。例如，在一範例實施例中，主機板 20 可透過無線傳輸裝置 207 存取無線記憶體儲存裝置 204。

【0032】 在一範例實施例中，所提及的主機系統為可實質地與記憶體儲存裝置配合以儲存資料的任意系統。雖然在上述範例實施例中，主機系統是以電腦系統來作說明，然而，圖 3 是根據本發明的另一範例實施例所繪示的主機系統與記憶體儲存裝置的示意圖。請參照圖 3，在另一範例實施例中，主機系統 31 也可以是數位相機、攝影機、通訊裝置、音訊播放器、視訊播放器或平板電腦等系統，而記憶體儲存裝置 30 可為其所使用的安全數位(Secure Digital, SD)卡 32、小型快閃(Compact Flash, CF)卡 33 或嵌入式儲存裝置 34 等各式非揮發性記憶體儲存裝置。嵌入式儲存裝置 34 包括嵌入式多媒體卡(embedded Multi Media Card, eMMC)341 及/或嵌入式多晶片封裝(embedded Multi Chip Package, eMCP)儲存裝置 342 等各類型將記憶體模組直接耦接於主機系統的基板上的嵌入式儲存裝置。

【0033】 圖 4 是根據本發明的一範例實施例所繪示的記憶體儲存裝置的概要方塊圖。

【0034】 請參照圖 4，記憶體儲存裝置 10 包括連接介面單元 402、記憶體控制電路單元 404 與可複寫式非揮發性記憶體模組 406。

【0035】 連接介面單元 402 用以將記憶體儲存裝置 10 耦接至主機

系統 11。記憶體儲存裝置 10 可透過連接介面單元 402 與主機系統 11 通訊。在本範例實施例中，連接介面單元 402 是相容於序列先進附件(Serial Advanced Technology Attachment, SATA)標準。然而，必須瞭解的是，本發明不限於此，連接介面單元 402 亦可以是符合並列先進附件(Parallel Advanced Technology Attachment, PATA)標準、電氣和電子工程師協會(Institute of Electrical and Electronic Engineers, IEEE)1394 標準、高速周邊零件連接介面(Peripheral Component Interconnect Express, PCI Express)標準、通用序列匯流排(Universal Serial Bus, USB)標準、SD 介面標準、超高速一代(Ultra High Speed-I, UHS-I)介面標準、超高速二代(Ultra High Speed-II, UHS-II)介面標準、記憶棒(Memory Stick, MS)介面標準、MCP 介面標準、MMC 介面標準、eMMC 介面標準、通用快閃記憶體(Universal Flash Storage, UFS)介面標準、eMCP 介面標準、CF 介面標準、整合式驅動電子介面(Integrated Device Electronics, IDE)標準或其他適合的標準。連接介面單元 402 可與記憶體控制電路單元 404 封裝在一個晶片中，或者連接介面單元 402 是佈設於一包含記憶體控制電路單元 404 之晶片外。

【0036】 記憶體控制電路單元 404 用以執行以硬體型式或韌體型式實作的多個邏輯閘或控制指令並且根據主機系統 11 的指令在可複寫式非揮發性記憶體模組 406 中進行資料的寫入、讀取與抹除等運作。

【0037】 可複寫式非揮發性記憶體模組 406 是耦接至記憶體控制

電路單元 404 並且用以儲存主機系統 11 所寫入之資料。可複寫式非揮發性記憶體模組 406 可以是單階記憶胞(Single Level Cell, SLC)NAND 型快閃記憶體模組(即，一個記憶胞中可儲存 1 個位元的快閃記憶體模組)、多階記憶胞(Multi Level Cell, MLC)NAND 型快閃記憶體模組(即，一個記憶胞中可儲存 2 個位元的快閃記憶體模組)、三階記憶胞(Triple Level Cell，TLC)NAND 型快閃記憶體模組(即，一個記憶胞中可儲存 3 個位元的快閃記憶體模組)、四階記憶胞(Quad Level Cell，TLC)NAND 型快閃記憶體模組(即，一個記憶胞中可儲存 4 個位元的快閃記憶體模組)、其他快閃記憶體模組或其他具有相同特性的記憶體模組。

【0038】 可複寫式非揮發性記憶體模組 406 中的每一個記憶胞是以電壓(以下亦稱為臨界電壓)的改變來儲存一或多個位元。具體來說，每一個記憶胞的控制閘極(control gate)與通道之間有一個電荷捕捉層。透過施予一寫入電壓至控制閘極，可以改變電荷補捉層的電子量，進而改變記憶胞的臨界電壓。此改變記憶胞之臨界電壓的操作亦稱為“把資料寫入至記憶胞”或“程式化(programming)記憶胞”。隨著臨界電壓的改變，可複寫式非揮發性記憶體模組 406 中的每一個記憶胞具有多個儲存狀態。透過施予讀取電壓可以判斷一個記憶胞是屬於哪一個儲存狀態，藉此取得此記憶胞所儲存的一或多個位元。

【0039】 在本範例實施例中，可複寫式非揮發性記憶體模組 406 的記憶胞可構成多個實體程式化單元，並且此些實體程式化單元

可構成多個實體抹除單元。具體來說，同一條字元線上的記憶胞可組成一或多個實體程式化單元。若每一個記憶胞可儲存 2 個以上的位元，則同一條字元線上的實體程式化單元可至少可被分類為下實體程式化單元與上實體程式化單元。例如，一記憶胞的最低有效位元(Least Significant Bit，LSB)是屬於下實體程式化單元，並且一記憶胞的最高有效位元(Most Significant Bit，MSB)是屬於上實體程式化單元。一般來說，在 MLC NAND 型快閃記憶體中，下實體程式化單元的寫入速度會大於上實體程式化單元的寫入速度，及/或下實體程式化單元的可靠度是高於上實體程式化單元的可靠度。

【0040】 在本範例實施例中，實體程式化單元為程式化的最小單元。即，實體程式化單元為寫入資料的最小單元。例如，實體程式化單元可為實體頁面(page)或是實體扇(sector)。若實體程式化單元為實體頁面，則此些實體程式化單元可包括資料位元區與冗餘(redundancy)位元區。資料位元區包含多個實體扇，用以儲存使用者資料，而冗餘位元區用以儲存系統資料(例如，錯誤更正碼等管理資料)。在本範例實施例中，資料位元區包含 32 個實體扇，且一個實體扇的大小為 512 位元組(byte, B)。然而，在其他範例實施例中，資料位元區中也可包含 8 個、16 個或數目更多或更少的實體扇，並且每一個實體扇的大小也可以是更大或更小。另一方面，實體抹除單元為抹除之最小單位。亦即，每一實體抹除單元含有最小數目之一併被抹除之記憶胞。例如，實體抹除單元為實體區

塊(block)。

【0041】 圖 5 是根據本發明的一範例實施例所繪示的記憶體控制電路單元的概要方塊圖。

【0042】 請參照圖 5，記憶體控制電路單元 404 包括記憶體管理電路 502、主機介面 504 及記憶體介面 506。

【0043】 記憶體管理電路 502 用以控制記憶體控制電路單元 404 的整體運作。具體來說，記憶體管理電路 502 具有多個控制指令，並且在記憶體儲存裝置 10 運作時，此些控制指令會被執行以進行資料的寫入、讀取與抹除等運作。以下說明記憶體管理電路 502 的操作時，等同於說明記憶體控制電路單元 404 的操作。

【0044】 在本範例實施例中，記憶體管理電路 502 的控制指令是以韌體型式來實作。例如，記憶體管理電路 502 具有微處理器單元(未繪示)與唯讀記憶體(未繪示)，並且此些控制指令是被燒錄至此唯讀記憶體中。當記憶體儲存裝置 10 運作時，此些控制指令會由微處理器單元來執行以進行資料的寫入、讀取與抹除等運作。

【0045】 在另一範例實施例中，記憶體管理電路 502 的控制指令亦可以程式碼型式儲存於可複寫式非揮發性記憶體模組 406 的特定區域(例如，記憶體模組中專用於存放系統資料的系統區)中。此外，記憶體管理電路 502 具有微處理器單元(未繪示)、唯讀記憶體(未繪示)及隨機存取記憶體(未繪示)。特別是，此唯讀記憶體具有開機碼(boot code)，並且當記憶體控制電路單元 404 被致能時，微處理器單元會先執行此開機碼來將儲存於可複寫式非揮發性記憶

體模組 406 中之控制指令載入至記憶體管理電路 502 的隨機存取記憶體中。之後，微處理器單元會運轉此些控制指令以進行資料的寫入、讀取與抹除等運作。

【0046】 此外，在另一範例實施例中，記憶體管理電路 502 的控制指令亦可以一硬體型式來實作。例如，記憶體管理電路 502 包括微控制器、記憶胞管理電路、記憶體寫入電路、記憶體讀取電路、記憶體抹除電路與資料處理電路。記憶胞管理電路、記憶體寫入電路、記憶體讀取電路、記憶體抹除電路與資料處理電路是耦接至微控制器。記憶胞管理電路用以管理可複寫式非揮發性記憶體模組 406 的記憶胞或記憶胞群組。記憶體寫入電路用以對可複寫式非揮發性記憶體模組 406 下達寫入指令序列以將資料寫入至可複寫式非揮發性記憶體模組 406 中。記憶體讀取電路用以對可複寫式非揮發性記憶體模組 406 下達讀取指令序列以從可複寫式非揮發性記憶體模組 406 中讀取資料。記憶體抹除電路用以對可複寫式非揮發性記憶體模組 406 下達抹除指令序列以將資料從可複寫式非揮發性記憶體模組 406 中抹除。資料處理電路用以處理欲寫入至可複寫式非揮發性記憶體模組 406 的資料以及從可複寫式非揮發性記憶體模組 406 中讀取的資料。寫入指令序列、讀取指令序列及抹除指令序列可各別包括一或多個程式碼或指令碼並且用以指示可複寫式非揮發性記憶體模組 406 執行相對應的寫入、讀取及抹除等操作。在一範例實施例中，記憶體管理電路 502 還可以下達其他類型的指令序列給可複寫式非揮發性記憶體模組

406 以指示執行相對應的操作。

【0047】 主機介面 504 是耦接至記憶體管理電路 502。記憶體管理電路 502 可透過主機介面 504 與主機系統 11 通訊。主機介面 504 可用以接收與識別主機系統 11 所傳送的指令與資料。例如，主機系統 11 所傳送的指令與資料可透過主機介面 504 來傳送至記憶體管理電路 502。此外，記憶體管理電路 502 可透過主機介面 504 將資料傳送至主機系統 11。在本範例實施例中，主機介面 504 是相容於 SATA 標準。然而，必須瞭解的是本發明不限於此，主機介面 504 亦可以是相容於 PATA 標準、IEEE 1394 標準、PCI Express 標準、USB 標準、SD 標準、UHS-I 標準、UHS-II 標準、MS 標準、MMC 標準、eMMC 標準、UFS 標準、CF 標準、IDE 標準或其他適合的資料傳輸標準。

【0048】 記憶體介面 506 是耦接至記憶體管理電路 502 並且用以存取可複寫式非揮發性記憶體模組 406。也就是說，欲寫入至可複寫式非揮發性記憶體模組 406 的資料會經由記憶體介面 506 轉換為可複寫式非揮發性記憶體模組 406 所能接受的格式。具體來說，若記憶體管理電路 502 要存取可複寫式非揮發性記憶體模組 406，記憶體介面 506 會傳送對應的指令序列。例如，這些指令序列可包括指示寫入資料的寫入指令序列、指示讀取資料的讀取指令序列、指示抹除資料的抹除指令序列、以及用以指示各種記憶體操作(例如，改變讀取電壓準位或執行垃圾回收操作等等)的相對應的指令序列。這些指令序列例如是由記憶體管理電路 502 產生

並且透過記憶體介面 506 傳送至可複寫式非揮發性記憶體模組 406。這些指令序列可包括一或多個訊號，或是在匯流排上的資料。這些訊號或資料可包括指令碼或程式碼。例如，在讀取指令序列中，會包括讀取的辨識碼、記憶體位址等資訊。

【0049】 在一範例實施例中，記憶體控制電路單元 404 還包括錯誤檢查與校正電路 508、緩衝記憶體 510 與電源管理電路 512。

【0050】 錯誤檢查與校正電路 508 是耦接至記憶體管理電路 502 並且用以執行錯誤檢查與校正操作以確保資料的正確性。具體來說，當記憶體管理電路 502 從主機系統 11 中接收到寫入指令時，錯誤檢查與校正電路 508 會為對應此寫入指令的資料產生對應的錯誤更正碼(error correcting code, ECC)及/或錯誤檢查碼(error detecting code，EDC)，並且記憶體管理電路 502 會將對應此寫入指令的資料與對應的錯誤更正碼及/或錯誤檢查碼寫入至可複寫式非揮發性記憶體模組 406 中。之後，當記憶體管理電路 502 從可複寫式非揮發性記憶體模組 406 中讀取資料時會同時讀取此資料對應的錯誤更正碼及/或錯誤檢查碼，並且錯誤檢查與校正電路 508 會依據此錯誤更正碼及/或錯誤檢查碼對所讀取的資料執行錯誤檢查與校正操作。

【0051】 緩衝記憶體 510 是耦接至記憶體管理電路 502 並且用以暫存來自於主機系統 11 的資料與指令或來自於可複寫式非揮發性記憶體模組 406 的資料。電源管理電路 512 是耦接至記憶體管理電路 502 並且用以控制記憶體儲存裝置 10 的電源。

【0052】 在一範例實施例中，圖 4 的可複寫式非揮發性記憶體模組 406 亦稱為快閃(flash)記憶體模組，記憶體控制電路單元 404 亦稱為用於控制快閃記憶體模組的快閃記憶體控制器，及/或圖 5 的記憶體管理電路 502 亦稱為快閃記憶體管理電路。

【0053】 圖 6 是根據本發明的一範例實施例所繪示的管理可複寫式非揮發性記憶體模組的示意圖。

【0054】 請參照圖 6，記憶體管理電路 502 會將可複寫式非揮發性記憶體模組 406 的實體節點 610(0)~610(C)邏輯地分組至儲存區 601、閒置(spare)區 602 及系統區 603。儲存區 601 中的實體節點 610(0)~610(A)儲存有資料。例如，儲存區 601 中的實體節點 610(0)~610(A)可儲存有效(valid)資料與無效(invalid)資料。閒置區 602 中的實體節點 610(A+1)~610(B)尚未用來儲存資料(例如有效資料)。儲存區 603 中的實體節點 610(B+1)~610(C)用以儲存系統資料，例如邏輯至實體映射表、壞塊管理表、裝置型號或其他類型的管理資料。

【0055】 一個實體節點可包含一或多個實體位址。一個實體位址可由多個記憶胞組成。當欲儲存資料時，記憶體管理電路 502 可從閒置區 602 的實體節點 610(A+1)~610(B)中選擇至少一個實體節點並且將來自主機系統 11 或來自儲存區 601 中至少一實體節點的資料儲存至所選的實體節點中。同時，所選的實體節點會被關聯至儲存區 601。此外，在抹除儲存區 601 中的某一個實體節點後，所抹除的實體節點會被重新關聯至閒置區 602。

【0056】 記憶體管理電路 502 可配置邏輯單元 612(0)~612(D)以映射儲存區 601 中的實體節點 610(0)~610(A)。一個邏輯單元可包含一或多個邏輯位址。邏輯單元 612(0)~612(D)中的每一者可被映射至一或多個實體節點。須注意的是，記憶體管理電路 502 可不配置映射至系統區 603 的邏輯單元，以防止儲存於系統區 603 的系統資料被使用者修改。

【0057】 記憶體管理電路 502 可將邏輯單元與實體節點之間的映射關係(亦稱為邏輯至實體映射資訊或映射資訊)記錄於至少一邏輯至實體映射表。邏輯至實體映射表是儲存於系統區 603 的實體節點 610(B+1)~610(C)中。當主機系統 11 欲從記憶體儲存裝置 10 讀取資料或寫入資料至記憶體儲存裝置 10 時，記憶體管理電路 502 可根據此邏輯至實體映射表來執行對於記憶體儲存裝置 10 的資料存取操作。

【0058】 記憶體管理電路 502 可基於管理單元來管理與存取可複寫式非揮發性記憶體模組 406 中的實體節點。一個管理單元亦稱為一個虛擬區塊(VB)。一個管理單元可包含多個實體節點。例如，一個管理單元可涵蓋屬於可複寫式非揮發性記憶體模組 406 中的多個平面(亦稱為記憶體平面)及/或多個晶片致能(CE)中的多個實體節點。此外，一個管理單元可以被關聯至儲存區 601、閒置區 602 或系統區 603。屬於閒置區 602 的管理單元亦稱為閒置管理單元。屬於儲存區 601 的管理單元亦稱為非閒置管理單元。

【0059】 須注意的是，有效資料是屬於某一個邏輯單元的最新資

料，而無效資料則不是屬於任一個邏輯單元的最新資料。例如，若主機系統 11 將一筆新資料儲存至某一邏輯單元而覆蓋掉此邏輯單元原先儲存的舊資料(即，更新屬於此邏輯單元的資料)，則儲存至儲存區 601 中的此筆新資料即為屬於此邏輯單元的最新資料並且會被標記為有效，而被覆蓋掉的舊資料可能仍然儲存在儲存區 601 中但被標記為無效。

【0060】 在本範例實施例中，若屬於某一邏輯單元的資料被更新，則此邏輯單元與儲存有屬於此邏輯單元之舊資料的實體節點之間的映射關係會被移除，並且此邏輯單元與儲存有屬於此邏輯單元之最新資料的實體節點之間的映射關係會被建立。然而，在另一範例實施例中，若屬於某一邏輯單元的資料被更新，則此邏輯單元與儲存有屬於此邏輯位址之舊資料的實體節點之間的映射關係仍可被維持。

【0061】 當記憶體儲存裝置 10 出廠時，屬於閒置區 602 的管理單元的總數會是一個預設數目(例如，30)。在記憶體儲存裝置 10 的運作中，越來越多的管理單元會被從閒置區 602 選擇並且被關聯至儲存區 601 以儲存資料(例如，來自主機系統 11 的使用者資料)。因此，屬於閒置區 602 的管理單元的總數會隨著記憶體儲存裝置 10 的使用而逐漸減少。

【0062】 在記憶體儲存裝置 10 的運作中，記憶體管理電路 502 可持續更新屬於閒置區 602 的管理單元的總數。記憶體管理電路 502 可根據閒置區 602 中的管理單元之數目(即，閒置管理單元的總數)

執行資料整併操作。例如，記憶體管理電路 502 可判斷屬於閒置區 602 的管理單元的總數是否小於或等於一個門檻值(亦稱為第一門檻值)。此第一門檻值例如是 2 或者更大的值(例如，10)，本發明不加以限制。若屬於閒置區 602 的管理單元的總數小於或等於第一門檻值，記憶體管理電路 502 可執行資料整併操作。在一範例實施例中，資料整併操作亦稱為垃圾收集操作。

【0063】 在資料整併操作中，記憶體管理電路 502 可從儲存區 601 中選擇至少一個管理單元作為來源單元並且從閒置區 602 中選擇至少一個管理單元作為回收單元。記憶體管理電路 502 可發送至少一指令序列以指示可複寫式非揮發性記憶體模組 406 將有效資料從作為來源單元的管理單元複製到作為回收單元的管理單元。作為回收單元而被有效資料寫滿的管理單元可被關聯至儲存區 601。若某一個管理單元所儲存的有效資料皆已被複製至回收單元，則此管理單元可被抹除並且被關聯至閒置區 602。在一範例實施例中，將某一個管理單元從儲存區 601 重新關聯回閒置區 602 的操作(或抹除某一個管理單元的操作)亦稱為釋放一個閒置管理單元。藉由執行資料整併操作，一或多個閒置管理單元會被釋放並且使得屬於閒置區 602 的管理單元的總數逐漸增加。

【0064】 在開始執行資料整併操作後，若屬於閒置區 602 之管理單元符合一特定條件，資料整併操作可被停止。例如，記憶體管理電路 502 可判斷屬於閒置區 602 的管理單元的總數是否大於或等於一個門檻值(以下亦稱為第二門檻值)。例如，第二門檻值可以

大於或等於第一門檻值。若屬於閒置區 602 的管理單元的總數大於或等於第二門檻值，記憶體管理電路 502 可停止資料整併操作。須注意的是，停止資料整併操作是指結束當前執行中的資料整併操作。在停止一個資料整併操作之後，若屬於閒置區 602 的管理單元的總數再次小於或等於第一門檻值，則下一個資料整併操作可再次被執行，以嘗試釋放新的閒置管理單元。

【0065】 圖 7 是根據本發明的一範例實施例所繪示的主機寫入操作與資料整併操作的示意圖。請參照圖 7，在主機寫入操作中，主機系統 11 可發送至少一個寫入指令以指示將資料 701 寫入至一或多個邏輯單元(或邏輯位址)。根據此寫入指令，記憶體管理電路 502 可指示將資料 701 儲存至映射至所述邏輯單元(或邏輯位址)的主機單元 710。例如，主機單元 710 可包含從圖 6 的閒置區 602 中選擇的某一管理單元。

【0066】 另一方面，記憶體管理電路 502 可啟動一個資料整併操作，以釋放新的閒置管理單元。例如，在資料整併操作中，資料 702 可被從作為來源單元 720 的至少一個管理單元收集並且被寫入至作為回收單元 730 的至少一個管理單元。資料 702 包括儲存於來源單元 720 的有效資料。若作為來源單元 720 的某一管理單元所儲存的有效資料已被完全複製到回收單元 730，則此管理單元可被抹除而成為新的閒置管理單元。藉此，可逐漸增加圖 6 的閒置區 602 中的閒置管理單元的數量。

【0067】 圖 8 是根據本發明的一範例實施例所繪示的管理可複寫

式非揮發性記憶體模組的示意圖。請參照圖 8，可複寫式非揮發性記憶體模組 406 包括管理單元 81(1)~81(n)。管理單元 81(1)~81(n)中的每一者皆包含晶片致能(亦稱為晶片致能群組)CE(1)與 CE(2)。晶片致能 CE(1)與 CE(2)分別包含多個實體節點。記憶體管理電路 502 可藉由通道 80(1)~80(m)來存取管理單元 81(1)~81(n)。例如，記憶體管理電路 502 可藉由通道 80(1)~80(m)中的至少兩個通道來平行(或稱為交錯)存取管理單元 81(1)與 81(2)。此外，晶片致能 CE(1)與 CE(2)可分別包含多個平面(例如圖 9 的平面 PL(1)與 PL(2))。

【0068】 圖 9 是根據本發明的一範例實施例所繪示的管理單元的示意圖。請參照圖 9，以管理單元 81(1)為例，晶片致能 CE(1)中的平面 PL(1)可包括實體節點 P1~P7 與 P29~P35 等，晶片致能 CE(1)中的平面 PL(2)可包括實體節點 P8~P14 與 P36~42 等，晶片致能 CE(2)中的平面 PL(1)可包括實體節點 P15~P21 等，且晶片致能 CE(2)中的平面 PL(2)可包括實體節點 P22~P28 等。實體節點 P1~P28 可被平行(或交錯)地存取，以提高存取效率。

【0069】 在一範例實施例中，一個平面中的多個連續的實體節點(例如實體節點 P1~P7)可稱為一個實體單元。或者，在一範例實施例中，一個晶片致能中的多個連續的實體節點(例如實體節點 P1~P14)可稱為一個實體單元。或者，在一範例實施例中，多個平面中的多個連續的實體節點(例如實體節點 P1~P28)可稱為一個實體單元。

【0070】 在一範例實施例中，在啟動資料整併操作後，記憶體管理電路 502 可從可複寫式非揮發性記憶體模組 406 讀取至少一部份的邏輯至實體映射表並根據此邏輯至實體映射表來分析至少一部份的管理單元所儲存的有效資料之資料量及/或有效資料的儲存位置。然後，記憶體管理電路 502 可根據分析結果選擇至少一個管理單元作為來源單元並從中收集有效資料。然而，邏輯至實體映射表的讀取與分析皆需要時間。若某一管理單元所儲存的有效資料所屬的邏輯單元很分散(即此些邏輯單元的映射資訊分散地記載於多個邏輯至實體映射表)，則往往需要更多時間來讀取多個邏輯至實體映射表以獲得所需的映射資訊，從而降低資料整併操作的執行效率。

【0071】 在一範例實施例中，記憶體管理電路 502 可在可複寫式非揮發性記憶體模組 406 中維護特定管理資訊(亦稱為第一管理資訊)。例如，第一管理資訊可儲存於圖 6 的系統區 603。第一管理資訊可用以識別可複寫式非揮發性記憶體模組 406 中的特定管理單元(亦稱為第一管理單元)。在資料整併操作中，記憶體管理電路 502 可在不從可複寫式非揮發性記憶體模組 406 讀取特定映射資訊(亦稱為第一映射資訊)之前提下，自動根據第一管理資訊從多個管理單元中選擇第一管理單元作為來源單元並且從第一管理單元收集有效資料(亦稱為第一有效資料)。須注意的是，所述第一映射資訊包括與所述第一有效資料有關的邏輯至實體映射資訊。例如，第一映射資訊可反映第一有效資料所屬的至少一個邏輯單元

與第一管理單元中的至少一個實體節點之間的映射關係。例如，第一映射資訊可記錄於至少一個邏輯至實體映射表並儲存於圖 6 的系統區 603。然後，記憶體管理電路 502 可指示將所收集的第一有效資料儲存至回收單元。

【0072】 換言之，在一範例實施例中，記憶體管理電路 502 可不讀取且不分析與第一有效資料有關的映射資訊即可選擇第一管理單元作為來源單元並且從第一管理單元收集第一有效資料，從而有效提高資料整併操作的執行效率。例如，記憶體管理電路 502 可省去讀取與分析第一映射資訊之時間，以快速地從第一管理單元收集第一有效資料。

【0073】 圖 10 是根據本發明的一範例實施例所繪示的第一管理資訊的示意圖。請參照圖 10，在一範例實施例中，第一管理資訊包括表格資訊 1001。表格資訊 1001 可儲存於圖 6 的系統區 603。表格資訊 1001 可包括分別對應於管理單元 81(1)~81(n)的識別資訊。在本範例實施例中，假設對應於管理單元 81(1)與 81(n)的識別資訊為位元“1”，且對應於管理單元 81(2)的識別資訊為位元“0”。在資料整併操作中，記憶體管理電路 502 可根據表格資訊 1001 選擇對應於識別資訊為位元“1”的管理單元 81(1)(與管理單元 81(n))作為來源單元(即第一管理單元)。須注意的是，在圖 10 的一範例實施例中，選擇管理單元 81(1)作為來源單元之操作可不考慮與管理單元 81(1)所儲存之有效資料有關的映射資訊。

【0074】 在一範例實施例中，記憶體管理電路 502 也可在第一管

理單元中維護特定管理資訊(亦稱為第二管理資訊)。第二管理資訊可用以識別第一管理單元中儲存第一有效資料的至少一實體單元(亦稱為第一實體單元)。例如，第二管理資訊可儲存於第一管理單元中的特定實體單元。例如，此特定實體單元可以是第一管理單元中的最後一個實體單元。

【0075】 在一範例實施例中，在選擇第一管理單元作為來源單元後，記憶體管理電路 502 可從第一管理單元中讀取第二管理資訊。記憶體管理電路 502 可根據第二管理資訊識別第一管理單元中的第一實體單元並從所識別的第一實體單元收集第一有效資料。在一範例實施例中，每一個第一實體單元可包含多個連續的實體節點，且此些連續的實體節點用以儲存第一有效資料的至少一部分資料。須注意的是，在一範例實施例中，第一管理單元中儲存其餘有效資料(亦稱為第二有效資料)的至少一個實體單元(亦稱為第二實體單元)可能無法藉由第二管理資訊進行識別。

【0076】 圖 11 是根據本發明的一範例實施例所繪示的第一管理單元的示意圖。圖 12 是根據本發明的一範例實施例所繪示的第二管理資訊的示意圖。

【0077】 請參照圖 11 與圖 12，假設管理單元 81(1)被選擇作為來源單元(即第一管理單元)且管理單元 81(1)包括多個實體單元 PU(1)~PU(8)。實體單元 PU(1)~PU(8)中的每一個實體單元包含 K 個連續的實體節點。例如，K 可為 14，如圖 9 所示。然而，在另一範例實施例中，K 的數值還可以是更大或更小，本發明不加以

限制。此外，在另一範例實施例中，管理單元 81(1)還可以包含更多或更少的實體單元，本發明不加以限制。

【0078】 在本範例實施例中，是假設實體單元 PU(1)、PU(4)、PU(5)及 PU(8)為第一實體單元，且實體單元 PU(2)與 PU(7)為第二實體單元。實體單元 PU(3)與 PU(6)未儲存有效資料。第二管理資訊可包括表格資訊 1201。表格資訊 1201 可儲存於管理單元 81(1)中。例如，表格資訊 1201 可儲存於管理單元 81(1)中的最後一個實體單元(例如實體單元 PU(8))。表格資訊 1201 可用以識別實體單元 PU(1)、PU(4)、PU(5)及 PU(8)。例如，在表格資訊 1201 中，對應於實體單元 PU(1)、PU(4)、PU(5)及 PU(8)的識別資訊可為位元“1”，以反映實體單元 PU(1)、PU(4)、PU(5)及 PU(8)為第一實體單元。反之，在表格資訊 1201 中，對應於實體單元 PU(2)、PU(3)、PU(6)及 PU(7)的識別資訊可為位元“0”，以反映實體單元 PU(2)、PU(3)、PU(6)及 PU(7)不為第一實體單元。藉此，在選定管理單元 81(1)作為來源單元後，根據表格資訊 1201，實體單元 PU(1)、PU(4)、PU(5)及 PU(8)可被識別為第一實體單元並從中收集第一有效資料。

【0079】 在一範例實施例中，記憶體管理電路 502 還可在可複寫式非揮發性記憶體模組 406 中維護特定管理資訊(亦稱為第三管理資訊)。第三管理資訊可包括索引資訊，其用以讀取與第一管理單元所儲存之有效資料有關的邏輯至實體映射資訊。

【0080】 圖 13 是根據本發明的一範例實施例所繪示的第三管理資

訊的示意圖。請參照圖 11 與圖 13，在本範例實施例中，是假設第三管理資訊包括表格資訊 1301。此外，在本範例實施例中，是假設儲存於實體單元 PU(1)、PU(4)、PU(5)及 PU(8)的有效資料(即第一有效資料)之映射資訊分別記載於索引資訊 PTE(20)、PTE(30)、PTE(40)及 PTE(50)所對應的邏輯至實體映射表。

【0081】 根據表格資訊 1301，PTE 索引(即索引資訊)中的 PTE(i)對應至編號為 i 的邏輯至實體映射表。索引資訊 PTE(1)、PTE(2)、PTE(20)、PTE(30)、PTE(40)及 PTE(50)的識別資訊為位元“1”，表示管理單元 81(1)所儲存的至少部分有效資料之映射資訊分別是紀錄於索引資訊 PTE(1)、PTE(2)、PTE(20)、PTE(30)、PTE(40)及 PTE(50)所對應的邏輯至實體映射表。

【0082】 圖 14 是根據本發明的一範例實施例所繪示的資料整併操作的示意圖。請參照圖 14，在將實體單元 PU(1)、PU(4)、PU(5)及 PU(8)識別為第一實體單元後，第一有效資料可從實體單元 PU(1)、PU(4)、PU(5)及 PU(8)讀出並且被依序寫入至回收單元。須注意的是，在本範例實施例中，是假設管理單元 81(2)是回收單元，且所收集的第一有效資料可被寫入至管理單元 81(2)中的實體單元 PU(9)~PU(12)。

【0083】 在一範例實施例中，響應於第一有效資料之收集(或被寫入至回收單元)，記憶體管理電路 502 可更新第三管理資訊。以圖 14 為例，在將第一有效資料寫入至實體單元 PU(9)~PU(12)後，表格資訊 1301 中對應於索引資訊 PTE(20)、PTE(30)、PTE(40)及

PTE(50)的識別位元可被更新為位元“0”，以表示管理單元 81(1)未儲存對應於索引資訊 PTE(20)、PTE(30)、PTE(40)及 PTE(50)的有效資料。此外，記憶體管理電路 502 可在索引資訊 PTE(20)、PTE(30)、PTE(40)及 PTE(50)所對應的邏輯至實體映射表中更新第一有效資料的映射資訊，以反映第一有效資料已被搬移至實體單元 PU(9)~PU(12)進行儲存。

【0084】 在一範例實施例中，記憶體管理電路 502 可根據經更新的第三管理資訊從可複寫式非揮發性記憶體模組 406 讀取特定映射資訊(亦稱為第二映射資訊)。第二映射資訊可包括與第二有效資料有關的映射資訊。第二有效資料是儲存於第一管理單元中的至少一個第二實體單元。記憶體管理電路 502 可根據第二映射資訊從第二實體單元收集第二有效資料並將所收集的第二有效資料儲存至回收單元。

【0085】 圖 15 是根據本發明的一範例實施例所繪示的資料整併操作的示意圖。請參照圖 15，在將第一有效資料儲存至管理單元 81(2)並更新表格資訊 1301 後，記憶體管理電路 502 可查詢表格資訊 1301 並根據表格資訊 1301 的查詢結果從可複寫式非揮發性記憶體模組 406 讀取邏輯至實體映射表 1501。例如，在本範例實施例中，是假設經更新的表格資訊 1301 中索引資訊 PTE(1)與 PTE(2)所對應的識別資訊為位元“1”，故所讀取的邏輯至實體映射表 1501 可包括索引資訊 PTE(1)與 PTE(2)所對應的邏輯至實體映射表所記載之資訊。

【0086】 記憶體管理電路 502 可根據邏輯至實體映射表 1501 分析實體單元 PU(2)、PU(3)、PU(6)及 PU(7)所儲存之資料是否為有效資料。在本範例實施例中，是假設實體單元 PU(2)中同時儲存有效資料與無效資料，實體單元 PU(3)僅儲存無效資料，實體單元 PU(6)僅儲存無效資料，且實體單元 PU(7)中同時儲存有效資料與無效資料。根據分析結果，記憶體管理電路 502 可自動從實體單元 PU(2)與 PU(7)中讀取有效資料(即第二有效資料)並將第二有效資料寫入至作為回收單元的管理單元 81(2)(例如實體單元 PU(13))。在將第一有效資料與第二有效資料儲存至管理單元 81(2)後(即管理單元 81(1)中的所有有效資料皆已被收集)，記憶體管理電路 502 可指示抹除管理單元 81(1)。

【0087】 在圖 11 至圖 15 的範例實施例中，第一有效資料的收集(如圖 14 所示)並不涉及邏輯至實體映射表的讀取與分析，僅少部分的第二有效資料的收集(如圖 15 所示)需要經過邏輯至實體映射表的讀取與分析。因此，相較於傳統上整個管理單元(或實體區塊)所儲存的資料都需要藉由相應的邏輯至實體映射表來進行分析，在本發明的範例實施例中，有效資料可以更加快速地在資料整併操作中被收集，進而提高整體的資料整併操作的執行效率及/或記憶體儲存裝置的系統性能。

【0088】 須注意的是，在一範例實施例中，響應於特定條件(亦稱為第一條件)之滿足，記憶體管理電路 502 可在第一管理資訊中加入對應於第一管理單元的識別資訊。例如，第一條件可包括以下

多個條件的至少其中之一。例如，第一管理單元須包含多個連續的實體節點，且此些連續的實體節點皆用以儲存第一有效資料的至少一部份資料。換言之，第一管理單元須包含至少一個上述第一實體單元。此外，第一管理單元中的第一有效資料所屬的邏輯範圍必須不同於第一管理單元中的其餘有效資料(即第二有效資料)所屬的邏輯範圍。換言之，第一有效資料與第二有效資料所屬的邏輯範圍必須不重疊(或者不具有相同的索引資訊 PTE(i))。藉此，根據第一管理資訊所選取的第一管理單元才可具有最佳的資料整併效能。

【0089】 以圖 11 為例，管理單元 81(1)中的實體單元 PU(1)、PU(4)、PU(5)及 PU(8)皆為第一實體單元，故管理單元 81(1)可滿足第一管理單元須包含至少一個第一實體單元之條件。另外，管理單元 81(1)中的第一有效資料所屬的邏輯範圍是對應於索引資訊 PTE(20)、PTE(30)、PTE(40)及 PTE(50)的邏輯範圍且管理單元 81(1)中的第二有效資料所屬的邏輯範圍則是對應於索引資訊 PTE(1)與 PTE(2)的邏輯範圍，故管理單元 81(1)也可滿足第一有效資料與第二有效資料所屬的邏輯範圍必須不重疊之條件。響應於管理單元 81(1)滿足第一條件的至少其中之一，記憶體管理電路 502 可在表格資訊 1001 中將對應於管理單元 81(1)的識別資訊標記為位元“1”。藉此，根據第一管理資訊與第二管理資訊(及第三管理資訊)對管理單元 81(1)執行的資料整併操作才可以獲得最佳的執行效能。

【0090】 在一範例實施例中，響應於前述第一條件之不滿足，記憶體管理電路 502 可從第一管理資訊中移除對應於第一管理單元的識別資訊。例如，在圖 10 與圖 11 的一範例實施例中，若基於主機系統 11 的資料寫入而導致實體單元 PU(1)、PU(4)、PU(5)及PU(8)中皆存在至少一部份的無效資料，及/或管理單元 81(1)中的第一有效資料所屬的邏輯範圍與第二有效資料所屬的邏輯範圍發生重疊，則記憶體管理電路 502 可在表格資訊 1001 中將對應於管理單元 81(1)的識別資訊更新為位元“0”。藉此，根據更新後的表格資訊 1001，下次執行的資料整併操作就不會將管理單元 81(1)選擇作為第一管理單元。

【0091】 須注意的是，在圖 10 至圖 15 的範例實施例中，表格資訊 1001、1201 及 1301 皆為範例而非用以限制本發明。在另一範例實施例中，表格資訊 1001、1201 及 1301 還可具有其他資料格式或記載其他有用的資訊。此外，在圖 10 至圖 15 的另一範例實施例中，若管理單元 81(1)中的所有實體單元 PU(1)~PU(8)皆為第一實體單元，則在從實體單元 PU(1)~PU(8)收集第一有效資料後，管理單元 81(1)即可被抹除，且圖 15 中收集第二有效資料之操作可不執行。

【0092】 圖 16 是根據本發明的一範例實施例所繪示的記憶體控制方法的流程圖。請參照圖 16，在步驟 S1601 中，在可複寫式非揮發性記憶體模組中維護第一管理資訊。第一管理資訊用以識別多個管理單元中的第一管理單元。在步驟 S1602 中，在資料整併操

作中，在不從可複寫式非揮發性記憶體模組讀取第一映射資訊之前提下，根據第一管理資訊從所述第一管理單元收集第一有效資料。第一映射資訊包括與第一有效資料有關的邏輯至實體映射資訊。在步驟 S1603 中，將所收集的第一有效資料儲存至回收單元。

【0093】 圖 17 是根據本發明的一範例實施例所繪示的記憶體控制方法的流程圖。請參照圖 17，在步驟 S1701 中，啟動資料整併操作。在步驟 S1702 中，根據第一管理資訊選擇第一管理單元作為回收單元。在步驟 S1703 中，從第一管理單元取第二管理資訊。第二管理資訊用以識別第一管理單元中儲存第一有效資料的至少一實體單元。在步驟 S1704 中，根據第二管理資訊從所述至少一實體單元收集第一有效資料並將第一有效資料儲存至回收單元。在步驟 S1705 中，從可複寫式非揮發性記憶體模組讀取第二映射資訊。在步驟 S1706 中，根據第二映射資訊從第一管理單元收集第二有效資料並將第二有效資料儲存至回收單元。在步驟 S1707 中，抹除第一管理單元。

【0094】 然而，圖 16 與圖 17 中各步驟已詳細說明如上，在此便不再贅述。值得注意的是，圖 16 與圖 17 中各步驟可以實作為多個程式碼或是電路，本發明不加以限制。此外，圖 16 與圖 17 的方法可以搭配以上範例實施例使用，也可以單獨使用，本發明不加以限制。

【0095】 綜上所述，記憶體管理電路可以自動在可複寫式非揮發性記憶體模組中維護第一管理資訊，其用以識別從多個管理單元

中識別第一管理單元。在資料整併操作中，在不從可複寫式非揮發性記憶體模組讀取第一映射資訊之前提下，記憶體管理電路可以自動根據第一管理資訊而從第一管理單元收集第一有效資料並將第一有效資料儲存至回收單元。此外，藉由判斷某一管理單元是否符合第一條件(例如是否包含第一實體單元及/或第一實體單元中的有效資料與其餘有效資料是否使用相同的邏輯範圍)，記憶體管理電路可自動更新第一管理資訊，以符合當前記憶體儲存裝置的使用狀況。藉此，可有效縮短執行資料整併程序的時間及/或提高資料整併程序的執行效率，進而增加記憶體儲存裝置的整體系統效能。

【0096】 雖然本發明已以實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明的精神和範圍內，當可作些許的更動與潤飾，故本發明的保護範圍當視後附的申請專利範圍所界定者為準。

【符號說明】

【0097】

10、30：記憶體儲存裝置

11、31：主機系統

110：系統匯流排

111：處理器

112：隨機存取記憶體

113：唯讀記憶體

114：資料傳輸介面

12：輸入/輸出(I/O)裝置

20：主機板

201：隨身碟

202：記憶卡

203：固態硬碟

204：無線記憶體儲存裝置

205：全球定位系統模組

206：網路介面卡

207：無線傳輸裝置

208：鍵盤

209：螢幕

210：喇叭

32：SD 卡

33：CF 卡

34：嵌入式儲存裝置

341：嵌入式多媒體卡

342：嵌入式多晶片封裝儲存裝置

402：連接介面單元

404：記憶體控制電路單元

406：可複寫式非揮發性記憶體模組

502：記憶體管理電路

504：主機介面

506：記憶體介面

508：錯誤檢查與校正電路

510：緩衝記憶體

512：電源管理電路

601：儲存區

602：閒置區

603：系統區

610(0)~610(C)、P1~P42：實體節點

612(0)~612(D)：邏輯單元

701、702：資料

710：主機單元

720：來源單元

730：回收單元

80(1)~80(m)：通道

81(1)~81(n)：管理單元

CE(1)、CE(2)：晶片致能

PL(1)、PL(2)：平面

1001、1201、1301：表格資訊

PU(1)~PU(16)：實體單元

1501：邏輯至實體映射表

S1601：步驟(在可複寫式非揮發性記憶體模組中維護第一管理資訊，其用以識別多個管理單元中的第一管理單元)

S1602：步驟(在資料整併操作中，在不從可複寫式非揮發性記憶體模組讀取第一映射資訊之前提下，根據第一管理資訊從所述第一管理單元收集第一有效資料，其中第一映射資訊包括與第一有效資料有關的邏輯至實體映射資訊)

S1603：步驟(將所收集的第一有效資料儲存至回收單元)

S1701：步驟(啟動資料整併操作)

S1702：步驟(根據第一管理資訊選擇第一管理單元)

S1703：步驟(從第一管理單元取第二管理資訊，其用以識別第一管理單元中儲存第一有效資料的至少一實體單元)

S1704：步驟(根據第二管理資訊從所述至少一實體單元收集第一有效資料並將第一有效資料儲存至回收單元)

S1705：步驟(從可複寫式非揮發性記憶體模組讀取第二映射資訊)

S1706：步驟(根據第二映射資訊從第一管理單元收集第二有效資料並將第二有效資料儲存至回收單元)

S1707：步驟(抹除第一管理單元)

【發明申請專利範圍】

【第1項】 一種記憶體控制方法，用於一可複寫式非揮發性記憶體模組，其中該可複寫式非揮發性記憶體模組包括多個管理單元，該記憶體控制方法包括：

在該可複寫式非揮發性記憶體模組中維護第一管理資訊，其中該第一管理資訊用以識別該多個管理單元中的一第一管理單元；

在一資料整併操作中，在不從該可複寫式非揮發性記憶體模組讀取第一映射資訊之前提下，根據該第一管理資訊從該第一管理單元收集第一有效資料，其中該第一映射資訊包括與該第一有效資料有關的邏輯至實體映射資訊；以及

將所收集的該第一有效資料儲存至一回收單元。

【第2項】 如申請專利範圍第1項所述的記憶體控制方法，其中在不從該可複寫式非揮發性記憶體模組讀取該第一映射資訊之前提下，根據該第一管理資訊從該第一管理單元收集該第一有效資料的步驟包括：

從該第一管理單元讀取第二管理資訊，其中該第二管理資訊用以識別該第一管理單元中儲存該第一有效資料的至少一第一實體單元；以及

根據該第二管理資訊從該至少一第一實體單元收集該第一有效資料。

【第3項】 如申請專利範圍第2項所述的記憶體控制方法，其中該至少一第一實體單元中的每一實體單元包含多個連續的實體節點，且該多個連續的實體節點用以儲存該第一有效資料的至少一部分資料。

【第4項】 如申請專利範圍第1項所述的記憶體控制方法，更包括：

響應於該第一有效資料之收集，更新一第三管理資訊，其中該第三管理資訊包括用以讀取與該第一有效資料有關的該邏輯至實體映射資訊的索引資訊。

【第5項】 如申請專利範圍第4項所述的記憶體控制方法，更包括：

根據經更新的該第三管理資訊從該可複寫式非揮發性記憶體模組讀取第二映射資訊，其中該第二映射資訊包括與一第二有效資料有關的邏輯至實體映射資訊；

根據該第二映射資訊從該第一管理單元中的至少一第二實體單元收集該第二有效資料；以及

將所收集的該第二有效資料儲存至該回收單元。

【第6項】 如申請專利範圍第1項所述的記憶體控制方法，其中在該可複寫式非揮發性記憶體模組中維護該第一管理資訊的步驟包括：

響應於一第一條件之滿足，在該第一管理資訊中加入對應於該第一管理單元的識別資訊，

其中該第一條件包括以下多個條件的至少其中之一：

該第一管理單元包含多個連續的實體節點，且該多個連

續的實體節點用以儲存該第一有效資料的至少一部份資料；以及

該第一有效資料所屬的邏輯範圍不同於該第一管理單元中的其餘有效資料所屬的邏輯範圍。

【第7項】 如申請專利範圍第6項所述的記憶體控制方法，其中在該可複寫式非揮發性記憶體模組中維護該第一管理資訊的步驟更包括：

響應於該第一條件之不滿足，從該第一管理資訊中移除對應於該第一管理單元的該識別資訊。

【第8項】 一種記憶體儲存裝置，包括：

一連接介面單元，用以耦接至一主機系統；

一可複寫式非揮發性記憶體模組，其中該可複寫式非揮發性記憶體模組包括多個管理單元；以及

一記憶體控制電路單元，耦接至該連接介面單元與該可複寫式非揮發性記憶體模組，

其中該記憶體控制電路單元用以在該可複寫式非揮發性記憶體模組中維護第一管理資訊，且該第一管理資訊用以識別該多個管理單元中的一第一管理單元，

該記憶體控制電路單元更用以在一資料整併操作中，在不從該可複寫式非揮發性記憶體模組讀取第一映射資訊之前提下，根據該第一管理資訊從該第一管理單元收集第一有效資料，其中該第一映射資訊包括與該第一有效資料有關的邏輯至實體映射資訊，並且

該記憶體控制電路單元更用以發送一寫入指令序列以指示將所收集的該第一有效資料儲存至一回收單元。

【第9項】 如申請專利範圍第8項所述的記憶體儲存裝置，其中該記憶體控制電路單元在不從該可複寫式非揮發性記憶體模組讀取該第一映射資訊之前提下，根據該第一管理資訊從該第一管理單元收集該第一有效資料的操作包括：

指示從該第一管理單元讀取第二管理資訊，其中該第二管理資訊用以識別該第一管理單元中儲存該第一有效資料的至少一第一實體單元；以及

根據該第二管理資訊從該至少一第一實體單元收集該第一有效資料。

【第10項】 如申請專利範圍第9項所述的記憶體儲存裝置，其中該至少一第一實體單元中的每一實體單元包含多個連續的實體節點，且該多個連續的實體節點用以儲存該第一有效資料的至少一部分資料。

【第11項】 如申請專利範圍第8項所述的記憶體儲存裝置，其中該記憶體控制電路單元更用以響應於該第一有效資料之收集，更新第三管理資訊，其中該第三管理資訊包括用以讀取與該第一有效資料有關的該邏輯至實體映射資訊的索引資訊。

【第12項】 如申請專利範圍第11項所述的記憶體儲存裝置，其中該記憶體控制電路單元更用以根據經更新的該第三管理資訊從該

可複寫式非揮發性記憶體模組讀取第二映射資訊，其中該第二映射資訊包括與一第二有效資料有關的邏輯至實體映射資訊；

根據該第二映射資訊從該第一管理單元中的至少一第二實體單元收集該第二有效資料；以及

指示將所收集的該第二有效資料儲存至該回收單元。

【第13項】 如申請專利範圍第8項所述的記憶體儲存裝置，其中該記憶體控制電路單元在該可複寫式非揮發性記憶體模組中維護該第一管理資訊的操作包括：

響應於一第一條件之滿足，在該第一管理資訊中加入對應於該第一管理單元的識別資訊，

其中該第一條件包括以下多個條件的至少其中之一：

該第一管理單元包含多個連續的實體節點，且該多個連續的實體節點用以儲存該第一有效資料的至少一部份資料；以及

該第一有效資料所屬的邏輯範圍不同於該第一管理單元中的其餘有效資料所屬的邏輯範圍。

【第14項】 如申請專利範圍第13項所述的記憶體儲存裝置，其中該記憶體控制電路單元在該可複寫式非揮發性記憶體模組中維護該第一管理資訊的操作更包括：

響應於該第一條件之不滿足，從該第一管理資訊中移除對應於該第一管理單元的該識別資訊。

【第15項】一種記憶體控制電路單元，用於控制一可複寫式非揮發性記憶體模組，其中該可複寫式非揮發性記憶體模組包括多個管理單元，其中該記憶體控制電路單元包括：

一主機介面，用以耦接至一主機系統；

一記憶體介面，用以耦接至該可複寫式非揮發性記憶體模組；以及

一記憶體管理電路，耦接至該主機介面與該記憶體介面，

其中該記憶體管理電路用以在該可複寫式非揮發性記憶體模組中維護第一管理資訊，且該第一管理資訊用以識別該多個管理單元中的一第一管理單元，

該記憶體管理電路更用以在一資料整併操作中，在不從該可複寫式非揮發性記憶體模組讀取第一映射資訊之前提下，根據該第一管理資訊從該第一管理單元收集第一有效資料，其中該第一映射資訊包括與該第一有效資料有關的邏輯至實體映射資訊，並且

該記憶體管理電路更用以發送一寫入指令序列以指示將所收集的該第一有效資料儲存至一回收單元。

【第16項】如申請專利範圍第15項所述的記憶體控制電路單元，其中該記憶體管理電路在不從該可複寫式非揮發性記憶體模組讀取該第一映射資訊之前提下，根據該第一管理資訊從該第一管理單元收集該第一有效資料的操作包括：

指示從該第一管理單元讀取第二管理資訊，其中該第二管理

資訊用以識別該第一管理單元中儲存該第一有效資料的至少一第一實體單元；以及

根據該第二管理資訊從該至少一第一實體單元收集該第一有效資料。

【第17項】 如申請專利範圍第16項所述的記憶體控制電路單元，其中該至少一第一實體單元中的每一實體單元包含多個連續的實體節點，且該多個連續的實體節點用以儲存該第一有效資料的至少一部分資料。

【第18項】 如申請專利範圍第15項所述的記憶體控制電路單元，其中該記憶體管理電路更用以響應於該第一有效資料之收集，更新第三管理資訊，其中該第三管理資訊包括用以讀取與該第一有效資料有關的該邏輯至實體映射資訊的索引資訊。

【第19項】 如申請專利範圍第18項所述的記憶體控制電路單元，其中該記憶體管理電路更用以根據經更新的該第三管理資訊從該可複寫式非揮發性記憶體模組讀取第二映射資訊，其中該第二映射資訊包括與一第二有效資料有關的邏輯至實體映射資訊；

根據該第二映射資訊從該第一管理單元中的至少一第二實體單元收集該第二有效資料；以及

指示將所收集的該第二有效資料儲存至該回收單元。

【第20項】 如申請專利範圍第15項所述的記憶體控制電路單元，其中該記憶體管理電路在該可複寫式非揮發性記憶體模組中維護該第一管理資訊的操作包括：

響應於一第一條件之滿足，在該第一管理資訊中加入對應於該第一管理單元的識別資訊，

其中該第一條件包括以下多個條件的至少其中之一：

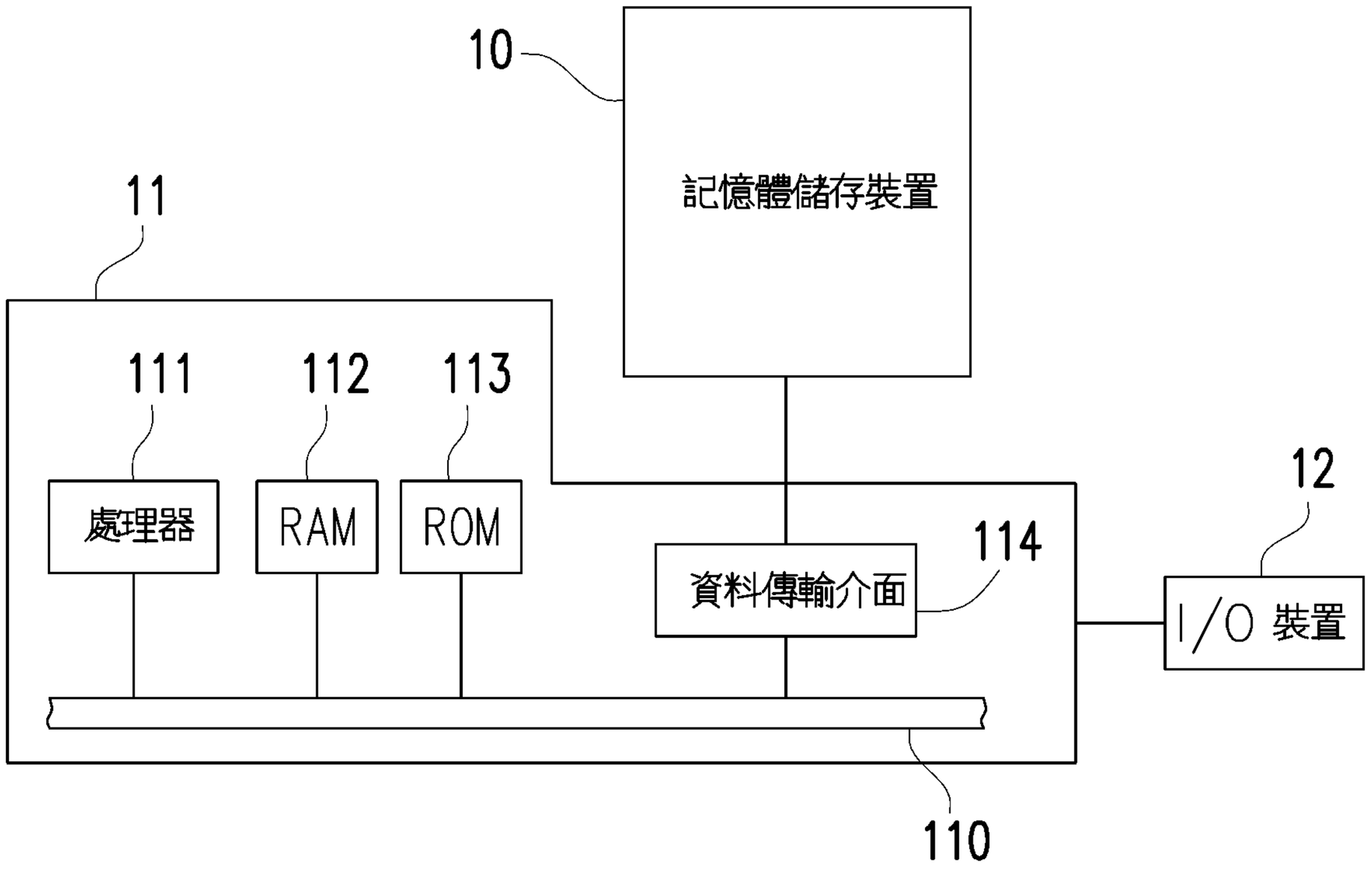
該第一管理單元包含多個連續的實體節點，且該多個連續的實體節點用以儲存該第一有效資料的至少一部份資料；以及

該第一有效資料所屬的邏輯範圍不同於該第一管理單元中的其餘有效資料所屬的邏輯範圍。

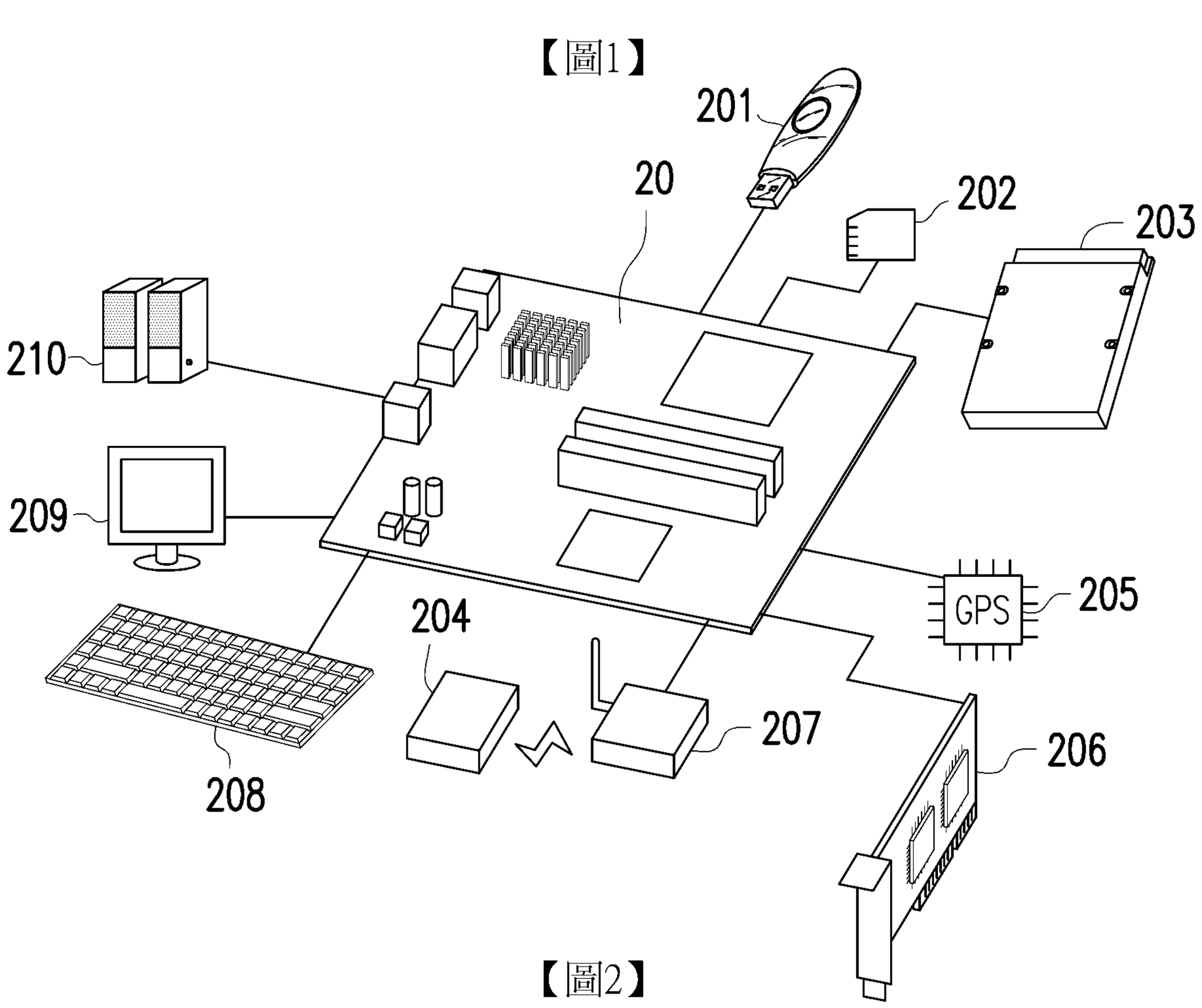
【第21項】 如申請專利範圍第20項所述的記憶體控制電路單元，其中該記憶體管理電路在該可複寫式非揮發性記憶體模組中維護該第一管理資訊的操作更包括：

響應於該第一條件之不滿足，從該第一管理資訊中移除對應於該第一管理單元的該識別資訊。

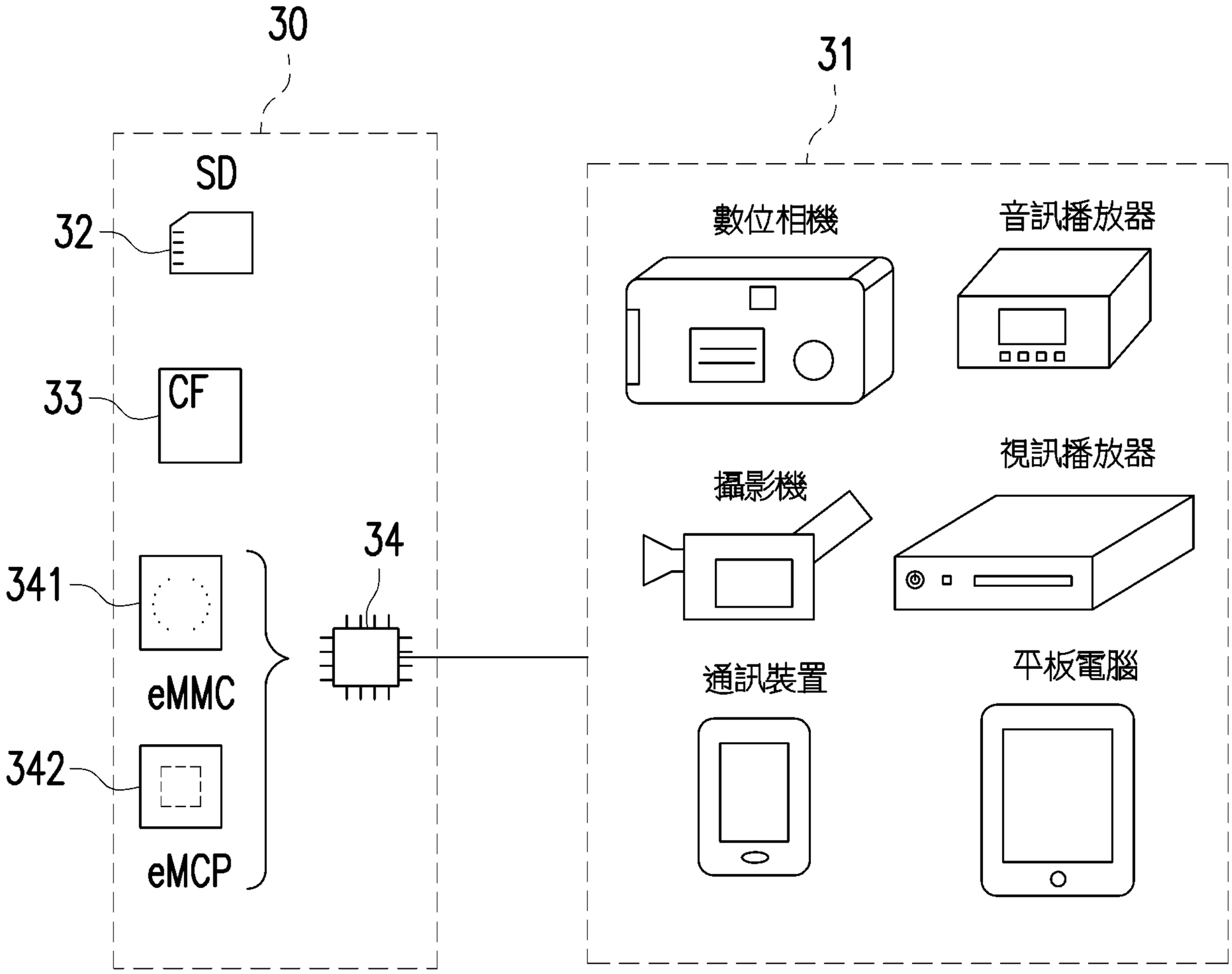
【發明圖式】


10
記憶體儲存裝置
11
111
112
113
處理器
RAM
ROM
114
資料傳輸介面
12
I/O 裝置
110

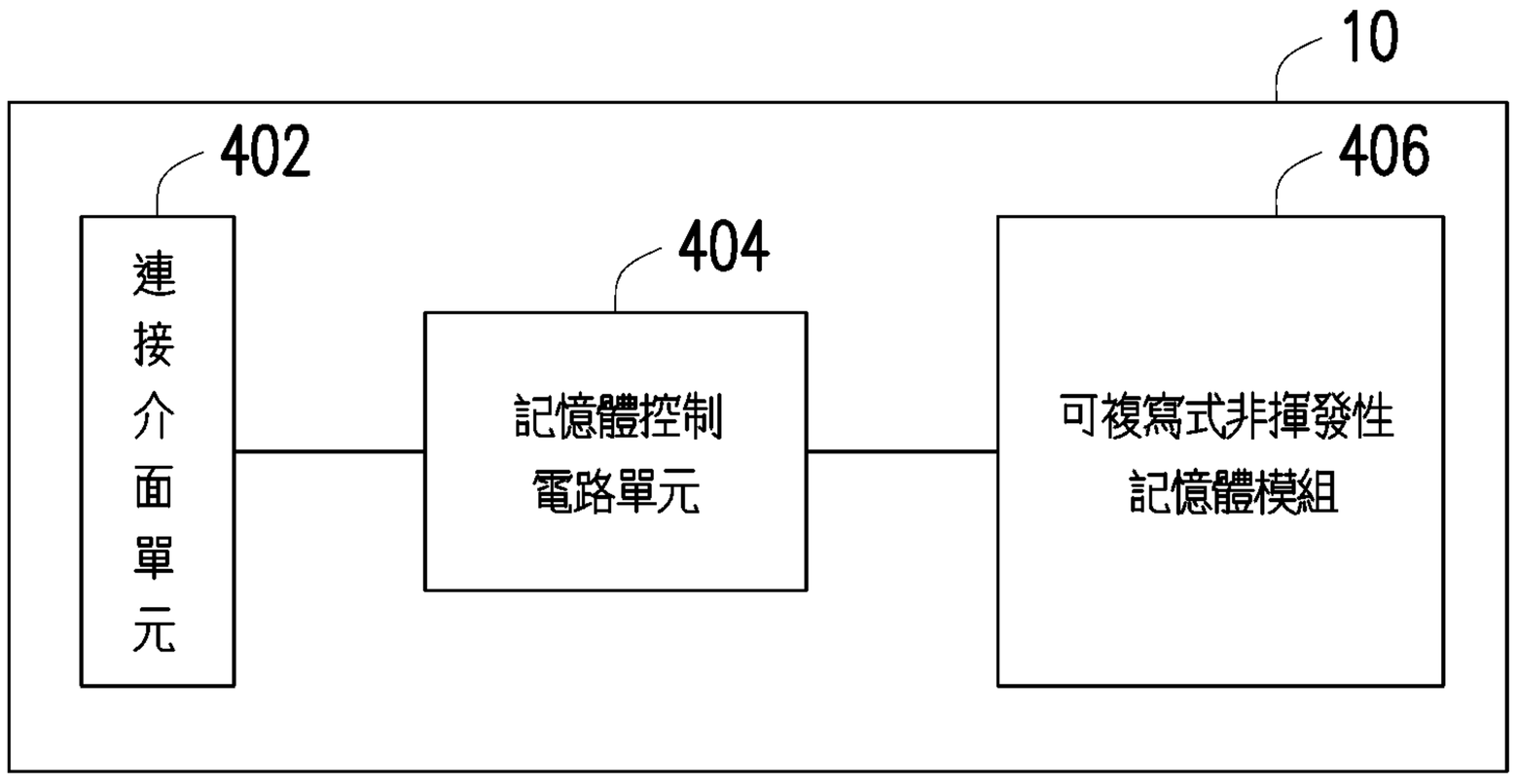
【圖1】


201
20
202
203
210
209
GPS
205
204
207
206
208

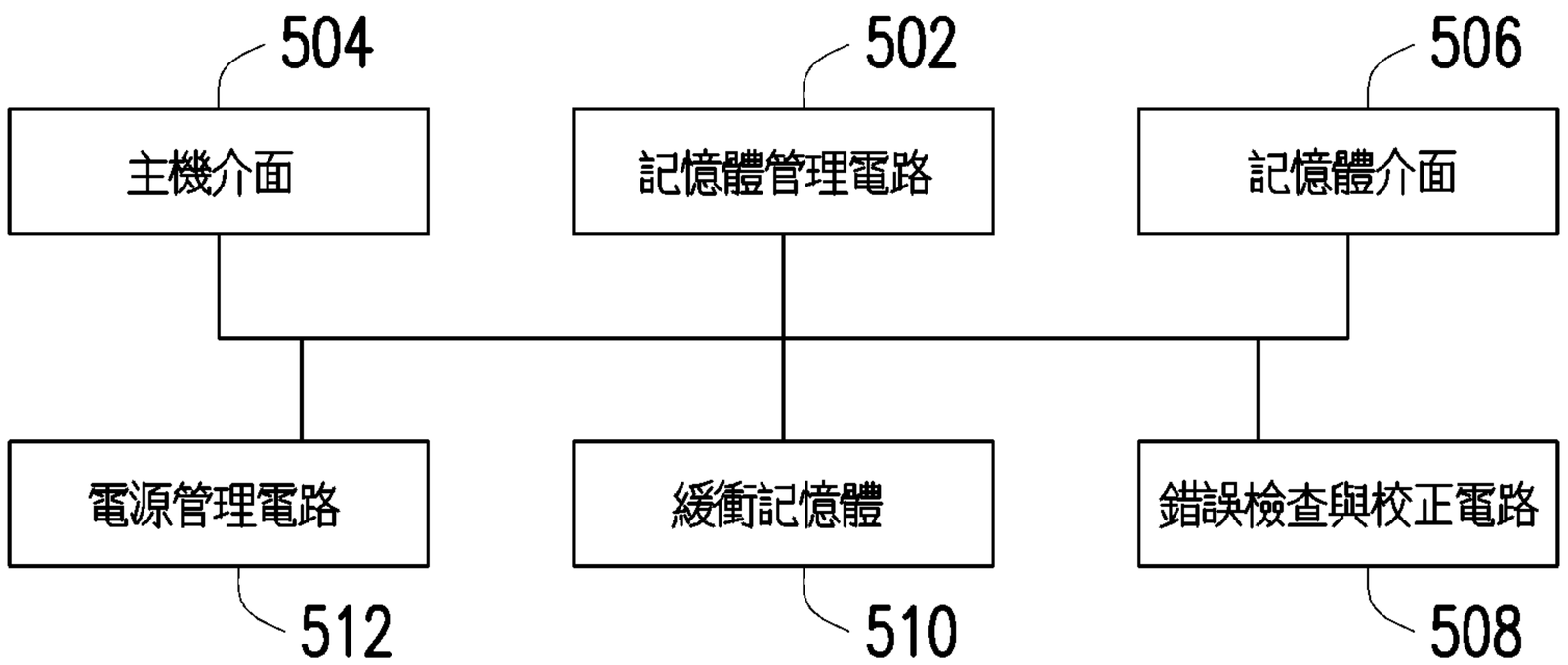
【圖2】


30
SD
32
33
CF
34
341
eMMC
342
eMCP
31
數位相機
音訊播放器
攝影機
視訊播放器
通訊裝置
平板電腦

【圖3】

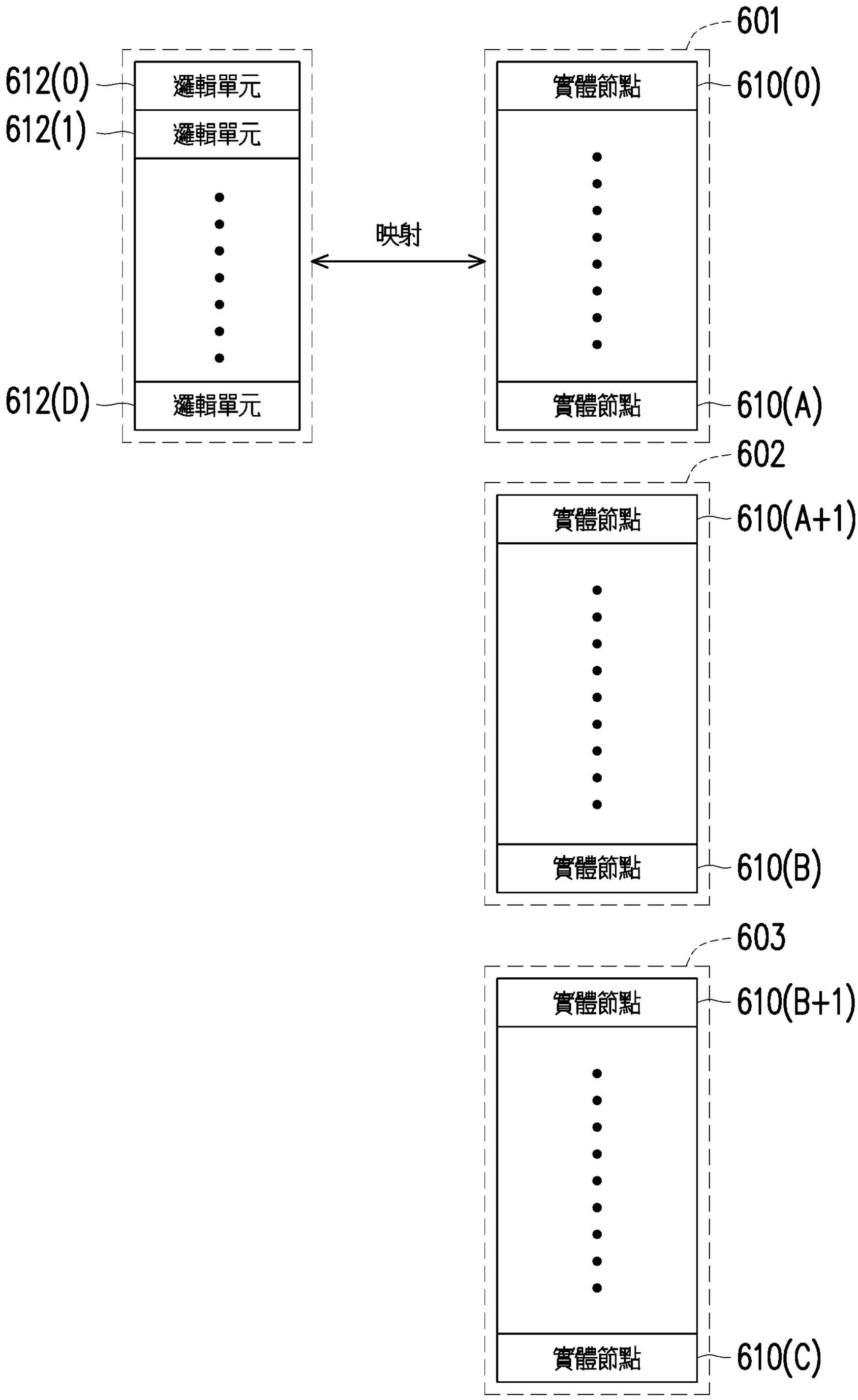

10
402
406
404
連接介面單元
記憶體控制電路單元
可複寫式非揮發性記憶體模組

【圖4】

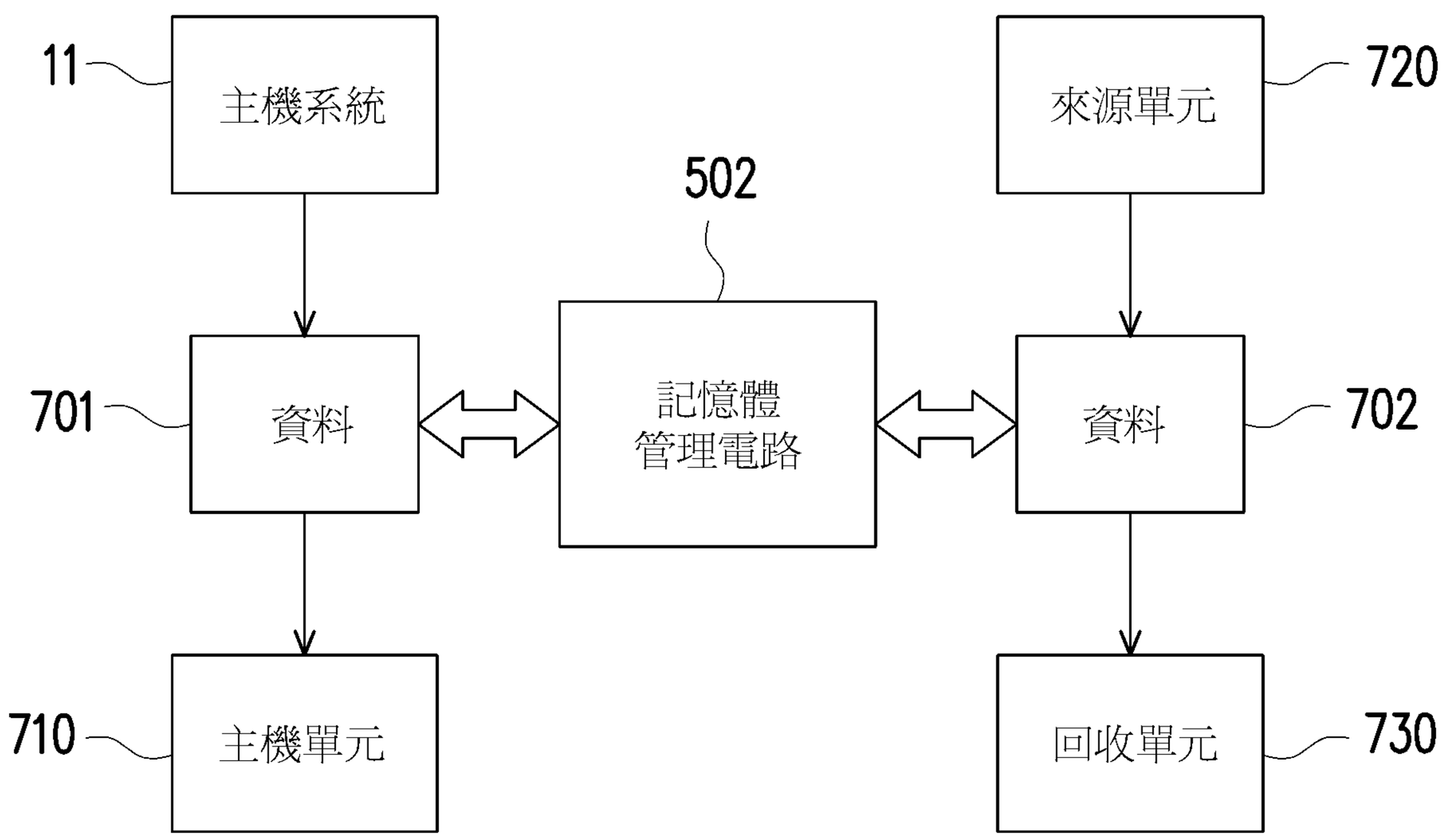

504
502
506
主機介面
記憶體管理電路
記憶體介面
電源管理電路
緩衝記憶體
錯誤檢查與校正電路
512
510
508

404

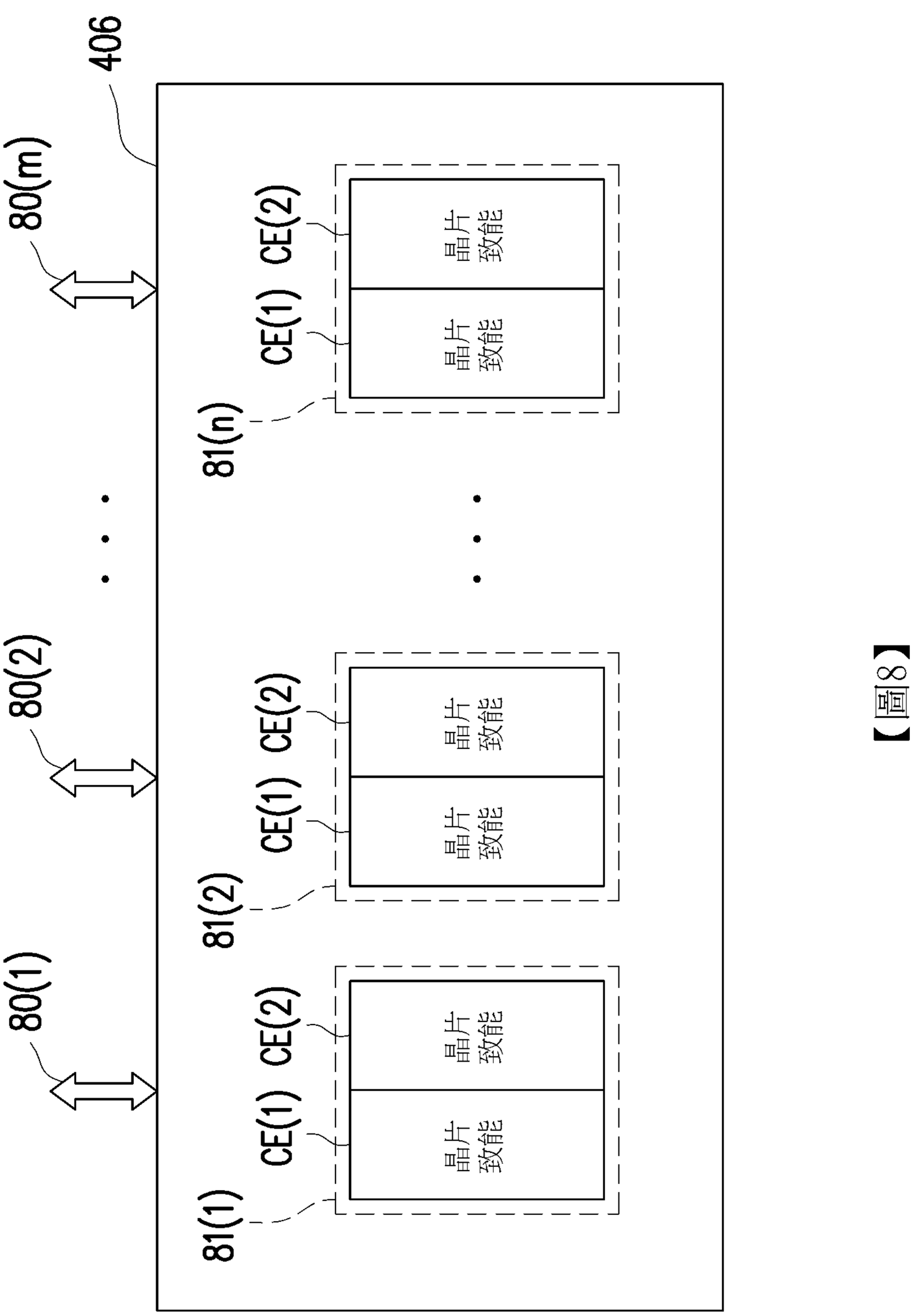
【圖5】


601
612(0)
邏輯單元
612(1)
邏輯單元
映射
實體節點
610(0)
612(D)
邏輯單元
實體節點
610(A)
602
實體節點
610(A+1)
實體節點
610(B)
603
實體節點
610(B+1)
實體節點
610(C)

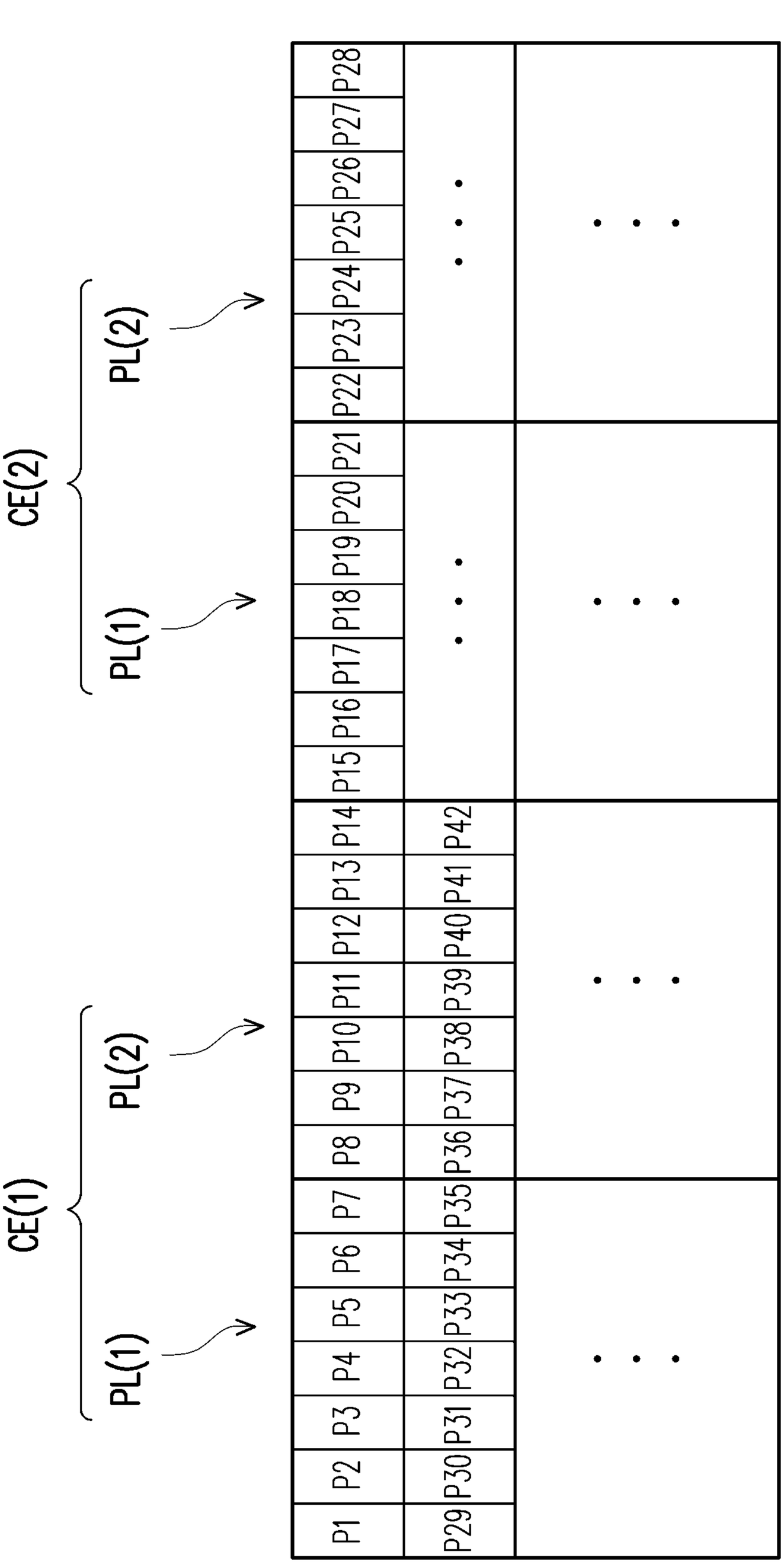
【圖6】



【圖7】


406
80(m)
81(n)
CE(1)
CE(2)
晶片致能
晶片致能
80(2)
81(2)
CE(1)
CE(2)
晶片致能
晶片致能
80(1)
81(1)
CE(1)
CE(2)
晶片致能
晶片致能

【圖8】

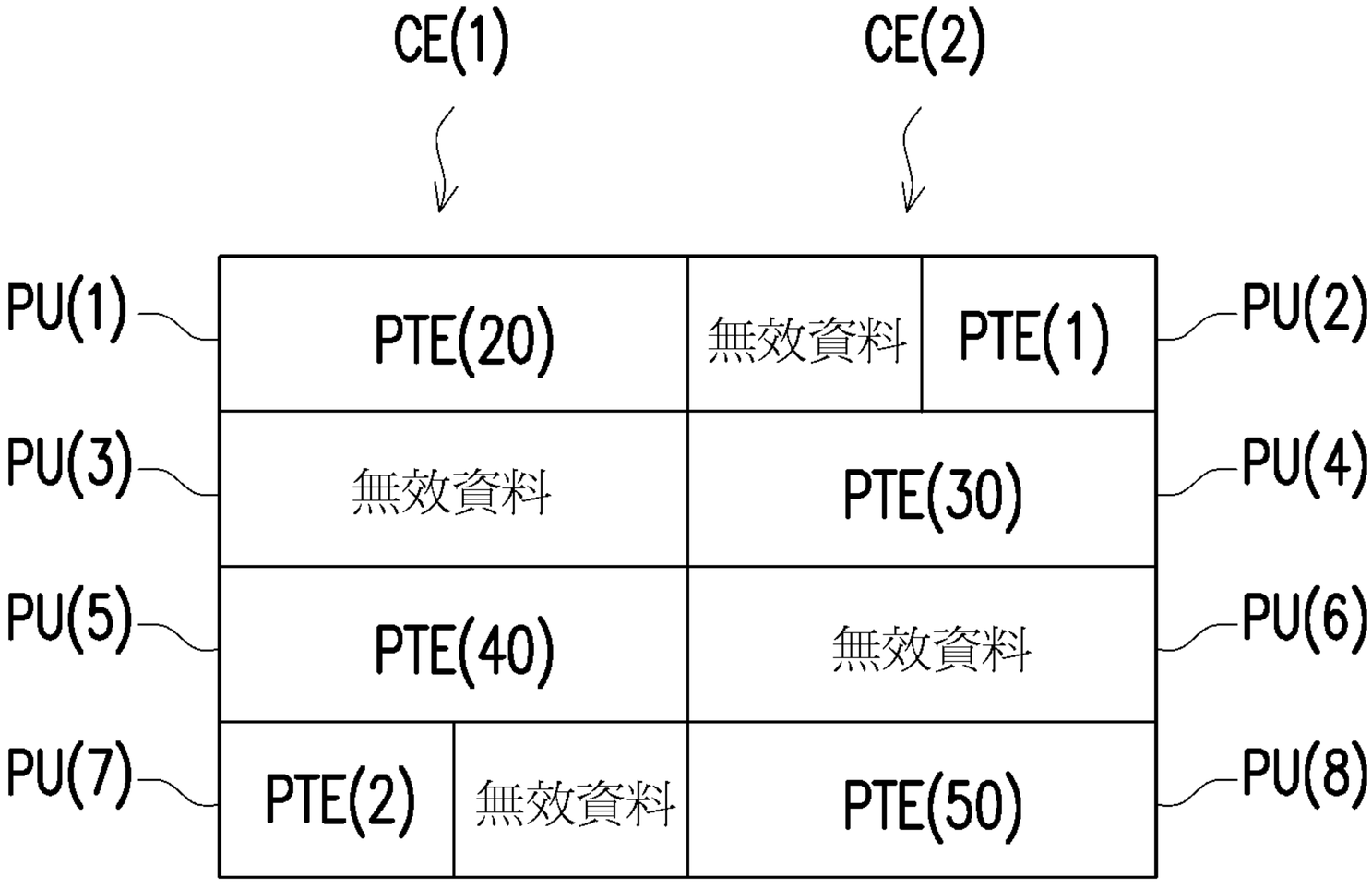

81(1)
CE(2)
PL(1)
PL(2)
CE(1)
PL(1)
PL(2)
P1 P2 P3 P4 P5 P6 P7 P8 P9 P10 P11 P12 P13 P14 P15 P16 P17 P18 P19 P20 P21 P22 P23 P24 P25 P26 P27 P28
P29 P30 P31 P32 P33 P34 P35 P36 P37 P38 P39 P40 P41 P42

【圖9】

1001

管理單元	81(1)	81(2)	・・・	81(n)
識別資訊	1	0	・・・	1

【圖10】



81(1)

【圖11】

1201

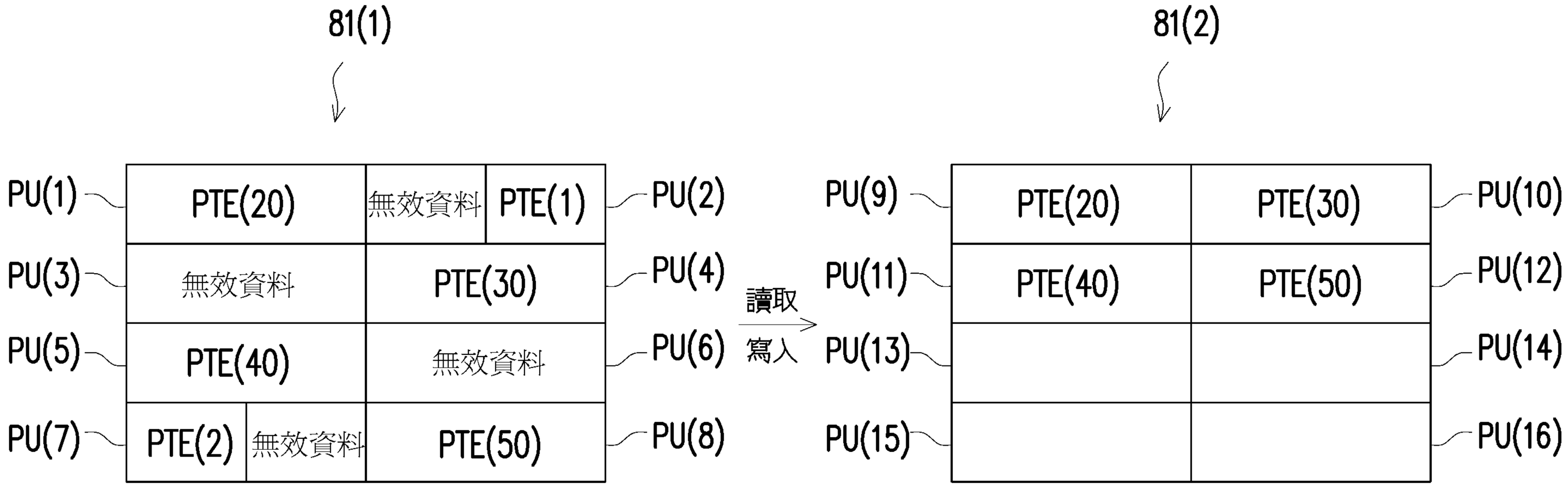
實體單元	PU(1)	PU(2)	PU(3)	PU(4)	PU(5)	PU(6)	PU(7)	PU(8)
識別資訊	1	0	0	1	1	0	0	1

【圖12】

1301

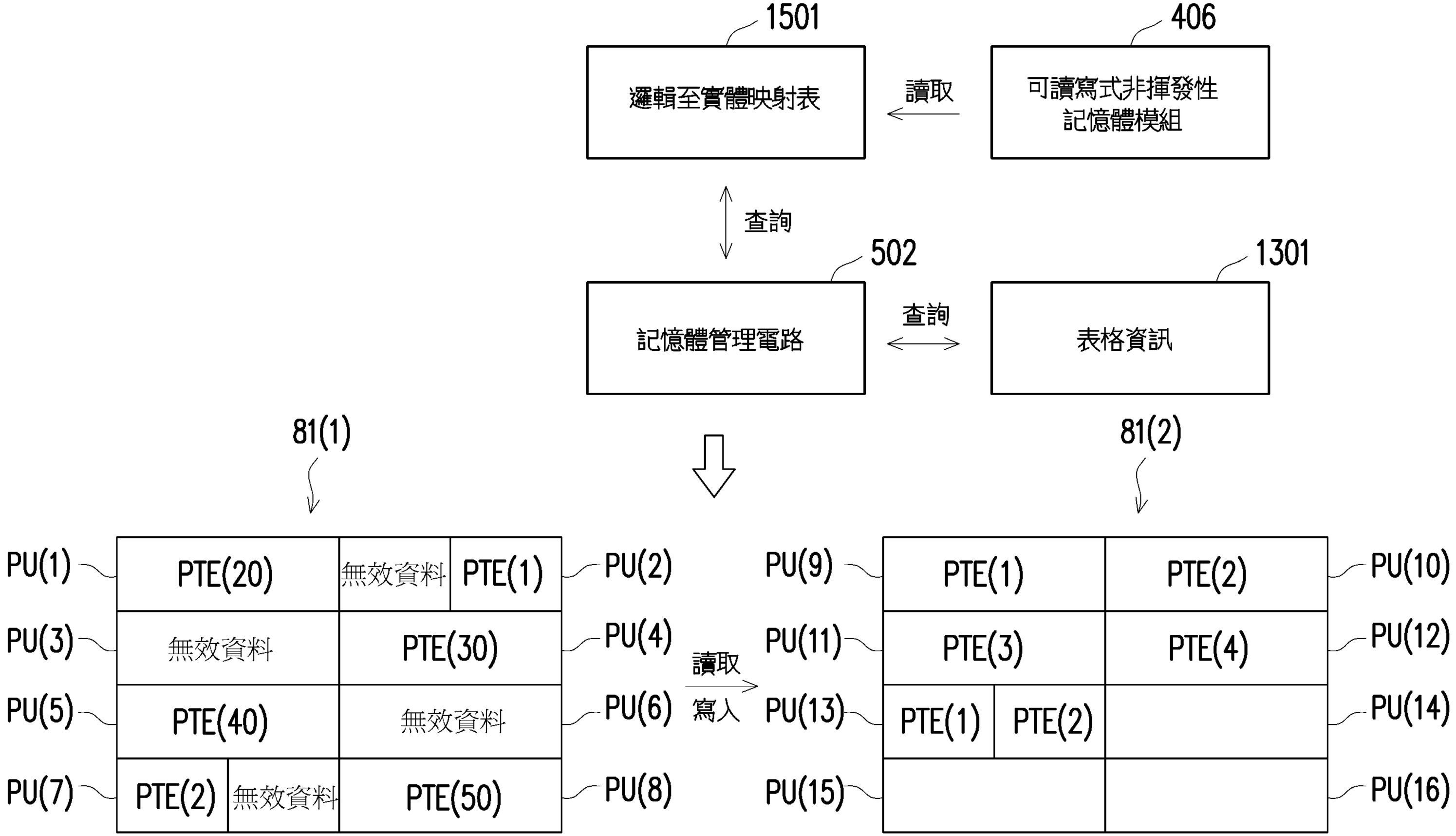
PTE索引	PTE(1)	PTE(2)	・・・	PTE(20)	・・・	PTE(30)	・・・	PTE(40)	・・・	PTE(50)	・・・
識別資訊	1	1	・・・	1	・・・	1	・・・	1	・・・	1	・・・

【圖13】

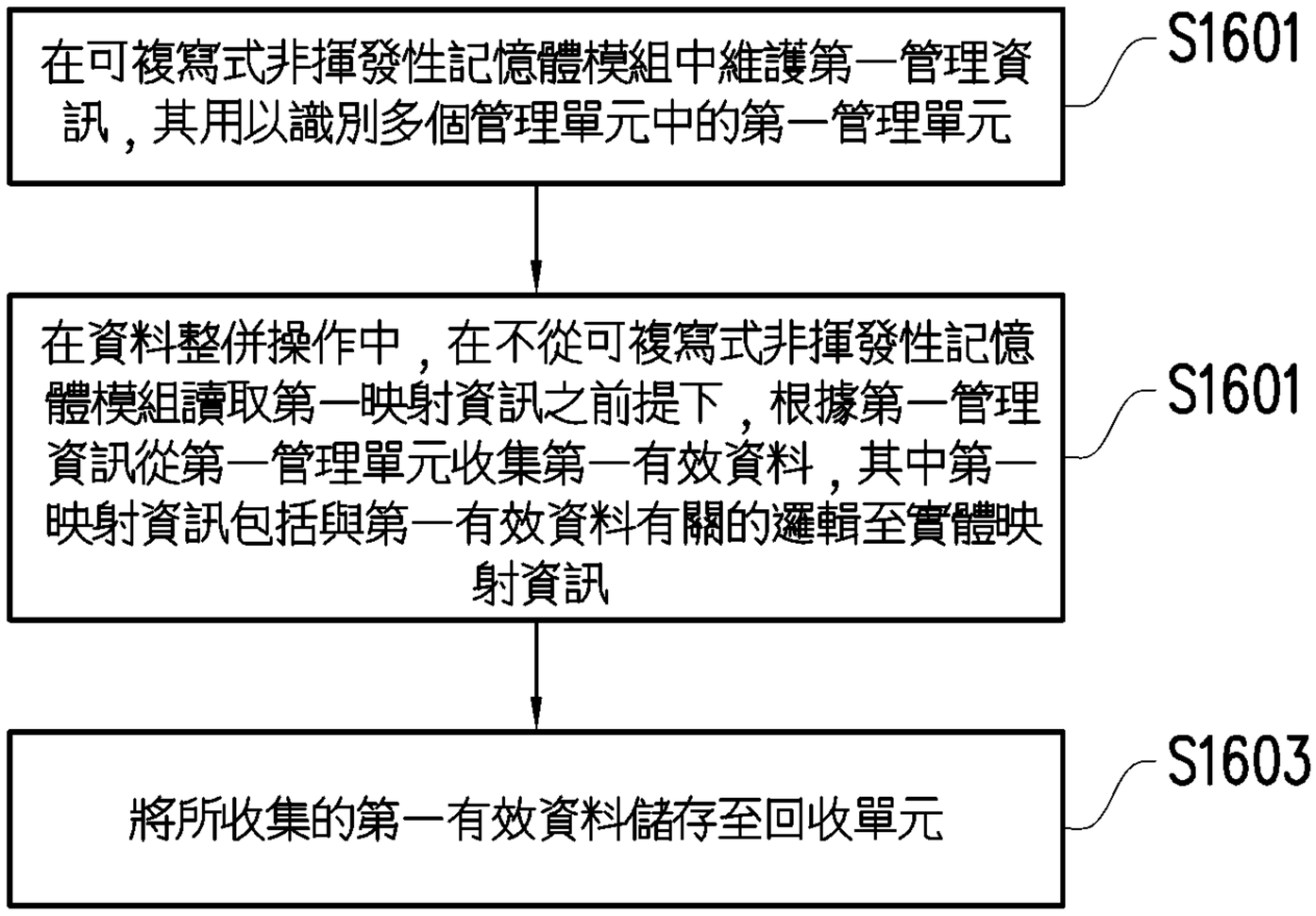


PTE 索引	PTE(1)	PTE(2)	・・・	PTE(20)	・・・	PTE(30)	・・・	PTE(40)	・・・	PTE(50)	・・・
識別資訊	1	1	・・・	0	・・・	0	・・・	0	・・・	0	・・・

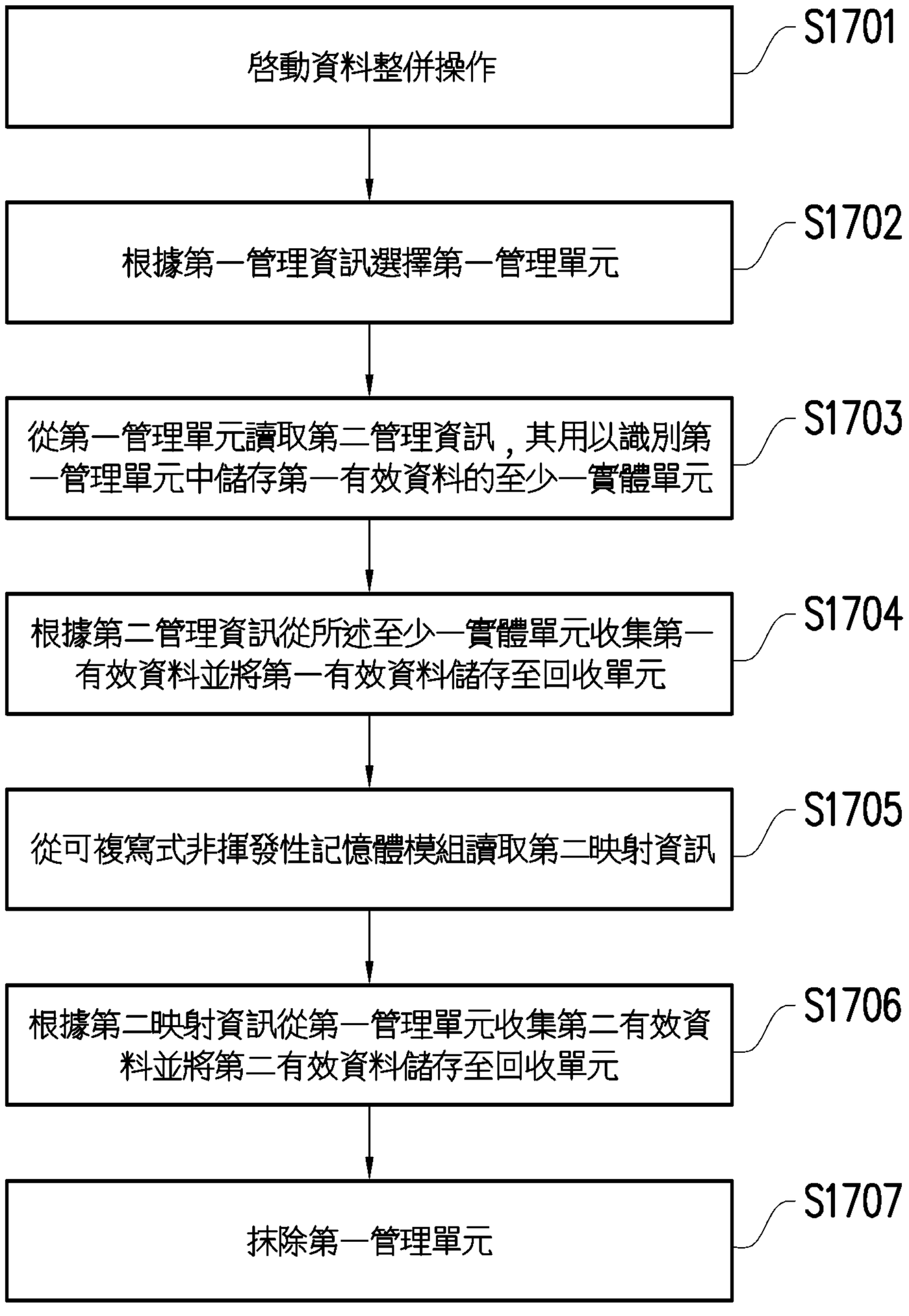
【圖14】


1501
邏輯至實體映射表
讀取
406
可讀寫式非揮發性
記憶體模組
查詢
502
記憶體管理電路
查詢
1301
表格資訊
81(1)
81(2)
PU(1)
PTE(20)
無效資料
PTE(1)
PU(2)
PU(3)
無效資料
PTE(30)
PU(4)
PU(5)
PTE(40)
無效資料
PU(6)
PU(7)
PTE(2)
無效資料
PTE(50)
PU(8)
讀取
寫入
PU(9)
PTE(1)
PTE(2)
PU(10)
PU(11)
PTE(3)
PTE(4)
PU(12)
PU(13)
PTE(1)
PTE(2)
PU(14)
PU(15)
PU(16)

【圖15】


在可複寫式非揮發性記憶體模組中維護第一管理資訊，其用以識別多個管理單元中的第一管理單元
S1601
在資料整併操作中，在不從可複寫式非揮發性記憶體模組讀取第一映射資訊之前提下，根據第一管理資訊從第一管理單元收集第一有效資料，其中第一映射資訊包括與第一有效資料有關的邏輯至實體映射資訊
S1601
將所收集的第一有效資料儲存至回收單元
S1603

【圖16】


啓動資料整併操作
S1701
根據第一管理資訊選擇第一管理單元
S1702
從第一管理單元讀取第二管理資訊，其用以識別第一管理單元中儲存第一有效資料的至少一實體單元
S1703
根據第二管理資訊從所述至少一實體單元收集第一有效資料並將第一有效資料儲存至回收單元
S1704
從可複寫式非揮發性記憶體模組讀取第二映射資訊
S1705
根據第二映射資訊從第一管理單元收集第二有效資料並將第二有效資料儲存至回收單元
S1706
抹除第一管理單元
S1707

【圖17】