



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년05월08일
(11) 등록번호 10-1855294
(24) 등록일자 2018년04월30일

(51) 국제특허분류(Int. Cl.)
H01L 23/552 (2006.01) H01L 23/00 (2006.01)
H01L 25/065 (2006.01) H01L 25/10 (2006.01)
(21) 출원번호 10-2010-0055109
(22) 출원일자 2010년06월10일
심사청구일자 2015년05월07일
(65) 공개번호 10-2011-0135294
(43) 공개일자 2011년12월16일
(56) 선행기술조사문헌
US20040231872 A1*
(뒷면에 계속)

(73) 특허권자
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
김용훈
경기도 수원시 영통구 청명북로 81, 4단지 청명주
공아파트 407동 1301호 (영통동)
이희석
경기도 용인시 기흥구 예현로 15, SK아파트 105동
1701호 (서천동)
정진하
경기도 용인시 기흥구 사은로 274-22, 써니밸리아
파트 104동 801호 (지곡동)
(74) 대리인
리앤목특허법인

전체 청구항 수 : 총 7 항

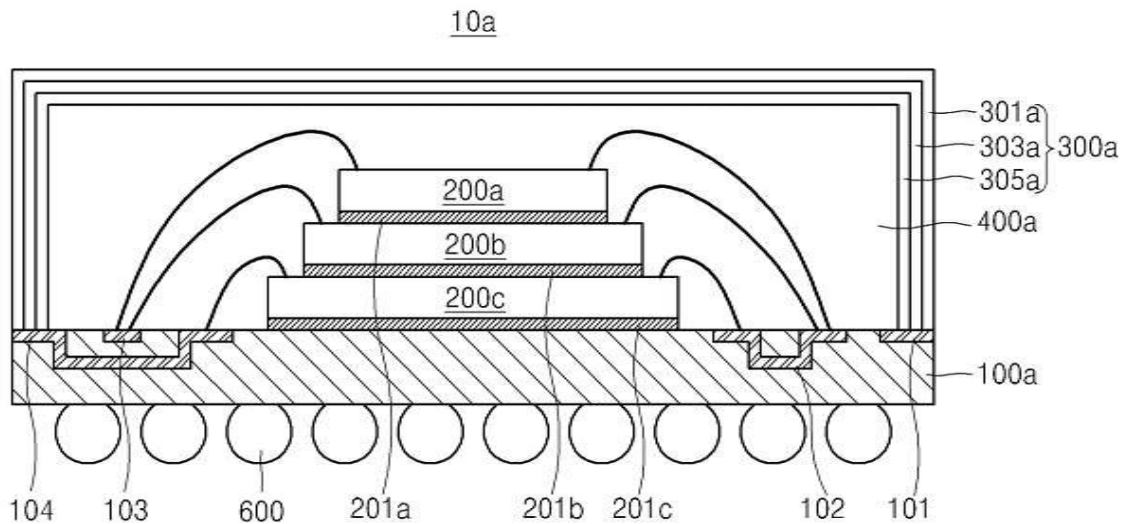
심사관 : 이석주

(54) 발명의 명칭 반도체 패키지

(57) 요약

본 발명의 일 실시예에 따른 반도체 패키지는 복수의 배선들이 형성된 기판, 상기 복수의 배선들 중 일부의 배선과 전기적으로 연결된 적어도 하나의 반도체 칩, 및 상기 기판에 실장되어 상기 적어도 하나의 반도체 칩을 둘러싸고, 상기 복수의 배선 중 적어도 하나의 배선과 전기적으로 연결되며, 연자성 물질을 포함하는 쉴딩 캔(shielding can)을 포함하여 전자기 간섭을 제거할 수 있다.

대표도 - 도1



(56) 선행기술조사문헌

US20100133534 A1*

KR100618903 B1*

KR1020100028365 A*

JP2010114291 A*

KR1020020043435 A*

*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

복수의 배선들이 형성된 기판;

상기 복수의 배선들 중 일부의 배선과 전기적으로 연결된 적어도 하나의 반도체 칩;

상기 적어도 하나의 반도체 칩을 덮는 봉지재;

상기 기판에 실장되어 상기 적어도 하나의 반도체 칩과 봉지재를 둘러싸고, 상기 복수의 배선 중 적어도 하나의 배선과 전기적으로 연결되며, 연자성 물질을 포함하는 쉴딩 캔(shielding can);

상기 기판에서 수직 방향으로 연장하여 상기 봉지재를 관통하여 상기 쉴딩 캔에 연결된 관통 전극; 및

상기 쉴딩 캔 상에 형성된 히트 슬러그(heat slug);를 포함하고,

상기 쉴딩 캔은 상기 기판의 측면을 덮고 상기 기판의 측면에 콘택하고, 상기 적어도 하나의 반도체 칩으로부터 이격되며, 절연 접착층, 연자성 물질층 및 메탈층을 포함하며,

상기 관통 전극은 상기 절연 접착층을 관통하여 상기 연자성 물질층에 전기적으로 연결되는 것을 특징으로 하는 반도체 패키지.

청구항 2

제1 항에 있어서, 상기 연자성 물질은 산화철 및 니켈, 아연, 망간, 코발트, 마그네슘, 알루미늄, 바륨, 구리, 및 철 중 적어도 하나를 포함하는 것을 특징으로 하는 반도체 패키지.

청구항 3

삭제

청구항 4

제1 항에 있어서, 상기 복수의 배선은 접지 배선을 포함하는 것을 특징으로 하는 반도체 패키지.

청구항 5

제4 항에 있어서, 상기 관통 전극은 상기 쉴딩 캔을 상기 접지 배선에 전기적으로 연결하는 것을 특징으로 하는 반도체 패키지.

청구항 6

제1 항에 있어서, 상기 쉴딩 캔은 상기 기판의 외부를 둘러싸는 것을 특징으로 하는 반도체 패키지.

청구항 7

삭제

청구항 8

제1 기판;

상기 제1 기판 상에 적층된 제2 기판;

상기 제1 기판 상에 형성된 적어도 하나의 하부 반도체 칩, 및 상기 제2 기판 상에 형성된 적어도 하나의 상부 반도체 칩;

상기 상부 반도체 칩과 하부 반도체 칩의 적어도 하나를 덮는 봉지재;

상기 제1 기판 상에 실장되어 상기 상부 및 하부 반도체 칩들과 상기 봉지재를 둘러싸며, 연자성 물질을 포함하는 쉴딩 캔;

상기 봉지재를 관통하여 상기 쉴딩 캔을 접지 전압에 전기적으로 연결하는 관통 전극; 및

상기 쉴딩 캔 상에 형성된 히트 슬러그;를 포함하고,

상기 쉴딩 캔은 상기 제1 기판과 제2 기판의 측면을 덮고 상기 제1 기판과 제2 기판 중 적어도 하나 기판의 측면에 콘택하고, 상기 적어도 하나의 반도체 칩으로부터 이격되며, 절연 접착층, 연자성 물질층 및 메탈층을 포함하며,

상기 관통 전극은 상기 절연 접착층을 관통하여 상기 연자성 물질층에 전기적으로 연결되는 것을 특징으로 하는 반도체 패키지.

청구항 9

제1 접지 배선 및 전원 배선이 형성된 모 기판(mother board);

상기 모 기판 상에 실장되어, 상기 제1 접지 배선 및 상기 전원 배선에 접지 전압 및 전원 전압을 각각 제공하는 전압 발생 모듈; 및

연자성 물질을 포함하는 쉴딩 캔에 의하여 둘러싸인 집적 회로 패키지를 포함하고,

상기 집적 회로 패키지는,

상기 모 기판과 전기적으로 연결되는 솔더 볼;

상기 솔더 볼과 전기적으로 연결된 제1 기판;

상기 제1 기판 상에 형성된 적어도 하나의 반도체 칩;

상기 적어도 하나의 반도체 칩을 덮는 봉지재;

상기 제1 기판 상에 실장되어 상기 적어도 하나의 반도체 칩과 봉지재를 둘러싸며, 금속층을 포함하는 상기 쉴딩 캔;

상기 제1 기판에서 수직 방향으로 연장하여 상기 봉지재를 관통하여 상기 쉴딩 캔에 연결된 관통 전극; 및

상기 쉴딩 캔 상에 형성된 히트 슬러그;를 포함하며,

상기 쉴딩 캔은 상기 제1 기판의 측면을 덮고 상기 제1 기판의 측면에 콘택하고, 상기 적어도 하나의 반도체 칩으로부터 이격되며, 절연 접착층, 연자성 물질층 및 메탈층을 포함하며,

상기 관통 전극은 상기 절연 접착층을 관통하여 상기 연자성 물질층에 전기적으로 연결되는 것을 특징으로 하는 반도체 패키지.

청구항 10

삭제

발명의 설명

기술 분야

[0001] 본 발명은 반도체 패키지에 관한 것으로서, 더욱 상세하게는 전자파 차폐 수단을 포함하는 반도체 패키지에 관한 것이다.

배경 기술

[0002] 전자파 간섭은 EMI(Electromagnetic Emission/Interface)라고 불리는데, 전자 소자로부터 불필요하게 방사(RE: Radiated Emission), 또는 전도(CE: Conducted Emission)되는 전자파 신호에 의하여 발생한다. 전자파 간섭은 인접한 다른 소자의 동작을 방해하여 회로의 전체적인 성능을 저하시키고 오동작을 야기시킨다.

발명의 내용

해결하려는 과제

- [0003] 본 발명이 이루고자 하는 기술적 과제는 반도체 패키지에 포함된 반도체 소자에서 발생하는 간섭 신호들을 전자성 물질을 포함하는 쉴딩 캔으로 흡수하여, 동작 신뢰성이 향상된 반도체 패키지를 제공하는 것이다.

과제의 해결 수단

- [0004] 본 발명의 일부 실시예에 따른 반도체 패키지는, 복수의 배선들이 형성된 기판, 상기 복수의 배선들 중 일부의 배선과 전기적으로 연결된 적어도 하나의 반도체 칩, 및 상기 기판에 실장되어 상기 적어도 하나의 반도체 칩을 둘러싸고, 상기 복수의 배선 중 적어도 하나의 배선과 전기적으로 연결되며, 전자성 물질을 포함하는 쉴딩 캔(shielding can)을 포함한다. 예를 들어, 상기 복수의 배선은 접지 배선을 포함할 수 있으며, 상기 접지 배선은 접지 전압과 전기적으로 연결된 배선에 상응한다.
- [0005] 일 실시예에 있어서, 상기 전자성 물질은 산화철 및 니켈, 아연, 망간, 코발트, 마그네슘, 알루미늄, 바륨, 구리, 및 철 중 적어도 하나를 포함할 수 있다.
- [0006] 일 실시예에 있어서, 상기 쉴딩 캔은 메탈 층, 상기 전자성 물질을 포함하는 전자성 물질층, 및 절연 접촉층을 포함할 수 있다.
- [0007] 일 실시예에 있어서, 상기 반도체 패키지는 상기 기판에 수직 방향으로 연장되어 상기 쉴딩 캔 및 상기 접지 배선을 전기적으로 연결하는 관통 전극을 더 포함할 수 있다. 예를 들어, 상기 관통 전극은, 상기 기판 상에서 상기 쉴딩 캔으로 한정된 영역을 봉지재로 밀봉한 후, 비아 홀을 형성하여 도전성 물질로 충전한 TMV (Through mold via)를 포함할 수 있다.
- [0008] 일 실시예에 있어서, 상기 쉴딩 캔은 상기 기판의 외부에 둘러쌀 수 있다. 즉, 쉴딩 캔은 반도체 패키지가 제조된 이후에, 상기 반도체 패키지의 외부를 감싸는 금속 부재일 수 있다.
- [0009] 일 실시예에 있어서, 상기 반도체 패키지는 상기 쉴딩 캔 상에 형성된 히트 슬러그(heat slug)를 더 포함할 수 있다. 상기 히트 슬러그는 상기 적어도 하나의 반도체 칩에서 발생한 열을 방출시켜 동작 신뢰성을 향상시킬 수 있다.
- [0010] 일 실시예에 있어서, 상기 쉴딩 캔은 300 μm 보다 작은 두께를 가질 수 있다. 따라서, 본 발명의 일 실시예에 따른 반도체 패키지는 얇은 두께를 가지면서, 전자기 간섭을 제거할 수 있다.
- [0011] 본 발명의 일부 실시예들에 따른 반도체 패키지는 제1 기판, 상기 제1 기판 상에 적층된 제2 기판, 상기 제1 기판 상에 형성된 적어도 하나의 하부 반도체 칩, 및 상기 제2 기판 상에 형성된 적어도 하나의 상부 반도체 칩, 상기 상부 반도체 칩을 덮는 제1 봉지재, 상기 제1 기판 상에 실장되어 상기 상부 및 하부 반도체 칩들을 둘러싸며, 전자성 물질을 포함하는 쉴딩 캔, 및 상기 쉴딩 캔을 접지 전압과 전기적으로 연결하는 접지 연결부를 포함한다. 상기 제1 봉지재는 상기 제2 기판 상의 상기 상부 반도체 칩에서부터 상기 쉴딩 캔으로 한정된 공간을 밀봉할 수 있다.
- [0012] 일 실시예에 있어서, 상기 쉴딩 캔은 금속층을 더 포함할 수 있다. 상기 쉴딩 캔은 상기 금속층을 포함하여 일정한 형태를 유지할 수 있다.
- [0013] 일 실시예에 있어서, 상기 접지 연결부는, 상기 제1 기판 및 제2 기판 중 적어도 하나에 형성된 접지 배선과 상기 쉴딩 캔을 전기적으로 연결할 수 있다.
- [0014] 일 실시예에 있어서, 상기 접지 연결부는, 상기 상부 및 하부 반도체 칩 중 적어도 하나의 접지 단자와 상기 쉴딩 캔을 전기적으로 연결할 수 있다. 예를 들어, 상기 접지 연결부는 도전성 물질을 포함할 수 있으며, 실시예에 따라, 접지 연결부는 직접 콘택 영역을 포함할 수 있다.
- [0015] 일 실시예에 있어서, 상기 반도체 패키지는 상기 제1 기판과 상기 제2 기판을 전기적으로 연결하는 기판 연결부를 더 포함할 수 있다. 상기 기판 연결부는 도전성 물질을 포함할 수 있으며, 상기 제1 기판 및 상기 제2 기판을 전기적으로 연결하여, 상기 제1 및 제2 기판들이 각각 반도체 패키지를 구성하는 경우, 복수의 패키지들을 전기적으로 연결할 수 있다.
- [0016] 일 실시예에 있어서, 상기 하부 반도체 칩을 덮는 제2 봉지재를 더 포함하며, 상기 기판 연결부는 상기 제2 봉

지제를 관통하는 관통 전극을 포함할 수 있다. 상기 기판 연결부는 상기 하부 반도체 칩과 수직 방향으로 연장되어 상기 제2 봉지재를 관통하는 TMV를 포함할 수 있다.

[0017] 본 발명의 일부 실시예들에 따른 반도체 패키지는 제1 접지 배선 및 전원 배선이 형성된 모 기판(mother board), 상기 모 기판 상에 실장되어, 상기 제1 접지 배선 및 상기 전원 배선에 접지 전압 및 전원 전압을 각각 제공하는 전압 발생 모듈, 및 연자성 물질을 포함하는 설딩 캔에 의하여 둘러싸인 집적 회로 패키지를 포함한다.

[0018] 일 실시예에 있어서, 상기 집적 회로 패키지는, 상기 모 기판과 전기적으로 연결되는 외부 접속 전극, 상기 외부 접속 전극과 전기적으로 연결된 제1 기판, 상기 제1 기판 상에 형성된 적어도 하나의 반도체 칩, 상기 적어도 하나의 반도체 칩을 덮는 봉지재, 및 상기 제1 기판 상에 실장되어 상기 복수의 반도체 칩들을 둘러싸며, 금속층을 포함하는 상기 설딩 캔을 포함할 수 있다.

[0019] 일 실시예에 있어서, 상기 제1 기판은 제2 접지 배선을 포함하며, 상기 제2 접지 배선은 상기 설딩 캔과 전기적으로 연결될 수 있다. 예를 들어, 상기 제2 접지 배선은 상기 제1 기판 상에서 개방되어 형성될 수도 있으나, 상기 제2 접지 배선이 상기 제1 기판에 매립되어 있는 경우, 상기 제1 기판에 별도의 윈도우를 형성하여 상기 제2 접지 배선이 오픈(open)되도록 할 수 있다.

[0020] 일 실시예에 있어서, 상기 제1 기판은 제2 접지 배선을 포함하며, 상기 제2 접지 배선과 상기 설딩 캔은 상기 제1 기판과 수직으로 연장된 관통 전극을 통하여 전기적으로 연결될 수 있다.

[0021] 일 실시예에 있어서, 상기 반도체 패키지는 상기 모 기판 상에 형성되어 상기 반도체 패키지에서 발생하는 신호 간섭을 제거하는 디커플링 캐패시터(Decoupling capacitor)를 더 포함할 수 있다. 다만, 디커플링 캐패시터는 예시적인 것으로, 복수의 신호들의 간섭을 제거할 수 있는 수동 소자가 모 기판 상에 형성될 수 있다.

발명의 효과

[0022] 본 발명의 실시예들에 따른 반도체 패키지는, 외부에서 둘러싸는 설딩 캔을 포함하여 전자기 간섭을 모든 방향에서 감소시켜 동작 신뢰성을 향상시킬 수 있다.

[0023] 또한, 본 발명의 실시예들에 따른 반도체 패키지는, 연자성 물질을 포함하는 설딩 캔 및 설딩 캔 상에 히트 슬러그를 포함하여, 신호 및 전원 무결성을 확보하는 동시에 열을 방출하여 오동작을 방지할 수 있다.

도면의 간단한 설명

[0024] 도 1 내지 7은 본 발명의 일부 실시예들에 따른 반도체 패키지를 나타내는 단면도들이다.

도 8은 본 발명의 일부 실시예들에 따른 반도체 패키지를 포함하는 메모리 장치를 나타내는 블록도이다.

발명을 실시하기 위한 구체적인 내용

[0025] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다. 도면상의 동일한 구성요소에 대해서는 동일한 참조부호를 사용하고 동일한 구성요소에 대해서 중복된 설명은 생략한다.

[0026] 본 발명의 실시예들은 당해 기술 분야에서 통상의 지식을 가진 자에게 본 발명을 더욱 완전하게 설명하기 위하여 제공되는 것이며, 아래의 실시예들은 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 아래의 실시예들로 한정되는 것은 아니다. 오히려, 이들 실시예는 본 개시를 더욱 충실하고 완전하게 하며 당업자에게 본 발명의 사상을 완전하게 전달하기 위하여 제공되는 것이다.

[0027] 본 명세서에서 사용된 용어는 특정 실시예를 설명하기 위하여 사용되며, 본 발명을 제한하기 위한 것이 아니다. 본 명세서에서 사용된 바와 같이 단수 형태는 문맥상 다른 경우를 분명히 지적하는 것이 아니라면, 복수의 형태를 포함할 수 있다. 또한, 본 명세서에서 사용되는 경우 “포함한다(comprise)” 및/또는 “포함하는(comprising)”은 언급한 형상들, 숫자, 단계, 동작, 부재, 요소 및/또는 이들 그룹의 존재를 특정하는 것이며, 하나 이상의 다른 형상, 숫자, 동작, 부재, 요소 및/또는 그룹들의 존재 또는 부가를 배제하는 것이 아니다. 본 명세서에서 사용된 바와 같이, 용어 “및/또는”은 해당 열거된 항목 중 어느 하나 및 하나 이상의 모든 조합을 포함한다.

[0028] 본 명세서에서 제1, 제2 등의 용어가 다양한 부재, 영역, 층들, 부위 및/또는 구성요소들을 설명하기 위하여 사용되지만, 이들 부재, 부품, 영역, 층들, 부위 및/또는 구성요소들은 이들 용어에 의해 한정되어서는 안됨은 자

명하다. 이들 용어는 특정 순서나 상하, 또는 우열의 의미하지 않으며, 하나의 부재, 영역, 부위, 또는 구성요소를 다른 부재, 영역, 부위 또는 구성요소와 구별하기 위하여만 사용된다. 따라서, 이하 상술할 제1 부재, 영역, 부위 또는 구성요소는 본 발명의 가르침으로부터 벗어나지 않고서도 제2 부재, 영역, 부위 또는 구성요소를 지칭할 수 있다. 예를 들어, 본 발명의 권리 범위로부터 이탈되지 않은 채 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다.

[0029] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다. 구성요소들 간의 관계를 설명하는 다른 표현들, 즉 "~사이에"와 "바로 ~사이에" 또는 "~에 이웃하는"과 "~에 직접 이웃하는" 등도 마찬가지로 해석되어야 한다.

[0030] 본 출원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 실시된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

[0031] 이하, 본 발명의 실시예들은 본 발명의 이상적인 실시예들을 개략적으로 도시하는 도면들을 참조하여 설명한다. 도면들에 있어서, 예를 들면, 제조 기술 및/또는 공차에 따라, 도시된 형상의 변형들이 예상될 수 있다. 따라서, 본 발명의 실시예는 본 명세서에 도시된 영역의 특정 형상에 제한된 것으로 해석되어서는 아니 되며, 예를 들면 제조상 초래되는 형상의 변화를 포함하여야 한다.

[0032] 도 1은 본 발명의 일부 실시예들에 따른 반도체 패키지(10a)를 나타내는 단면도이다.

[0033] 도 1을 참조하면, 반도체 패키지(10a)는 복수의 배선을 포함하는 기판(100a), 적어도 하나의 반도체 칩(200a, 200b, 200c), 및 쉴딩 캔(shielding can, 300a)을 포함할 수 있다.

[0034] 기판(100a)은 복수의 배선들(101, 102, 103, 104)이 형성된 인쇄 회로 기판(PCB, Printed circuit board)일 수 있다. 예를 들어, 기판(100a)은 반도체 기판으로, 실리콘 기판, 실리콘-게르마늄(Si-Ge), 또는 SOI(silicon-on-insulation) 기판을 포함할 수 있다.

[0035] 기판에 형성된 복수의 배선들(101, 102, 103, 104)은 도전성을 가지는 물질을 포함할 수 있고, 예를 들어, 도핑된 폴리 실리콘, 또는 ITO(indium-tin oxide)를 포함할 수 있다. 또한, 복수의 배선들(101, 102, 103, 104)은 금속을 포함할 수 있고, 예를 들어 알루미늄(Al), 금(Au), 베릴륨(Be), 비스무트(Bi), 코발트(Co), 구리(Cu), 하프늄(Hf), 인듐(In), 망간(Mn), 몰리브덴(Mo), 니켈(Ni), 납(Pb), 팔라듐(Pd), 백금(Pt), 로듐(Rh), 레늄(Re), 루테튬(Ru), 탄탈륨(Ta), 텔루륨(Te), 티타늄(Ti), 텅스텐(W), 아연(Zn), 또는 지르코늄(Zr) 중의 적어도 하나를 포함할 수 있다.

[0036] 복수의 배선들(101, 102, 103, 104)은 접지 전압(GND) 및 전원 전압(VDD)을 각각 인가 받을 수 있다. 접지 전압(GND)을 인가 받는 배선을 접지 배선, 및 전원 전압(VDD)을 인가 받는 배선을 전원 배선이라고 한다.

[0037] 기판(100a) 상의 배선(101, 102, 103, 104)과 전기적으로 연결된 적어도 하나의 반도체 칩(200a, 200b, 200c)은 복수의 반도체 칩들일 수 있으며, 상기 복수의 반도체 칩들은 수직으로 적층될 수 있다. 예를 들어, 반도체 칩과 기판 상의 배선(101, 102, 103, 104)은 도전성 패드 및 도전성 와이어를 통하여 연결될 수 있으며, 또한, 도전성 패드에 배치된 도전성 범프 및/또는 솔더 볼을 이용하여 배선(101, 102, 103, 104)과 직접적으로 연결될 수 있다. 도면에서는 적어도 하나의 반도체 칩(200a, 200b, 200c)이 기판(100)의 배선(101, 102, 103, 104)과 도전성 와이어를 통하여 연결된 형태로 도시되어 있으나, 이에 한정되지 않는다.

[0038] 예를 들어, 기판(100a) 상에 복수의 반도체 칩들(200a, 200b, 200c)이 수직으로 적층되는 경우, 수직 적층 구조에 따라, 복수의 반도체 칩들(200a, 200b, 200c)은 상이한 크기를 가질 수 있으며, 본딩 와이어, 관통 전극 등으로 서로 전기적으로 연결될 수 있다. 또한, 복수의 반도체 칩들(200a, 200b, 200c)은 서로 상이한 동작을 수행하는 집적 회로들일 수 있다.

[0039] 예를 들어, 반도체 칩(200a, 200b, 200c)은 반도체 메모리 소자를 포함할 수 있으며, DRAM(dynamic random access memory), SRAM(static random access memory), FLASH 메모리 장치, MRAM(magnetic RAM),

FeRAM(Ferroelectric RAM), PRAM(phase change RAM) 등을 포함할 수 있다.

- [0040] 설딩 캔(300a)은 연자성 물질을 포함하여 반도체 칩(200a, 200b, 200c)에서 발생하는 전자기 간섭을 제거할 수 있다. 전자기 간섭은 전도 방출 및 방사 방출을 포함하여, 전도 방출은 30MHz 이하의 주파수에서 발생하는 전자파 잡음으로서, 신호선 또는 전원선 같은 매질을 통해서 전달되고, 설딩 캔 영역에서 측정된다. 또한, 방사 방출은 30MHz 이상의 주파수에서 발생하는 전자파 잡음으로서, 대기 중으로 방사되어 전달되므로 전도 방출에 의한 전자파 잡음보다 넓은 방사 범위를 갖는다.
- [0041] 예를 들어, 연자성 물질은 연자성 금속 분말, 또는 연자성 합금 분말일 수 있으며, 페라이트(ferrite) 물질을 포함할 수 있다. 따라서, 설딩 캔(300a) 내부에는 연자성 물질이 연속적 또는 비연속적으로 포함될 수 있다.
- [0042] 페라이트 물질은 산화철(FeO , Fe_2O_3 , Fe_2O_4 , Fe_3O_4 등)과 적어도 하나 이상의 금속으로 이루어진다. 산화철과 조합하여 사용되는 금속은 예컨대 니켈(Ni), 아연(Zn), 망간(Mn), 코발트(Co), 마그네슘(Mg), 알루미늄(Al), 바륨(Ba), 구리(Cu), 철(Fe) 등이 포함될 수 있다. 페라이트 물질은 높은 저항률을 가지며, 낮은 포화 자화를 가질 수 있다. 또한, 낮은 기계적 강도를 가지기 때문에 금속과 조합되어 사용될 수 있다.
- [0043] 설딩 캔(300a)은 금속층(301a), 연자성 물질을 포함하는 연자성 물질층(303a), 및 접착층(305a)을 포함할 수 있다. 금속층(301a)은 연자성 물질층(303a)의 낮은 기계적 강도를 보완하여 설딩 캔(300a)이 일정한 형태를 유지하도록 하며, 접착층(305a)은 설딩 캔(300a)이 접착하도록 한다. 접착층(305a)은 전도성이 높은 바인더가 사용될 수 있다.
- [0044] 또한, 설딩 캔(300a)의 내면과 반도체 칩(200a, 200b, 200c) 사이에는 포론(poron) 재질의 완충 수단이 개재되어 기기의 외부 충격으로부터 반도체 칩(200a, 200b, 200c)을 보호할 수 있다. 더욱이, 설딩 캔(300a)은 휴대용 단말기에 적용될 경우 외부의 노이즈 유입에 따른 해당 소자의 기능 저하를 방지하기 위한 보호 캡의 역할을 동시에 수행하고 있다.
- [0045] 설딩 캔(300a)은 SMD(Surface Mounted Device) 타입으로 실장될 수 있으며, 도 1에서는 설딩 캔(300a)이 기판(100a)에 형성된 배선(102, 103)과 전기적으로 연결되도록 실장된다. 각 배선(102, 103)은 오픈(open)되어 설딩 캔(300a)과 전기적으로 연결될 수 있다. 예를 들어, 배선(102, 103)은 접지 전압과 전기적으로 연결된 접지 배선일 수 있다. 설딩 캔(300a)이 접지 배선과 연결되는 경우, 설딩 캔(300a)이 전자기 간섭을 제거하는 정도는 설딩 캔이 접지 배선과 연결되지 않는 경우보다 더 향상될 수 있다. 본 발명자들에 의해 수행된 특정한 실험 예에서는 약 5dB정도 향상된 결과를 확인하였다.
- [0046] 접착층(305a)은 설딩 캔(300a)과 내부의 반도체 칩들(200a, 200b, 200c)이 전기적으로 연결되는 것, 또는 설딩 캔(300a)이 제1 영역(400a)과 전기적으로 연결되는 것을 방지하며, 실리콘 산화물(Si_xO_y), 알루미늄 산화물(Al_xO_y), 하프늄 산화물(Hf_xO_y), 지르코늄 산화물(Zr_xO_y), 이트륨 산화물(Y_xO_y), 란탄 산화물(La_xO_y), 탄탈륨 산화물(Ta_xO_y), 프라세오디뮴 산화물(Pr_xO_y), 및 티타늄 산화물(Ti_xO_y), 알루미늄 실리콘 산화물($\text{Al}_x\text{Si}_y\text{O}_z$), 지르코늄 실리콘 산화물(ZrSi_xO_y), 및 하프늄 실리콘 산화물(HfSi_xO_y)을 포함할 수 있다.
- [0047] 본 발명에 따른 반도체 패키지(10a)의 설딩 캔(300a)은 반도체 패키지(10a) 전체의 외부를 감싸는 구성을 가질 수 있어, 여러 방향으로 방사되는 전자기 간섭을 흡수할 수 있다.
- [0048] 설딩 캔(300a)에 의하여 한정되는 제1 영역(400a)은 공동(cavity), 및 절연성을 가지는 봉지재를 포함할 수 있다. 제1 영역(400a)이 봉지재로 밀봉되는 경우, 반도체 칩(200a, 200b, 200c)을 기판(100a)과 전기적으로 연결시키는 도전성 와이어를 보호할 수 있다.
- [0049] 반도체 패키지(10a)는 기판(100a) 상에 전기적으로 연결된 외부 접속 전극들(600)을 더 포함할 수 있다. 반도체 패키지(10a)는 외부 접속 전극들(600)을 통하여 다른 기판에 실장될 수 있다. 외부 접속 전극들(600)은 반도체 패키지(10a)를 모 기판 또는 다른 반도체 패키지에 실장 또는 적층하기 위하여, 기판(100a)의 일측면에 각각 형성된다. 외부 접속 전극들(600)이 형성된 기판(100a)의 일측면 상에는 복수의 배선들이 오픈되어 외부 접속 전극들(600)과 전기적으로 연결될 수 있다. 외부 접속 전극들(600)은 솔더 볼, 솔더 범프, 솔더 페이스트 등과 같은 도전성 범프일 수 있고, BGA(ball grid array) 패키지를 구현하기 위한 그리드 타입으로 배열될 수 있다. 외부 접속 전극들(600)을 통해 모 기판 또는 다른 반도체 패키지를 본딩하기 위해서는 웨이브(wave) 솔더링 또는 리플로우 솔더링 공정과 같은 고온의 열처리를 수행하여야 한다.
- [0050] 도 2는 본 발명의 일 실시예에 따른 반도체 패키지(10b)를 나타내는 단면도이다.

- [0051] 도 2를 참조하면, 반도체 패키지(10b)는 기판(100b), 적어도 하나의 반도체 칩(200a, 200b, 200c), 설딩 캔(300b), 및 관통 전극(501, 503)을 포함할 수 있다.
- [0052] 도 1과 동일한 참조 부호는 동일한 부재를 나타내므로 이에 대한 설명은 생략하도록 한다.
- [0053] 설딩 캔(300b)은 기판(100b)의 외부를 둘러쌀 수 있으며, 기판(100b)과 설딩 캔(300b)은 접착층(305b)을 통하여 부착된다. 접착층(305b)이 절연층으로 이루어질 수 있다. 이 경우, 기판과 설딩 캔(300b)은 상호 전기적으로 연결되지 않을 수 있다. 설딩 캔(300b)은 금속층(301b)을 포함하여 고유의 형태를 유지하면서, 반도체 패키지(10b)의 외부를 감싸는 형태로 실장될 수 있다. 설딩 캔(300b)은 반도체 패키지(10b)가 패키지의 형태를 갖추도록 제조된 이후에 외부에 실장될 수 있다.
- [0054] 반도체 패키지(10b)는 기판(100b) 상에 설딩 캔(300b)으로 한정된 제2 영역(400b)을 관통하여 기판(100b)과 수직 방향으로 연장되는 관통 전극(501, 503)을 포함할 수 있다. 제2 영역(400b)은 기판(100b) 상에서 반도체 칩(200a, 200b, 200c)을 덮는 봉지재일 수 있으며, 관통 전극(501, 503)은 제2 영역(400b)을 관통하여 설딩 캔(300b)의 연자성 물질층(303b)과 기판(100b)에 형성된 복수의 배선들을 전기적으로 연결할 수 있다. 예를 들어, 관통 전극(501, 503)은 TMV (Through mold via)를 포함할 수 있다. 관통 전극(501, 503)은 제2 영역(400b)에 매립된 봉지재를 관통하는 비아홀에 도전성 물질, 예를 들어 주석(Sb), 납(Pb), 금(Au), 은(Ag), 구리(Cu), 비스무트(bi) 또는 이들의 합금을 도포하여 형성될 수 있다.
- [0055] 도 3은 본 발명의 일 실시예에 따른 반도체 패키지(10c)를 나타내는 단면도이다.
- [0056] 도 3을 참조하면, 반도체 패키지(10c)는 기판(100c), 반도체 칩(200d), 설딩 캔(300c), 및 히트 슬러그(650)를 포함할 수 있다.
- [0057] 기판(100c) 상에 형성된 적어도 하나의 반도체 칩(200d)은 플립 칩 방식 또는 와이어 본딩 방식으로 실장되어, 도전성 전극(205)에 의하여 기판(100c)과 전기적으로 연결될 수 있다. 도 3에서는 플립 칩 방식으로 실장되어 있는 형태로 도시되어 있으나, 이에 한정되지 않는다.
- [0058] 반도체 칩(200d) 상에 형성된 접속 패드들이 기판(100c)을 향하게 한 후, 솔더 볼들과 같은 도전성 전극들(205)을 이용하여 반도체 칩(200d)의 접속 패드들을 기판(100c)에 형성된 복수의 배선들에 전기적으로 연결할 수 있다. 플립 칩 방식은 전기적인 연결거리(connection path)가 짧아 우수한 열적 및 전기적 특성과 함께, 반도체 패키지의 크기를 줄일 수 있는 장점을 가진다.
- [0059] 반도체 칩(200d)과 도전성 전극들(205) 사이의 전기적 접속을 보호하기 위하여, 반도체 칩(200d)과 기판(100c)의 상부면 사이에 봉지재(203)가 충전된다. 봉지재(203)는 모세관 현상을 이용한 언더필(fill) 공정에 의해 형성될 수 있다. 또는, 반도체 칩(200d)과 기판(100c)의 상부면 사이에 수지계 재료로 이루어진 액상 필름(liquid film)을 미리 삽입하고, 반도체 칩(200d)과 기판(100c)에 열압착 공정을 수행하거나 리플로우 공정을 수행할 수 있다. 이러한 열압착 또는 리플로우 공정을 수행하는 동안에, 액상 필름은 완전히 경화되어 반도체 칩(200d)과 도전성 전극들(205)에 인가되는 열적 또는 기계적 스트레스를 완화시킬 수 있다. 일부 실시예에서는, 에폭시 몰드 복합체(EMC, epoxy mold compound) 등의 열경화성 수지 재료를 사용하여, 기판(100c)의 상부면과 반도체 칩(200d) 사이의 영역을 완전히 충전할 수도 있다.
- [0060] 또한, 일부 실시예에서는, 반도체 칩(200d)과 기판(100c) 사이에 봉지재(203)를 충전하는 과정에 있어서, 언더필을 하는 동시에 반도체 칩(200d) 상에서 설딩 캔(300c)에 의하여 한정된 제3 영역(400c)을 모두 매립할 수 있다. 따라서 반도체 칩(200d)과 기판(100c) 사이에 채워지는 봉지재와 반도체 칩(200d) 상부를 덮는 봉지재가 동일할 수 있으며, 반도체 패키지(10c)의 반도체 칩(200d)과 기판(100c) 사이 및 반도체 칩(200d) 상부의 한정된 공간을 동시에 몰딩하는 공정을 MUF (Molded underfill)이라고 한다.
- [0061] 도 3에서는 기판(100c) 상에 하나의 반도체 칩(200d)이 실장된 구성이 도시되었으나, 이에 한정되지 않으며, 복수의 반도체 칩들이 수직으로 적층될 수 있다.
- [0062] 기판(100c) 상에 설딩 캔(300c)에 의하여 한정되는 제3 영역(440)은 공동이거나, 봉지재에 의하여 밀봉될 수 있다. 설딩 캔(300c)은 도 1 또는 도 2에 도시된 바와 유사하게, 기판(100) 상에 실장되어 기판(100c)에 형성된 복수의 배선들 중 적어도 하나와 전기적으로 연결되거나, 기판(100c)의 외부를 감싸는 형태로 접착층(305c)에 의하여 접합되며, 제3 영역(400c)을 관통하는 관통 전극에 의하여 기판(100c)에 형성된 복수의 배선들 중 적어도 하나와 전기적으로 연결될 수 있다.
- [0063] 본 발명의 일 실시예에 따른 반도체 패키지(10c)는 설딩 캔(300c) 상에 히트 슬러그(650)를 더 포함할 수 있다.

히트 슬러그(650)는 쉘딩 캔(300c) 상에 형성되어 반도체 패키지(10c)에서 발생하는 열을 방출한다. 히트 슬러그(650)는 쉘딩 캔(300c)과 직접적으로 연결되거나, 쉘딩 캔(300c)과 일정한 거리만큼 이격되어 형성될 수 있다. 히트 슬러그(650)가 반도체 칩(200d)에서 발생하는 열을 방출하기 때문에, 본 발명의 일 실시예에 따른 반도체 패키지(10c)는 반도체 칩(200d)에서 발생하는 전자기 간섭을 제거하는 동시에 열을 방출하여 반도체 패키지(10c) 전체의 동작 신뢰성을 향상시킬 수 있다.

[0064] 도 4는 본 발명의 일 실시예에 따른 반도체 패키지(10d)를 나타내는 도면이다.

[0065] 도 4를 참조하면, 반도체 패키지(10d)는 제1 기판(110a), 제2 기판(120a), 적어도 하나의 상부 반도체 칩(220a, 220b, 220c), 적어도 하나의 하부 반도체 칩(210a), 쉘딩 캔(300d), 및 접지 연결부(505, 507, 509)를 포함할 수 있다. 실시예에 따라, 제2 기판(120a) 상에 쉘딩 캔(300d)으로 한정된 제1 상부 영역(420a)을 밀봉하는 봉지재를 더 포함할 수 있다. 봉지재는 에폭시 몰드 복합체를 포함할 수 있다.

[0066] 제1 기판(110a) 및 제2 기판(120a)은 복수의 배선들(111, 112, 113, 114, 121, 122, 123, 124)을 각각 포함할 수 있다. 제1 기판(110a) 및 제2 기판(120a)은 각각 반도체 패키지를 구성할 수 있으며, 본 발명의 일 실시예에 따른 반도체 패키지(10d)는 POP(Package on package) 또는 PIP(Package in package)의 구성을 가질 수 있다. 제1 기판(110a) 및 제2 기판(120a)은 인쇄 회로 기판일 수 있으며, 예를 들어, 반도체 기판으로, 실리콘 기판, 실리콘-게르마늄(Si-Ge), 또는 SOI 기판을 포함할 수 있다. 실시예에 따라, 제1 기판(110a)과 제2 기판(120a)은 서로 평행하는 방향으로 적층될 수 있으며, 또한, 제1 기판(110a)과 제2 기판(120a)은 서로 상이한 크기를 가질 수 있다. 제1 기판(110a) 및 제2 기판(120a)의 크기에 따라 쉘딩 캔(300d)은 상이한 형태를 가질 수 있다.

[0067] 상부 반도체 칩(220a, 220b, 220c)은 제2 기판(120a) 상에 실장되고, 하부 반도체 칩(210a)은 제1 기판(110a) 상에 실장될 수 있다. 상부 반도체 칩(220a, 220b, 220c) 및 하부 반도체 칩(210a)은 각각 제2 기판(120a) 및 제1 기판(110a)에 플립 칩 방식 또는 와이어 본딩 방식에 의하여 전기적으로 연결될 수 있다.

[0068] 예를 들어, 상부 및 하부 반도체 칩들(220a, 220b, 220c, 210a)은 DRAM 및 SRAM과 같은 휘발성 메모리 소자, 플래시 메모리와 같은 비휘발성 메모리 소자, 광전자 소자, 로직 소자, 통신 소자 또는 디지털 시그널 프로세서(digital signal processor), 시스템-온-칩(SOC, system-on-chip) 등일 수 있다.

[0069] 제2 기판(120a)에 형성된 복수의 배선들(121, 122, 123, 124)은 전원 배선 및 접지 배선을 포함할 수 있으며, 접지 연결부(505, 507, 509)는 봉지재를 관통하여 제2 기판(120a)과 수직 방향으로 연장되어 쉘딩 캔(300d)과 복수의 배선들(121, 122, 123, 124)에 포함된 접지 배선(121, 124)을 전기적으로 연결할 수 있다. 접지 연결부(505, 507, 509)는 관통 전극을 포함할 수 있다. 접지 연결부(505, 507, 509)는 제2 기판(120a) 상에 실장된 상부 반도체 칩들(220a, 220b, 220c)을 덮는 봉지재에 비아 홀을 형성하고, 이를 도전성 물질을 도포하여 형성될 수 있다. 접지 연결부(505, 509)는 쉘딩 캔(300d)에 포함된 도전성 물질인 연자성 물질층(303d) 또는 금속층(305d)과 제2 기판(120a)에 형성된 접지 배선을 전기적으로 연결할 수 있다. 실시예에 따라, 접지 연결부(507)는 상부 반도체 칩(220a, 220b, 220c)의 접지 단자와 쉘딩 캔(300d)에 포함된 도전성 물질인 연자성 물질층(303d) 또는 금속층(305d)을 전기적으로 연결할 수 있다. 접지 단자는 각 반도체 칩이 접지 배선과 전기적으로 연결된 단자로, 접지 전압과 전기적으로 연결된 단자일 수 있다.

[0070] 상기한 바와 같이, 연자성 물질을 포함하는 쉘딩 캔(300d)은 반도체 패키지(10d)의 외부를 모두 둘러싸기 때문에, 전방향으로 방사되는 전자기 간섭을 제거하는 동시에, 접지 전압과 연결되어, 종래의 전자기 간섭의 제거 성능보다 향상된 전자기 간섭 제거 동작을 수행할 수 있다. 또한, 반도체 패키지(10)가 모두 제조된 이후에 외부에서 실장되는 쉘딩 캔을 포함하여, 전체적인 제조 공정이 간단해질 수 있으며, 작은 크기로 구현 가능하다. 예를 들어, 연자성 물질을 포함하는 쉘딩 캔은 300 μm 이하의 두께를 가질 수 있다.

[0071] 제1 기판(110a) 상에 복수의 하부 배선들(111, 112, 113, 114)은 제2 기판(120a) 상에 형성된 복수의 상부 배선들(121, 122, 123, 124)과 기판 연결부(701, 702, 703, 704)를 통하여 전기적으로 연결될 수 있다. 기판 연결부(701, 702, 703, 704)는 제1 기판(110a) 상에 실장된 하부 반도체 칩(210a)의 실장 방법에 따라 상이한 구성을 가질 수 있다. 도 4에서는 하부 반도체 칩(210a)이 플립 칩 방식으로 제1 기판(110a)에 실장되어 있으며, 플립 칩 방식으로 실장되는 과정에 있어서, CUF (Capillary underfill) 방식으로 접합이 이루어진다. 따라서, 제1 기판(110a) 상에서 제2 기판(120a)과 쉘딩 캔(300d)으로 한정된 제1 하부 영역(410a)은 공동일 수 있으며, 기판 연결부(701, 702, 703, 704)는 도전성 범프일 수 있다.

[0072] 도 5는 본 발명의 일 실시예에 따른 반도체 패키지(10e)를 나타내는 도면이다.

- [0073] 도 5를 참조하면, 반도체 패키지(10e)는 제1 기판(110b), 제2 기판(120b), 적어도 하나의 상부 반도체 칩(220a, 220b, 220c), 적어도 하나의 하부 반도체 칩(210a), 설딩 캔(300e), 및 접지 연결부(504, 506)를 포함할 수 있다.
- [0074] 도 4의 반도체 패키지(10d)와 비교하였을 경우, 도 5의 반도체 패키지(10e)는 기판(110b)에 형성된 복수의 배선들 중 접지 배선(111)과 전기적으로 연결되는 설딩 캔(300e)을 포함한다. 이 외의 구성 요소들은 도 4와 실질적으로 동일하므로, 이에 대한 설명은 생략하도록 한다. 동일한 참조 부호는 동일한 구성 요소를 나타낸다.
- [0075] 실시예에 따라, 제2 기판(120b) 상에 설딩 캔(300e)으로 한정된 제1 상부 영역(420b)을 밀봉하는 봉지재를 더 포함할 수 있다. 봉지재는 에폭시 몰드 복합체를 포함할 수 있다.
- [0076] 제1 기판(110a) 및 제2 기판(120a)은 복수의 배선들(111, 112, 113, 114, 121, 122, 123, 124)을 각각 포함할 수 있다. 제1 기판(110a) 및 제2 기판(120a)은 각각 반도체 패키지를 구성할 수 있으며, 본 발명의 일 실시예에 따른 반도체 패키지(10e)는 POP 또는 PIP의 구성을 가질 수 있다.
- [0077] 연자성 물질을 포함하는 설딩 캔(300e)은 제1 기판(110b)에 형성된 복수의 배선들 중에서 접지 배선(111, 114)과 전기적으로 연결될 수 있다. 따라서, 설딩 캔(300e)을 접지 전압과 연결하는 접지 연결부(504, 506)는 설딩 캔(300e)과 접지 배선(111, 114)의 직접 접촉 영역일 수 있다. 설딩 캔(300e)과 접지 배선(111, 114)은 제1 기판(110b) 상에 형성된 접지 배선이 오픈되어 전기적으로 연결될 수 있다.
- [0078] 설딩 캔(300e)이 제1 기판(110b)의 접지 배선(111, 114)과 전기적으로 연결되는 경우, 도 4에서와 같이 관통 전극을 통하여 설딩 캔을 접지 전압과 연결하지 않을 수 있다.
- [0079] 도 6은 본 발명의 일 실시예에 따른 반도체 패키지(10f)를 나타내는 단면도이다.
- [0080] 도 6을 참조하면, 반도체 패키지(10f)는 제1 기판(110c), 제2 기판(120c), 적어도 하나의 상부 반도체 칩(220a, 220b, 220c), 적어도 하나의 하부 반도체 칩(210a), 설딩 캔(300f), 및 기판 연결부(705, 706, 707, 708)를 포함할 수 있다.
- [0081] 도 4 및 5와 동일한 참조부호는 동일한 부재를 나타내므로 이에 대한 설명은 생략하도록 한다.
- [0082] 설딩 캔(300f)은 연자성 물질을 포함하며, 연자성 물질을 포함하는 연자성 물질층(303f)을 포함할 수 있다. 다만, 연자성 물질층(303f) 내의 연자성 물질은 연속적으로 포함되지 않을 수 있으며, 실시예에 따라, 연자성 물질은 설딩 캔(300f) 내에서 연자성 물질층(303f) 이외의 다른 층에 포함될 수 있다.
- [0083] 설딩 캔(300f)은 제2 기판(120b)에 형성된 복수의 배선들(115, 116, 117, 118) 중에서 접지 배선(115, 118)과 전기적으로 연결될 수 있다. 설딩 캔(300f)은 제2 기판(120c) 상에서 접지 배선(115, 118)이 노출된 부분에 직접적으로 연결될 수 있다. 따라서 설딩 캔(300f)은 제1 기판(110c) 또는 상부 반도체 칩(220a, 220b, 220c) 및 하부 반도체 칩(210a)의 접지 단자와 연결되지 않을 수 있다. 따라서 이러한 경우, 접지 연결부는 설딩 캔(300f)의 도전성 물질과 제1 기판(110c)의 접지 배선(115, 118)이 전기적으로 연결되는 영역일 수 있다.
- [0084] 도 6에서는 하부 반도체 칩(210a) 상에서 제2 기판(120c) 및 설딩 캔(300e)으로 한정된 제2 하부 공간(410c)은, 하부 반도체 칩(210a)을 제1 기판(110c)에 실장시키는 단계에서 봉지재에 의하여 밀봉될 수 있다. 제2 하부 공간(410c)은 하부 반도체 칩(210a)과 제2 기판(120c) 사이의 도전성 범프들(207) 사이를 밀봉하는 동시에 봉지재를 밀봉시키는 MUF 방식에 의하여 봉지재에 의하여 밀봉될 수 있다. 또한, 제2 하부 공간(410c)은 도전성 범프들(207)과는 관계없이, 하부 반도체 칩(210a)이 실장된 이후에 봉지재로 밀봉될 수 있다. 기판 연결부(705, 706, 707, 708)는 봉지재에비아홀을 형성하고, 도전성 물질로 충전하여 관통 전극을 형성할 수 있다.
- [0085] 도시되지는 않았으나, 도 6의 반도체 패키지(10f)는 접지 연결부를 더 포함한다. 접지 연결부는 도 4 및 도 5와 같이, 설딩 캔(300f)이 제2 기판(120c)에 형성된 접지 배선과 전기적으로 연결되도록 형성되거나, 설딩 캔(300e)이 제1 기판(110c)에 형성된 접지 배선과 전기적으로 연결되도록 형성될 수 있다.
- [0086] 도 7은 본 발명의 일 실시예에 따른 반도체 패키지(20)를 나타내는 단면도이다.
- [0087] 도 7을 참조하면, 반도체 패키지(20)는 집적 회로 패키지(10), 전압 제공 모듈(210), 및 모 기판(mother board, 220)을 포함할 수 있다.
- [0088] 모 기판(220)은 인쇄 회로 기판일 수 있으며, 예를 들어, 기판(100)은 반도체 기판으로, 실리콘 기판, 실리콘-게르마늄(Si-Ge), 또는 SOI 기판을 포함할 수 있다. 모 기판(220)은 제1 접지 배선(221) 및 제1 전원 배선

(222)을 포함할 수 있다.

- [0089] 전압 제공 모듈(210)은 전원 전압(VDD)을 제공받아 반도체 패키지(20)에서 필요로 하는 전압 요건을 감지하여 동작 전압(VOP)을 모 기관(220)의 제1 전원 배선(222)에 제공할 수 있다. 전압 발생 모듈(210)은 전압 조정 모듈(VRM, voltage regulating module)을 포함할 수 있다. 동작 전압(VOP)은 집적 회로 패키지(10)의 전원 전압과 실질적으로 동일할 수 있다.
- [0090] 집적 회로 패키지(10)는 모 기관(220)의 제1 접지 배선(221) 및 제1 전원 배선(222)과 전기적으로 연결될 수 있다. 집적 회로 패키지(10)는 도 1내지 5에서 설명한 반도체 패키지(10a, 10b, 10c, 10d, 10e)와 실질적으로 동일한 구성을 가질 수 있다. 반도체 패키지(20)는 적어도 하나의 집적 회로 패키지(10)를 포함할 수 있다.
- [0091] 예를 들어, 집적 회로 패키지(10)는 제1 기관, 적어도 하나의 반도체 칩, 적어도 하나의 반도체 칩을 덮는 봉지재, 및 설딩 캔을 포함할 수 있다. 집적 회로 패키지(10)는 외부 접속 전극을 포함하여 모 기관(220)의 제1 접지 배선(221) 및 제1 전원 배선(222)과 전기적으로 연결될 수 있다. 집적 회로 패키지(10)에 포함된 설딩 캔은 제1 접지 배선(221)과 전기적으로 연결된다. 도시된 바에 의하면, 모 기관(220)에 형성된 제1 배선(221)과 전기적으로 연결되기 위하여, 모 기관의 제1 접지 배선(221)이 형성된 부분까지 설딩 캔이 실장될 수 있다.
- [0092] 집적 회로 패키지(10)는 모 기관(220)에 형성된 제1 접지 배선(221) 및 제1 전원 배선(222)과 전기적으로 연결된다. 나아가, 집적 회로 패키지(10)에 포함된 설딩 캔은 모 기관(220)의 제1 접지 배선(221)과 전기적으로 연결되거나, 집적 회로 패키지(10)에 포함된 제1 기관에 형성된 제2 접지 배선, 또는 적어도 하나의 반도체 칩에 포함된 접지 단자와 전기적으로 연결될 수 있다. 예를 들어, 설딩 캔은 제1 기관과 수직으로 연장된 관통 전극을 통하여 제1 기관과 전기적으로 연결될 수 있다.
- [0093] 실시예에 따라, 반도체 패키지(20)는 집적 회로 패키지(10)에서 적어도 하나 이상의 회로들이 밀집되어 신호를 전송하여 발생하는 신호 밀집도(signal integrity), 및 전원 간섭에 따른 전원 밀집도(power integrity)를 개선하기 위하여 수동 소자들(230a, 230b)을 더 포함할 수 있다. 예를 들어, 수동 소자들(230a, 230b)은 디커플링 캐패시터(decoupling capacitor)를 포함할 수 있다. 수동 소자들(230a, 230b)을 포함하여 신호 및 전원의 무결성을 확보할 수 있다.
- [0094] 본 발명의 일부 실시예들에 따른 반도체 패키지들은 상기 예시한 POP, BGA의 형태 뿐만 아니라, Chip scale packages(CSPs), Plastic Leaded Chip Carrier(PLCC), Plastic Dual In-Line Package(PDIP), Die in Wafer Pack, Die in Wafer Form, Chip On Board(COB), Ceramic Dual In-Line Package(CERDIP), Plastic Metric Quad Flat Pack(MQFP), Thin Quad Flatpack(TQFP), Small Outline(SOIC), Shrink Small Outline Package(SSOP), Thin Small Outline(TSOP), Thin Quad Flatpack(TQFP), System In Package(SIP), Multi Chip Package(MCP), Wafer-level Fabricated Package(WFP), Wafer-Level Processed Stack Package(WSP)의 형태로 제조될 수 있다.
- [0095] 도 8은 본 발명의 일 실시예에 따른 반도체 패키지를 포함하는 메모리 장치를 나타내는 블록도이다.
- [0096] 도 8을 참조하면, 메모리 장치(700)는 중앙 처리 장치(710), 저장부(720), 사용자 인터페이스 부(730), 데이터 버스(740), 및 반도체 패키지(750)를 포함할 수 있다.
- [0097] 중앙 처리 장치(710)는 데이터 버스(740)를 통하여 메모리 장치(700)의 동작을 제어한다. 중앙 처리 장치(710)는 외부와 통신하여 호스트와 같은 외부로부터 제어 신호를 수신할 수 있다. 예를 들어, 중앙 처리 장치(710)는 USB(Universal Serial Bus), MMC(Multi-Media Card), PCI-E, SATA(Serial Advanced Technology Attachment), PATA(Parallel ATA), SCSI(Small Computer System Interface), ESDI(Enhanced Small Disk Interface), 그리고 IDE(Integrated Drive Electronics) 등과 같은 다양한 인터페이스 프로토콜 등을 통하여 외부와 통신할 수 있다.
- [0098] 저장부(720)는 중앙 처리 장치(710)에 입출력 되는 데이터를 저장한다. 저장부(720)는 고속의 SRAM과 같은 메모리 장치로 구현될 수 있다.
- [0099] 사용자 인터페이스 부(730)는 메모리 장치(700)의 사용 편의를 도모하기 위하여 사용자가 인지하기 용이한 형태로 신호를 변환하는 인터페이싱(interfacing) 동작을 수행하여 모니터, 프린터와 같은 데이터 출력 회로에 변환된 신호를 제공한다. 또는, 사용자가 입력한 신호를 메모리 장치(700)에 적합한 신호로 변환할 수 있다.
- [0100] 반도체 패키지(750)는 상기한 바와 같이 연자성 물질을 포함하는 설딩 캔에 의하여 외부가 둘러싸여 있다. 실시예에 따라, 메모리 장치(700) 전체가 연자성 물질을 포함하는 설딩 캔에 의하여 둘러싸일 수 있다. 반도체 패키지(750)는 상기한 바와 같이 기관, 기관 상에 실장된 적어도 하나의 반도체 칩, 및 설딩 캔 등을 포함할 수

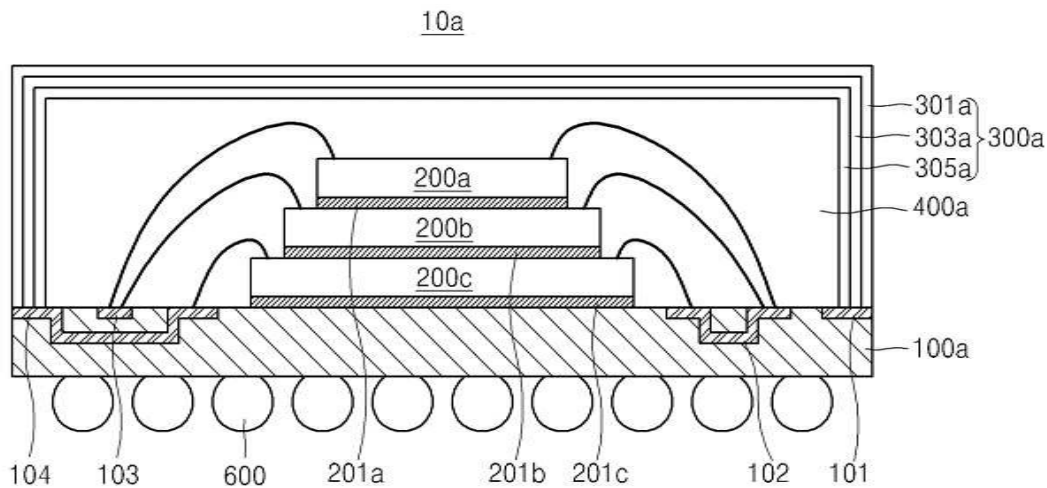
있다. 반도체 패키지(750)의 구성은 상기한 도 1내지 6의 구성과 실질적으로 동일할 수 있으므로, 이에 대한 자세한 설명은 생략하도록 한다. 반도체 패키지(750)는 적어도 하나 이상의 반도체 칩들을 포함하여, 신호 및 전원 공급에 따라 발생하는 전자기 간섭에 의하여 오동작이 발생할 수 있다. 이러한 오동작을 방지하기 위하여 연자성 물질을 포함하는 쉴딩 캔에 의하여 외부로 모두 둘러싸 전자기 간섭을 제거할 수 있다. 또한, 실시예에 따라, 반도체 패키지(750)는 히트 슬러그를 더 포함하여, 전자기 간섭 이외에 반도체 칩들의 동작에 의하여 발생하는 열을 외부로 방출하여 동작 온도를 일정하게 유지시켜 동작 신뢰성을 향상시킬 수 있다. 따라서, 본 발명의 일 실시예에 따른 반도체 패키지(750)는 여러 가지 회로들이 집적되어 발생할 수 있는 동작 상의 오류를 최소화하는 메모리 장치를 구현할 수 있다.

[0101] 또한, 메모리 장치(700)가 휴대 전화, PDA, 디지털 카메라, 및 MP3 플레이어와 같은 모바일 장치의 형태로 구현될 경우, 메모리 장치(700)에 동작 전압을 공급하기 위하여 전원(760)을 더 포함할 수 있으며 적용되는 어플리케이션에 따라 응용 칩셋(application chipset), 카메라 이미지 프로세서(Camera Image Processor: CIS), 모바일 DRAM(MDRAM, Mobile DRAM) 등을 더 포함할 수 있다.

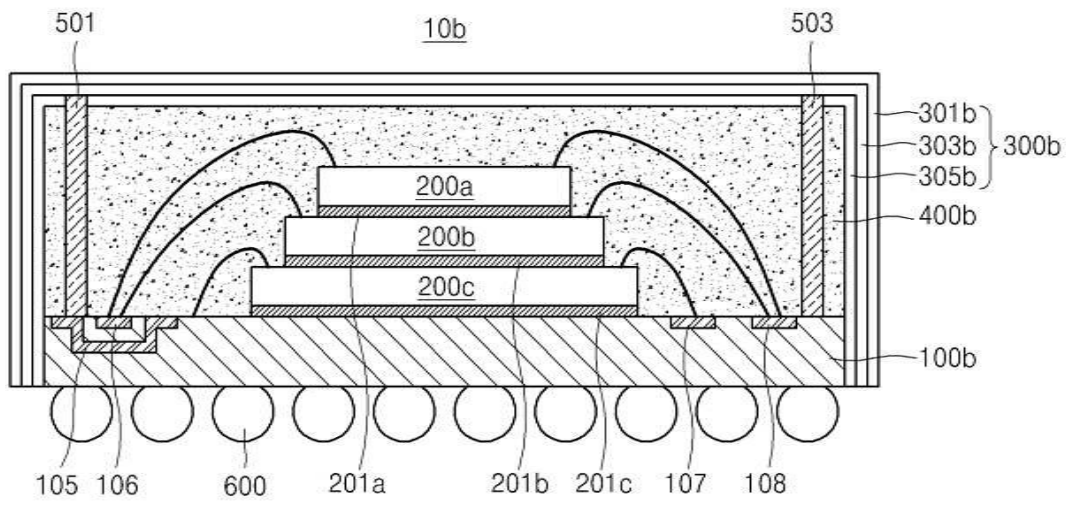
[0102] 상기에서는 본 발명이 바람직한 실시예를 참조하여 설명하였지만, 해당 기술분야의 숙련된 당업자는 하기의 특허청구범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 것이다.

도면

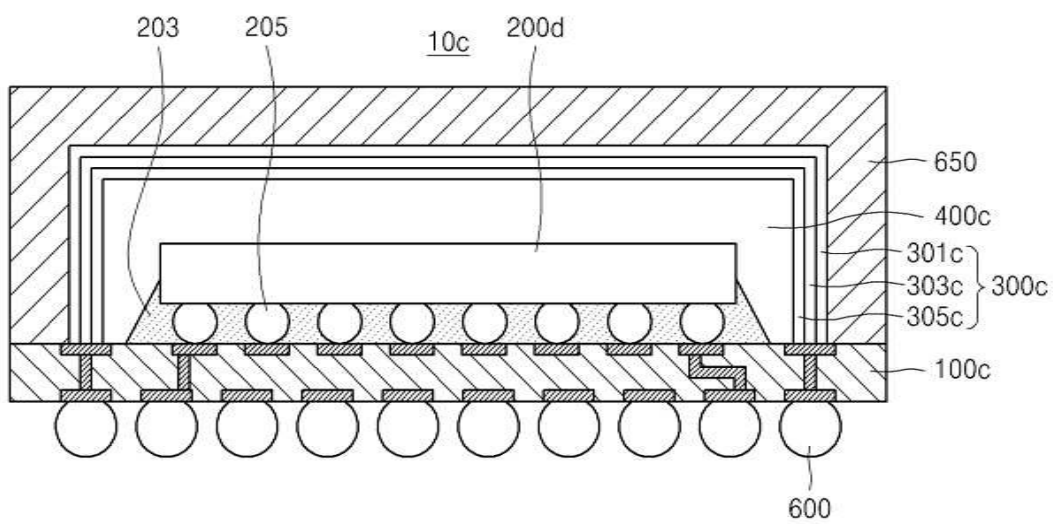
도면1



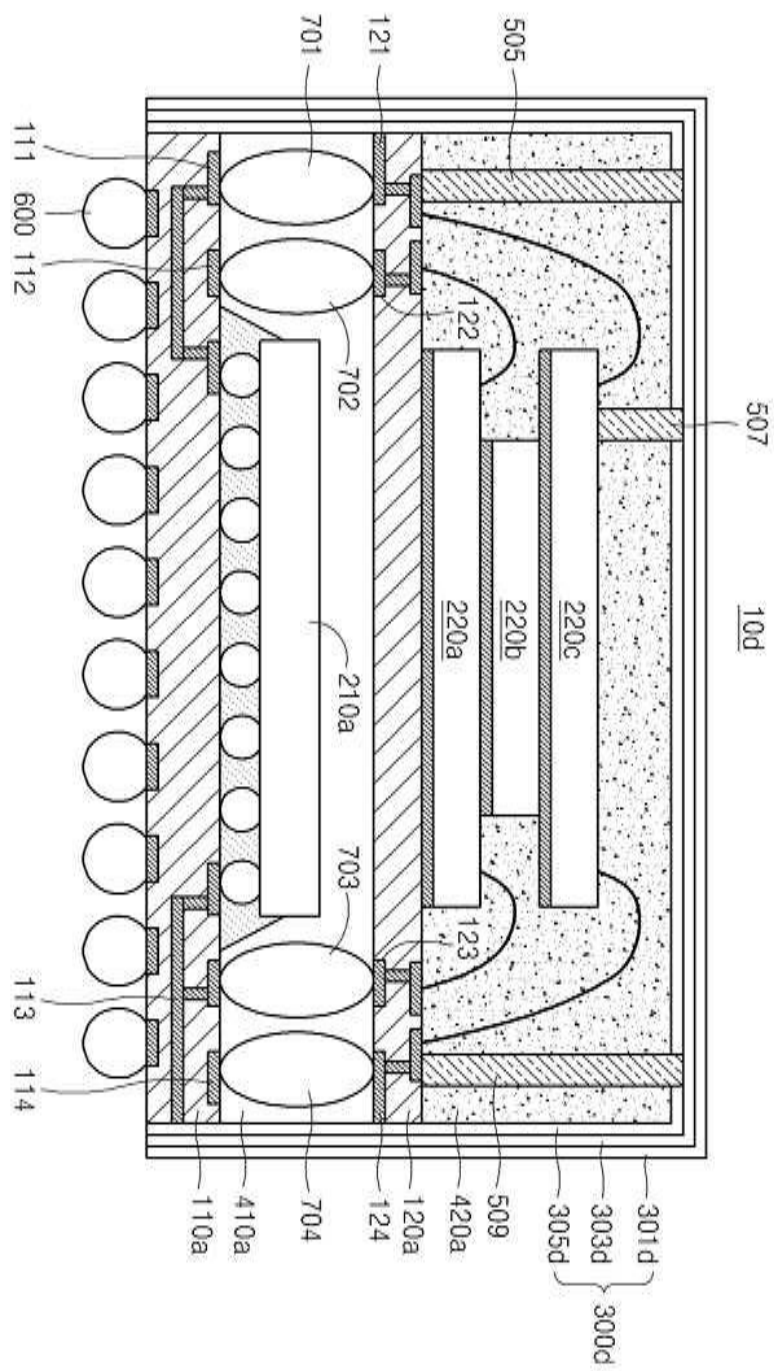
도면2



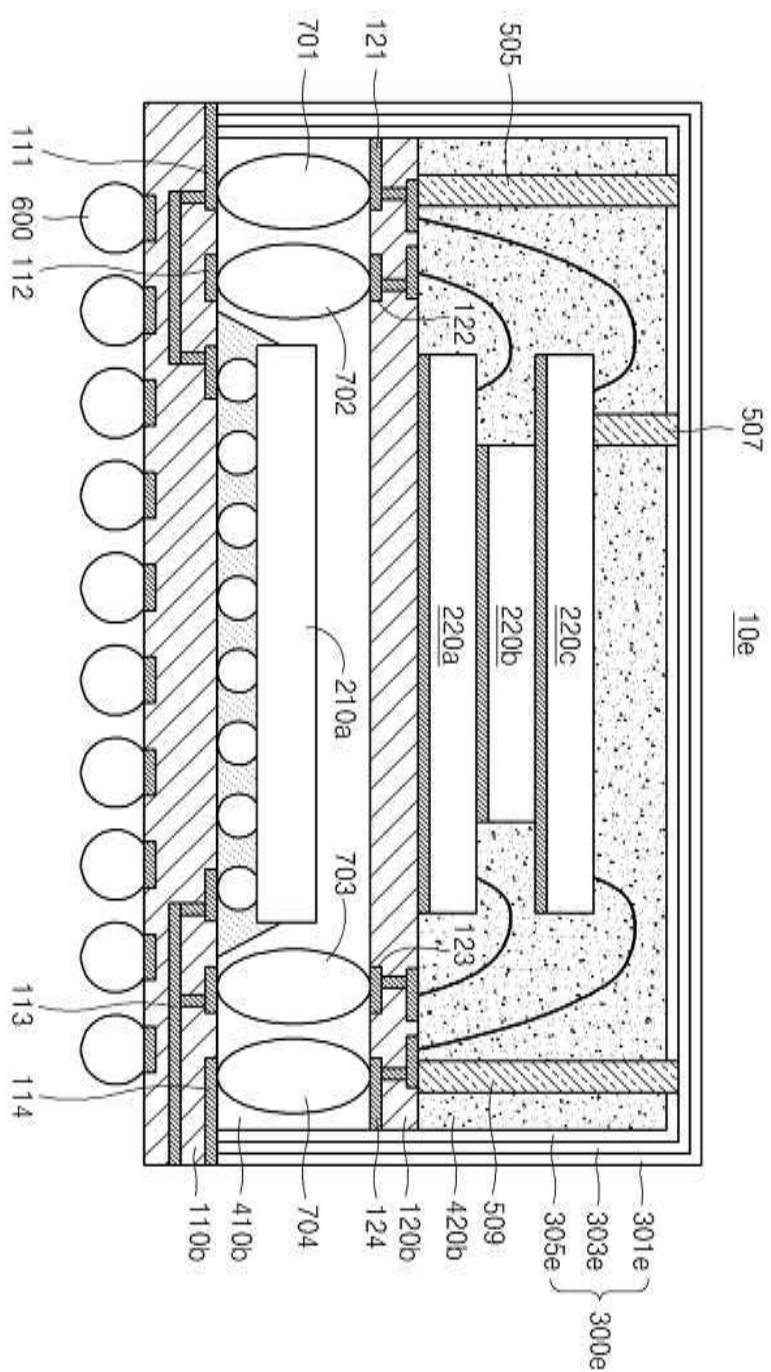
도면3



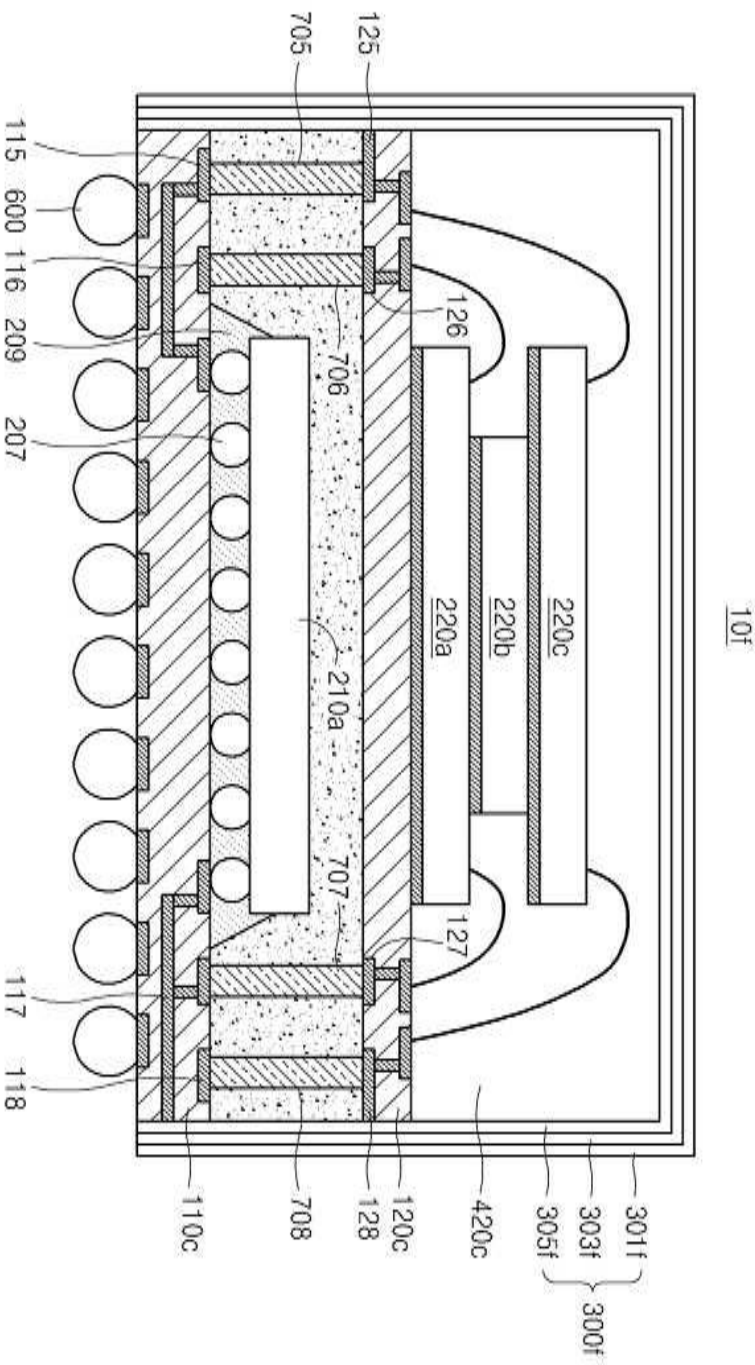
도면4



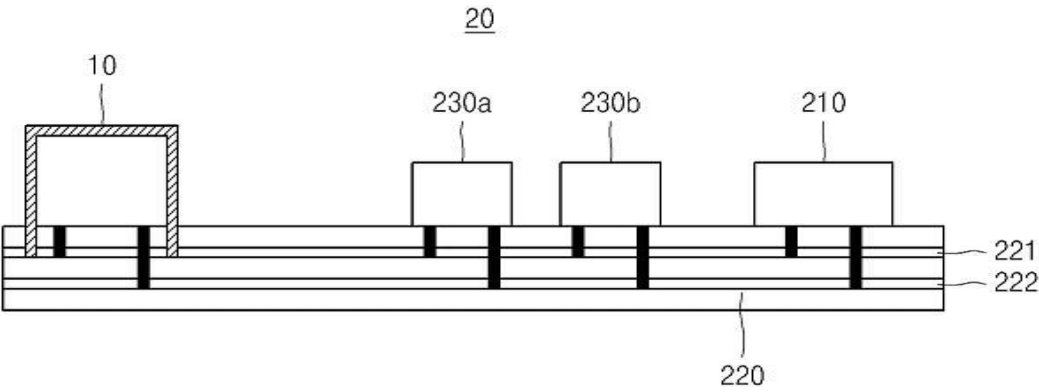
도면5



도면6



도면7



도면8

