

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6261122号
(P6261122)

(45) 発行日 平成30年1月17日 (2018. 1. 17)

(24) 登録日 平成29年12月22日 (2017. 12. 22)

| | |
|-------------------------|----------------------|
| (51) Int. Cl. | F I |
| HO 1 L 21/336 (2006.01) | HO 1 L 29/78 3 O 1 D |
| HO 1 L 29/78 (2006.01) | HO 1 L 29/78 3 O 1 W |
| HO 1 L 29/06 (2006.01) | HO 1 L 29/06 3 O 1 F |
| | HO 1 L 29/06 3 O 1 D |

請求項の数 19 (全 24 頁)

| | | | |
|--------------|-------------------------------|-----------|---------------------|
| (21) 出願番号 | 特願2014-9652 (P2014-9652) | (73) 特許権者 | 504199127 |
| (22) 出願日 | 平成26年1月22日 (2014. 1. 22) | | エヌエックスピー ユーエスエイ インコ |
| (65) 公開番号 | 特開2014-143419 (P2014-143419A) | | ーポレイテッド |
| (43) 公開日 | 平成26年8月7日 (2014. 8. 7) | | NXP USA, Inc. |
| 審査請求日 | 平成29年1月20日 (2017. 1. 20) | | アメリカ合衆国 テキサス州 78735 |
| (31) 優先権主張番号 | 13/748, 076 | | オースティン ウィリアム キャノン |
| (32) 優先日 | 平成25年1月23日 (2013. 1. 23) | | ドライヴ ウェスト 6501 |
| (33) 優先権主張国 | 米国 (US) | (74) 代理人 | 100142907 |
| | | | 弁理士 本田 淳 |
| | | (72) 発明者 | ホンニン ヤン |
| | | | アメリカ合衆国 85249 アリゾナ州 |
| | | | チャンドラー イー. サン カルロス |
| | | | プレイス 2648 |

最終頁に続く

(54) 【発明の名称】 3次元的な表面電界緩和が増強された半導体デバイス

(57) 【特許請求の範囲】

【請求項 1】

デバイスであって、
半導体基板と、

前記半導体基板におけるソース領域およびドレイン領域であって、第1の横方向に沿って互いから離間されているソース領域およびドレイン領域と、

前記半導体基板におけるドリフト領域であって、動作時に前記ソース領域と前記ドレイン領域との間にバイアス電圧が印加されるとドリフト領域を通じて電荷担体がドリフトするドリフト領域と、を備え、

前記ドリフト領域および前記ドレイン領域は、接合部において互いに接続されており、

前記ドリフト領域は、該ドリフト領域と前記ドレイン領域との間の前記接合部に沿った第2の横方向において平面視における切り欠きの境界を有するとともに、前記ドリフト領域と前記ドレイン領域との間の接合部において、前記ドレイン領域の垂直厚さ方向に狭まっている、デバイス。

【請求項 2】

前記ドリフト領域は前記ドレイン領域の下の開口を備え、

前記開口は楕形状境界を有する、請求項 1 に記載のデバイス。

【請求項 3】

前記ドリフト領域は前記ドレイン領域を通じて横方向に延在していない、請求項 1 に記載のデバイス。

10

20

【請求項 4】

前記ドリフト領域は外側部分および内側部分を備え、該内側部分は該外側部分によって包囲され、前記ドレイン領域の下に配置されており、

前記内側部分は、動作時に前記ドリフト領域の完全な空乏化が達成されるように、前記外側部分に対して縮小されている、請求項 1 に記載のデバイス。

【請求項 5】

前記切り欠きの境界は方形波状の切り欠きパターンを有する、請求項 1 に記載のデバイス。

【請求項 6】

前記切り欠きの境界は周期的な切り欠きパターンを有する、請求項 1 に記載のデバイス 10。

【請求項 7】

前記半導体基板はエピタキシャル層を備え、前記ソース領域、前記ドレイン領域、および前記ドリフト領域は該エピタキシャル層に形成されており、

前記ドリフト領域は前記エピタキシャル層に対する切り欠きの境界に沿って前記ドレイン領域の下で切り詰められている、請求項 1 に記載のデバイス。

【請求項 8】

前記半導体基板において前記ソース領域と前記ドレイン領域との間にトレンチ分離領域をさらに備え、

前記ドリフト領域は、前記トレンチ分離領域の下の第 1 の領域と、前記ドレイン領域の下の第 2 の領域とを備え、 20

前記ドリフト領域の前記第 2 の領域におけるドーパント濃度は、前記第 1 の領域に対して低減されている、請求項 1 に記載のデバイス。

【請求項 9】

前記切り欠きの境界は、櫛形状境界を含む、請求項 1 に記載のデバイス。

【請求項 10】

前記ドリフト領域は、前記ドレイン領域と横方向において重なっており、

前記ドリフト領域は、前記ドレイン領域の横方向の範囲全体を通じては延在していない、請求項 1 に記載のデバイス。

【請求項 11】

30

前記切り欠きの境界は、前記ドリフト領域の歯部を含み、

前記歯部は前記ドリフト領域および前記ドレイン領域を結合している、請求項 1 に記載のデバイス。

【請求項 12】

前記ドリフト領域は、前記切り欠きの境界に沿った歯部を含み、

前記歯部は、前記ドレイン領域と横方向において重なっており、

前記歯部は、前記ドレイン領域の横方向の範囲全体を通じては延在していない、請求項 1 に記載のデバイス。

【請求項 13】

前記ドレイン領域下における前記ドリフト領域の厚さは、前記ドレイン領域下でない前記ドリフト領域の部分より狭い、請求項 1 に記載のデバイス。 40

【請求項 14】

電子装置であって、

半導体基板と、

前記半導体基板におけるリサートランジスタと、を備え、該リサートランジスタは、

第 1 の導電型を有し、動作時にチャネルが形成される第 1 の半導体領域と、

第 2 の導電型を有し、第 1 の横方向に沿って互いから離間されている第 2 の半導体領域および第 3 の半導体領域と、

前記第 2 の導電型を有する第 4 の半導体領域であって、前記第 2 の半導体領域と第 3 の 50

半導体領域との間にバイアス電圧が印加されると、電荷担体が動作時に前記第 1 の半導体領域に形成される前記チャネルからを第 4 の半導体領域通じてドリフトする第 4 の半導体領域と、を備え、

前記第 3 の半導体領域および前記第 4 の半導体領域は、接合部において互いに接続されており、

前記第 4 の半導体領域は、前記第 3 の半導体領域と第 4 の半導体領域との間の前記接合部に沿った第 2 の横方向において平面視における切り欠きの境界を有するとともに、前記第 4 の半導体領域と前記第 3 の半導体領域との間の接合部において、前記第 3 の半導体領域の垂直厚さ方向に狭まっている、電子装置。

【請求項 15】

前記第 4 の半導体領域は前記第 3 の半導体領域の下の開口を備え、

前記開口は櫛形状境界を有する、請求項 14 に記載の電子装置。

【請求項 16】

前記第 4 の半導体領域は前記第 3 の半導体領域を通じて横方向に延在していない、請求項 14 に記載の電子装置。

【請求項 17】

前記第 4 の半導体領域は外側領域および内側領域を備え、該内側領域は該外側領域によって包囲され、前記第 3 の半導体領域の下に配置されており、

前記内側領域は、動作時に前記第 4 の半導体領域の完全な空乏化が達成されるように、前記外側領域に対して縮小されている、請求項 14 に記載の電子装置。

【請求項 18】

前記半導体基板はエピタキシャル層を備え、前記第 1 の半導体領域、第 2 の半導体領域、第 3 の半導体領域、および第 4 の半導体領域は該エピタキシャル層に形成されており、

前記第 4 の半導体領域は前記エピタキシャル層に対する切り欠きの境界に沿って前記第 3 の半導体領域の下で切り詰められている、請求項 14 に記載の電子装置。

【請求項 19】

前記リサートランジスタは、前記第 2 の半導体領域と前記第 3 の半導体領域との間にトレンチ分離領域をさらに備え、

前記第 4 の半導体領域は、前記トレンチ分離領域の下の第 1 の領域と前記第 3 の半導体領域の下の第 2 の領域とを備え、

前記第 4 の半導体領域の前記第 2 の領域におけるドーパント濃度は、前記第 1 の領域に対して低減されている、請求項 14 に記載の電子装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、半導体デバイスに関する。

【背景技術】

【0002】

集積回路（IC）および他の電子デバイスは多くの場合、金属酸化膜半導体電界効果トランジスタ（MOSFET）、または単純に MOS トランジスタもしくはデバイスとも称される、相互接続された電界効果トランジスタ（FET）の構成を含む。一般的な MOS トランジスタは、制御電極としてのゲート電極と、離間されたソース電極およびドレイン電極とを含む。ゲート電極に印加される制御電圧が、ソース電極とドレイン電極との間の制御可能な導電性チャネルを通じた電流の流れを制御する。

【0003】

電力トランジスタデバイスは、運動制御、エアバッグ配備、および自動車燃料噴射器ドライバのような電力用途に存在する高電流および電圧に耐えるように設計されている。1 つのタイプの電力 MOS トランジスタは、側方拡散金属酸化膜半導体（LDMOS）トランジスタである。LDMOS デバイスにおいて、チャネル領域とドレイン領域との間にドリフト空間が設けられる。

10

20

30

40

50

【0004】

LDMOS デバイスは、デバイス端子のすべてが基板電位に対してレベルシフトされているハイサイド構成において動作するように設計されている場合がある。ハイサイド動作のために構成されているデバイスは、ハイサイドおよびローサイドにそれぞれの LDMOS デバイスを有する DC - DC コンバータ内の電力スイッチに適用されている。ハイサイド対応可能デバイスは、LDMOS デバイスのボディ領域から下方にある基板へと直接突き抜ける経路を防止するように設計され得る。

【0005】

LDMOS デバイスは、自動車用途のような、40 ボルトを超える動作電圧を含む用途において使用されることが多い。そのような高電圧をドレインに印加する結果として生じる絶縁破壊は多くの場合、LDMOS デバイス設計内の表面電界緩和（リサーフ；RESURF）構造を通じて防止される。リサーフ構造は、垂直方向および横方向（側方）の両方において LDMOS デバイスのドリフト空間を空乏化するように設計され、それによって、ドリフト領域における表面付近において電界が低減され、従ってデバイスのオフ状態絶縁破壊電圧（BV_{ds}）が上昇する。

【0006】

一般的に、BV_{ds} とドレイン - ソースオン抵抗（R_{ds on}）の間にはトレードオフが存在する。BV_{ds} は、そのデバイスについての達成可能な出力定格電圧を決定する。R_{ds on} は、所与の量の電流、たとえば、そのデバイスの定格電流または電力を取り扱うのに必要とされるデバイス面積を決定する。より高い BV_{ds} レベル（および、それゆえにより高い動作電圧）を達成するためのデバイスを設計することは多くの場合、R_{ds on} の増大（および、従って単位面積当たりの定格電流の低下）を犠牲にする。たとえば、BV_{ds} レベルはデバイスのドリフト空間の長さを増大させること、またはドリフト空間のドーパント濃度を低減することによって増大し得、これらの両方が R_{ds on} を増大させる。逆に、R_{ds on} を低減する（従って、単位面積当たりの定格電流を増大させる）ようにデバイスを設計することによって、BV_{ds} レベルを低下させる（従って、動作電圧を低下させる）ことになる。たとえば、ドリフト空間内のドーパント濃度をより高くすることによって、BV_{ds} が低下することを犠牲として R_{ds on} が低下する。他の R_{ds on} 低減技法は、デバイス面積を増大させること、および従って、デバイスの製造費用を増大させることを含む。

【0007】

パルタサラティらによる非特許文献 1 には、特定のドレインプロファイルを有するリサーフ LDMOS について記載されている。

【先行技術文献】

【非特許文献】

【0008】

【非特許文献 1】エレクトロン・デバイス・レターズ（Electron Device Letters）、IEEE、第 23 巻、第 4 号、p. 212 - 214

【発明の概要】

【発明が解決しようとする課題】

【0009】

3 次元的な表面電界緩和が增強された半導体デバイスを提供する。

【課題を解決するための手段】

【0010】

3 次元的な表面電界緩和（3D RESURF）効果が增強された側方拡散金属酸化膜半導体（LDMOS）ならびに他の電力トランジスタデバイスおよび電子装置の実施形態が説明される。デバイスおよび装置の実施形態は、ノッチ（切り欠き）部分を含むドーパントプロファイルを有して構成されたドリフト領域を有してもよい。ドーパントプロファイルは、デバイスの導電路に直交する横方向において、またはそれに沿って切り欠きされてもよい。たとえば、ドーパントプロファイルは、ソースおよびドレイン領域がそれに沿

10

20

30

40

50

って互いに離間される横方向に直交する横方向に沿って切り欠きされてもよい。リサーフ効果の増強は、開示されているデバイスの実施形態の絶縁破壊電圧レベル ($B V d s s$) を、2次元的なリサーフ効果によって達成されるレベルを超えて引き延ばすことができる。

【0011】

いくつかの実施形態において、切り欠きドーパントプロファイルは、ドレイン領域との接合部分に沿ったドリフト領域内の櫛形構造を含む。櫛形構造は周期的な切り欠きパターンを含んでもよい。パターン内の各切り欠きまたは溝は、p型エピタキシャル層のドリフト領域が形成される部分のような、低濃度ドーパ型半導体材料を充填されるか、またはそれを含んでもよい。櫛形構造に沿った接合部分は、それに沿って切り欠きパターンが形成される横方向からのドリフト領域の空乏化を増強することができる。そのような利点は、インプラント層または作製段階を追加することなく達成される。

10

【0012】

ドリフト領域の切り欠きドーパントプロファイルは、ドリフト領域における、その下の、または他の様態で付近の空乏化を促進するためにともにドリフト領域を縮小する、ドリフト領域の他の特徴と組み合わせられてもよい。たとえば、ドリフト領域はオープンドレイン構造を呈してもよく、ドレインの下の、ドリフト領域のカットオフ部分または内側端部がドリフト領域内の開口を画定する。カットオフ部分または端部は、ドレイン領域付近の（ドリフト領域を形成するのに使用される）ウェル領域の同様のカットオフ部分または端部のアーチファクトであってもよい。開口は、切り欠きドーパントプロファイルを呈するための1つ以上の切り欠き境界を有してもよい。オープンドレイン構造は、ドレイン付近でドリフト領域を縮小することによって長いドリフト長（たとえば、 $5 \mu m$ を超えるトレレンチ分離長）を有するデバイスに対するリサーフ効果を増強することができ、それによって $B V d s s$ レベルを最大130ボルトまで増大させるが、オープンドレイン構造を切り欠き境界と組み合わせることで櫛形構造を形成することによって、さらに空乏化を増強することができる。 $B V d s s$ レベルは、130ボルトを超えて、たとえば、最大139ボルトにさらに増大されることができる。オープンドレイン構造および切り欠きドレイン側境界の組合せを有する実施形態に関連して説明されるが、開示される実施形態の切り欠きドーパントプロファイルは、ウェル領域内に注入されたドーパントが拡散した後にドリフト領域がドレイン領域を通じて横方向（側方）に延在する、閉ドレイン構造に組み込まれてもよい。

20

30

【0013】

切り欠きドーパントプロファイルは、開示されるデバイスの実施形態の $B V d s s$ を向上させるための多次元リサーフ効果（たとえば、側方および垂直）を提供することができる。しかしながら、リサーフ効果の利点は、オフ状態絶縁破壊電圧レベル ($B V d s s$) とオン状態抵抗値 ($R d s o n$) との間のトレードオフに設計上の柔軟性を付加することによって達成される。従って、 $B V d s s$ および $R d s o n$ の値は、ドーパントプロファイル内の切り欠きの幅（またはサイズ）および間隔を調整することによって、特定のデバイスまたは用途に対して調整またはカスタマイズされ得る。幅および間隔は、本開示に応じて構成されるデバイスの設計中に操作されるべき追加の変数または自由度を提供する。 $B V d s s$ と $R d s o n$ との間の最適なバランスは、切り欠き、または切り欠きの間の領域の幅を調整することによって達成され得る。そのように設計上の柔軟性が付加されることによって、開示されるデバイスの実施形態の他の電気的特性が最適化または調整されることが可能になり得る。たとえば、衝突イオン化によって生成されるホットキャリアが、設計最適化全体を通じて $B V d s s$ または $R d s o n$ を犠牲にすることなく最小限に抑えられ得る。そのような最適化またはカスタマイズは、作製工程段階を変更または追加することなく提供され得る。

40

【0014】

下記、ドレイン領域を包囲するドリフト領域境界に沿った周期的な櫛形状開口（またはドレイン領域付近の櫛形状ドーパントプロファイル）を有する実施形態に関連して説明す

50

るが、いくつかの他のパターンまたは構造が可能である。たとえば、境界は楕形状である必要はない。切り欠きのサイズおよび形状は示されている例とは異なってもよい。切り欠き（および／または切り欠きによって画定される突起）は、示されている楕形状境界以外の三角形、台形、楕円形、正弦曲線形、または他の断面形状を有してもよい。本明細書の記載の通り、切り欠きおよび／またはドレイン領域の横方向の広がりも異なってもよい。

【0015】

下記、 n チャネルLDMOSTランジスタに関連して説明するが、開示されるデバイスは特定のランジスタ構成に限定されない。たとえば、開示されるデバイスの特徴の適用は、LDMOSまたは他の電力MOSランジスタに限定されない。開示されるデバイスの1つ以上の特徴は、たとえば、バイポーラランジスタを含む他のデバイス構成に適用されてもよい。開示されるデバイスのドリフト領域は、広範な電力電子デバイスにおいて有用であり得る。ドリフト領域はまた、1つの特定のタイプのリサーフ構成に限定されない。開示されるデバイスは、単一、二重、または他のリサーフ構造配列を含む各種のリサーフ構造を有してもよく、それらの各々が本明細書において「リサーフトランジスタ」と称される場合がある。

10

【0016】

説明を簡便にするために、また一切の限定を意図せず、本明細書において n チャネルLDMOSデバイスが説明され示されている。従って、 p 型アイランドまたは他の領域が n 型ドリフト領域に対して記載される。しかしながら、 p チャネルおよび他の型のデバイスが、たとえば、反対の導電型の半導体領域に置き換えることによって設けられてもよい。開示されるデバイスは n チャネルデバイスには限定されない。従って、たとえば、下記に説明する例における各半導体領域、層または他の構造は、下記の例において特定されている型とは反対の導電型（たとえば、 n 型または p 型）を有してもよい。

20

【図面の簡単な説明】

【0017】

【図1】一実施形態に応じて構成されている切り欠きドーパントプロファイルを有するドリフト領域を有する例示的なLDMOSTランジスタの概略部分断面図。

【図2】アニーリング段階の後のドリフト領域を示す図1の例示的なLDMOSTランジスタの概略部分断面図。

【図3】一実施形態に応じた切り欠きドーパントプロファイルを有するドリフト領域を有する例示的なLDMOSTランジスタの平面図。

30

【図4】一実施形態に応じた切り欠きドーパントプロファイルを有するLDMOSTランジスタを構築するための例示的な作製順序のフローチャート。

【図5】導電路に直交する横方向位置の関数としての、アニーリング段階の前後のドリフト領域内のドーパントレベルのグラフ図。

【発明を実施するための形態】

【0018】

構成要素および図面は必ずしも原寸に比例しておらず、代わりにさまざまな実施形態の原理を示すことに重点が置かれている。さらに、図面において、同様の参照符号は種々の図全体を通じて対応する部分を示している。

40

【0019】

図1は、一実施形態に応じて構築されている n チャネルLDMOSデバイス20の一例の概略断面図である。デバイス20はリサーフトランジスタとして構成されてもよい。デバイス20は半導体基板22を含み、当該半導体基板はいくつかのエピタキシャル層24を含む。この例において、半導体基板22は、原基板26上に成長される単一の p 型エピタキシャル層P-EPIを含む。原基板26は、いくつかの場合において、複数のエピタキシャル層を有するもののような高濃度ドーパ p 型基板であってもよい。デバイス20は、これに代えてまたはこれに加えて、1つ以上のデバイス領域が形成される非エピタキシャル層を含んでもよい。半導体基板22の層のいずれかが1つ以上はシリコンを含んでもよい。半導体基板22の構造、材料、および他の特性は、示されている例とは異なってもよ

50

い。たとえば、半導体基板 22 はシリコン・オン・インシュレータ (SOI) 構造を含んでもよい。追加、より少ない、または代替的な層が半導体基板 22 に含まれてもよい。たとえば、任意の数の追加の半導体および/または非半導体層が含まれてもよい。従って、開示されるデバイスは、たとえば、バルクシリコン基板またはエピタキシャル成長層を含む基板には限定されず、代わりに広範な他のタイプの半導体基板によって支持されてもよい。

【0020】

デバイス 20 のデバイスエリア 28 が図 1 に描かれている。いくつかの実施形態においては、デバイスエリア 28 の一方の側または半分のみが示されている。たとえば、デバイスエリア 28 は側方に対称であり、従って図示されている部分を鏡像とした部分を含んでもよい (たとえば、図 2 および図 3 参照)。

10

【0021】

デバイスエリア 28 は、半導体基板 22 における 1 つ以上のドーブデバイス分離層または領域 (図示せず) によって画定されてもよい (たとえば、エピタキシャル層 24)。1 つ又は複数のドーブ分離層または 1 つ又は複数の領域は、デバイスエリア 28 を横方向においてかつ/または他の状態で包囲してもよい。これらの層または領域は、デバイスエリア 28 を基板 22 の残りの部分 (または原基板 26) から隔てる障壁または絶縁層として作用する。いくつかの場合において、埋め込み n 型層が半導体基板 22 に形成または配置されてもよい。たとえば、埋め込み n 型層は、半導体基板 22 に、そのエピタキシャル層 24 を成長させる前に形成されてもよい。埋め込み n 型層は、活性エリア 28 を原基板 26 から隔てる障壁または絶縁層として作用するためにデバイスエリア 28 を通じて (たとえば、デバイスエリア 28 の下に) 側方に延在してもよい。埋め込み n 型層は、これに代えてまたはこれに加えて、下記に説明するリサーフ効果をサポートするためにドリフト領域の空乏化を補助してもよい。埋め込み n 型層は、デバイスエリア 28 を包囲する複数のドーブデバイス分離領域 (図示せず) のうちの 1 つを構成してもよい。たとえば、中濃度または高濃度ドーブ n 型分離ウェル (図示せず) が、デバイスエリア 28 を横方向において包囲してもよい。分離ウェルは環形状であってもよい。分離ウェルは、デバイスエリア 28 の側方周縁の外側で、またはそれに沿って、埋め込み n 型層上に接して、または他の状態でその上方に配置されてもよい。上述の分離領域のうちの 1 つ以上は、パンチスルー防止を含む、高電圧 (HV) 動作 (たとえば、デバイス 20 の端子が、一般的には接地されている半導体基板 22 に対してレベルシフトされているハイサイド動作) のためのドーパント濃度レベルを有し、かつ/または他の状態でそのために構成されてもよい。任意の数のデバイス分離ウェル、シンク、または埋め込み層が互いに接続されてもよい。追加、より少ない、または代替的なデバイス分離層または領域が半導体基板 22 に設けられてもよい。

20

30

【0022】

デバイス 20 は、半導体基板 22 にデバイス本体またはボディ領域 30 を含む。この例において、ボディ領域 30 は、基板 22 のエピタキシャル層 24 内に形成される p 型ウェルである。p 型ウェルは、高電圧動作 (たとえば、ハイサイド動作) のために構成されてもよい。ボディ領域 30 は、半導体基板 22 におけるボディ領域 30 の p 型ウェル内にまたは他の状態でその上方に形成される 1 つ以上の高濃度ドーブ p 型ボディコンタクト領域または電極 32 を介してバイアスされてもよい。各コンタクト領域 32 のドーパント濃度は、ボディ領域 30 への抵抗接触を確立するのに十分なレベルであってもよい。

40

【0023】

デバイス 20 は、半導体基板 22 における高濃度ドーブソース領域 34 およびドレイン領域 36 を含む。ソース領域 34 とドレイン領域 36 とは、図 1 の断面に示す横方向位置において互いから横方向 (側方) に離間されている。いくつかの実施形態において、ソース領域 34 およびドレイン領域 36 は、追加のまたは代替的な側方間隔を有してもよい。任意の数のソース領域 34 またはドレイン領域 36 が設けられてもよい。ドレイン領域 36 は図示のように、ソース領域 34 の中央に置かれるか、もしくは他の状態でその間に配

50

置される必要はなく、またはそれによって横方向において包囲される必要もない。この例において、ソース領域 34 およびドレイン領域 36 は、エピタキシャル層 24 の n 型ドープ部分である。高濃度ドープ n 型ソース領域 34 は、ボディ領域 30 の中に、上に接して、かつ / または他の様態でその上方に配置される。高濃度 n 型ドープドレイン領域 36 は、図 1 に示す横方向に沿ってボディ領域 30 から離間されている。そのような離間が、ソース領域 34 とドレイン領域 36 との間のデバイスの導電路を画定する。従って、導電路は図 1 に示す横方向に沿って配向されてもよい。領域 34、36、またはそれらの一部分は、ソース領域 34 およびドレイン領域 36 をバイアスするための抵抗接触を確立するのに十分なレベルのドーパント濃度を有してもよい。一般的な LDMOS 構成において、ドレイン領域 36 はソース領域 34 に対する相対的に高いドレイン-ソース電圧 V_{ds} にバイアスされる。

10

【0024】

デバイス 20 は、半導体基板 22 の表面 40 の上に接して、またはその上方に形成される 1 つ以上のゲート構造 38 を含む。ゲート構造 38 は、ソース領域 34 とドレイン領域 36 との間に配置される。いくつかの実施形態において、ゲート構造 38 は、図 2 および図 3 に示すようにデバイスエリア 28 内で中央または内部に位置し得るドレイン領域 36 を包囲している。代替的に、ゲート構造 38 は、2 つのトランジスタが同じドレイン領域 36 を共有するために対称に配置される二重ゲートフィンガ構造に配列されてもよい。ゲート構造 38 はゲート誘電体（図示せず）の上に接して、またはその上方に位置する。たとえば、ゲート誘電体は表面 40 上に堆積または他の様態で形成されるシリコンジオキサイド（またはオキサイド）を含んでもよい。各ゲート構造 38 は、ゲート誘電体の上に接してまたはその上方に導電性ゲート層（たとえば、ポリシリコン板）を含み、ゲート誘電体は導電性ゲート層を基板 22 から絶縁する。ゲート構造 38 は、ゲート構造 38 の側方端部に沿って配置される 1 つ以上の誘電体側壁スペーサ 42 を含んでもよい。側壁スペーサ 42 は、表面 40 に沿ったシリサイド短絡を防止するためにシリサイド遮断物として作用するために側方端部を被覆してもよい。側壁スペーサ 42 は、ゲート構造 38 の導電性構成要素をソース領域 34 およびデバイス領域 28 の他の領域から隔てるための間隔を提供してもよい。この例において、側壁スペーサ 42 のうちの 1 つは、ソース領域 34 の端部の画定における位置整合に使用される。

20

【0025】

ゲート構造 38 の構成は異なってもよい。ゲート構造 38 の構成は、複数の導電層（たとえば、ポリシリコン板）を含んでもよい。ゲート構造 38 の構成要素、材料、および他の特性は、示されている例とは異なってもよい。

30

【0026】

いくつかのシャロー・トレンチ・アイソレーション（STI）領域 44 が、半導体基板 22 において表面 40 に形成されてもよい。この実施形態において、STI 領域 44 は、ゲート構造 38 を、ドレイン領域 36 に印加される高電圧から離間する。これらのおおよび他の STI 領域 44 は、ゲート構造 38 の酸化物層へのホットキャリア注入（HCI）を防止または最小限に抑えるように構成されてもよい。

【0027】

ボディコンタクト領域 32 およびソース領域 34、ならびにデバイス 20 の構成要素をバイアスするための他の領域のような、さまざまなコンタクト領域を絶縁または隔てるために、半導体基板 22 に他の STI 領域が配置されてもよい。たとえば、分離コンタクト領域および基板コンタクト領域は、STI 領域 44 のうちの 1 つによって隔てられてもよい。

40

【0028】

デバイス 20 は、ソース領域 34 およびドレイン領域 36 に、またはその付近に 1 つ以上の低濃度または中濃度ドープ遷移領域（たとえば、n 型低濃度ドープドレイン、または NLDD 領域）を有して構成されてもよい。各遷移領域は、ソース領域 34 および / またはドレイン領域 36 と接続して形成される拡散領域であるか、またはそれを含んでもよい

50

。そのような遷移領域は、ソース領域 34 またはドレイン領域 36 付近のエリア以外のエリア内を含む、表面 40 にある、またはその付近の電界を制御するのを補助することができる。この例において、デバイス 20 は、ソース領域 34 に隣接する NLDD 領域 46 を含む。NLDD 領域 46 は、図示のようにゲート構造 38 の下で側方に延在してもよい。

【0029】

ゲート構造 44 がバイアスされると、電荷担体（この場合は電子、代替的には正孔）が 1 つ以上のチャネルエリアまたは領域 48 内に蓄積する。各チャネル領域 48（またはその一部分）は、ゲート構造 38 の下のボディ領域 30 内に位置してもよい。この例において、電子が蓄積する結果として、チャネル領域 48 内で、半導体基板 22 の表面 40 付近において p 型ボディ領域 30 から n 型導電層またはエリアへと電荷が反転する。十分な量の電荷担体が導電層またはエリア内に蓄積すると、電荷担体はチャネル領域 48 を通じてソース領域 34 からドレイン領域 36 へと流れることが可能になる。

【0030】

チャネル領域 48 は、ゲート構造 38 にバイアスが印加される結果として電荷反転または蓄積が発生する、半導体基板 22 における他の領域またはエリアを含んでもよい。電荷担体はまた、ボディ領域 30 の外側またはそれを超えて蓄積してもよい。たとえば、電荷担体はボディ領域 30 に隣接するエピタキシャル層 24 の領域内に蓄積してもよい。このエリアは、いくつかの場合において、デバイス 20 の蓄積領域の一部分とみなされてもよい。チャネル領域 48 および蓄積領域は、デバイス 20 の導電領域または経路の一部分を形成してもよい。

【0031】

デバイス 20 の導電路は、電荷反転が発生する領域、またはゲート構造 38 に印加されるバイアス電圧によって導電が可能になるかもしくは増強される領域には限定されない。従って、デバイス 20 の導電路または領域は、表面 40 にあるかまたはその付近の領域には限定されない。たとえば、導電路は、それを通じて電荷担体がドリフトしてドレイン領域 36 に達する、LDMOS デバイスのドリフト領域 50 の一部分を含む。ドリフト領域 50 は、ドレイン領域 36 とチャネル領域 48 とを電気的に結合してもよい。この例において、ドリフト領域 50 は、STI 領域 44 の下の n 型ウェル 52 の一部分と対応する。デバイス 20 のドリフト領域 50 に関するさらなる詳細を下記に記載する。

【0032】

n 型ウェル領域 52 は、ゲート構造 38 の下で側方に伸長してデバイス 20 の蓄積領域 54 を形成してもよい。蓄積領域 54 は、STI 領域 44 の下ではなく表面 40 に沿って配置されてもよい。動作時には、電荷担体はドリフト領域 50 を通じてドリフトする前に蓄積領域 54 内に蓄積する。デバイス 20 の導電路は、ボディ領域 30 とは異なる導電型を有する追加のまたは代替的なエリアまたは領域を含んでもよい。

【0033】

図 1 の実施形態において、ドリフト領域 50 は、電界ドリフト領域として構成されている。蓄積領域 54 とドレイン領域 36 との間に STI 領域 44 が配置されている。蓄積領域 54 とドレイン領域 36 との間に代替的なまたは追加の電界分離構造が配置されてもよい。電界分離構造は、表面 40 の上方に配置される 1 つ以上のフィールドプレートを含んでもよい。

【0034】

デバイス 20 の導電路または領域は、n 型であるか p 型であるかにかかわらず、表面 40 にあるかまたはその付近にあるさらに他の領域を含んでもよい。たとえば、チャネル領域 48 および / またはデバイス 20 の他の導電領域は、半導体基板 22 における 1 つ以上の中濃度ドーパ n 型遷移領域（上述のたとえば、NLDD 領域 46 のうちの 1 つ）を含んでもよい。

【0035】

電荷担体は、半導体基板 22 のドリフト領域 50 を通過する経路に沿って、ソース領域 34 からドレイン領域 36 へ流れる。ドリフト領域 50 は、電荷担体が、ドレイン領域 3

10

20

30

40

50

6とソース領域34との間に印加されるドレイン・ソース電圧によって確立される電界の下でドリフトすることを可能にするように構成されてもよい。従って、ドリフト領域50（またはその1つ以上の部分）は、デバイス20の導電路の一部分を形成する。動作時には、ドリフト領域50は、ドレイン領域36をチャンネル領域48およびソース領域36と電氣的に結合する。

【0036】

ドリフト領域50は、動作時には、絶縁破壊性能を改善するためにデバイスエリア28におけるさまざまなロケーションにおいて、表面電界緩和（リサーフ）効果を介して、電界の大きさを低減するための空乏化のために構成されてもよい。この例において、ドリフト領域50内および/またはその周囲のエリアにおける電界を低減するように意図されるリサーフ効果を確立するために、n型ウェル52とp型エピタキシャル層24および/またはボディ領域30との間に接合部が形成される。n型ウェル52および/またはドリフト領域50は、ボディ領域30に隣接してもよいし、かつ/またはボディ領域から離間されてもよい。電界を低減することによって、導電路に沿った絶縁破壊を回避することができ、従って、デバイス20の固有の絶縁破壊電圧（ BV_{ds} ）が増大する。ドリフト領域50は、ドリフト領域50における特定のロケーションにおける電界を同じレベルにすることによって、高い絶縁破壊電圧レベルおよび低いドレイン・ソース抵抗（ $R_{ds(on)}$ ）の両方を達成するようにさらに構成されてもよい。ドリフト領域50は、少なくとも部分的に、動作時には、たとえば、エピタキシャル層24および/またはボディ領域30との逆バイアスPN接合部に沿って側方および垂直方向の両方に空乏化されてもよい。ソース領域34とドレイン領域36との間にドレイン電圧 V_{ds} が印加される結果として、接合部は逆バイアスされる。逆バイアス接合部は、絶縁破壊性能を改善するために、リサーフ効果のように、電界を低減することができる。代替的な実施形態において、デバイス20は二重リサーフ効果を確立するように構成されてもよく、デバイスエリア28においてさらに空乏化するために、たとえば、1つ以上の追加の領域がドリフト領域50に隣接して（たとえば、その下に接してまたは下方に）配置されてもよい。適切なリサーフ領域の構造的および動作上の特性に関するさらなる詳細は、米国特許第6,882,023号明細書（「浮遊リサーフ LDMOSFETおよびその製造方法（Floating RESURF LDMOSFET and Method of Manufacturing Same）」）に記載されている。

【0037】

ドリフト領域50は、STI領域44の下で電界ドリフト部または電界ドリフト部分56を含む。電界ドリフト部分56は、約5マイクロメートル（ミクロン）以上の側方長さを有してもよい。電界ドリフト部分56は、ドリフト領域50のチャンネルまたは蓄積側（もしくは端部）58からドレイン側（もしくは端部）60まで延在する。動作時には、電荷担体は、ドレイン・ソースバイアス電圧から生じる電界の下で電界ドリフト部分56を通じてチャンネル側58からドレイン側60へとドリフトする。この例において、電荷担体は、チャンネル領域48および/または蓄積領域54を出た後、チャンネル側58に達する。その後、電荷担体はSTI領域44の周囲で電界ドリフト部分56を通じてドリフトしてドレイン側60に達する。

【0038】

ドリフト領域50は、適切な $R_{ds(on)}$ 値を確立するために、電界ドリフト部分56内およびチャンネル側58およびドレイン側60において1つ以上のドーパント濃度レベルを呈するように構成されてもよい。ドーパント濃度レベルは、電界ドリフト部分56の深さを通じて、ならびに/またはチャンネル側58および/もしくはドレイン側60において異なってもよい。たとえば、電界ドリフト部分56内（ならびに/またはチャンネル側58および/もしくはドレイン側60における）のドーパント濃度レベルは、STI領域44付近において、エピタキシャル層24とのPN接合部付近よりも高くてもよい。これに代えてまたはこれに加えて、電界ドリフト部分56におけるドーパント濃度レベルは、横方向における位置の関数として変化してもよい。たとえば、ドレイン側60の所与の深さにお

10

20

30

40

50

けるドーパント濃度レベルは、ドレイン領域 36 までの側方距離が低減するにつれて低減されてもよい。所与の深さにおけるドリフト領域 50 におけるドーパント濃度レベルは、ドレイン領域 36 との重なりが増大するにつれてさらに低減されてもよい。いくつかの場合において（たとえば、図 2 参照）、ドーパント濃度レベルは、ドレイン領域 36 の下でドリフト領域 50 内に開口が形成される程度まで低減されてもよい。ドレイン側 60 における、またはそれに沿った電界ドリフト部分 56 におけるドーパント濃度レベルは、下記に説明するように、もう 1 つの横方向（たとえば、図 1 に示す横方向に直交する横方向）において異なってもよい。

【0039】

熱アニールまたは他の 1 つ又は複数の作製段階がドリフト領域 50 とドレイン領域 36 との間の接続部を形成する前の、ドリフト領域 50 のドレイン側または端部 60 が図 1 に示されている。図 1 に示す実施形態において、n 型ウェル 52 は、アニールまたは他の 1 つ又は複数の作製段階の前は、横方向においてドレイン領域 36 と重なっていない。n 型ウェル 52 には、ドレイン領域 36 から横方向において離間されているカットオフ部分または端部 62 が形成される。この例において、n 型ウェル 52 は、端部 62 が直立または垂直壁を有するように構成されている。n 型ウェル 52 を形成する注入後の熱アニールは壁の 1 つ又は複数の鋭利端部を平滑化することができる。この例におけるカットオフ部分 62 は S T I 領域 44 の下に位置する。他の実施形態において、カットオフ部分 62 は、n 型ウェル 52 が熱アニールの前はドレイン領域 36 を通じて横方向に延在しないように、ドレイン領域 36 の下に位置する。カットオフ部分 62 は他の実施形態においては非垂直に配向されてもよい。

【0040】

ドレイン領域 36 とドリフト領域 50 との間の接続部が、n 型ウェル 52 およびドレイン領域 36 の一方または両方からのドーパントの拡散を通じて形成される。そのような拡散の結果として、ドーパントが n 型ウェル 52 とドレイン領域 36 との間の空間 64 へと分散する。この分散は、図 1 に示す横方向における側方分散を含んでもよい。拡散はまた、垂直成分をも含んでもよい。たとえば、ドレイン領域 36 からのドーパントは半導体基板 22 へと下向きに（および横方向において外向きに）拡散してもよい。これに代えてまたはこれに加えて、n 型ウェル 52 からのドーパントは上向きに（および横方向において内向きに）拡散してもよい。最終的に、拡散は、n 型ウェル 52 とドレイン領域 36 との間の空間 64 内に 1 つ以上の電流パスまたは経路を確立する。電流路は S T I 領域 44 に沿って配置されてもよい。電流路は、それを通じて電荷担体が印加されているバイアス電圧下での動作時にドリフトする低抵抗経路を提供することができる。従って、カットオフ部分または端部 62 から生じるデバイス 20 のオン抵抗に対する悪影響を回避することができる。

【0041】

ドリフト領域 50 のドレイン側 60 におけるカットオフ部分または端部 62 は、ドリフト領域 50 がドレイン領域 36 の下で縮小するように構成される。たとえば、ドリフト領域 50 は、図 1 に示す横方向においてドレイン領域 36 を通じて変化する側方プロファイルを有してもよい。ドリフト領域 50 のそのような縮小によって、ドリフト領域 50 は、n 型ウェル 52 とボディ領域（および / または p 型エピタキシャル層 24）との間の P B 接合部からの距離にかかわらず、動作時にドレイン領域 36 の下でまたはそれに沿って十分に空乏化することが可能になり得る。そのような縮小は、長いドリフト長を有するデバイスにおいて有用であり得る。ドリフト領域 50 は、切り欠きドーパントプロファイルに関連して下記に説明するように、ドレイン領域 36 において、それに沿って、またはその付近でさらに縮小されることができる。

【0042】

図 1 はまた、デバイス 20 を、デバイス 20 の一方の側のみが示されているという意味においても簡略化された形態で示し得る。デバイス 20 は、示されている側と同様に構成された別の側を含んでもよい。たとえば、デバイス 20 の他の側は、デバイス 20 がドレ

10

20

30

40

50

イン領域 36 を中心として対称になるように、示されている側の鏡像としてもよい。あるいは、デバイス 20 の他の側は、示されている側と一致してもよい。従って、ドレイン領域 36 はデバイス 20 の中央に（または中心線に沿って）配置されてもよい。従って、他の側は、第 2 のゲート構造によってドレイン領域 36 から隔てられた第 2 のソース領域を含んでもよい。いくつかの実施形態において、第 2 のソース領域および第 2 のゲート構造は、図 1 に示す横方向断面からずれた 1 つ以上の接続構造を介して上述のデバイス 20 の対応する領域と連続的に形成される。たとえば、ゲート構造 38 は上から見ると（たとえば、図 3 参照）U 字状もしくはアーチ状（たとえば、単一の側方接続部）またはトロイダルもしくはループ状（たとえば、2 つの側方接続部）であってもよい。デバイス 20 上述の領域の形状は、これらの例から相当に異なってもよい。

10

【0043】

図 2 は、デバイス 20 の両方の側のそれぞれの部分を示すための、1 つ又は複数のゲート構造 38 からドレイン領域 36 へと内向きの、デバイス 20 の内側または中央部分の断面図を示す。デバイス 20 の側は中央ドレイン領域 36 を中心として対称に配向されている。断面図は、拡散が図 1 に示す領域の境界を越えてドーパントを分散させた後のドリフト領域 50 の例示的な横方向プロファイルを提示している。ドリフト領域 50 はドレイン領域 36 と電氣的に接続されているが、この例では拡散は、図示されている横方向においてドレイン領域 36 の側方範囲全体を通じて完全に延在しているドリフト領域 50 をもたらさない。ドリフト領域 50 は、ドレイン領域 36 の下の開口 66 を含む。この例において、開口 66 は、拡散によって形成されたドリフト領域 50 の電流パスまたは経路 68 の間に配置されている。電流路 68 は、ドレイン領域 36 を、ドリフト領域 50 の電界ドリフト部分 56 およびデバイス 20 の電流路の残りの部分に電氣的に連結する。

20

【0044】

ドリフト領域 50 における開口 66 は、動作時にドレイン領域 36 の下または付近でドリフト領域 50 が空乏化される範囲を増大するためにドレイン領域 36 における、またはその付近のドリフト領域 50 を縮小する。いくつかの場合において、ドリフト領域 50 の縮小によって、動作時にドレイン領域 36 の下または付近でドリフト領域 50 が完全に空乏化することになる。従って、他の状態でリサーフ効果を制限する可能性がある条件（たとえば、長い電界ドリフト領域）にかかわらず、リサーフ効果が増強されることができる。ドレイン領域 36 とドリフト領域 50 との間の接続を確立するためのドーパントの分散によっても、そのような縮小がもたらされ得る。さらに、電流路 68 によって、電荷担体は、低ドーパント濃度または高抵抗のエリアに行き当たることなくドレイン領域 72 に達することができる。従って、電荷担体のための 1 つ以上の低抵抗経路を維持しながら、リサーフ効果の増強をもたらすことができる。

30

【0045】

この例において、各電流路 68 は、電界ドリフト部分 56 のそれぞれのドレイン側 60 から図示のようにドレイン領域 36 を通じて部分的にのみ STI 領域 44 に沿って伸長する。電流路 68 がドレイン領域 36 に達するために内向きに伸長するにつれて、ドリフト領域 50 の下側境界 70 の深さは低減する。ドレイン領域 36 からの拡散は電流路 68 の形成に寄与し得るが、電流路 68 はドリフト領域 50 の内側部分とみなされてもよく、この内側部分はドリフト領域の外側部分（たとえば、電界ドリフト部分 56）によって包囲されている。ドリフト領域の内側部分は外側部分に対してより狭く、より薄く、ドーパ濃度がより低く、かつ／または他の状態で縮小されていてもよい。従って、ドリフト領域の完全なまたは増大した空乏化が達成され得る。

40

【0046】

拡散に起因して、ドレイン側 60 および／または電流路 68 は、直立壁ではなく、下側境界 70 のような、傾斜した境界を有してもよい。ドリフト領域 50 はまた、カットオフ部分 62（図 1）および拡散の結果として、ドレイン側 60 が（垂直厚さ方向に）狭まってもよい。たとえば、電流路 68 の垂直厚さは、ドリフト領域 50 の電界ドリフト部分 56 の垂直厚さよりも小さくてもよい。電流路 68 の形状は異なってもよい。電流路 6

50

8 は、適切なまたは許容可能なオン抵抗のために構成されたドーパント濃度レベルを有してもよい。ドーパント濃度レベルは、STI領域44からの間隔または距離が増大するにつれて低減されてもよい。

【0047】

デバイス20の1つ以上のパラメータまたは特性は、開口66が拡散にかかわらず電流路68の間に留まることを保証するように構成されてもよい。例は、端部62(図1)の横方向における位置、ドレイン領域36を形成するインプラントの用量およびエネルギー、ならびにSTI領域44の深さを含む。

【0048】

ドリフト領域50の側方範囲をドレイン領域36の下で切り詰めることによって、デバイス20は、リサーフ効果を低減し得る、ドリフト領域50のいくらか(たとえば、内側部分)が完全に空乏化されない動作条件を回避することができる。従って、カットオフ部分62は、従来のドリフト領域の、電界ドリフト部分56の長さ起因して空乏化が発生する可能性が低い部分を除去し得る。

【0049】

電流路68(および、従ってドリフト領域50)の形状、ドーパント濃度レベル、および他の特性は図示の例とは異なってもよい。たとえば、図示の横方向における電流路68(および、従ってドリフト領域50)の横幅は異なってもよい。これに代えてまたはこれに加えて、電流路68のドーパント濃度レベルが異なってもよい。それに応じて、ドリフト領域54がドレイン領域38の横幅を通じて伸長する範囲が異なってもよい。これらの特性は、カットオフ部分62(図1)の横方向における位置を変更することによって調整または構成されてもよい。

【0050】

いくつかの代替的な実施形態において、ドリフト領域50は、開口66なしで、ドレイン領域36の下でさらに縮小される。たとえば、ドリフト領域50は、電流路68を画定するためにドレイン領域36において(垂直厚さにおいて)狭くなっている。そのような場合、電流路68の一部分(またはn型ウェル52(図1)もしくはドレイン領域36からの他のドーパントの拡散)はドレイン領域36を通じて延在してもよい。ドレイン領域36の下のそのようなエリアにおけるドーパント濃度レベルは、それを通じて電荷担体がドリフトしてドレイン領域36に達するSTI領域44に沿ったレベルよりも低くてもよい。従って、濃度レベルは所与の深さにおいて、STI領域44からの距離が(デバイス20の中央に達するまで)増大するにつれて低減してもよい。これに代えてまたはこれに加えて、ドレイン領域36の下の濃度レベルは深さが増大するとともに低減してもよい。それに応じて、ドレイン領域36の下のドリフト領域50の縮小は、ドリフト領域50の電界ドリフト部分56において達するレベルに対して低下したドーパント濃度レベルを含んでもよい。

【0051】

ドリフト領域50(ドレイン領域36の下の開口の有無にかかわらず)のドーパント濃度レベルおよび他の特性は、同時係属の共通の譲受人に譲渡される、2012年5月7日に提出された「ドレイン端部ドリフト縮小を用いる半導体デバイス(Semiconductor Device with Drain-End Drift Diminution)」と題する米国特許出願第13/465,761号明細書に記載されているように変更されてもよい。

【0052】

再び図1を参照すると、ドリフト領域50はまた、さらなるパターンニングによってドレイン領域36との接合部においてまたはそれに沿って縮小されてもよい。パターンニングは、図1に示す横方向に直交する横方向において行われてもよい。ソース領域34とドレイン領域36とは、図1に示す横方向において互いに離間されている。その横方向は図1に示す線Xと対応し、これはデバイス20の導電路の大まかな方向と対応している。ドリフト領域50は、線Xに直交する横方向における切り欠き境界または切り欠きドーパントブ

10

20

30

40

50

ロファイルを含んでもよい。切り欠き境界またはプロファイルは、ドリフト領域 50 とドレイン領域 36 との間の接合部に沿って配置されてもよい。切り欠き境界はドリフト領域 50 のドレイン側に沿って配置され、ドレイン側境界と称される場合がある。切り欠き境界および接合部は、下記に説明するように、図 3 により明瞭に示されている。切り欠きドーパントプロファイルは図 5 により明瞭に示されている。

【0053】

ドリフト領域 50 の切り欠き境界またはプロファイルは、n 型ウェル領域 52 の対応する切り欠き境界またはプロファイルによって形成されてもよい。切り欠き境界またはプロファイルは n 型ウェル領域 52 の端部 62 に沿って配置され、これはいくつかの切り欠き 72 を含む。各切り欠き 72 は、端部 62 の凹んだ部分よりもさらにドレイン領域 36 から横方向において離間されている、端部 62 の凹んでいない部分を画定する。凹んでいない部分はそれぞれの歯部 74 として構成されてもよく、そのうちの 1 つが図 1 に示されている。各切り欠き 72 は一对の歯部 74 の間の間隔を確立する。この例において、端部 62 における切り欠き 72 は S T I 領域 44 のドレイン側端部またはコーナー 76 から横方向において離間されており、一方で歯部 74 の側方範囲はドレイン側コーナー 76 の横方向における位置と対応する。図 1 に示す横方向における切り欠き 72 および歯部 74 の側方範囲（たとえば、側方深さ）および位置は図示されている例とは異なってもよい。たとえば、切り欠き 72 は図示されている例よりも深くてもよく、それによって、図 1 に示す破線はチャンネル領域 48 に向かってドレイン領域 36 から外方に移動する。これに代えてまたはこれに加えて、切り欠き 72 および歯部 74 の横方向における位置は異なってもよい。

【0054】

n 型ウェル領域 52 の拡散は、横方向（側方）X において歯部 74 内に存在するドーパントを分散させる。横方向 X における拡散は、上述のようにドリフト領域 50 とドレイン領域 36 とを接続する。この接続は、ドレイン領域 36 に向かって横方向に伸長する歯部 74 を含むか、または伴ってもよい。一例が図 3 に関連して図示および説明される。

【0055】

n 型ウェル領域 52 の拡散は、切り欠き 72 および歯部 74 が画定される直交横方向においてもドーパントを分散させてもよい。そのような分散の一例を、図 5 に示すドーパントプロファイルのグラフ図に関連して下記に説明する。

【0056】

n 型ウェル領域 52 の切り欠き状境界またはドーパントプロファイルは、そのようにドーパントが側方に分散しているにもかかわらず、ドリフト領域 50 の特徴を維持してもよい。拡散を引き起こすアニールまたは他の段階は、切り欠き境界または切り欠きドーパントプロファイルが失われるような範囲に分散が発生するのを許容しないようにしながら、電流路 68（図 2）が形成するのを可能にするように構成されてもよい。たとえば、拡散は、切り欠き 72 の境界を図 2 に示すようにドレイン領域 36 に向かってシフトしてもよい。いくつかの場合において、各歯部 74 はそれぞれの電流路 68 に通じてもよい。

【0057】

図 3 は、一実施形態に応じて構成され、ウェル領域ドーパントの拡散後に示されている例示的な L D M O S デバイス 80 の上面図である。上面図は、デバイス 80 の 2 つの横方向 X および Y を示している。第 1 の横方向 X は図 1 の断面に示す横方向 X と対応している。第 2 の横方向 Y は、切り欠き境界が配置されている直交横方向と対応している。

【0058】

デバイス 80 のソース領域 82 および中央ドレイン領域 84 は第 1 の横方向 X に沿って互いから離間されている。従って、デバイス 80 の導電路は横方向 X に沿って配向されてもよい。第 2 の横方向 Y は第 1 の横方向 X に直交しており、所望の電流密度を確立するように意図されているデバイス 80 の幅と対応している。この例において、デバイスは、ゲート構造 86 のドレイン側を画定する楕円開口 88 を有するゲート構造 86 の下の二重フィンガチャンネル領域を有する。チャンネル領域は、ボディコンタクト領域 90 を介してそれ

への接続が確立される、デバイス80のボディ領域の上に接した、またはその上方のゲート構造86の下に配置されている。デバイス80は、上述のようにnチャネルデバイスであってもよい。n型ウェル領域92は、ボディ領域に隣接し、かつゲート構造86の下にある外側境界94を有する。この例において、ボディ領域およびn型ウェル領域92は一直線上にある、または連続している。他の実施形態において、n型ウェル領域92はボディ領域から離間されている（たとえば、図1参照）。

【0059】

n型ウェル領域92の内側部分が、中央ドレイン領域84を包囲および接続するドリフト領域96を画定する。ドリフト領域96は、ドリフト領域96とドレイン領域84との間の接合部に沿って横方向Y内に配置されている切り欠き境界98を有する。切り欠き境界98は、n型ウェル領域92の内側境界と対応している。切り欠き境界98は、ドリフト領域96とドレイン領域84とを結合するいくつかの歯部、枝角部、または他の突起100を含む。歯部100は楕形状または他の周期的なパターンに配列されてもよい。切り欠き境界98は、それぞれの対の歯部100の間の切り欠きまたは間隙102を含む。切り欠き境界98に沿った各切り欠き102は、上述のp型エピタキシャル層との接合部を画定してもよい。従って、各切り欠き102は、n型ウェル領域92を形成するように意図されているn型インプラントによってドーピングされていないp型エピタキシャル層の部分と対応してもよい。従って、各切り欠き102はp型導電性を有してもよい。代替的に、各切り欠き102はp型導電性を有しなくてもよく、代わりに、歯部100のドーパント濃度レベルよりも低いn型ドーパント濃度レベルを有してもよい。n型の例において、各切り欠き102は非常に低濃度にドーピングされてもよい（たとえば、本明細書に記載のエピタキシャル層のドーパント濃度レベル）。いずれの場合においても、ドリフト領域96は、ドリフト領域96が空乏化される程度を増大するためにドリフト領域96をさらに縮小するために横方向Yにおける切り欠きドーパントプロファイルを有する。従って、ドレイン領域84付近のドリフト領域96の部分においてリサーフ効果が増強されることができ、これはそのような部分が、それに沿って空乏化が発生するPN接合部から相当に離れているときに有用であり得る。切り欠き102がn型領域（たとえば、ウェル領域）とp型領域（たとえば、エピタキシャル層）との間の接合部または境界を提示する場合において、ドレイン領域84付近のエリアにおけるドリフト領域84は横方向X、Yと垂直方向との両方において空乏化される。空乏化は、たとえば、ドレイン領域74とソース領域72との間の電圧差が高いときのデバイスのOFF状態においてはドリフト領域82の側方範囲全体に及んでもよい。そのような広範に及ぶ空乏化が、絶縁破壊電圧レベルを上昇させるのを助けるために、ドリフト領域82内およびその周囲の電界を低減することができる。

【0060】

横方向Yに沿った各歯部100の幅および各切り欠き102のサイズは異なってもよい。いくつかの例において、各歯部100の幅は約 $1.0\mu\text{m}$ ～約 $10\mu\text{m}$ の範囲内に入るが、各歯部100の幅はまた、この範囲よりも小さくても大きくてもよい。いくつかの例において、隣接する歯部100間の間隙または距離（たとえば、各切り欠き102のサイズ）は約 $1.0\mu\text{m}$ ～約 $10\mu\text{m}$ の範囲内に入るが、隣接する歯部100間の距離はまた、この範囲よりも小さくても大きくてもよい。各歯部100の幅および/または各切り欠き102のサイズは、たとえば、特定のオン抵抗 $R_{\text{ds on}}$ および絶縁破壊電圧 BV_{ds} を含むさまざまなデバイスパラメータを達成するように調整またはカスタマイズされてもよい。たとえば、各歯部100の横幅（たとえば、横方向Yにおける）は、ドリフト領域96の抵抗を変更するように調整されてもよい。サイズ決定は、同じく異なってもよいドリフト領域96のドーパント濃度に応じて異なってもよい。各歯部100の横方向における長さも異なってもよい。

【0061】

ドリフト領域96の歯部100は、横方向Xに沿ってドレイン領域84と横方向において重なってもよい。そのような横方向における重なりは、導電路の厚さ（たとえば、図2

10

20

30

40

50

内の導電路 6 8 参照) の厚さに対応してもよい。横方向における重なりは、ドレイン領域 8 4 およびドリフト領域 9 6 の電氣的結合を確立してもよい。そのような横方向における重なりは図 3 の上面図よりも図 2 の断面図に容易に示されており、歯部 1 0 0 がドレイン領域 8 4 に横方向において重なる範囲は図示の例とは異なってもよい。

【 0 0 6 2 】

歯部 1 0 0 および切り欠き 1 0 2 の形状は示されている例とは異なってもよい。歯部 1 0 0 および / または切り欠き 1 0 2 は、方形波状または他の直線的なパターンを呈する必要はなく、ドリフト領域 9 6 とドレイン領域 8 4 との間の任意のタイプの不均一な接合部を呈してもよい。たとえば、切り欠き境界は鋸歯または他の三角形切り欠きパターンを有してもよい。これに代えてまたはこれに加えて、切り欠きは丸みを帯びたコーナーまたは辺を有してもよい。歯部 1 0 0 および切り欠き 1 0 2 の形状およびサイズは異なってもよい。切り欠き境界 9 8 によってもたらされる利点は、n 型領域と p 型領域との間の電荷平衡に基づくものではない。事実、切り欠き境界 9 8 に沿って相当の電荷不均衡が存在する。

10

【 0 0 6 3 】

図 3 の例において、切り欠き境界 9 8 はドリフト領域 9 6 における開口 1 0 4 を画定する。従って、ドリフト領域 9 6 の少なくとも一部分は切り欠き境界 8 4 に沿ってドレイン領域 8 4 の下で切り詰められてもよい。開口 1 0 4 は完全にまたは部分的にドレイン領域 8 4 の下に配置されてもよい。この例において、開口 1 0 4 はドレイン領域 8 4 (たとえば、切り欠き 1 0 2 参照) を越えて延在する。開口 1 0 4 は、境界 9 8 のような、1 つ以上の櫛形状境界を含む。この例において、開口 1 0 4 は、横方向 Y において延在する開口の各側に櫛形状境界を有する。

20

【 0 0 6 4 】

開口 1 0 4 の切り欠き境界は、周期的なパターンまたは一定のパターンを呈してもよい。この例において、パターンは横方向 Y において配置されている辺に沿った方形波状のパターンである。開口 1 0 4 の他の辺または端部はそのパターンを呈する必要はなく、異なるパターンを有してもよい。他の実施形態において、切り欠き境界は開口 1 0 4 の 1 つ以上の辺または端部に沿った非周期的なパターンを有する。

【 0 0 6 5 】

歯部 1 0 0 の側方分布、配列、間隔、サイズ、深さ (垂直厚さ)、構成、および他の特性は、デバイス 8 0 の設計上の柔軟性をもたらすことができる。たとえば、デバイス 8 0 の $B V d s s$ および $R d s o n$ 値は下記にさらに説明するように、特定の用途に適合するために調整されてもよい。ドリフト領域 9 6 を通じた全体的な導電が横方向 Y を通じて対処されてもよい。用途仕様に適応するために切り欠きドーパントプロファイルに対する調整が行われもよく、デバイス 8 0 のチャンネル幅のようなデバイス 8 0 の他の特性が所望のとおり構成されることが可能になる。切り欠きドーパントプロファイルはさまざまなデバイス設計に適合する。たとえば、デバイス 8 0 は、横幅が所望のと通りのサイズにされてもよい二重フィンガチャネル構成を有してもよい。

30

【 0 0 6 6 】

上述のデバイスは、簡略化された形態で示されている。たとえば、図 1 ~ 図 3 は、ソース領域、ドレイン領域、およびゲート構造との電氣的結合のために構成された、導電性 (たとえば、抵抗) コンタクト、および他の金属層を示していない。デバイスは、説明を容易にするために図 1 には示されていない、接続、分離、不動態化、および他の目的のためのいくつかの他の構造または構成要素を有してもよい。たとえば、デバイスは任意の数の追加の分離領域または層を含んでもよい。いくつかの例において、別の p 型エピタキシャル層 (図示せず) が原基板とデバイスエリアとの間に配置されてもよい。1 つ以上のさらなる S T I 領域、他の分離トレンチ、および / または分離ウェル (図示せず) がデバイスエリアおよび / またはデバイスの他の領域を分離するために設けられてもよい。

40

【 0 0 6 7 】

半導体基板 2 2 における上述の半導体領域のドーパント濃度、厚さ、および他の特性は

50

異なってもよい。図 1 の示す実施形態の一例において、上述の半導体領域は以下のおおよその濃度および厚さを有してもよい。

【 0 0 6 8 】

【 表 1 】

| | 濃度 | 厚さ |
|---------------|--|-----------------------------|
| p-e p i 2 4 : | $1 \times 10^{13} \sim 1 \times 10^{15} / \text{cm}^3$ | 3 ~ 10 μm |
| 基板 2 6 : | $1 \times 10^{15} \sim 1 \times 10^{18} / \text{cm}^3$ | 該当なし |
| ボディ 3 0 : | $1 \times 10^{16} \sim 1 \times 10^{18} / \text{cm}^3$ | 0. 5 ~ 1. 5 μm |
| ソース 3 4 : | $1 \times 10^{21} \sim 5 \times 10^{21} / \text{cm}^3$ | 0. 15 ~ 0. 25 μm |
| ドレイン 3 6 : | $1 \times 10^{21} \sim 5 \times 10^{21} / \text{cm}^3$ | 0. 15 ~ 0. 25 μm |
| NLDD 4 6 : | $1 \times 10^{18} \sim 1 \times 10^{19} / \text{cm}^3$ | 0. 2 ~ 0. 3 μm |
| n ウェル 5 2 : | $5 \times 10^{15} \sim 5 \times 10^{17} / \text{cm}^3$ | 0. 5 ~ 1. 5 μm |

10

濃度および厚さは他の実施形態においては異なってもよい。たとえば、原基板 2 6 のドーパント濃度は相当に異なってもよい。

【 0 0 6 9 】

図 4 は、上述のような切り欠きドーパントプロファイルまたは切り欠きドレイン側境界を有するドリフト領域を有するデバイスを作製するための例示的な作製方法を示している。方法は、上述の特徴の 1 つ以上を有する表面電界緩和（リサーフ）トランジスタを作製するように意図されてもよい。トランジスタは半導体基板を用いて作製され、その領域または層は、上述の n チャネルの例の導電型を有してもよく、または代替的に p チャネルデバイスをサポートするように構成されてもよい。方法は一連の動作を含み、説明を簡便にするためにその重要な部分のみが示されている。動作の順序は他の実施形態においては異なってもよい。作製方法は任意の特定のドーピングメカニズムには限定されず、将来開発されるドーピング技法を含んでもよい。

20

【 0 0 7 0 】

方法は、p 型エピタキシャル層（p - e p i）が高濃度ドーピング p 型半導体基板上に成長される動作 4 0 0 によって開始するか、またはそれを含んでもよい。いくつかの場合において、動作 4 0 0 は、エピタキシャル層を成長させる前に、1 つ以上の埋め込みデバイス分離層の、たとえば、イオン注入による形成を含む。1 つ又は複数の埋め込みデバイス分離層は、リサーフトランジスタの活性エリアを通じて延在するためのマスクによって構成されてもよい。いくつかの場合において、動作 4 0 0 は、別の p 型エピタキシャル層の成長を含む。任意の数のエピタキシャル層が成長されてもよい。

30

【 0 0 7 1 】

この実施形態において、STI 領域（または電界分離領域）が、動作 4 0 2 において電界ドリフト長を画定するために基板に形成される。STI 領域は、任意の既知のまたは今後開発される手順によって形成されてもよい。たとえば、動作 4 0 2 は、トレンチの形成およびトレンチ内の 1 つ以上の材料の堆積（たとえば、化学気相成長、または CVD）を含んでもよい。いくつかの実施形態において、トレンチはシリコンオキシドを充填される。追加のまたは代替的な材料が堆積されてもよい。代替的な実施形態において、STI 領域はドリフト領域が形成された後に形成される。

40

【 0 0 7 2 】

動作 4 0 4 において、エピタキシャル層のウェル領域において基板がドーピングされる。ウェル領域は、トランジスタの蓄積領域およびドリフト領域を形成するように意図されてもよい。ドーピング手順は、n 型ドーパント注入を含んでもよい。たとえば、ウェル領域は、ウェル領域が図 1 に示すように構成されるようにマスクを用いて形成されてもよい。従って、ウェル領域は、上述のように、ドレイン領域における、またはその下のドリフト領域を縮小するためにドリフト領域のドレイン側の、直立、垂直、または他のカットオフ部分を有する側方プロファイルを有してもよい。たとえば、ウェル領域は、上述のように、ドレイン領域の下に開口を含んでもよい。いくつかの場合において、ウェル領域の側

50

方範囲は、ドレイン領域のロケーションと重ならない。ウェル領域のドレイン側は、図 1 の断面に示す横方向に直交する横方向に沿った切り欠き境界をも含む。切り欠き境界は、ウェル領域における開口に沿って配置されてもよい。イオン注入手順は、本明細書に記載のように、ドリフト領域の第 2 のまたは最終プロファイルまたは領域に向かって注入されたドーパントイオンを分散させる、1 つ以上のアニーリングまたは他の拡散手順と組み合わせられてもよい。従って、結果もたらされるドリフト領域は、本明細書に記載のように、切り欠き境界（たとえば、ドレイン領域の下に開口を有するオープンドレイン実施形態における）または切り欠きドーパントプロファイル（たとえば、ドレイン領域の下に開口を有しない閉ドレイン実施形態における）をも含んでもよい。

【0073】

10

動作 406 において、p 型ウェルが基板のボディ領域にドーピングすることによって形成される。いくつかの実施形態において、動作 406 は注入手順を含む。ボディ領域は、上述のように、ドリフト領域から離間されてもよく、またはドリフト領域に隣接してもよい。ボディ領域のための高濃度ドーパ型 p 型コンタクト領域が、別個のイオン注入手順によって p 型ウェル内に形成されてもよい。

【0074】

その後、作製工程は、まとめて動作 408 内に示されている 1 つ以上の手順を含んでもよい。手順はさまざまな順序で実施されてもよい。追加のまたは代替的な手順が実施されてもよい。最初にゲート構造が形成されてもよい。その後、ソース領域の自己整合のためにゲート構造を使用してソース領域およびドレイン領域が形成されてもよい。1 つ以上の n 型イオン注入手順が実行されてもよい。たとえば、ソース領域およびドレイン領域の一方または両方の形成は、1 つ以上の遷移領域（たとえば、図 1 参照）を作成するためにゲート構造の側壁スペーサを形成する前の中濃度の注入を含んでもよい。その後、側壁スペーサの形成後の高濃度の注入が、そのような遷移領域に隣接するソース領域および / またはドレイン領域を形成するために実施されてもよい。

20

【0075】

ドレイン領域は、動作 408 において、動作 404 において形成されたウェル領域と横方向において重なる領域内に形成されてもよいし、形成されなくてもよい。重なりは、トランジスタのための導電路を画定してもよい。しかしながら、重なりは、上述および図 1 に図示のように、ドレインが形成される領域を通じて横方向に延在していない。

30

【0076】

動作 410 において、基板がアニーリングされる。アニーリング手順が実施される様式は異なってもよい。アニーリング手順の結果として、ドリフト領域のためのドーパントイオンが再分配されて、ウェル領域からドレイン領域までの 1 つ以上の電流路が形成されてもよい。従って、ドリフト領域は、ドレイン領域に電気的に結合されてもよい。いくつかの場合において、ドリフト領域はドレイン領域を通じて横方向に延在するが、上述のように容量は縮小している。

【0077】

注入およびアニーリング手順は、ドレイン領域の下またはそれに沿ったドリフト領域が、導電路における第 1 の部分、および、導電路の外側のより薄い第 2 の部分を含むように構成されてもよい。従って、第 1 の部分は、電流パスまたは経路を形成してもよく、一方で第 2 の部分は、より容易な空乏化を通じてリサーフ効果を增強するように構成される。電流パスのために適切な低抵抗を維持するために、第 1 の部分は、第 2 の部分よりも高いドーパント濃度レベルを有してもよい。

40

【0078】

作成手順のさまざまな時点において追加の動作が実施されてもよい。たとえば、1 つ以上の動作はデバイスの活性エリアを画定するように意図されてもよい。いくつかの場合において、そのような動作は、1 つ以上のデバイス分離ウェル、層、または他の領域の形成を含んでもよい。1 つ以上の金属層が堆積されてもよい。任意の数の追加の S T I 領域が形成されてもよい。

50

【 0 0 7 9 】

図 5 は、ドレイン領域との接合部に沿ったドリフト領域のドーパント濃度レベルのグラフ図である。プロットは、横方向 Y (図 3) の関数としてのドーパント濃度レベルを示している。ドーパント濃度レベルは、カットオフ部分または端部 6 2 (図 1) と切り欠き 7 2 (図 1) との間の他の横方向 X に沿った位置についてののものであってもよい。

【 0 0 8 0 】

実線 5 0 0 は、拡散前のドーパント濃度レベルを示している。たとえば、実線は、図 1 に示すような n 型ウェル領域 5 2 のドーパントプロファイルを示してもよい。拡散の効果は破線 5 0 2 によって示されている。実線 5 0 0 の拡散前ピークレベルは、ドーパントが、切り欠きに関連付けられる拡散前の凹みへと拡散する結果として低減されている。ピークドーパント濃度レベルは、ドリフト領域とドレイン領域との間に導電路を形成する、他の横方向 X における拡散の結果としても低減してもよい。

10

【 0 0 8 1 】

いくつかの実施形態において、図 5 に示す横方向 Y における側方拡散はまた、導電路間の切り欠きを充填する。従って、切り欠きドーパントプロファイルは、中濃度ドーピングと低濃度ドーピングが交互になった領域を呈してもよい。切り欠きの低濃度ドーピングの結果として n 型ドープ接合部がもたらされる場合であっても、ドレイン領域との接合部は均一ではない。低濃度ドープ領域が周期的に存在することによって、ドリフト領域がさらに縮小し (より低いドーパント濃度レベルを通じて)、それによってリサーフ効果を増強してもよい。

20

【 0 0 8 2 】

上述のドリフト領域のドーパント濃度レベルは、ドリフト領域のドレイン側境界を画定するのに使用されてもよい。ドーパント濃度レベルは、横方向 Y においてドレインの端部に沿って、方形波、正弦波、または他のさまざまな関数で表されるように変更されてもよい。上述の歯部は、相対的に高いドーパント濃度と対応してもよい。ドーパント濃度レベルは、歯部間の空間内で 0 に達するかまたは 0 に近づいてもよい。

【 0 0 8 3 】

第 1 の態様において、デバイスは、半導体基板と、半導体基板における、第 1 の横方向に沿って互いから離間されているソース領域およびドレイン領域と、半導体基板における、動作時にソース領域およびドレイン領域の間にバイアス電圧が印加されるとそれを通じて電荷担体がドリフトするドリフト領域とを含む。ドリフト領域は、ドリフト領域とドレイン領域との間の接合部に沿った第 2 の横方向における切り欠きドーパントプロファイル

30

を有する。

【 0 0 8 4 】

第 2 の態様において、電子装置は、半導体基板と、半導体基板に配置されている表面電界緩和 (リサーフ) トランジスタとを含む。リサーフトランジスタは、第 1 の導電型を有し、動作時にチャネルが形成される第 1 の半導体領域と、第 2 の導電型を有し、第 1 の横方向に沿って互いから離間されている第 2 の半導体領域および第 3 の半導体領域と、第 2 の導電型を有し、動作時に第 2 の半導体領域と第 3 の半導体領域との間にバイアス電圧が印加されると第 1 の半導体領域内に形成されるチャネルからの電荷担体がそれを通じてドリフトする第 4 の半導体領域とを含む。第 4 の半導体領域は、第 3 の半導体領域と第 4 の半導体領域との間の接合部に沿って第 2 の横方向における切り欠きドーパントプロファイル

40

を有する。

【 0 0 8 5 】

第 3 の態様において、トランジスタを作製する方法は、ドリフト領域を形成するための基板の第 1 の領域内にドーパントを注入するステップと、ソース領域およびドレイン領域を、それぞれ基板の第 2 の領域および第 3 の領域内に形成するステップであって、第 2 の領域および第 3 の領域は第 1 の横方向において互いから離間されている、形成するステップとを含む。第 1 の領域は第 3 の領域を通じて横方向に延在しておらず、第 2 の横方向における切り欠きドレイン側境界を含む。

50

【 0 0 8 6 】

誘電体または他の絶縁体の上に配置された導電性ゲート電極を有する半導体デバイスは、金属ゲート電極および酸化物ゲート絶縁体がないにもかかわらず、MOSデバイスとみなされてもよい。従って、金属酸化膜半導体という用語および略称「MOS」は、そのようなデバイスが金属または酸化物を利用せず、単純な金属の代わりの導電性材料、たとえば、金属、合金、シリサイド、ドーパ半導体などと、酸化物以外の絶縁材料（たとえば、窒化物、オキシ窒化物混合物など）とのさまざまな組合せを利用するにもかかわらず、使用されてもよい。従って、本明細書において使用される場合、MOSおよびLD MOSという用語は、そのような変形形態を含むように意図されている。

【 0 0 8 7 】

本発明は、以下の特許請求の範囲およびそれらの均等物によって定義され、この節における記載にはこれらの特許請求項に対する限定としてとられるべきものはない。本発明のさらなる態様および利点は、好ましい実施形態とともに上述しており、独立してまたは組み合わせて後に特許請求され得る。

【 0 0 8 8 】

本発明をさまざまな実施形態を参照して上述したが、本発明の範囲から逸脱することなく多くの変更および修正を行うことができることは理解されたい。それゆえ、上記の詳細な説明は限定ではなく例示とみなされること、ならびに、すべての均等物を含む以下の特許請求の範囲が、本発明の精神および範囲を画定するように意図されていることが理解されることが意図されている。

[項目 1]

デバイスであって、

半導体基板と、

前記半導体基板におけるソース領域およびドレイン領域であって、第1の横方向に沿って互いから離間されているソース領域およびドレイン領域と、

前記半導体基板におけるドリフト領域であって、動作時に前記ソース領域と前記ドレイン領域との間にバイアス電圧が印加されるとドリフト領域を通じて電荷担体がドリフトするドリフト領域と、を備え、

前記ドリフト領域は、該ドリフト領域と前記ドレイン領域との間の接合部に沿った第2の横方向において切り欠きドーパントプロファイルを有する、デバイス。

[項目 2]

前記ドリフト領域は前記ドレイン領域の下を開口を備え、

前記開口は櫛形状境界を有する、項目1に記載のデバイス。

[項目 3]

前記ドリフト領域は、前記ドリフト領域と前記ドレイン領域との間の接合部において、前記ドレイン領域の垂直厚さ方向に狭まっている、項目1に記載のデバイス。

[項目 4]

前記ドリフト領域は前記ドレイン領域を通じて横方向に延在していない、項目1に記載のデバイス。

[項目 5]

前記ドリフト領域は外側部分および内側部分を備え、該内側部分は該外側部分によって包囲され、前記ドレイン領域の下に配置されており、

前記内側部分は、動作時に前記ドリフト領域の完全な空乏化が達成されるように、前記外側部分に対して縮小されている、項目1に記載のデバイス。

[項目 6]

前記切り欠きドーパントプロファイルは方形波状の切り欠きパターンを有する、項目1に記載のデバイス。

[項目 7]

前記切り欠きドーパントプロファイルは周期的な切り欠きパターンを有する、項目1に記載のデバイス。

[項目 8]

前記半導体基板はエピタキシャル層を備え、前記ソース、ドレイン、およびドリフト領域は該エピタキシャル層に形成されており、

前記ドリフト領域は前記エピタキシャル層に対する切り欠きの境界に沿って前記ドレイン領域の下で切り詰められている、項目 1 に記載のデバイス。

[項目 9]

前記半導体基板において前記ソース領域と前記ドレイン領域との間にトレンチ分離領域をさらに備え、

前記ドリフト領域は、前記トレンチ分離領域の下第 1 の領域と、前記ドレイン領域の下第 2 の領域とを備え、

前記ドリフト領域の前記第 2 の領域におけるドーパント濃度は、前記第 1 の領域に対して低減されている、項目 1 に記載のデバイス。

[項目 10]

電子装置であって、

半導体基板と、

前記半導体基板におけるリサートランジスタと、を備え、該リサートランジスタは

第 1 の導電性を有し、動作時にチャネルが形成される第 1 の半導体領域と、

第 2 の導電性を有し、第 1 の横方向に沿って互いから離間されている第 2 の半導体領域および第 3 の半導体領域と、

前記第 2 の導電性を有する第 4 の半導体領域であって、前記第 2 の半導体領域と第 3 の半導体領域との間にバイアス電圧が印加されると、電荷担体が動作時に前記第 1 の半導体領域に形成される前記チャネルから第 4 の半導体領域を通じてドリフトする第 4 の半導体領域と、を備え、

前記第 4 の半導体領域は、前記第 3 の半導体領域と第 4 の半導体領域との間の接合部に沿って第 2 の横方向に切り欠きドーパントプロファイルを有する、電子装置。

[項目 11]

前記第 4 の半導体領域は前記第 3 の半導体領域の下第 1 の開口を備え、

前記開口は楕形状境界を有する、項目 10 に記載の電子装置。

[項目 12]

前記第 4 の半導体領域は前記第 3 の半導体領域を通じて横方向に延在していない、項目 10 に記載の電子装置。

[項目 13]

前記第 4 の半導体領域は外側領域および内側領域を備え、該内側領域は該外側領域によって包囲され、前記第 3 の半導体領域の下に配置されており、

前記内側領域は、動作時に前記第 4 の半導体領域の完全な空乏化が達成されるように、前記外側領域に対して縮小されている、項目 10 に記載の電子装置。

[項目 14]

前記半導体基板はエピタキシャル層を備え、前記第 1 の半導体領域、第 2 の半導体領域、第 3 の半導体領域、および第 4 の半導体領域は該エピタキシャル層に形成されており、

前記第 4 の半導体領域は前記エピタキシャル層に対する切り欠きの境界に沿って前記第 3 の半導体領域の下で切り詰められている、項目 10 に記載の電子装置。

[項目 15]

前記リサートランジスタは、前記第 2 の半導体領域と前記第 3 の半導体領域との間にトレンチ分離領域をさらに備え、

前記第 4 の半導体領域は、前記トレンチ分離領域の下第 1 の領域と前記第 3 の半導体領域の下第 2 の領域とを備え、

前記第 4 の半導体領域の前記第 2 の領域におけるドーパント濃度は、前記第 1 の領域に対して低減されている、項目 10 に記載の電子装置。

[項目 16]

トランジスタを作製する方法であって、
ドリフト領域を形成するための基板の第 1 の領域にドーパントを注入するステップと、
前記基板の第 2 の領域および第 3 の領域にソース領域およびドレイン領域をそれぞれ形
成するステップであって、該第 2 の領域および該第 3 の領域は第 1 の横方向において互い
から離間されている、前記ステップと、を備え、

前記第 1 の領域は前記第 3 の領域を通じて横方向に延在しておらず、第 2 の横方向に切
り欠きのドレイン側境界を有する、方法。

[項目 1 7]

前記第 1 の領域は前記第 3 の領域の下の開口を備え、該開口は切り欠きのドレイン側境
界を有する、項目 1 6 に記載の方法。

[項目 1 8]

前記ドリフト領域が前記ドレイン領域に電氣的に結合されるように、前記基板をアニー
リングするステップをさらに備える、項目 1 6 に記載の方法。

[項目 1 9]

前記第 1 の領域および前記第 3 の領域は横方向において重ならない、項目 1 6 に記載の
方法。

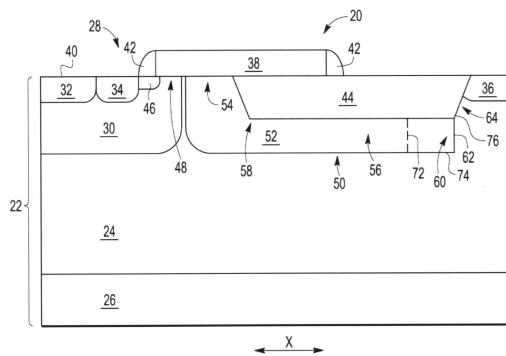
[項目 2 0]

前記基板のエピタキシャル層を形成するステップをさらに備え、前記第 1 の領域、第 2
の領域、および第 3 の領域は前記エピタキシャル層に配置される、項目 1 6 に記載の方法
。

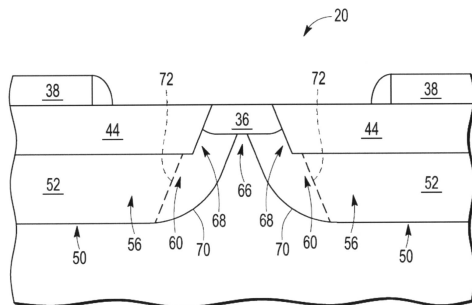
10

20

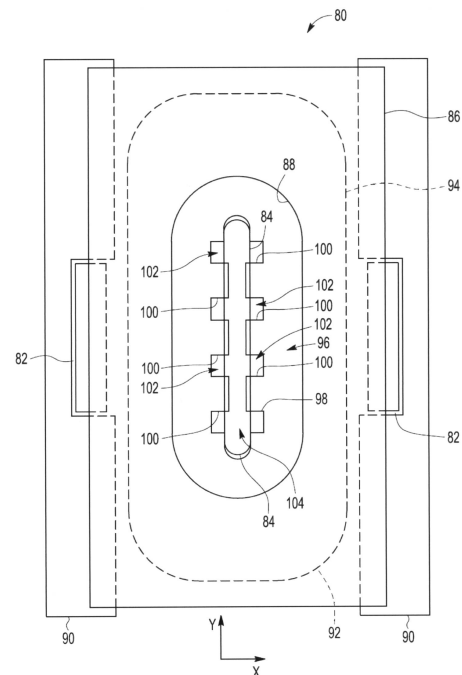
【 図 1 】



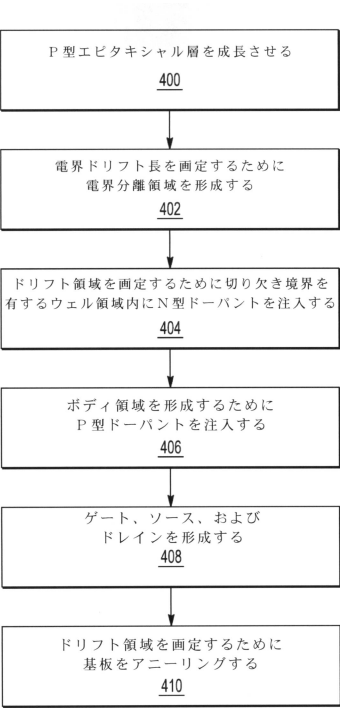
【 図 2 】



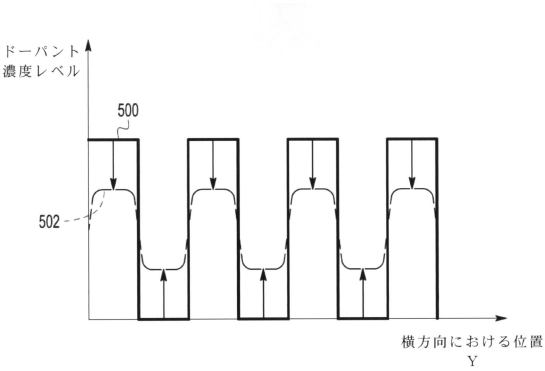
【 図 3 】



【図 4】



【図 5】



フロントページの続き

(72)発明者 シン リン

アメリカ合衆国 85045 アリゾナ州 フェニックス ダブリュ・グレンハイブン ドライブ
2816

(72)発明者 チホン チャン

アメリカ合衆国 85225 アリゾナ州 チャンドラー エヌ・ローラ ドライブ 465

(72)発明者 ジアン - カイ ツオ

アメリカ合衆国 85249 アリゾナ州 チャンドラー イー・アクエリアス プレイス 41
30

審査官 市川 武宜

(56)参考文献 米国特許出願公開第2012/0217579 (US, A1)

特開2000-260984 (JP, A)

特開平07-050413 (JP, A)

特開2010-010408 (JP, A)

特開平05-259444 (JP, A)

特開平07-038097 (JP, A)

特開2005-093775 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/336

H01L 29/06

H01L 29/78