

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号
特開2004-78683
(P2004-78683A)

(43) 公開日 平成16年3月11日(2004.3.11)

(51) Int.Cl. ⁷	F I	テーマコード (参考)
GO6F 15/167	GO6F 15/167 G	5B045
GO6F 12/00	GO6F 12/00 570C	5B060
GO6F 15/177	GO6F 15/177 676C	

審査請求 有 請求項の数 8 O L (全 13 頁)

(21) 出願番号	特願2002-239548 (P2002-239548)	(71) 出願人	000003078
(22) 出願日	平成14年8月20日 (2002.8.20)		株式会社東芝
			東京都港区芝浦一丁目1番1号
		(74) 代理人	100058479
			弁理士 鈴江 武彦
		(74) 代理人	100084618
			弁理士 村松 貞男
		(74) 代理人	100068814
			弁理士 坪井 淳
		(74) 代理人	100092196
			弁理士 橋本 良郎
		(74) 代理人	100091351
			弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠

最終頁に続く

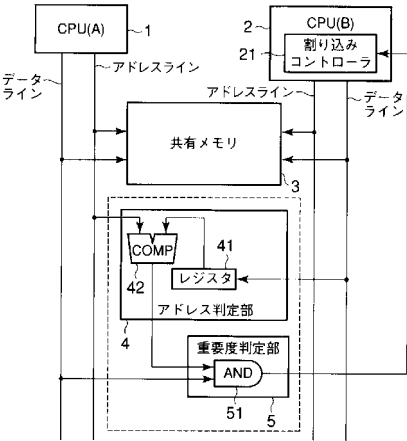
(54) 【発明の名称】 コンピュータシステムおよび共有メモリ制御方法

(57) 【要約】

【課題】 共有メモリを介した複数のCPU間のデータ授受を効率的に行うことを可能としたコンピュータシステムを提供する。

【解決手段】 このコンピュータシステムは、CPU(A) 1およびCPU(B) 2の2つのCPUを有しており、この2つのCPUの間でデータをやり取りするために、共有メモリ3を設けている。CPU(A) 1が共有メモリ3にデータを書き込むと、アドレス判定部4は、その書き込み先のアドレスがCPU(B) 2との間で取り決めた領域内かどうかを判定する。また、重要度判定部5は、そのデータがCPU(B) 2により即時に処理されるべき重要度の高いデータかどうかを判定する。そして、このアドレス判定部4および重要度判定部5により、予め取り決められた領域内であり、かつ、重要度の高いデータであると判定された場合に、割り込みコントローラ21に対して割り込み信号を供給する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

共有メモリと、
前記共有メモリに書き込みデータを書き込む第 1 の CPU と、
第 2 の CPU と、
前記書き込みデータの処理を前記第 2 の CPU に指示するコントローラと、
前記第 1 の CPU から前記書き込みデータの属性を示す属性データを受け取り、この属性データを元に前記書き込みデータを前記コントローラに通知すべきか否かを判定する判定手段と、
を具備することを特徴とするコンピュータシステム。

10

【請求項 2】

前記コントローラは、前記第 2 の CPU に内蔵され、割り込みを発生させる割り込みコントローラであることを特徴とする請求項 1 記載のコンピュータシステム。

【請求項 3】

前記コントローラは、前記第 1 の CPU により前記共有メモリに書き込まれたデータを前記第 2 の CPU が備えるローカルメモリに転送するとともに、その転送完了後に、その旨を前記第 2 の CPU に通知する DMA コントローラであることを特徴とする請求項 1 記載のコンピュータシステム。

【請求項 4】

前記判定手段は、前記第 1 の CPU によりデータが書き込まれた前記共有メモリ上のアドレスが予め定められた領域内であるか否かを判定するアドレス判定手段を有することを特徴とする請求項 1 記載のコンピュータシステム。

20

【請求項 5】

共有メモリと、
前記共有メモリに書き込みデータを書き込む第 1 の CPU と、
第 2 の CPU と、
レジスタと、
前記書き込みデータの前記共有メモリ上のアドレスを前記レジスタに格納する書き込み監視手段と、
を具備し、
前記第 2 の CPU は、前記レジスタに格納されたアドレスに基づき、前記書き込みデータを読み出すことを特徴とするコンピュータシステム。

30

【請求項 6】

前記書き込みデータの処理を前記第 2 の CPU に指示するコントローラと、
前記レジスタにアドレスが格納された場合に、その書き込みデータを前記コントローラに通知すべきか否かを判定する判定手段と、
をさらに具備することを特徴とする請求項 5 記載のコンピュータシステム。

【請求項 7】

共有メモリと、前記共有メモリに書き込みデータを書き込む第 1 の CPU と、第 2 の CPU と、前記書き込みデータの処理を前記第 2 の CPU に指示するコントローラとを備えたコンピュータシステムの共有メモリ制御方法であって、
前記第 1 の CPU から前記書き込みデータの属性を示す属性データを受け取り、この属性データを元に前記書き込みデータを前記コントローラに通知すべきか否かを判定することを特徴とする共有メモリ制御方法。

40

【請求項 8】

共有メモリと、前記共有メモリに書き込みデータを書き込む第 1 の CPU と、第 2 の CPU と、レジスタと、前記書き込みデータの前記共有メモリ上のアドレスを前記レジスタに格納する書き込み監視手段とを備えたコンピュータシステムの共有メモリ制御方法であって、
前記第 2 の CPU が、前記レジスタに格納されたアドレスに基づき、前記書き込みデータ

50

を読み出すことを特徴とする共有メモリ制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、複数のＣＰＵからアクセスされる共有メモリを備えたコンピュータシステムおよび同システムの共有メモリ制御方法に係り、特に、この共有メモリを介した複数のＣＰＵ間のデータ授受を効率的に行うことを可能としたコンピュータシステムおよび同システムの共有メモリ制御方法に関する。

【0002】

【従来の技術】

近年、例えば画像データや音声データ、あるいはネットワークデータなど、複雑な処理や即時性の求められるデータを取り扱うために、複数のＣＰＵを備えるコンピュータシステム（１台のコンピュータが複数のＣＰＵを備える場合であってもよいし、１つのＣＰＵを各々備える複数台のコンピュータが連結される場合であってもよい）が広く普及している。そして、これら複数のＣＰＵ間でデータを授受するためのものとして、いわゆる共有メモリ（デュアルポートメモリ）が存在する。

【0003】

この共有メモリを介して複数のＣＰＵ間でデータの受け渡しを行う場合、一方のＣＰＵが書き込んだデータを他方のＣＰＵが読み出すために、相手のＣＰＵがデータを書き込んだ旨を検知する仕組みや、あるいはデータを書き込んだ際に相手のＣＰＵにその旨を通知する仕組みが必要である。

【0004】

そのため、従来では、各ＣＰＵが相手ＣＰＵと取り決めた特定アドレスを所定のタイミングでポーリング（リード）したり、あるいは、例えば特公昭６０－２０７７９号などに記載されているように、特定アドレスにデータを書き込んだ場合に、割り込みを発生させることにより相手ＣＰＵにその旨を通知するといったことを行うことが一般的であった。

【0005】

【発明が解決しようとする課題】

しかしながら、ポーリングによる方法では、各ＣＰＵが所定のタイミングでそのポーリングを行うことになるため、相手ＣＰＵが書き込んだ即時性の求められるデータを速やかに読み出すことができないといった問題があった。また、相手ＣＰＵによるデータの書き込み有無に関わらず、頻繁にポーリングのためのアクセスを行う必要が生じるため、相手ＣＰＵからのアクセスと競合する頻度を高めてしまい、ポーリングのためのアクセスが待たされた結果、レスポンス（アクセスレイテンシ）を低下させるといった問題もあった。

【0006】

一方、割り込みによる方法では、その都度、割り込みハンドラを起動する必要が生じるため、データの書き込みを通知された側のＣＰＵの負担が重くなり、結果的にそのデータの処理の遅延を招いてしまうといった問題があった。

【0007】

この発明は、このような事情を考慮してなされたものであり、アクセス競合や割り込みハンドラに関わるＣＰＵ負担を軽減し、共有メモリを介した複数のＣＰＵ間のデータ授受を効率的に行うことを可能としたコンピュータシステムおよび同システムの共有メモリ制御方法を提供することを目的とする。

【0008】

【課題を解決するための手段】

前述した目的を達成するために、この発明は、共有メモリと、前記共有メモリに書き込みデータを書き込む第１のＣＰＵと、第２のＣＰＵと、前記書き込みデータの処理を前記第２のＣＰＵに指示するコントローラと、前記第１のＣＰＵから前記書き込みデータの属性を示す属性データを受け取り、この属性データを元に前記書き込みデータを前記コントローラに通知すべきか否かを判定する判定手段とを具備することを特徴とするコンピュータ

10

20

30

40

50

システムを提供する。

【 0 0 0 9 】

このコンピュータシステムにおいては、共有メモリに対するデータの書き込みが第 1 の CPU によって行われた際、そのデータを第 2 の CPU に即座に引き渡す必要があるかどうかを判定する手段を設けたことにより、例えば重要度の高いデータの場合は、割り込みによって第 2 の CPU に速やかに通知し、一方、重要度の低いデータの場合は、第 2 の CPU がその後に実行するであろうポーリングに委ねるなど、柔軟な対応を実現することができる。

【 0 0 1 0 】

これにより、重要度の低いデータによる割り込みを抑止でき、また、（重要度の低いデータのみを対象とした）ポーリングの間隔も比較的長く設定することができるため、必要以上のアクセス競合や割り込みハンドラに起因する CPU 負担を軽減することを可能とする。

【 0 0 1 1 】

【 発明の実施の形態 】

以下、図面を参照してこの発明の実施形態を説明する。

【 0 0 1 2 】

（第 1 実施形態）

まず、この発明の第 1 実施形態について説明する。

【 0 0 1 3 】

図 1 は、この発明の第 1 実施形態に係るコンピュータシステムの共有メモリ制御に関わる構成を示す図である。

【 0 0 1 4 】

図 1 に示すように、このコンピュータシステムは、CPU (A) 1 および CPU (B) 2 の 2 つの CPU を有している。そして、この 2 つの CPU の間でデータをやり取りするために、このコンピュータシステムは、CPU (A) 1 および CPU (B) 2 から共有される共有メモリ 3 を設けている。また、ここでは、例えば CPU (A) 1 がネットワーク経由で画像データを受信し、この画像データを CPU (B) に転送してその再生処理を行わせる等の動作を想定する。すなわち、即時性が求められる重要度の高いデータを共有メモリ 3 を介してやり取りする場合を考える。

【 0 0 1 5 】

このような場合、CPU (A) 1 上で動作するプログラムと CPU (B) 2 上で動作するプログラムとは、共有メモリ 3 上のどの領域を使ってデータを授受するのかを決定する。そして、CPU (B) 2 は、ここで決定された領域のアドレス範囲を示すデータをアドレス判定部 4 のレジスタ 4 1 に格納する。

【 0 0 1 6 】

このアドレス判定部 4 は、CPU (A) 1 が共有メモリ 3 にデータを書き込んだときに、その書き込み先のアドレスが CPU (B) 2 との間で取り決めを行った領域内かどうかを判定するものであり、アドレスラインに出力された書き込み先アドレスとレジスタ 4 1 に格納されたデータを比較器 4 2 で比較する。この比較器 4 2 は、この書き込み先のアドレスが CPU (B) 2 との間で取り決めを行った領域内であるとき、つまりレジスタ 4 1 に格納されたデータで示されるアドレス範囲と合致するとき、アクティブ信号を出力するように構成されており、この比較器 4 2 から出力されたアクティブ信号は、重要度判定部 5 のアンド回路 5 1 に供給される。

【 0 0 1 7 】

この重要度判定部 5 は、CPU (A) 1 が共有メモリ 3 にデータを書き込んだときに、そのデータが CPU (B) により即時に処理されるべき重要度の高いデータかどうかを判定するものであり、アンド回路 5 1 は、データラインに出力された書き込みデータの所定ビットが “ 1 ” であり、かつ、比較器 4 2 がアクティブ信号を出力しているときに、CPU (B) 2 に内蔵された割り込みコントローラ 2 1 に向けて割り込み信号を出力する。

【 0 0 1 8 】

C P U (A) 1 上で動作するプログラムは、例えば画像データなどを共有メモリ 3 に書き込む際、C P U (B) 2 上で動作するプログラムとの間で予め取り決められた属性データを当該書き込みデータ上の所定の位置に添付する。また、この属性データの所定ビットには、その書き込みデータの重要度を示す情報を格納する。具体的には、その書き込みデータが C P U (B) により即時に処理されるべき重要度の高いデータである場合、この所定ビットに “ 1 ” を格納する。そして、重要度判定部 5 は、この所定の位置に添付された属性データの所定ビットを取り込んで、アンド回路 5 1 に供給する。

【 0 0 1 9 】

アドレス判定部 4 により、書き込み先のアドレスが C P U (B) 2 との間で取り決めを行った領域内であると判定され、かつ、重要度判定部 5 により、そのデータが C P U (B) により即時に処理されるべき重要度の高いデータであると判定されると、C P U (B) 2 の割り込みコントローラ 2 1 に割り込み信号が供給されることになる。そして、割り込みコントローラ 2 1 は、割り込みを発生させて、C P U (B) 2 に割り込みハンドラを起動させ、その割り込み要因、つまり共有メモリ 3 に対するデータの書き込みが C P U (A) 1 によって実行されたことを認識させる。

【 0 0 2 0 】

これにより、C P U (B) 2 は、C P U (A) 1 が共有メモリ 3 にデータを書き込んだことを知り、この割り込み処理が終了して一旦割り込み発生前の処理に復帰した直後に、即時に処理すべき重要度の高い、この共有メモリ 3 に書き込まれたデータの読み出し処理に移行する。

【 0 0 2 1 】

図 2 は、この第 1 実施形態のコンピュータシステムの共有メモリ制御に関わる動作手順を表したフローチャートである。

【 0 0 2 2 】

C P U (A) 1 が共有メモリ 3 にデータを書き込むと (ステップ A 1) 、アドレス判定部 4 は、この書き込みが C P U (B) に通知すべきアドレスへの書き込みかどうかを判定する (ステップ A 2) 。ここで、通知すべきアドレスだとアドレス判定部 4 が判定すると (ステップ A 3) 、今度は、重要度判定部 5 が、この書き込まれたデータは即時に C P U (B) 2 に引き渡すべき重要度の高いものかどうかを判定する (ステップ A 4) 。そして、重要度の高いデータだと判定すると (ステップ A 5) 、重要度判定部 5 は、割り込みコントローラ 2 1 への通知を実施する (ステップ A 6) 。

【 0 0 2 3 】

一方、この通知を受けた割り込みコントローラ 2 1 は、C P U (B) 2 に割り込みイベントの発生を通知する (ステップ A 7) 。これにより、C P U (B) 2 は、C P U (A) 1 による共有メモリ 3 へのデータ書き込みを認識し (ステップ A 8) 、割り込み発生前の処理に復帰した直後、この C P U (A) 1 により書き込まれた共有メモリ 3 上のデータの読み出しを実行する (ステップ A 9) 。

【 0 0 2 4 】

なお、C P U (A) 1 により共有メモリ 3 に書き込まれたデータであって、アドレス判定部 4 および重要度判定部 5 の判定により割り込みコントローラ 2 1 への通知が見合わせられたデータ、つまり、重要度の低いデータの書き込みは、例えば重要度の高いデータが書き込まれた際、そのデータとともに C P U (B) 2 に認識され、あるいは、例えば C P U (B) 2 からの共有メモリ 3 へのアクセスが一定期間を越えて途切れたときや、C P U (B) 2 の空き時間などに実施されるポーリング時に、C P U (B) 2 に認識されて読み出される。

【 0 0 2 5 】

このように、この第 1 実施形態のコンピュータシステムでは、重要度の高いデータのみを割り込みで通知するための判定手段を設けて、重要度の低いデータによる割り込みを抑止し、また、この重要度の低いデータのみを対象としたポーリングの間隔も比較的長く設定

することにより、必要以上のアクセス競合や割り込みハンドラに起因するCPU負担を軽減することを可能とする。このポーリングの間隔は、通常、例えばCPU(B)2上で動作するオペレーティングシステムやユーティリティプログラム等でソフトウェア的に設定可能である。

【0026】

(第2実施形態)

次に、この発明の第2実施形態について説明する。

【0027】

図3は、この発明の第2実施形態に係るコンピュータシステムの共有メモリ制御に関わる構成を示す図である。

10

【0028】

この第2実施形態と前述した第1実施形態との違いは、図3に示すように、重要度判定部5による通知先をDMAコントローラ6とした点にある。DMAコントローラ6は、この通知を受けたとき、CPU(A)1により書き込まれたデータを共有メモリ3から読み出し、CPU(B)2が備えるローカルメモリ7に書き込む。つまり、DMAコントローラ6は、重要度の高いデータの書き込み時のみ、共有メモリ3とローカルメモリ7との間の転送を実行する。そして、この転送完了後、DMAコントローラ6は、このデータ転送をCPU(B)2に割り込み信号により通知する。

【0029】

図4は、この第2実施形態のコンピュータシステムの共有メモリ制御に関わる動作手順を表したフローチャートである。

20

【0030】

CPU(A)1が共有メモリ3にデータを書き込むと(ステップB1)、アドレス判定部4は、この書き込みがCPU(B)に通知すべきアドレスへの書き込みかどうかを判定する(ステップB2)。ここで、通知すべきアドレスだとアドレス判定部4が判定すると(ステップB3)、今度は、重要度判定部5が、この書き込まれたデータは即時にCPU(B)2に引き渡すべき重要度の高いものかどうかを判定する(ステップB4)。そして、重要度の高いデータだと判定すると(ステップB5)、重要度判定部5は、DMAコントローラ6への通知を実施する(ステップB6)。

【0031】

30

この通知を受けたDMAコントローラ6は、CPU(A)1により書き込まれた共有メモリ3上のデータをローカルメモリ3に転送し(ステップB7)、その転送完了後に、このデータ転送の実行をCPU(B)2に通知する(ステップB8)。この通知により、CPU(B)2は、CPU(A)1による共有メモリ3へのデータ書き込みを認識し(ステップB9)、ローカルメモリ7に転送されたデータの処理を実行する(ステップB10)。

【0032】

この第2実施形態のコンピュータシステムによれば、第1実施形態のコンピュータシステムと同様、重要度の低いデータによるDMA起動を抑止し、また、この重要度の低いデータのみを対象としたポーリングの間隔も比較的長く設定することにより、必要以上のアクセス競合やDMA起動に起因するCPU負担を軽減することを可能とすることに加え、例えばCPU(A)1とCPU(B)2との間のデータ授受のために共有メモリ3上に確保できる領域に限られる場合であっても、CPU(A)1は、CPU(B)2による処理の完了を待たずに、DMAコントローラ6によるローカルメモリ7への転送が完了した時点で、新たなデータを次々に書き込んでいくことなどが可能となる。

40

【0033】

(第3実施形態)

次に、この発明の第3実施形態について説明する。

【0034】

図5は、この発明の第3実施形態に係るコンピュータシステムの共有メモリ制御に関わる構成を示す図である。

50

【0035】

この第3実施形態と前述した第1実施形態との違いは、図5に示すように、書き込み監視部8と書き込みレジスタ9をさらに設けた点にある。書き込み監視部8は、共有メモリ3に対するデータの書き込みをCPU(A)1が実行したかどうかを監視し、データの書き込みの実行を検知したときに、そのアドレスと所定の位置に添付された属性データとを書き込みレジスタ9に格納する。図6に、書き込みレジスタ9に格納されるアドレスおよび属性データの例を示す。図中、D3～D0は、各データに添付される属性データであり、例えばD0が割り込み要求有無、D1がDMA要求有無、D2～D3が予めCPU間で取り決められた書き込み内容の通知やステータス情報を示す。この場合、アドレスaに書き込まれたデータについては、CPU(B)2で割り込みが発生することではなく、アドレスbに書き込まれたデータに対してCPU(B)2で割り込みが発生して、この2つのデータの書き込みがCPU(B)2に認識される。

10

【0036】

また、この第3実施形態のコンピュータシステムでは、アドレス判定部4および重要度判定部5が、この書き込み監視部8が書き込みレジスタ9に書き込むアドレスおよび属性データを利用して、割り込みコントローラ21に割り込み信号を供給するかどうかを判定する。

【0037】

さらに、この第3実施形態のコンピュータシステムでは、割り込みコントローラ21による割り込み発生により、共有メモリ3に対するデータの書き込みがCPU(A)1によって実行されたことを認識した際、CPU(B)2は、この書き込みレジスタ9の参照を行う。そして、この書き込みレジスタ9に格納されたアドレスおよび属性データに基づき、必要最小限の共有メモリ3に対するアクセスを実行する。

20

【0038】

図7は、この第3実施形態のコンピュータシステムの共有メモリ制御に関わる動作手順を表したフローチャートである。

【0039】

CPU(A)1が共有メモリ3にデータを書き込むと(ステップC1)、書き込み監視部8は、その書き込み先のアドレスと属性データとを書き込みレジスタ9に格納する(ステップC2)。

30

【0040】

また、アドレス判定部4は、この書き込みがCPU(B)に通知すべきアドレスへの書き込みかどうかを判定する(ステップC3)。ここで、通知すべきアドレスだとアドレス判定部4が判定すると(ステップC4)、今度は、重要度判定部5が、この書き込まれたデータは即時にCPU(B)2に引き渡すべき重要度の高いものかどうかを判定する(ステップC5)。そして、重要度の高いデータだと判定すると(ステップC6)、重要度判定部5は、割り込みコントローラ21への通知を実施する(ステップC7)。

【0041】

一方、この通知を受けた割り込みコントローラ21は、CPU(B)2に割り込みイベントの発生を通知する(ステップC8)。これにより、CPU(B)2は、CPU(A)1による共有メモリ3へのデータ書き込みを認識し(ステップC9)、割り込み発生前の処理に復帰した直後、書き込みレジスタ9の属性データに基づき、このCPU(A)1により書き込まれた共有メモリ3上のデータの読み出しを実行する(ステップC10)。

40

【0042】

この第3実施形態のコンピュータシステムによれば、第1実施形態のコンピュータシステムと同様、重要度の低いデータによる割り込みを抑止し、割り込みハンドラに起因するCPU負担を軽減することを可能とすることに加えて、書き込みデータの読み出しをレジスタ9に基づいて行うことにより、共有メモリ3へのアクセスを大幅に削減することを可能とし、さらに、重要度の低いデータのみを対象としたポーリングを書き込みレジスタ9に対して行うことにより、アクセス競合をさらに軽減することを可能とする。

50

【 0 0 4 3 】

また、ここでは、割り込みコントローラ 2 1 に対する通知の有無を例に説明したが、書き込みレジスタ 9 に各データの属性データを格納するため、この属性データを利用して、例えば DMA コントローラに対する通知の有無を別途判定するなど、柔軟な制御を実施することも可能である。

【 0 0 4 4 】

(第 4 実施形態)

次に、この発明の第 4 実施形態について説明する。

【 0 0 4 5 】

図 8 は、この発明の第 4 実施形態に係るコンピュータシステムの共有メモリ制御に関わる構成を示す図である。 10

【 0 0 4 6 】

この第 4 実施形態のコンピュータシステムでは、共有メモリ 3 に対するデータの書き込みが CPU (A) 1 により行われたことを、CPU (B) 2 は、すべてポーリングによって認識する。また、この CPU (B) 2 によるポーリングを効率的に行わせるために、この第 4 実施形態は、前述した第 3 実施形態で説明した書き込み監視部 8 および書き込みレジスタ 9 を備える。つまり、この第 4 実施形態では、CPU (B) 2 によるポーリングを書き込みレジスタ 7 に対して実行する。また、この第 4 実施形態では、書き込み監視部 8 は、アドレスのみを書き込みレジスタ 9 に格納する。

【 0 0 4 7 】

図 9 は、この第 4 実施形態のコンピュータシステムの共有メモリ制御に関わる動作手順を表したフローチャートである。 20

【 0 0 4 8 】

CPU (A) 1 が共有メモリ 3 にデータを書き込むと (ステップ D 1)、書き込み監視部 8 は、その書き込み先のアドレスを書き込みレジスタ 9 に格納する (ステップ D 2)。

【 0 0 4 9 】

一方、CPU (B) 2 は、例えば前回のポーリングから所定の期間が経過したかどうかを判定し (ステップ D 3)、もし、所定の期間経過していれば (ステップ D 4 の Y E S)、書き込みレジスタ 8 に対するポーリングを行なう (ステップ D 5)。そして、CPU (B) 2 は、この書き込みレジスタ 9 に基づき、CPU (A) 1 により書き込まれた共有メモリ 3 上のデータの読み出しを実行する (ステップ D 6)。 30

【 0 0 5 0 】

この第 4 実施形態のコンピュータシステムによれば、書き込みデータの読み出しをレジスタ 9 に基づいて行うことにより、共有メモリ 3 へのアクセスを大幅に削減することを可能とする。

【 0 0 5 1 】

なお、本願発明は、前記実施形態に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。更に、前記実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出され得る。たとえば、実施形態に示される全構成要件から幾つかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題が解決でき、発明の効果の欄で述べられている効果が得られる場合には、この構成要件が削除された構成が発明として抽出され得る。 40

【 0 0 5 2 】

【 発明の効果 】

以上のように、この発明によれば、アクセス競合や割り込みハンドラに関わる CPU 負担を軽減し、共有メモリを介した複数の CPU 間のデータ授受を効率的に行うことを可能としたコンピュータシステムおよび同システムの共有メモリ制御方法を提供することができる。

【 図面の簡単な説明 】

【図 1】この発明の第 1 実施形態に係るコンピュータシステムの共有メモリ制御に関わる構成を示す図。

【図 2】同第 1 実施形態のコンピュータシステムの共有メモリ制御に関わる動作手順を表したフローチャート。

【図 3】同第 2 実施形態に係るコンピュータシステムの共有メモリ制御に関わる構成を示す図。

【図 4】同第 2 実施形態のコンピュータシステムの共有メモリ制御に関わる動作手順を表したフローチャート。

【図 5】同第 3 実施形態に係るコンピュータシステムの共有メモリ制御に関わる構成を示す図。

【図 6】同第 3 実施形態に係るコンピュータシステムの書き込みレジスタに格納されるアドレスおよび属性データの例を示す図。

【図 7】同第 3 実施形態のコンピュータシステムの共有メモリ制御に関わる動作手順を表したフローチャート。

【図 8】同第 4 実施形態に係るコンピュータシステムの共有メモリ制御に関わる構成を示す図。

【図 9】同第 4 実施形態のコンピュータシステムの共有メモリ制御に関わる動作手順を表したフローチャート。

【符号の説明】

1 , 2 ... CPU

3 ... 共有メモリ

4 ... アドレス判定部

5 ... 重要度判定部

6 ... DMA コントローラ

7 ... ローカルメモリ

8 ... 書き込み監視部

9 ... 書き込みレジスタ

2 1 ... 割り込みコントローラ

4 1 ... レジスタ

4 2 ... 比較器

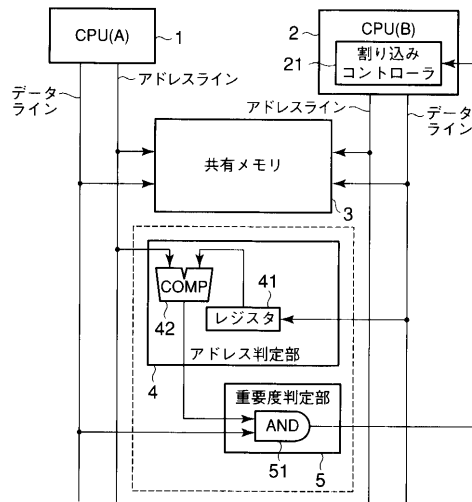
5 1 ... アンド回路

10

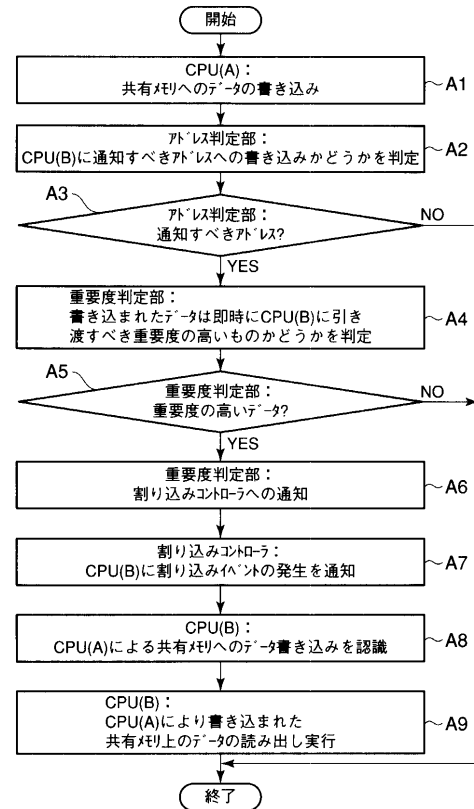
20

30

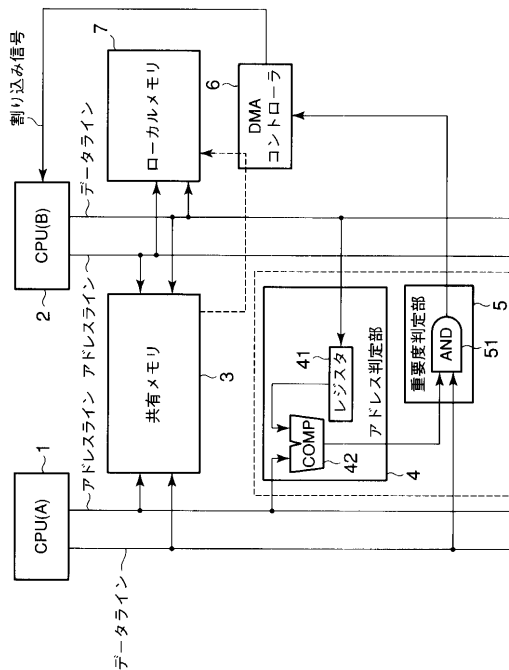
【図 1】



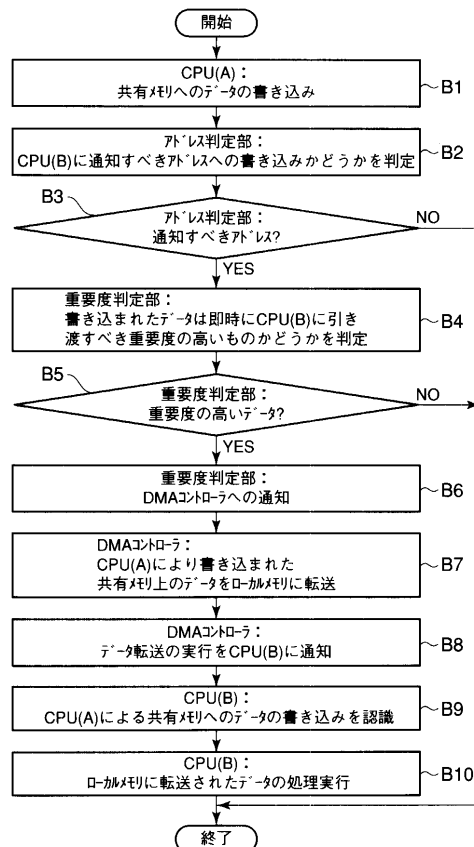
【図 2】



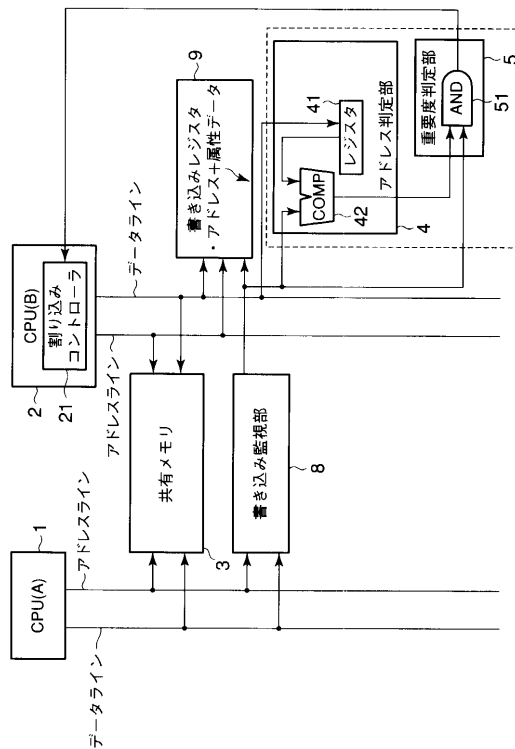
【図 3】



【図 4】



【図 5】

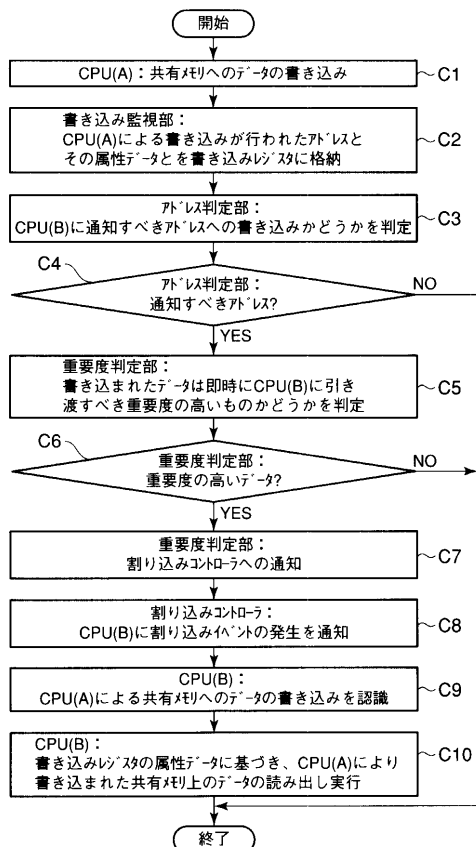


【図 6】

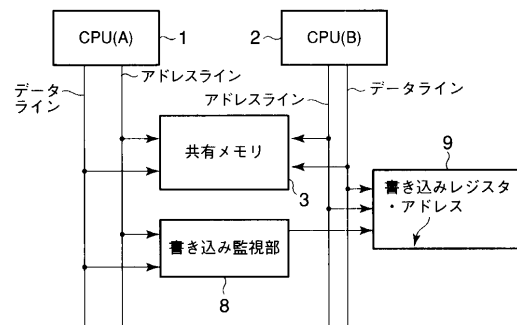
9

	D3	D2	D1	D0
アドレスa: 0x0000_1000	0	0	0	0
アドレスb: 0x0000_8000	1	0	0	1
...				

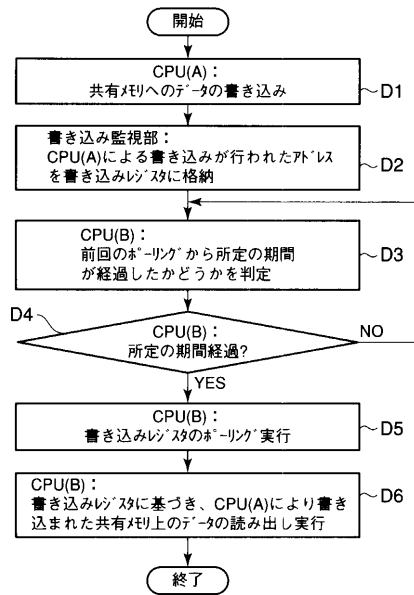
【図 7】



【図 8】



【図 9】



フロントページの続き

(74)代理人 100070437

弁理士 河井 将次

(72)発明者 西田 義広

東京都青梅市末広町 2 丁目 9 番地 株式会社東芝青梅工場内

F ターム(参考) 5B045 BB32 BB43 BB45 BB54 FF03 FF09

5B060 KA02 KA04 MB05